



Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978



PATENTSCHRIFT A5

11

621 896

21 Gesuchsnummer: 7839/77

22 Anmeldungsdatum: 27.06.1977

30 Priorität(en): 29.06.1976 US 700931

24 Patent erteilt: 27.02.1981

45 Patentschrift veröffentlicht: 27.02.1981

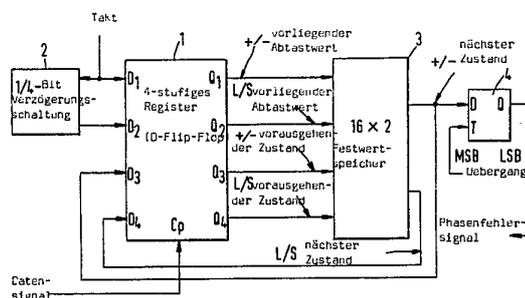
73 Inhaber:
International Standard Electric Corporation, New York/NY (US)

72 Erfinder:
James Monroe Clark, Cedar Grove/NJ (US)

74 Vertreter:
Dipl.-El.-Ing. Hans F. Bucher, Bern

54 Digitale Phasen/Frequenz-Vergleichsschaltung für eine Phasenverriegelungsschaltung.

57 Damit gegenüber bekannten PLL-Schaltungen die Phasenstarrheit nach einem Aussentritt fallen rascher wiedererreicht wird, wird eine Schaltung vorgesehen, welche sowohl auf den Phasenfehler als auch auf den Frequenzfehler anspricht. Dazu wird das Taktsignal und ein in einer Verzögerungsschaltung (2) um 1/4-Bitperiode verzögertes Taktsignal mit einer Flanke des Datensignals durch zwei D-Flip-Flops eines 4-stufigen Registers (1) abgetastet, dabei gibt das Ausgangssignal des ersten Flip-Flops den Plus/Minus-Phasenfehler des vorliegenden Datenabstastwertes an, während das Ausgangssignal des zweiten Flip-Flops angibt, ob der Phasenfehler dieses Abtastwertes gross oder klein ist. Diese Signale gelangen an einen Festwertspeicher (3), dessen Ausgangssignale an die D-Eingänge des dritten bzw. vierten Flip-Flops des Registers (1) zurückgeführt sind. Der Festwertspeicher (3) verarbeitet die Eingangssignale gemäss einem gegebenen Satz von Regeln.



PATENTANSPRÜCHE

1. Digitale Phasen/Frequenz-Vergleichsschaltung für eine Phasenverriegelungsschaltung, gekennzeichnet durch eine erste Quelle von Taktsignalen; durch eine zweite Quelle von digitalen Datenworten; durch mit der ersten und der zweiten Quelle gekoppelte erste Mittel (1) zur Erzeugung eines ersten Binärsignales, das die positive oder negative Richtung des Phasenfehlers eines vorliegenden Datenabstastwertes angibt, und eines zweiten Binärsignales, das einen grossen oder einen kleinen Phasenfehler dieses Abstastwertes angibt; durch zweite Mittel (1), um ein drittes Signal abzugeben, das einen Plus/Minus-Phasenfehler eines vorausgegangenen Zustandes oder Daten angibt, und um ein viertes Signal abzugeben, das einen grossen/kleinen Phasenfehler des vorausgegangenen Zustandes der Daten angibt; und durch mit den ersten und zweiten Mitteln gekoppelte dritte Mittel (3), welche auf das erste, das zweite, das dritte und das vierte Signal ansprechen, um ein Phasenfehlersignal zu erzeugen, wobei die ersten, zweiten und dritten Mittel zusammenarbeiten, um einen negativen Frequenzfehler für eine Änderung der Phasenzustände der Daten im Uhrzeigersinn und einen positiven Frequenzfehler für Änderung des Phasenzustandes der Daten im Gegenuhrzeigersinn anzugeben.

2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, dass die dritten Mittel einen Festwertspeicher (3) aufweisen, der mit den ersten und zweiten Mitteln gekoppelt ist und auf das erste, zweite, dritte und vierte Signal anspricht, wobei dieser Speicher einen ersten Ausgang aufweist, an welchem ein erstes Ausgangssignal erscheint, das aus dem vorausgehenden und dem gegenwärtigen Zustand der Daten errechnet ist und den zu erwartenden Plus/Minus Phasenfehler des nächsten Zustandes der Daten angibt, und weiter einen zweiten Ausgang, an welchem ein zweites Ausgangssignal erscheint, das den zu erwartenden grossen/kleinen Phasenfehler des nächsten Zustandes der Daten angibt, wobei das erste und das zweite Ausgangssignal sowie das erste, zweite, dritte und vierte Signal je 2-Bit-Codesignale sind, und endlich einen, mit dem ersten Ausgang gekoppelten D-Flip-Flop (4), welcher auf das erste Ausgangssignal und den Übergang von einem Datenwort zum nächsten Datenwort anspricht, um das Phasenfehlersignal abzugeben.

3. Schaltung nach Anspruch 2, dadurch gekennzeichnet, dass die ersten Mittel (1) eine Verzögerungsschaltung (2) aufweisen mit einer Verzögerung von $\frac{1}{4}$ Bit, welche Schaltung mit der ersten Quelle gekoppelt ist, um das Taktsignal um $\frac{1}{4}$ Bit zu verzögern, und weiter zwei Stufen eines vierstufigen Registers, dessen Takteingang mit der zweiten Quelle gekoppelt ist, wobei die erste dieser Stufen mit der ersten Quelle gekoppelt ist, um das erste Signal zu erzeugen zur Abgabe an den genannten Speicher (3) und die zweite dieser Stufen mit der Verzögerungsschaltung gekoppelt ist zur Abgabe des zweiten Signales an den genannten Speicher (3).

4. Schaltung nach Anspruch 3, dadurch gekennzeichnet, dass die zweiten Mittel (1) zwei weitere Stufen dieses Registers aufweisen, wobei die dritte dieser Stufen mit dem ersten Ausgang des genannten Speichers gekoppelt ist, um das dritte Signal zur Abgabe an den genannten Speicher (3) zu erzeugen, und die vierte dieser Stufen mit dem zweiten Ausgang des Speichers gekoppelt ist, um das vierte Signal zur Abgabe an den genannten Speicher (3) zu erzeugen.

5. Schaltung nach Anspruch 4, dadurch gekennzeichnet, dass jede der Stufen dieses Registers (1) ein D-Flip-Flop ist.

6. Schaltung nach Anspruch 5, dadurch gekennzeichnet, dass die dritten Mittel (3) ein fünftes Signal erzeugen, das einen zu erwartenden Plus/Minus-Phasenfehler eines nächsten Zustandes der Daten angibt, und weiter ein sechstes Signal erzeugen, das einen zu erwartenden grossen/kleinen Phasen-

2
dritte Stufe des genannten Registers (1) mit den dritten Mitteln (3) gekoppelt ist, um das fünfte Signal zu speichern und das dritte Signal zur Abgabe an die dritten Mittel (3) zu erzeugen, und wobei die vierte Stufe des genannten Registers mit den dritten Mitteln (3) gekoppelt ist, um das sechste Signal zu speichern und das vierte Signal für die Abgabe an die dritten Mittel (3) zu erzeugen.

Die vorliegende Erfindung betrifft eine digitale Phasen/Frequenz-Vergleichsschaltung für eine Phasenverriegelungsschaltung.

In bekannten PLL-Schaltungen erzeugt die Phasenvergleichsschaltung nur Phasensignale, die proportional zum Phasenfehler sind, und als Ergebnis davon wird die gewünschte Phasenstarrheit relativ langsam erreicht, wenn die PLL-Schaltung ausser Tritt ist.

Es ist Aufgabe der vorliegenden Erfindung, eine Phasenvergleichsschaltung vorzusehen, welche auf den Phasenfehler und auf den Frequenzfehler im unverriegelten Zustand anspricht, um die Erreichung der Phasenstarrheit viel rascher zu ermöglichen als mit bekannten Phasenvergleichsschaltungen.

Gelöst wird diese Aufgabe durch die im Kennzeichen des ersten Anspruchs genannten Merkmale. Vorteilhafte Weiterbildungen sind den weiteren Ansprüchen zu entnehmen.

Ausführungsbeispiele der Erfindung werden nun anhand der Zeichnung näher erläutert. In der Zeichnung zeigt:

Fig. 1 ein Zeitdiagramm zur Veranschaulichung des Arbeitsprinzips der Phasen/Frequenz-Vergleichsschaltung;

Fig. 2 ein Diagramm des Statusüberganges für die Phasen/Frequenz-Vergleichsschaltung für einen ersten Satz von Regeln, wie er in Tabelle I angegeben ist;

Fig. 3 die Phasen der Phasen/Frequenz-Vergleichsschaltung;

Fig. 4 ein Blockschema eines Ausführungsbeispiels der Phasen/Frequenz-Vergleichsschaltung;

Fig. 5 die Statusbedingung für einen zweiten Satz von Regeln, der in Tabelle II angegeben ist; und

Fig. 6 ein Statusübergangsdiagramm der Phasen/Frequenz-Vergleichsschaltung für den zweiten Satz von Regeln gemäss Tabelle II.

Gemäss den Prinzipien der vorliegenden Vergleichsschaltung kann diese so ausgelegt werden, dass sie sowohl auf den Frequenz- als auch auf den Phasenfehler anspricht, indem ein Taktsignal und ein um $\frac{1}{4}$ -Bitperiode verzögertes Taktsignal mit einer Flanke des Datensignales, z. B. der ansteigenden Flanke, abgetastet wird und diese Abstastwerte mit der nachfolgend beschriebenen sequentiellen Logik verarbeitet werden. Der durch diese Abstastwerte gebildete 2-Bitcode gibt an, ob der Phasenfehler positiv (+) oder negativ (-) ist, und ob der Phasenfehler gross (L) oder klein (S) ist. Wenn sich die Flanke des Datensignals in Bezug auf das Taktsignal verschiebt, ergeben sich verschiedene 2-Bit-Codesignale: 10, 11, 01 und 00, welche aus als +L, +S, -S und -L bezeichnet werden. Die sequentielle Logik der Phasenvergleichsschaltung hat auch 2-Bitzustände, welche ebenfalls mit +L, +S, -S und -L bezeichnet werden, um einen Zusammenhang mit den Phasenabstastwerten herzustellen. Der nächste Zustand ist eine Funktion des vorausgegangenen Zustandes und des vorliegenden Abstastwertes, wie dies in Tabelle I gezeigt ist.

Tabelle I

Voraus. Zustand	Vorlieg. Abstastwert	Nächster Zustand	
+L	+L	+L	
+L	+S	+S	
+L	-S	+L	*
+L	-L	+L	*
+S	+L	+L	

Vorausg. Zustand	Vorlieg. Abtastwert	Nächster Zustand	
+S	-S	-S	
+S	-L	-S	**
-S	+L	+S	**
-S	+S	+S	
-S	-S	-S	
-S	-L	-L	
-L	+L	-L	*
-L	+S	-L	*
-L	-S	-S	
-L	-L	-L	

Die in Tabelle I gegebenen Regeln sind in Fig. 2 bildlich dargestellt. Die vier Kreise stellen die Zustände dar, die Pfeile zeigen die Änderungen des Zustands und die Bezeichnungen auf den Pfeilen stellen die Phasenabtastwerte dar, welche die Bedingung zur Erreichung dieses Statuswechsels darstellen. Die Positionen der Zustände in Fig. 2 sind so angeordnet, um die zyklische Folge der in Fig. 3 gezeigten Phasen aufzuzeigen, bei welcher der Phasenfehler Null zwischen +S und -S liegt. Phasenänderungen im Uhrzeigersinn ergeben einen negativen Frequenzfehler und Phasenänderungen im Gegenuhrzeigersinn einen positiven Frequenzfehler. Aus der Betrachtung von Tabelle I und Fig. 2 kann gesehen werden, dass in den meisten Fällen der nächste Zustand der gleiche wie beim vorliegenden Abtastwert ist. Ausnahmen sind mit einem * oder mit ** in Tabelle I markiert. Die mit * markierten Ausnahmen bewirken, dass der Zustand (+) wird, wenn immer der Frequenzfehler (+) ist (Phasenrotation im Gegenuhrzeigersinn), und (+) bleibt, so lange der Frequenzfehler (+) bleibt. Der Zustand kann nur dann auf (-) zurückkehren, wenn die Phase den Nullpunkt in der entgegengesetzten Richtung, d. h. im Uhrzeigersinn, kreuzt. Eine ähnliche, aber entgegengesetzte Beziehung gilt für negative Frequenzfehler.

Nur wenn die Phase sehr unregelmässig ist, wegen schlechter Empfangsverhältnisse, ändert die Phase des Abtastwertes auf nicht benachbarte Phasenlagen, z. B. von +S auf -L. Die mit ** in Tabelle I markierten Ausnahmen ergeben in solchen Fällen eine minimale Änderung durch Null.

Das Ausgangssignal der Phasen/Frequenz-Vergleichsschaltung gibt an, ob der Zustand (+) oder (-) ist. Wenn ein Frequenzfehler vorhanden ist (PLL ist ausser Tritt), gibt das Ausgangssignal die Richtung des Frequenzfehlers an. Wenn der Frequenzfehler Null ist (PLL verriegelt), wird die Phase normalerweise zwischen +S und -S schwanken und das Ausgangssignal gibt die Richtung des Phasenfehlers an.

Ohne die Möglichkeit der Frequenzdetektion wird sowohl ein (+) als auch (-) Phasenfehler detektiert, wenn der PLL ausser Tritt gefallen ist. Die Schleife wird nur darum in richtiger Richtung korrigiert, d. h. in Richtung erneute Verriegelung, weil der (+) Phasenfehler ein wenig öfter detektiert wird als der (-) Phasenfehler, wenn der Frequenzfehler (+) ist. Ein ähnlicher, jedoch entgegengesetzter Zustand ergibt sich, wenn der Frequenzfehler (-) ist. Die Korrekturkraft ist daher viel schwächer als bei einer ständigen Anzeige von (+) oder (-), wie dies durch die Phasen/Frequenz-Vergleichsschaltung der vorerwähnten Art der Fall ist.

Fig. 4 zeigt ein Blockschema eines Ausführungsbeispiels der Phasenvergleichsschaltung. Die Verwendung dieser Ausführung der Phasen/Frequenz-Vergleichsschaltung in einem PLL ist im US-Patent-Gesuch Nr. 702 803 dargestellt. In Fig. 4 ist das Dateneingangssignal an den Takteingang CP eines vierstufigen Registers 1 angeschlossen, wobei das Taktsignal digital gekoppelt ist mit dem ersten D-Flip-Flop von Register 1 und über eine 1/4-Bit-Verzögerungsschaltung 2 mit dem zweiten

D-Flip-Flop des Registers 1. Der Q₁-Ausgang der ersten Flip-Flop-Stufe ergibt ein Signal, das den (+/-)-Phasenfehler des vorliegenden Datenabtastwertes angibt. Das Q₂-Ausgangssignal der zweiten Stufe des Registers 1 gibt ein Signal, das angibt, ob ein grosser oder kleiner Phasenfehler beim vorliegenden Datenabtastwert vorhanden ist. Diese Signale sind gemäss Fig. 1 codiert und gelangen an einen 16x2-Festwertspeicher 3. Der Speicher 3 besitzt einen ersten Ausgang, an welchem ein Signal erscheint, das darstellend ist für das (+/-)-Fehlersignal des nächsten Zustandes der Daten, und einen zweiten Ausgang, mit einem Signal, das darstellend ist dafür, ob der Phasenfehler des nächsten Zustandes der Daten gross oder klein sein wird. Diese beiden Ausgänge sind mit dem D-Eingang einer dritten bzw. einer vierten D-Flip-Flop-Stufe von Register 1 verbunden, um an ihren Ausgängen Signale abzugeben, die darstellend sind für die Zustände der vorausgegangenen Daten. Das Ausgangssignal der dritten Stufe des Registers 1 ist ein Signal, das darstellend ist für das (+/-)-Fehlersignal des vorausgegangenen Datenmusters, und das Ausgangssignal der vierten Stufe von Register 1 ist ein Signal, das darstellend ist für das Fehlersignal «gross/klein» des vorausgehenden Datenabtastwertes. Die beiden Signale für den vorliegenden Abtastwert, die beiden Signale für den vorausgegangenen Zustand und die beiden Signale für den nächsten Zustand sind tatsächlich Signale der in Fig. 1 dargestellten 2-Bit-Codesignale.

Das Phasenfehlersignal der Vergleichsschaltung wird durch einen D-Flip-Flop 4 abgegeben, dessen D-Eingang mit dem +/--Phasenfehlersignal des nächsten Zustandes der Daten vom Speicher 3 gekoppelt ist, wobei der Takteingang vom Flip-Flop 4 durch ein Taktsignal getaktet wird, das den Übergang vom bedeutsamsten Bit MSB d. h. vom letzten Bit eines Datenwortes zum am wenigsten bedeutsamsten Bit (LSB), d. h. zum ersten Bit des nächsten Datenwortes darstellt. Der Festwertspeicher 3 ist gemäss Tabelle I verdrahtet oder codiert, um das gewünschte Ausgangssignal zu ergeben, das durch die daran angeschlossenen vier Eingangssignale bestimmt ist.

Tabelle II

Vorausg. Zustand	Vorlieg. Abtastwert	Nächster Zustand
+L	+L	+S
+L	+S	+L
+L	-S	+L
+L	-L	+L
+S	+L	+S
+S	+S	+S
+S	-S	-S
+S	-L	+L
-S	+L	-L
-S	+S	+S
-S	-S	-S
-S	-L	-S
-L	+L	-L
-L	+S	-L
-L	-S	-L
-L	-L	-S

Die obige Tabelle II zeigt einen zweiten Satz von Regeln, wie sie in der Vergleichsschaltung nach Fig. 4 verwendet werden können. Die bei diesem Satz von Regeln vorhandenen Phasen sind dieselben, wie in Fig. 3, während die Zustände in Fig. 5 gezeigt sind. Fig. 6 zeigt das Statusübergangs-Diagramm von Tabelle II, wobei die Kreise, Pfeile und die mit den Pfeilen verbundenen Adressen dieselbe Bedeutung haben wie in Fig. 2. Der einzige Unterschied der Schaltung nach Fig. 4 für Tabelle II besteht darin, dass der Festwertspeicher 3 statt nach Tabelle I, nach Tabelle II codiert oder verdrahtet ist.

FIG. 1.

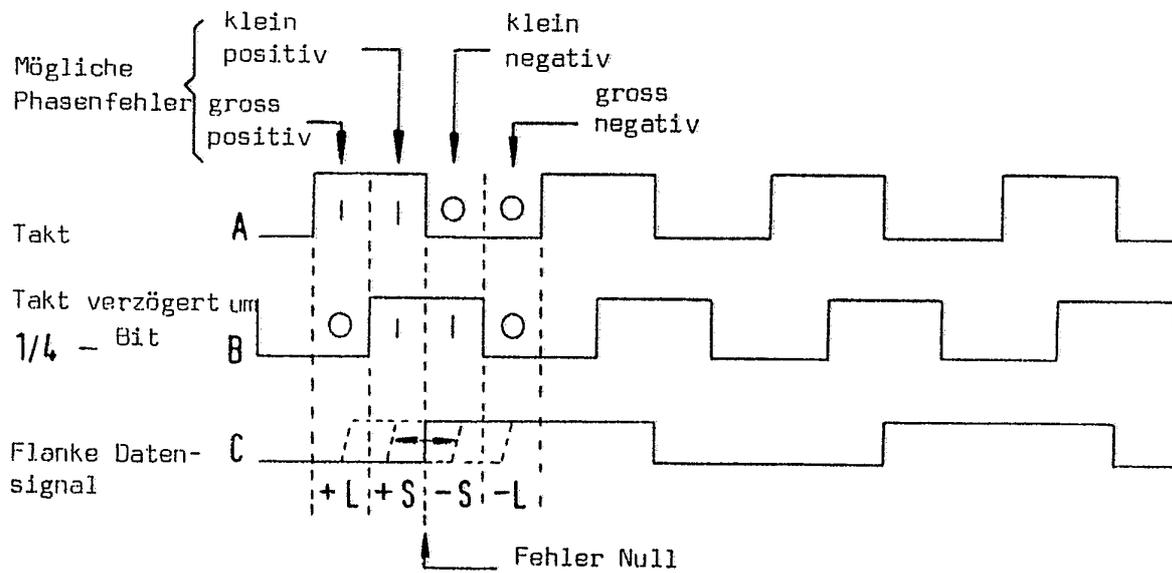


FIG. 2.

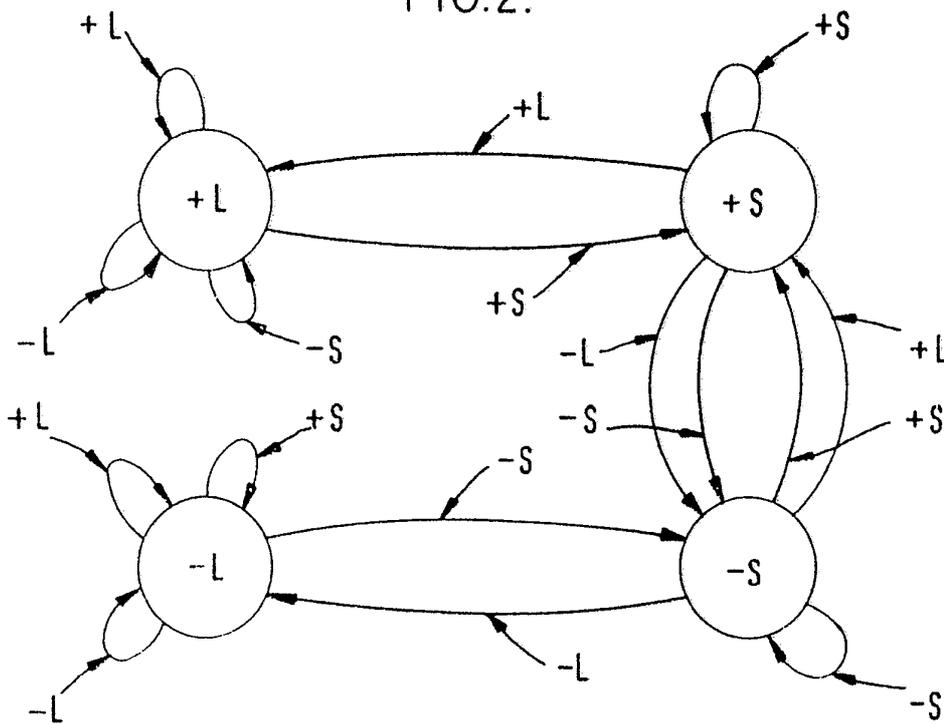


FIG. 3.

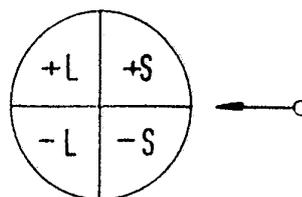


FIG.4.

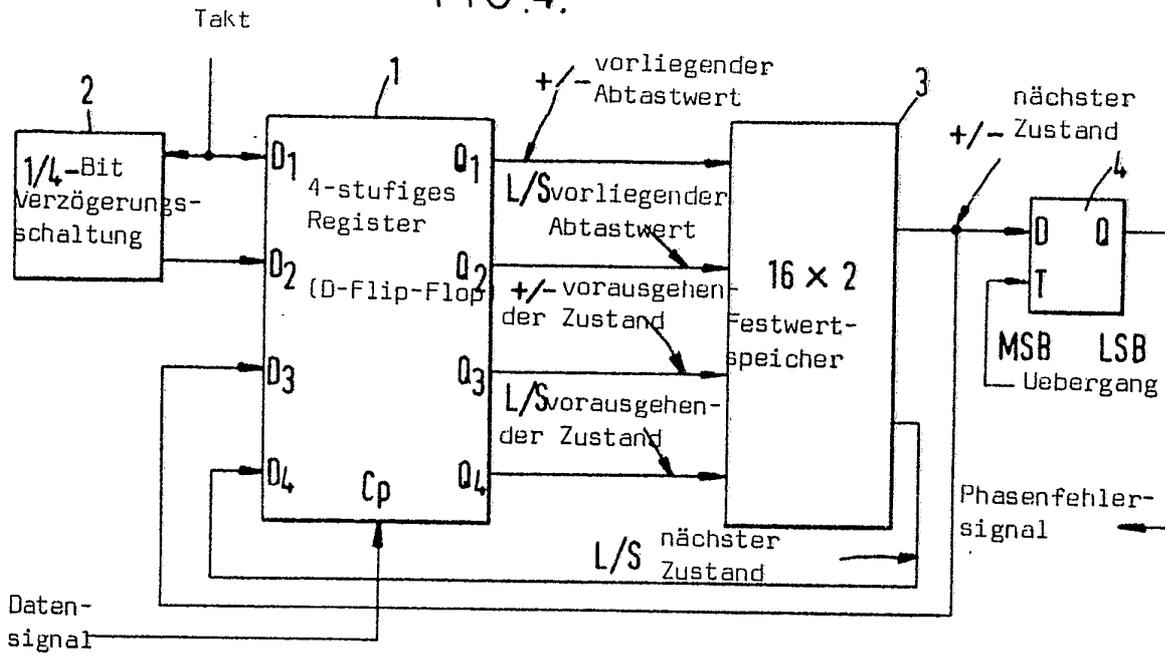


FIG.5.

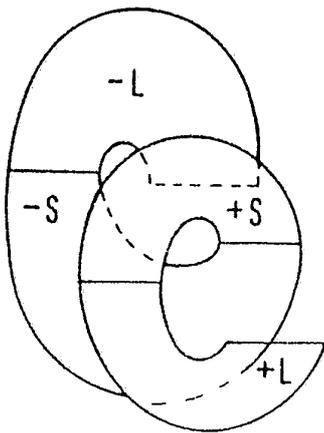


FIG.6.

