CH 652 214 A5

(19) SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

(11) CH 652 214 A5

(51) Int. Cl.⁴: G 01 R 23/15

Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

(12) PATENTSCHRIFT A5

(21) Gesuchsnummer: 6832/80

(22) Anmeldungsdatum: 11.09.1980

(24) Patent erteilt: 31.10.1985

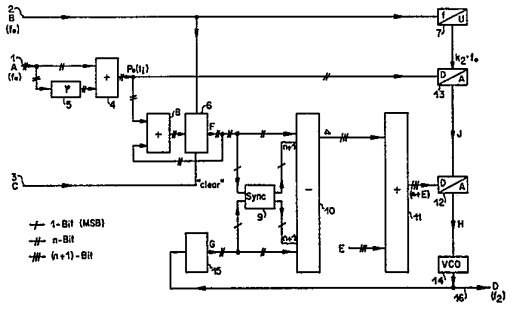
(45) Patentschrift veröffentlicht: 31.10.1985

(73) Inhaber:
LGZ Landis & Gyr Zug AG, Zug

(72) Erfinder:
Halder, Mathis, Baar

(54) Digitaler Spannungs/Frequenz-Wandler zur schnellen unverzögerten Messwertverarbeitung.

(57) Der digitale Spannungs/Frequenz-Wandler enthält einen Regelkreis, welcher aus einem Subtraktionsglied (10), einem dritten Addierglied (11), einem ersten D/A-Wandler (12), einem spannungsgesteuerten Oszillator (14) und einem Zähler (15) besteht und in welchem der Sollwert/Istwert-Vergleich mit einer gegenüber der Eingangsfrequenz erhöhten Ausgangsfrequenz (f_2) erfolgt. Ein erstes Addierglied (4) und ein Phasenschieber (5) dienen zur Eliminierung eines eventuell vorhandenen Wechselspannungsanteils im Messwert. Ausserdem sind ein zweites Addierglied (8) und ein Akkumulator (6) zur Bildung des Sollwertes (F), ein Frequenz/Spannungs-Wandler zur Verarbeitung der Digitalisierungsfrequenz (f_O), ein zweiter D/A-Wandler (13) zur Bildung eines Analogproduktes (J) und eine Synchronisierungsschaltung (9) zum Synchronisieren des Überlaufens des Akkumulators (6) und des Zählers (15) vorhanden.



PATENTANSPRÜCHE

1. Digitaler Spannungs/Frequenz-Wandler zur schnellen, unverzögerten Messwertverarbeitung, dadurch gekennzeichnet, dass in einem Regelkreis der Sollwert/Istwert-Vergleich mit einer gegenüber der Eingangsfrequenz erhöhten Ausgangsfrequenz (f_2) erfolgt.

2. Spannungs/Frequenz-Wandler nach Anspruch 1, dadurch gekennzeichnet, dass ein Wechselspannungsanteil [$p_1(t)$] des Messwertes eliminiert ist.

3. Spannungs/Frequenz-Wandler nach Anspruch 2, dadurch gekennzeichnet, dass zur Eliminierung des Wechselspannungsanteils [$p_1(t)$] ein Phasenschieber (5) angeordnet ist.

4. Spannungs/Frequenz-Wandler nach Anspruch 3, dadurch gekennzeichnet, dass der Phasenschieber (5) aus einem zusätzlichen Speicher besteht.

5. Spannungs/Frequenz-Wandler nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die Ausgangsfrequenz (f_2) sowohl dem digitalen Gleichspannungsanteil [$P_o(t_i)$] des Eingangsmesswertes als auch der Digitalisierungsfrequenz (f_o) proportional ist.

6. Spannungs-Frequenz-Wandler nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass der Sollwert aus dem in einem Akkumulator (6) akkumulierten digitalen Gleichspannungsanteil [$P_o(t_i)$] des Eingangsmesswertes besteht.

7. Spannungs/Frequenz-Wandler nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass der Regelkreis aus einem Subtraktionsglied (10), einem Addierglied (11), einem ersten D/A-Wandler (12), einem spannungsgesteuerten Oszillator (14) und einem Zähler (15) besteht.

8. Spannungs/Frequenz-Wandler nach Anspruch 7, dadurch gekennzeichnet, dass zur Addition eines beliebigen, konstanten oder variablen, digitalen Wertes (E) zur Sollwert/Istwert-Differenz (Δ) ein weiteres Addierglied (11) angeordnet ist.

9. Spannungs/Frequenz-Wandler nach Anspruch 7 oder 8, dadurch gekennzeichnet, dass das Überlaufen des Akkumulators (6) und des Zählers (15) mit Hilfe einer Synchronisierschaltung (9) und je eines (n + 1)-ten Bit synchronisiert ist.

10. Spannungs/Frequenz-Wandler nach Anspruch 9, dadurch gekennzeichnet, dass die Synchronisierschaltung (9) aus zwei D-Flip Flop (17, 18) besteht.

11. Spannungs/Frequenz-Wandler nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass als Zwischensignal vorhandene Analogprodukte (J, H) mit Hilfe eines ersten (12) und eines zweiten (13) D/A-Wandlers erzeugbar sind.

12. Spannungs/Frequenz-Wandler nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, dass er einen Frequenz/Spannungs-Wandler (7) enthält, welcher die Eingangsfrequenz in eine ihr proportionale Spannung umwandelt.

13. Spannungs/Frequenz-Wandler nach einem der Ansprüche 1 bis 12, dadurch gekennzeichnet, dass er einen Mikrocomputer enthält, welcher die Funktion der drei Addierglieder (4, 8, 11), des Subtraktionsgliedes (10), des Akkumulators (6) und des Phasenschiebers (5) übernimmt.

Die Erfindung bezieht sich auf einen digitalen Spannungs/Frequenz-Wandler zur schnellen, unverzögerten Messwertverarbeitung.

Solch ein Spannungs/Frequenz-Wandler ist z.B. Teil eines Elektrizitäts-Prüfzählers einer Zählerprüfeinrichtung, bei welchem ein digitalisierter Wert der verbrauchten Energie in eine proportionale Frequenz umgewandelt wird.

Bekannt sind, wie in «Messung elektrischer Energie und Wirkleistung mittels Abtastung und digitaler Messwertverarbeitung», W. Papiernik, Technisches Messen atm, 1978, Heft 12, Seite 437 bis 442 beschrieben, digitale elektrische Energie- und Leistungs-Messsysteme, bei welchen die Anzahl Überläufe eines Akkumulators ein Mass ist für die aufgenommene bzw. abgegebene Energie.

In Prüfeinrichtungen sind die Nachteile einer solchen Methode:

- Das relativ langsame Zählen der Überläufe mittels elektromechanischer Impulszähler
- Die Erzielung eines genauen Messresultates nur am Ende einer ganzzahligen Anzahl von Wechselspannungs-Perioden einer immer vorhandenen überlagerten Wechselspannung der Frequenz 2f, wenn f die Frequenz des Wechselspannungsnetzes ist, dessen Energieanlieferung gemessen wird.

Solch eine Messverarbeitungsmethode ist daher für Prüfzähler ungeeignet, da man beim Prüfen ein schnelles, unverzögertes und vom Augenblick des Prüfens unabhängiges Messresultat benötigt.

Bekannt und für diesen Zweck verwendbar sind ebenfalls als Frequenz-Wandler bezeichnete «Phase-Locked Loop»-Schaltungen (PLL), wie z.B. in «Der Phasenregelkreis», K.H. Müller, Internationale Elektronische Rundschau, 1971, Heft 8, Seite 191 bis 195 beschrieben.

Der Nachteil solcher Phasenregelkreise ist eine immer vorhandene, für Prüfzähler unzulässige Verzögerung der Messwert-Umwandlung und eine hier ungenügende Dynamik. Ausserdem erfolgt der Phasenvergleich bei Niederfrequenz und ist dementsprechend langsam.

Der Erfindung liegt die Aufgabe zugrunde, bekannte Messungenauigkeiten von in Analog-Technik ausgeführten Spannungs/Frequenz-Wandlern durch Verwendung der Digital-Technik zu minimalisieren und auf die Messungenauigkeiten des Analogteils von Analog/Digital-Wandlern und vorausgehenden Schaltungen zu beschränken. Dabei muss die Messwertverarbeitung selbstprüfbar sein, sollen die erwähnten Nachteile vermieden werden und ist eine schnelle, unverzögerte Messwertverarbeitung zu ermöglichen.

Diese Aufgabe wird erfindungsgemäss durch die im Kennzeichen des Patentanspruchs 1 angegebenen Merkmale gelöst.

Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung dargestellt und wird im folgenden näher beschrieben.

Es zeigen:

Fig. 1 ein elektrisches Schaltbild eines Spannungs/Frequenz-Wandlers und

Fig. 2 ein elektrisches Schaltbild einer Synchronisierschaltung.

Der Spannungs/Frequenz-Wandler nach der Fig. 1 besitzt einen n-Bit Dateneingang 1, einen einpoligen Uhreneingang 2 und einen einpoligen Rückstelleingang 3. Ein digitaler n-Bit Eingangsmesswert A erreicht über den Dateneingang 1 einen ersten Eingang eines ersten Addiergliedes 4 und den Eingang eines Phasenschiebers 5. Ein Uhrensignal B speist einpolig über den Uhreneingang 2 den Schreib-Eingang eines n-Bit Akkumulators 6 und den Eingang eines Frequenz/Spannungs-Wandlers 7. Ein Startsignal C steuert den Rückstelleingang 3, welcher mit dem «Clear»-Eingang des Akkumulators 6 verbunden ist.

Der Spannungs/Frequenz-Wandler enthält ausserdem noch ein zweites Addierglied 8, eine Synchronisierschaltung 9, ein Subtraktionsglied 10, ein drittes Addierglied 11, einen ersten D/A-Wandler (d.h. Digital/Analog-Wandler) 12, einen zweiten D/A-Wandler 13, einen spannungsgesteuerten Oszillator (VCO) 14, einen Zähler 15 und einen einpoligen Ausgang 16 mit dem Ausgangssignal D. An einem ersten (n + 1)-Bit Eingang des dritten Addiergliedes 11 liegt ein beliebiger, konstanter oder variabler, digitaler Multiplikationswert E.

Mit je einem n-Bit Datenbus sind verbunden:

– der Ausgang des Phasenschiebers 5 mit einem zweiten Eingang des ersten Addiergliedes 4,

– der Ausgang des ersten Addiergliedes 4 mit dem Digital-Eingang des zweiten D/A-Wandlers 13 und einem ersten Eingang des zweiten Addiergliedes 8,

– der Ausgang des zweiten Addiergliedes 8 mit dem Eingang des Akkumulators 6,

– der Ausgang des Akkumulators 6 mit einem zweiten Eingang des zweiten Addiergliedes 8 und den n niedrigstwertigen Klemmen eines ersten Einganges des Subtraktionsgliedes 10 und

– der Ausgang des Zählers 15 mit den n niedrigstwertigen Klemmen eines zweiten Einganges des Subtraktionsgliedes 10.

Mit je einem (n + 1)-Bit Datenbus sind verbunden:

– der Ausgang des Subtraktionsgliedes 10 mit einem zweiten Eingang des dritten Addiergliedes 11 und

– der Ausgang des dritten Addiergliedes 11 mit dem Digital-Eingang des ersten D/A-Wandlers 12.

Der einpolige Ausgang des Frequenz/Spannungs-Wandlers 7 speist den Speiseeingang des zweiten D/A-Wandlers 13, dessen einpoliger Analog-Ausgang den Speiseeingang des ersten D/A-Wandlers 12 und dessen einpoliger Analog-Ausgang wiederum den Steuereingang des spannungsgesteuerten Oszillators 14. Der Ausgang des letzteren ist seinerseits mit dem Ausgang 16 des Spannungs/Frequenz-Wandlers und dem Uhreneingang des Zählers 15 einpolig verbunden.

Der Ausgang des Akkumulators 6 mit dem höchsten Bit-Wert (MSB = «Most significant bit») speist zusätzlich einpolig einen ersten Eingang der Synchronisierschaltung 9, während der Ausgang des Zählers 15 mit dem höchsten Bit-Wert zusätzlich einpolig mit einem zweiten Eingang der Synchronisierschaltung 9 verbunden ist. Ein erster Ausgang der Synchronisierschaltung 9 ist durchgeschaltet auf die (n + 1)-te, höchstwertigste Klemme des ersten Einganges des Subtraktionsgliedes 10, während ein zweiter Ausgang der Synchronisierschaltung 9 auf die (n + 1)-te, höchstwertigste Klemme des zweiten Einganges des Subtraktionsgliedes 10 geführt ist.

In der Fig. 2 enthält die Synchronisierschaltung 9 einen ersten D-Flip Flop 17, einen zweiten D-Flip Flop 18, ein zwei Eingänge aufweisendes NOR-Gatter 19, einen ersten Inverter 20 und einen zweiten Inverter 21.

Der erste Eingang der Synchronisierschaltung 9 ist verbunden mit dem Eingang des ersten Inverters 20 und einem ersten Eingang des NOR-Gatters 19. Der zweite Eingang der Synchronisierschaltung 9 ist durchgeschaltet auf den Eingang des zweiten Inverters 21 und den zweiten Eingang des NOR-Gatters 19. Der Ausgang des NOR-Gatters19 steuert den «Rest»-Eingang R1 des ersten Flip Flop 17 und den «Reset»-Eingang R2 des zweiten Flip Flop 18, der Ausgang des ersten Inverters 20 den «Clock»-Eingang C1 des ersten Flip Flop 17, und der Ausgang des zweiten Inverters 21 den «Clock»-Eingang C2 des zweiten Flip Flop 18. Der nicht-invertierte Ausgang Q1 des ersten Flip Flop 17 ist auf den ersten und der nicht-invertierte Ausgang Q2 des zweiten Flip Flop 18 auf den zweiten Ausgang der Synchronisierschaltung 9 geführt. Die D-Eingänge der beiden D-Flip Flop sind mit logisch «1» verbunden.

Ein Analog-Messwert p (t) besteht oft aus einem Gleichspannungsanteil P_o und einem Wechselspannungsanteil $p_1(t)$, welcher im Idealfall nur eine einzige Frequenzkomponente $p_1(t) = P_1 \cdot \cos(\omega_1 t + \varphi_1)$ mit der Frequenz $f_1 = \omega_1/2\pi$, der Phase φ_1 und der Amplitude P_1 enthält.

Ein solcher Fall tritt z.B. auf bei der Messung einer Wechselstrom-Augenblicksleistung $p(t) = u(t).i(t)$, wobei i (t) den verbrauchten Wechselstrom und u (t) die elektrische Wechselspannung darstellen.

Es gelten:

$u(t) = U.\cos \omega t,$

$i(t) = I.\cos(\omega t + \varphi),$

$p(t) = U.\cos\omega t.I.\cos(\omega t + \varphi) = (1/2)U.I.$
$[\cos\varphi + \cos(2\omega t + \varphi)]$
$= P_o + p_1.\cos(\omega_1 t + \varphi_1),$

$P_o = (1/2)U.I.\cos\varphi,$

$P_1 = (1/2)U.I,$

$\omega_1 = 2\omega$ d.h. $f_1 = 2f$ oder $f_1 = 100$ Hz, falls f die Netzfrequenz 50 Hz ist,

$\varphi_1 = \varphi.$

Dabei sind U und I die Amplituden der Wechselspannung bzw. des verbrauchten Wechselstromes, $\omega = 2\pi f$ die Kreisfrequenz und φ die Spannungs/Strom-Phasendifferenz des Wechselstromes.

Der Analog-Messwert p(t) wird mit einer Digitalisierungsfrequenz f_o in an sich bekannter und in der Fig. 1 nicht dargestellter Art und Weise – siehe z.B. den erwähnten Aufsatz in atm von W. Papiernik – in einen gleichwertigen n-Bit Digital-Messwert umgewandelt und sein halber Wert als digitaler n-Bit Eingangsmesswert A dem Dateneingang des in der Fig. 1 dargestellten Spannungs/Frequenz-Wandlers zugeführt. Die Dauer T_o eines einzelnen digitalen Eingangsmesswertes A beträgt demnach höchstens $T_o = 1/f_o$. Das zum Digitalisieren benötigte rechteckige Uhrensignal wird leicht verzögert als Uhrensignal B dem Uhreneingang 2 des Spannungs/Frequenz-Wandlers zugeleitet. Ist die Digitalisierungsfrequenz f_o konstant, kann der Frequenz/Spannungs-Wandler 7 durch eine konstante Spannungsquelle ersetzt werden.

Da nur der Gleichspannungsanteil P_o von Interesse ist, wird der störende Wechselspannungsanteil $p_1(t)$ eliminiert, indem der Digital-Messwert A im Phasenschieber 5 um 180° phasenverschoben, d.h. um $T_1/2 = 1/2f_1$ zeitverzögert und anschliessend im ersten Addierglied 4 wieder zum ursprünglichen Digital-Messwert A addiert wird.

Der Phasenschieber 5 besteht z.B. aus einem Speicher, in welchem fortlaufend die verschiedenen Werte des Digital-Messwertes A abgespeichert werden. Im Augenblick t_2 werden dann die im Augenblick $t_1 = t_2 - T_1/2$ gültig gewesenen und im Phasenschieber 5 abgespeicherten Digital-Messwerte A abgerufen und, wie bereits erwähnt, im ersten Addierglied 4 zu dem anstehenden Digital-Messwert A des Augenblicks t_2 addiert.

Unter der Annahme, dass während der sehr kurzen Zeit $T_1/2$ in der Grössenordnung von 1/100 Hz = 10 ms der Gleichspannungsanteil P_o und die Amplitude P_1 des Wechselspannungsanteils $p_1(t)$ sich praktisch kaum ändern und als konstant angenommen werden können, erhält man im Augenblick t_2 für das erste Addierglied 4 ein Ausgangssignal:

$$p(t_2)/2 + p(t_2)/2 =$$
$$P_o/2 + [P_1 \cos(\omega_1 t_2 + \varphi_1)]/2 + P_o/2 + [P_1 \cos(\omega_1 t_1 + \varphi_1)]/2 =$$
$$P_o + P_1\{\cos(\omega_1 t_2 + \varphi_1) + \cos[\omega_1(t_2 - T_1/2) + \varphi_1]\}/2 =$$
$$P_o + P_1\{\cos(\omega_1 t_2 + \varphi_1) + \cos[(\omega_1 t_2 + \varphi_1) = \pi]\}/2 = P_o,$$

da ja $\omega_1 T_1/2 = 2\pi f_1/2f_1 = \pi$ und $\cos[(\omega_1 t_2 + \varphi_1) - \pi] = -\cos(\omega_1 t_2 + \varphi_1)$ ist. Der Wechselspannungsanteil $p_1(t)$ ist somit eliminiert.

Da der Gleichspannungsanteil P_o über längere Zeit gesehen nicht als konstant angenommen werden kann und er ausserdem digitalisiert ist, verwenden wir nachfolgend für ihn die Bezeichnung $P_o(t_i)$, wobei i ganzzahlige Werte 1, 2, 3, . . ., m annehmen kann. Der am Ausgang des ersten Addiergliedes 4 erscheinende Digitalwert $P_o(t_i)$ wird mit Hilfe des zweiten Addiergliedes 8 zum bereits vorhandenen Inhalt des n-Bit Akkumulators 6 addiert, so dass an dessen Ausgang der kumulierte digitale Messwert

$f_o \cdot \sum_{i=1}^{m} P_o(t_i)$ erscheint. Bedingung dafür ist, dass zu Beginn der Messung der Inhalt des Akkumulators 6 auf Null zurückgestellt wurde, was mit Hilfe des auf den Rückstelleingang 3 gegebenen Startsignals C geschieht. Das Startsignal C wird z.B. durch eine in den Figuren nicht dargestellte Drucktaste ausgelöst, welche in an sich bekannter Weise über eine Entprellschaltung einen monostabilen Multivibrator ansteuert, dessen Ausgang seinerseits den Rückstelleingang 3 speist. Das Ausgangssignal des Akkumulators 6 dient einem nachgeschalteten Regelkreis als n-Bit Sollwert F. Der Regelkreis besteht aus dem Subtraktionsglied 10, welches die (n+1)-Bit Sollwert/Istwert-Differenz Δ bildet, dem dritten Addierglied 11, dem ersten D/A-Wandler 12, dem spannungsgesteuerten Oszillator 14 und zum Zähler 15. Der letztere liefert an seinem Ausgang den n-Bit Istwert G. Im dritten Addierglied 11 wird zur (n+1)-Bit Sollwert/Istwert Differenz Δ der beliebige digitale (n+1)-Bit Multiplikationswert E addiert und der Summenwert (Δ+E) anschliessend im ersten D/A-Wandler 12 in einen proportionalen Analogwert $H = k_1 \cdot J \cdot (\Delta + E)$ umgewandelt. J ist die Speisespannung des ersten D/A-Wandlers 12, welche vom Analog-Ausgang des zweiten D/A-Wandlers 13 geliefert wird. Der Frequenz/Spannungs-Wandler 7 wandelt die Digitalisierungsfrequenz f_o des Uhrensignals B um in ein proportionales Ausgangssignal $k_2 \cdot f_o$, welches dem zweiten D/A-Wandler 13 als Speisespannung dient, und da dessen Digital-Eingang mit dem Messwert $P_o(t_i)$ gespeist wird, erhält man an seinem Analog-Ausgang den Wert $J = k_2 \cdot k_3 \cdot f_o \cdot P_o(t_i)$. Es gilt dann $H = k_1 \cdot k_2 \cdot k_3 \cdot f_o \cdot (\Delta + E) \cdot P_o(t_i)$. Das Ausgangssignal H des ersten D/A-Wandlers 12 steuert den spannungsgesteuerten Oszillator 14, dessen Ausgangsfrequenz f_2 demnach gleich $k_4 \cdot H = k_1 \cdot k_2 \cdot k_3 \cdot k_4 \cdot f_o \cdot (\Delta + E) \cdot P_o(t_i) = K \cdot f_o \cdot (\Delta + E) \cdot P_o(t_i)$ ist, mit $K = k_1 \cdot k_2 \cdot k_3 \cdot k_4$. Die Frequenz f_2 ist zugleich auch die Frequenz des Ausgangssignals D des Spannungs/Frequenz-Wandlers, dessen Impulse im Zähler 15 gezählt werden, so dass an dessen Aausgang der Summenwert $K \cdot f_o \cdot (\Delta + E) \cdot \sum_{i=1}^{m}$ $P_o(t_i)$ erscheint, welcher dem Regelkreis wie bereits erwähnt als Istwert G zugeführt wird. Zu bemerken ist, dass im eingeschwungenen Zustand die Sollwert/Istwert-Differenz Δ gleich Null ist, also Sollwert = Istwert, und somit folgende Gleichungen gelten:

$$f_o \cdot \sum_{i=1}^{m} P_o(t_i) = K \cdot f_o \cdot E \cdot \sum_{i=1}^{m} P_o(t_i) \text{ bzw. } K \cdot E = 1$$

Damit ist $f_2 = f_o \cdot P_o(t_i)$.

Der Spannungs/Frequenz-Wandler kann demnach zuerst einmal als solcher verwendet werden und den digitalen Messwert $P_o(t_i)$ in eine ihm proportionale höhere Frequenz f_2 umwandeln oder andererseits als Frequenz-Wandler benutzt werden, um die Digitalisierungsfrequenz f_o on eine ihr proportionale höhere Frequenz f_2 umzuwandeln.

k_1, k_2, k_3 und k_4 sind konstante Proportionalfaktoren, welche den ersten D/A-Wandler 12 bzw. den Frequenz/Spannungs-Wandler 7 bzw. den zweiten D/A-Wandler 13 bzw. den spannungsgesteuerten Oszillator 14 kennzeichnen.

Der Akkumulator 6 und der Zähler 15 sind im Grunde genommen zwei n-Bit Speicher, welche asynchron miteinander betrieben werden, d.h. es besteht meistens ein kleiner zeitlicher Unterschied zwischen dem Umschalten eines Bit des einen und dem Umschalten des gleichen Bit des anderen Speichers. Da die Anzahl Bit n gegeben ist, ist die Kapazität dieser beiden Speicher begrenzt und sie laufen früher oder später über. Aus dem obenerwähnten Grund ist dieser Überlauf asynchron. Das heisst, kurz nach dem Überlaufen des einen der beiden Speicher enthält dieser das n-Bit Wort 0 . . .000, während der andere noch das n-Bit Wort 1 . . .111 enthält. Kurzzeitig ist demnach die Sollwert/Istwert-Differenz anormal gross. Um dieses zu vermeiden, fügt man dem n-Bit Sollwert F mit Hilfe des ersten D-Flip Flop 17 der Synchronisierschaltun 9 und dem n-Bit Istwert G mit Hilfe des zweiten D-Flip Flop 18 der Synchronisierschaltung 9 je ein (n+1)-tes Bit hinzu. Normalerweise sind beide D-Flip Flop 17 und 18 auf Null zurückgestellt, d.h. das (n+1)-te Bit des Soll- und des Istwertes ist dauernd Null und demnach nicht in Betrieb. Beim Überlaufen eines der beiden Speicher – Akkumulator 6 oder Zähler 15 –, schaltet die negative Flanke des MSB («Most Significant Bit») des zugehörigen n-Bit Ausgangssignals über einen Inverter 20 bzw. 21 der Synchronisierschaltung 9, welcher die positive in eine negative Flanke umwandelt, den zugehörigen D-Flip Flop 17 bzw. 18 auf logisch «1». Das entsprechende (n+1)-Bit Wort wird demnach 10 . . .000, während das entsprechende (n+1)-Bit Wort des noch nicht überlaufenen Speichers den Wert 01 . . .111 beibehält. Die Sollwert/Istwert-Differenz bleibt demnach klein. Erst wenn etwas später auch der andere Speicher überläuft, d.h. wenn das MSB seines n-Bit Ausgangssignals Null wird und demnach beide MSB der n-Bit Wörter gleichzeitig Null sind und das Ausgangssignal des NOR-Gatters 19 der Synchronisierschaltung 9 logisch «1» wird, wird der auf logisch «1» geschaltete D-Flip Flop 17 bzw. 18 wieder auf Null zurückgestellt, so dass der (n+1)-Bit Sollwert und der (n+1)-Bit Istwert gleichzeitig den Wert 0 annehmen und damit kurzzeitig Synchronismus des MSB hergestellt wird. Die Sollwert/Istwert-Differenz ist in diesem Augenblick wie gewünscht gleich klein wie vor der Synchronisierung.

Die Funktionen der drei Addierglieder 4, 8 und 11, des Subtraktionsgliedes 10, des Akkumulators 6 und des Phasenschiebers 5, falls dieser mittels eines Speichers realisiert wurde, können von einem einzigen Mikrocomputer übernommen werden.

Fig. 1

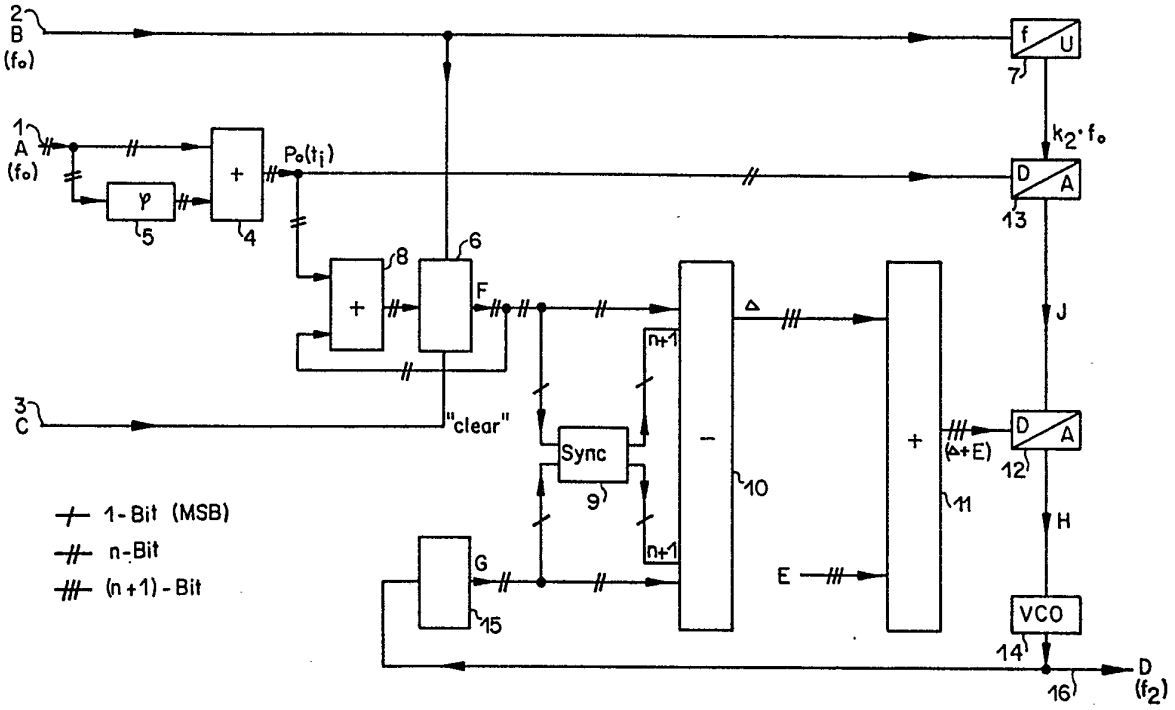
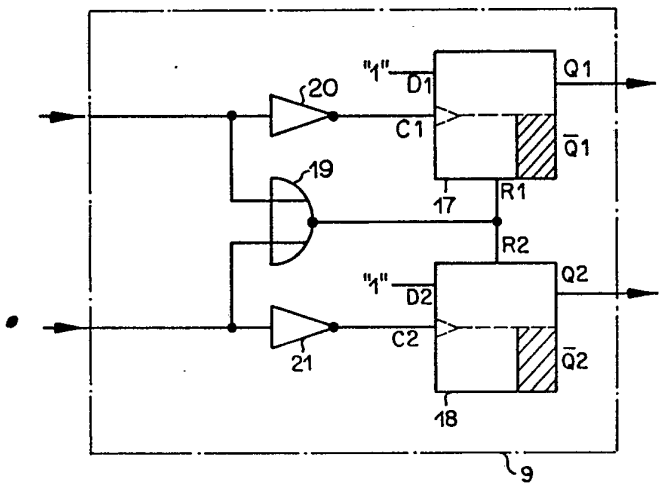

2
B
(f₀)
1
A
(f₀)
φ
5
+
4
P₀(tᵢ)
f U
7
k₂·f₀
D A
13
+
8
6
F
3
C
"clear"
Sync
9
n+1
−
10
Δ
+
11
(Δ+E)
D A
12
J
H
E
G
15
VCO
14
D
(f₂)
16
1-Bit (MSB)
n-Bit
(n+1)-Bit

Fig. 2


"1"
D1
Q1
20
C1
Q̄1
19
17
R1
R2
"1"
D2
Q2
C2
Q̄2
21
18
9