



(12) 发明专利申请

(10) 申请公布号 CN 101770962 A

(43) 申请公布日 2010. 07. 07

(21) 申请号 200910212033. 1

H01L 23/485 (2006. 01)

(22) 申请日 2009. 11. 06

(30) 优先权数据

12/344, 774 2008. 12. 29 US

(71) 申请人 国际商业机器公司

地址 美国纽约

(72) 发明人 蒂莫西·H·道本斯匹克

杰弗里·P·甘比诺

克里斯托弗·D·玛兹

沃尔夫冈·索特 T·D·萨利文

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(51) Int. Cl.

H01L 21/60 (2006. 01)

H01L 21/50 (2006. 01)

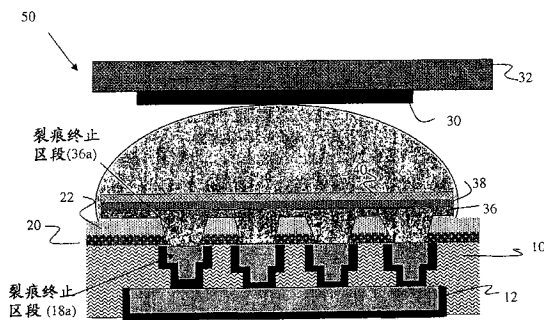
权利要求书 2 页 说明书 5 页 附图 3 页

(54) 发明名称

改善半导体器件中的焊料凸块连接的结构和方法

(57) 摘要

本发明提供具有改进的焊接凸块连接的结构以及制备此类结构的方法。方法包括在电介质层中形成上布线层以及在该上布线层之上沉积一个或更多个电介质层。该方法还包括在一个或更多个电介质层中形成多个延伸到上布线层的离散沟槽。该方法还包括将球限冶金层或凸块下冶金层沉积于多个离散沟槽中以形成与上布线层接触的离散金属岛状体。焊料凸块被形成为与多个离散金属岛状体电连接。



1. 一种制造半导体结构的方法,包括以下步骤:
在电介质层级中形成上布线层;
在所述上布线层之上沉积一个或更多个电介质层;
在所述一个或更多个电介质层中形成延伸到所述上布线层的多个离散的通孔;
将球限冶金层或凸块下冶金层沉积于所述多个离散的通孔中以形成与所述上布线层接触的离散的金属岛状体;以及
形成与所述多个离散的金属岛状体电连接的焊料凸块。
2. 根据权利要求 1 的方法,还包括在所述焊料凸块和所述多个离散的金属岛状体之间形成金属层。
3. 根据权利要求 2 的方法,其中所述金属层包括定位焊盘和导电焊盘。
4. 根据权利要求 3 的方法,其中所述定位焊盘被沉积于所述导电焊盘之上并且包括夹在上金层和底阻挡层之间的镍材料。
5. 根据权利要求 1 的方法,其中所述凸块冶金层或球限冶金层包括难熔金属基层、导电金属中间层和扩散阻挡顶层。
6. 根据权利要求 1 的方法,其中所述焊料凸块是无铅焊料凸块。
7. 根据权利要求 1 的方法,其中形成多个离散的通孔的步骤包括在所述一个或更多个电介质层中蚀刻各种尺寸和形状的开口。
8. 根据权利要求 1 的方法,其中所述一个或更多个电介质层是两个电介质层。
9. 根据权利要求 1 的方法,还包括在所述电介质层中形成多个离散的沟槽以及将上布线层级材料沉积于该离散的沟槽中以形成离散的上布线层岛状体。
10. 根据权利要求 9 的方法,其中所述离散的金属岛状体与所述离散的上布线层岛状体接触。
11. 一种制造封装的方法,包括以下步骤:
在一个或更多个电介质层中形成延伸到下面的金属层的多个离散的通孔;
将金属材料沉积于所述离散的通孔中,这形成了与所述下面的金属层接触的凸块下冶金或球限冶金层的岛状体;
沉积与所述岛状体电连接的非铅焊料凸块;以及
将层板结构键合到所述非铅焊料凸块。
12. 根据权利要求 11 的方法,还包括在所述焊料凸块和所述岛状体之间形成定位焊盘和导电焊盘。
13. 根据权利要求 11 的方法,其中形成所述多个离散的通孔的步骤包括在所述一个或更多个电介质层中形成各种尺寸和形状的开口。
14. 根据权利要求 11 的方法,还包括:
在下电介质层中形成多个离散的沟槽;以及
以与所述岛状体及下面的金属衬接触的导电材料填充所述多个离散的沟槽。
15. 一种焊料凸块结构,包括:
多个凸块下冶金层或球限冶金层的金属岛状体,形成于一个或更多个电介质层中并且与下电介质层中的上布线层接触;以及
与所述金属岛状体电连接的焊料凸块。

16. 根据权利要求 15 的结构,还包括与所述焊料凸块接合的层板,其中所述焊料凸块是无铅焊料凸块。
17. 根据权利要求 15 的结构,其中所述金属岛状体包含 TaN 或 TiW。
18. 根据权利要求 15 的结构,还包括以导电材料填充的多个离散的沟槽,被形成于下电介质层中并且与所述金属岛状体对准和电接触。
19. 根据权利要求 17 的结构,其中所述导电材料是扩散阻挡层和铜。
20. 根据权利要求 15 的结构,其中所述金属岛状体是具有各种尺寸和形状的。

改善半导体器件中的焊料凸块连接的结构和方法

技术领域

[0002] 本发明涉及集成电路,以及更具体地,涉及具有改进的焊料凸块连接的结构和制备此类结构的方法。

背景技术

[0003] 传统上,已经使用高温 C4(可控塌陷芯片连接)凸块以将芯片接合(bond)到衬底,最常见和广泛使用的封装为有机层板(laminate)。按照常规,C4凸块(焊料凸块)由含铅焊料制成,因为它具有优良的性能。例如,已经知道铅可减轻芯片与衬底(即,有机层板)之间的导热系数(TCE)失配。因此,在冷却循环期间所施加的应力由C4凸块减轻,从而防止芯片或衬底发生脱层或者其它损坏。

[0004] 目前,许多国家正在实行无铅要求,强制制造商实施将芯片连结到衬底的新方法。例如,由与SAC合金结合的锡/铜、锡/银(具有高浓度的银)和锡/金构成的焊料互连被用作含铅焊料互连的替代。但是,根据无铅要求,关于C4互连的缺点方面的担忧已经浮现,例如,导致器件失效的在C4凸块下的芯片冶金层(metallurgy)中的裂痕(crack)(由于它们在CSAM检查过程中的外观而命名为“白凸块”)。更具体地,白凸块是没有与Cu最后金属焊盘形成良好的电接触的C4凸块,从而导致芯片在功能测试中或者在实际应用中失效。这可以归因于,至少部分归因于使用高应力无铅C4(焊料凸块)的芯片设计,高应力无铅C4使C4/AlCu凸块与Cu丝线的粘附问题恶化。

[0005] 作为一个说明性的实例,在芯片连结(joining)回流的过程中,芯片与其衬底被加热到升高的温度(约250°C)以形成焊料互连连结点。冷却的初始部分导致小应力累积;但是,当焊点固化(对于小的无铅焊点为180°C左右)时,在封装上观察到增加的应力。特别地,在封装(层板、焊料及芯片)开始冷却时,焊料开始固化(例如,在180°C左右)并且层板开始收缩然而芯片基本保持相同尺寸。芯片与衬底之间的热膨胀差异由器件和衬底的面外变形以及由焊点的剪切变形所容纳。器件上的峰值应力出现于回流的冷却部分期间。

[0006] 当焊料是鲁棒的(robust)并且超过芯片的强度时,拉伸应力开始使芯片上的结构脱层。由芯片(3.5ppm)和层板(16ppm)之间的TCE失配所引起的高剪切应力导致界面失效(即,处于C4之下的BEOL铜与电介质(例如,FSG)之间的分离)。这种界面失效本身表现为C4凸块下的芯片冶金层中的裂痕。另外,由于这些叠置膜(overlying films)中的不充分的势垒层完整性,还存在Sn从无铅焊料凸块通过BLM/定位焊盘(capture pad)结构向下扩散并进入到最后金属铜层内的趋势。当这种情况发生时,在最后金属层中的铜在与Sn的反应中经受体积膨胀,并且产生裂痕。

[0007] 因此,本领域需要克服以上所描述的不足和局限。

发明内容

[0008] 在本发明的第一方面中,一种制造半导体结构的方法包括在电介质层中形成上布线层以及在该上布线层之上沉积一个或更多个电介质层。该方法还包括在一个或更多

个电介质层中形成多个延伸到上布线层的离散沟槽。该方法还包括将球限冶金层 (ball limiting metallurgy) 或凸块下冶金层 (under bump metallurgy) 沉积于所述多个离散沟槽中以形成与上布线层接触的离散金属岛状体。焊料凸块被形成为与所述多个离散的金属岛状体电连接。

[0009] 在本发明的第二方面中,一种制造封装的方法包括:在一个或多个电介质层中形成延伸到下面的布线层的多个离散沟槽;将金属材料沉积于离散的沟槽中,这形成了与下面的布线层接触的凸块下冶金层或球限冶金层的岛状体;沉积与该岛状体电连接的无铅焊料凸块;以及将层板结构接合到无铅焊料凸块。

[0010] 在本发明的第三方面中,一种焊料凸块结构包括在一个或多个电介质层中形成的并且与下电介质层中的上布线层接触的凸块下冶金层或球限冶金层的多个金属岛状体。焊料凸块是与金属岛状体电连接的。

附图说明

[0011] 在下面的详细描述中参考所注明的多附图通过本发明的示例性实施方案的非限制性实例描述了本发明。

[0012] 图 1-8 显示了根据本发明的各方面的结构以及各个处理步骤。

具体实施方式

[0013] 本发明涉及集成电路,以及,更特别地,涉及具有改进的焊料凸块连接的结构以及制备此类结构的方法。更具体地,本发明提供结构以及制造此类结构的方法,其中该结构阻止裂痕或脱层出现于下面的 BEOL (线程后端) 通孔中以及出现于相关的金属互连和 / 或焊盘和 / 或布线中。例如,在实施中,本发明防止 C4 应力被转移到整个布线层,在整个布线层中它能够导致灾难性的布线失效。这能够通过设置离散的金属岛状体或者凸块下或球限冶金层的区段 (segments) 来实现,这防止在冷却周期内所施加的应力使整个布线层脱层,使器件不能工作。

[0014] 本发明适用于所有 C4 工艺,包括镀、屏蔽 (screening)、以及物理布置方法,例如, C4NP (可控塌陷芯片连接新工艺)。由国际商用机器公司 (International Business Machines Corp.) 倡导的 C4NP 提供了组合了以下优点的倒装芯片技术:百分之百无铅、高可靠性、精细间距 (pitch)、更低的材料成本,以及适应于使用几乎所有类型的焊料组合物的灵活性。这里的工艺及结构能够被使用于已知的和即将来临的技术世代,并且特别适用于使用 C4NP 的 300mm 晶片技术。因此,本发明的工艺将对未来的铜布线技术世代有益。

[0015] 特别地,图 1 显示了包括形成于电介质材料 10 中的下金属层 12 的起始结构。例如,下金属层 12 可以是例如衬以氮化钽的扩散阻挡层的铜材料。本领域技术人员将意识到,金属层 12 并不限于衬以氮化钽的铜,而是可以是例如衬以氮化钽或其它扩散阻挡层的任意导电金属。电介质材料 10 例如可以是 SiO_2 。

[0016] 多个沟槽 14 被形成于电介质材料 10 中,延伸到下面的金属层 12,例如,布线。沟槽 14 形成了分离的、离散的区段,它们被设计成防止裂痕阻停影响整个金属层 (否则这会导致器件失效)。沟槽 14 能够使用任何常规的光刻及蚀刻工艺来形成。例如,沟槽 14 的形成能够通过以下操作来处理:利用暴露于光下的掩蔽层使用常规光刻法形成开口,并且使

用随后的蚀刻（例如，反应离子蚀刻（RIE））技术在电介质材料 10 中形成沟槽 14。这可以是两个步骤的蚀刻工艺，因为沟槽包括两种不同的截面形状。由于这些是常规的工艺，所以要实现本发明对于本领域技术人员来说不需要进一步的解释。

[0017] 沟槽 14 的范围可以是跨 1 微米～10 微米并且可以是多种不同形状和尺寸（例如，更小的和更大的开口）。沟槽 14 可以包括在几种尺寸的开口周围的放射状或弧形偏移区段（offset segment）。在几种实施方案中，沟槽 14 可以包括一个或更多个开口或形状的模式，或者是例如网格图案、棋盘形图案、分段线、交叠线（overlapping lines）、偏移线（offset lines）、垂直线、弧段或在此讨论的模式的任意组合的形状。

[0018] 在另一替换实施方案（图 3b）中，所述的多个沟槽 14 可以是单个沟槽以形成常规布线层。如下面所讨论的，沟槽 14 能够衬以扩散阻挡层并且用铜或其它导电材料填充以形成上布线层。在这种实施中，工艺过程将以图 4 中所示的继续。

[0019] 图 2 显示了沉积于沟槽 14 内的金属衬（metal liner）16，例如，扩散阻挡层。金属衬 16 可以是例如氮化钽材料。金属衬 16 使用常规的沉积方法来沉积，例如物理汽相沉积（PVD），不过其它沉积技术同样能够使用于本发明中，例如，化学汽相沉积（CVD）。化学机械抛光（CMP）能够被执行以使图 2 的结构表面平坦化。

[0020] 在图 3a 中，金属材料 18 被沉积于沟槽 14 中。金属材料 18 可以被用来形成上布线层。更具体地，金属材料 18 可以在电介质层 10 的沟槽内形成的 BEOL 布线结构。铜布线 18 被分段（由于沟槽的布局），这形成了离散的岛状体使得施加于结构上的应力只会使外部的岛状体脱层，而不会影响整个金属层。这将防止在应力被施加于结构上时出现器件失效。化学机械抛光（CMP）也能够被执行以使图 3a 的结构表面平坦化。

[0021] 在图 3b 所示的另一替换实施方案中，所述的多个沟槽 14 可以是单一沟槽以形成常规的布线层。沟槽 14 能够衬以扩散阻挡层并且用铜或其它导电材料填充以形成上布线层。在这种实施中，工艺过程将以图 4 中所示的继续。

[0022] 在图 4 中，电介质层 20、22 被沉积于图 3a 或图 3b 的结构平坦化表面上。在任一种情况中，电介质层 20 例如可以是 SiN。作为选择，电介质层 20 可以是 SiN、SiO₂ 及 SiN 的分层结构。电介质层 22 可以是沉积于电介质层 20 上的光敏聚酰亚胺或其它类型的绝缘材料。电介质层 20、22 能够使用常规沉积技术来沉积，例如，CVD。在几种实施方案中，电介质层 20、22 的厚度范围可以大约高为 5～10 微米；不过本发明也考虑其它尺寸。在光敏聚酰亚胺的情况下，电介质层 22 的厚度可以是大约 5 微米。

[0023] 参考图 5，电介质层 20、22 经过图形化步骤以形成多个离散的通孔（via）34。该多个离散的通孔 34 的宽度或直径（由形状而定）可以是大约 1 微米；不过该尺寸不应该被看作是本发明的限制性特征。在几种实施方案中，所述多个通孔 34 的范围可以是跨 1 微米～10 微米并且可以是几种不同的形状和尺寸（例如，更小的和更大的开口）。例如，多个通孔 34 可以在几种尺寸的开口周围的放射状或弧形的偏移区段。在几种实施方案中，多个通孔 34 可以是一个或更多个开口或形状的模式，或者是例如网格图案、棋盘形图案、分段线、交叠线、偏移线、垂直线、弧段以及在此讨论的模式的任意组合的形状。

[0024] 在几种实施方案中，多个离散的通孔 34 将阻止裂痕形成，如下面进一步讨论的。对于 PSPI 层，离散的通孔 34 能够在不需要常规的蚀刻工艺（例如，RIE）的情况下以任意常规方式形成，例如曝光和显影。作为选择，常规光刻及蚀刻工艺能够被用来形成通孔 34。

通孔 34 与金属材料 18 对准并且延伸到金属材料 18。

[0025] 如图 6 所示,金属材料 36 被沉积于通孔 34 内,与金属材料 18 接触。金属材料 36 可以是例如 TaN 或 TiW。在离散通孔内的金属将产生离散的岛状体,离散的岛状体形成球限冶金层 (BLM) 或凸块下冶金层 (ULM) 的一部分。在通孔 34 中,金属材料 36 的厚度例如可以大约为 0.55 微米 (或略大于通孔 34 的直径的 1/2)。这将使金属材料 36 能够延伸于层 22 上方。另一金属层 38 (例如,含铝或铜的导电焊盘) 被沉积于金属材料 36 上。在几种实施方案中,金属层 38 是可选层。CrCu 或 Cu 层 40 能够被沉积于金属层 38 上以形成定位焊盘。金属层 36、38、40 能够使用常规的沉积技术来沉积,例如, CVD。

[0026] 在图 7 中,焊料凸块被沉积于金属层 40 上。更具体地,无铅焊料凸块 28 (例如,与 SAC 合金结合的锡 / 金、锡 / 铜以及锡 / 银) 被沉积于金属层 40 上。

[0027] 图 8 显示了总体由参考数字 50 标明的封装芯片。封装芯片 50 显示了与层板 32 的接合焊盘 30 连接的焊料凸块 28。层板 32 可以是有机层板或陶瓷层板。图 8 还绘图地显示了裂痕在 BLM 区段 (定位焊盘 30) 中的萌生及终止。

[0028] 本领域技术人员现在应当理解,本发明添加了为了防止整个布线层脱层而设计的附加的区段图案。使用附加的区段图案,应力将被中断于布线层的外围,应力的中断则又起到任何裂痕传播的终止点的作用。也就是, TaN/TiW 层 36a (除了包括区段 18a 之外,如果图 1-3a 所示的实施方案被结合起来使用的话) 的外围区段或岛状体将引起应力中断,应力的中断则又起到裂痕传播的终止点的作用。以这种方式,任何萌生的裂痕将在单个互连处停止并因此不沿着 BLM 中的金属间 (IMC) 化合物与焊料材料之间的整个界面传播。这种结构可适用于由 C4 焊料凸块 (特别是无铅 C4) 所连结的任何两个部分以及包括任何芯片堆叠或“3D”应用。

[0029] 如上所述的方法被使用在集成电路芯片的制备中。所产生的集成电路芯片能够由制造厂家按以下形式分销:原始晶片形式 (即,作为含有多个未封装芯片的单个晶片),作为裸单片 (bare die),或者以封装的形式。在后一种情况中,芯片被装于单个芯片封装 (例如塑料载体,具有附接到主板或者其它更高层级载体上的引线) 中或者于多芯片封装 (例如陶瓷载体,其具有表面互连或隐埋互连之一或两者) 中。在任何情况下,芯片然后与其它芯片、分立电路元件、和 / 或其它信号处理器件集成作为 (a) 中间产品 (例如主板) 的一部分或者 (b) 最终产品的一部分。最终产品可以是包括集成电路芯片的任何产品。

[0030] 在此所使用的术语只是为了描述特别的实施方案而并没有意图限制本发明。如在此所使用的,单数形式的“a”、“an”及“the”同样意指包括多种形式,除非上下文另有明确说明。还应当理解,在本说明书中所使用的词语“包括”和 / 或“含有”描述了所声称的特征、整体 (integer)、步骤、操作、元件、和 / 或成分的存在,但并不排除存在或增加一个或更多个其它特征、整体、步骤、操作、元件、成分、和 / 或其组合。

[0031] 在所附权利要求书中的相应的结构、材料、行为、以及所有手段或步骤加上功能元素 (若存在) 的等效物意欲包括任何结构、材料、或行为以实现与其它所声明的具体要求保护的元素相结合的功能。本发明的说明书是为了解释和描述的目的而呈现,但并不意欲是穷尽的或者将本发明限制于所公开的形式。对本领域技术人员来说,许多修改和变化在没有脱离本发明的范围和精神的情况下将是显而易见的。选择并描述各个实施方案是为了最佳地解释本发明的原理及实施应用,并且为了使其他本领域技术人员能够理解本发明可用

于具有适用于特定的所考虑的使用的各种修改的各种实施方式。

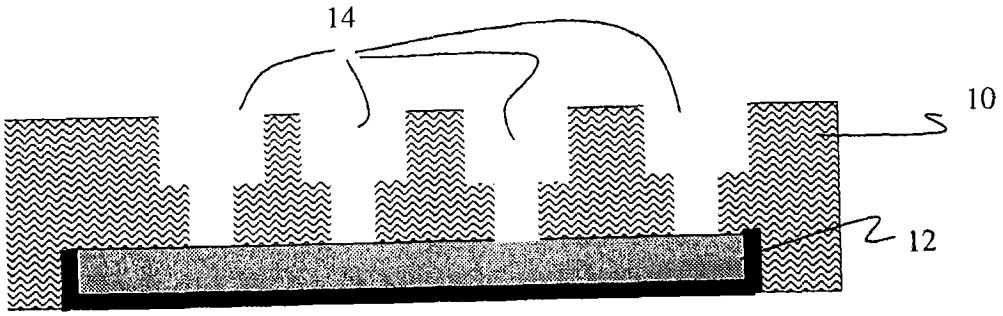


图 1

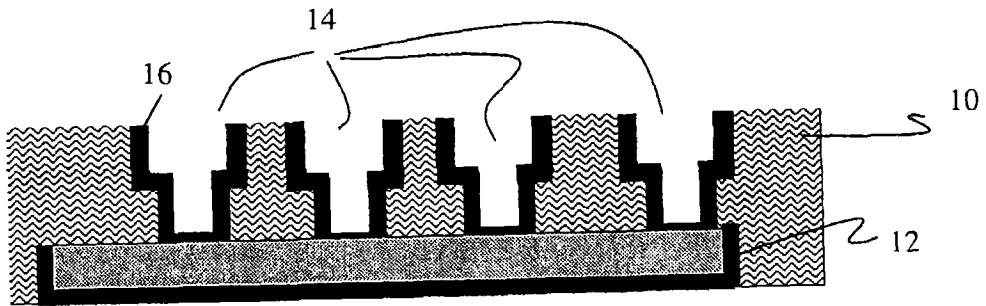


图 2

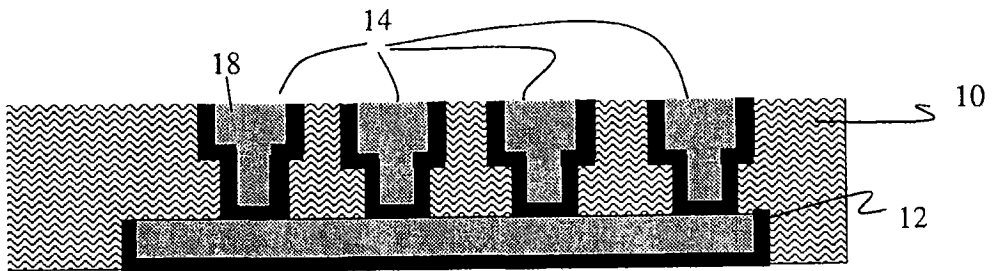


图 3a

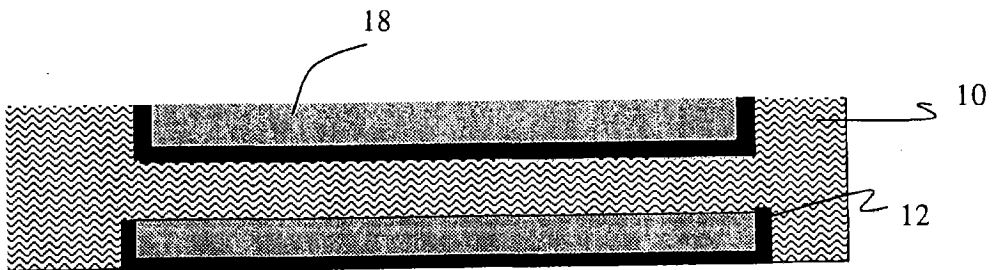


图 3b

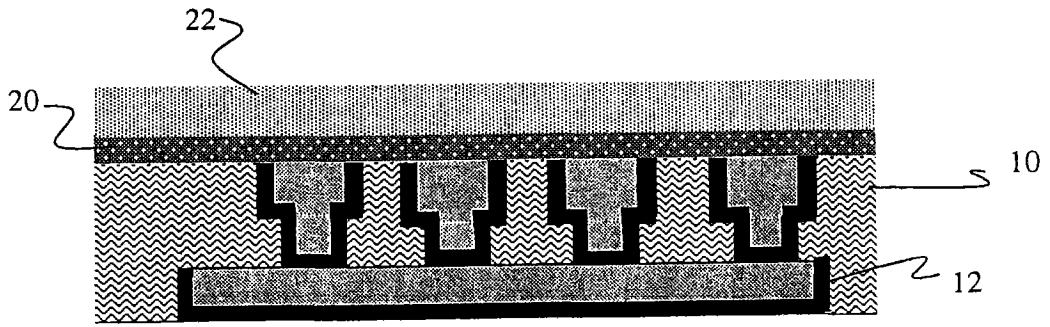


图 4

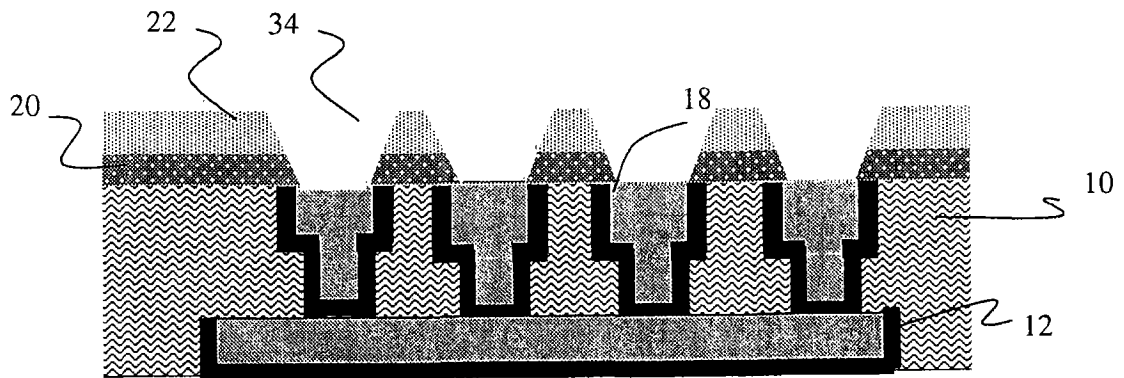


图 5

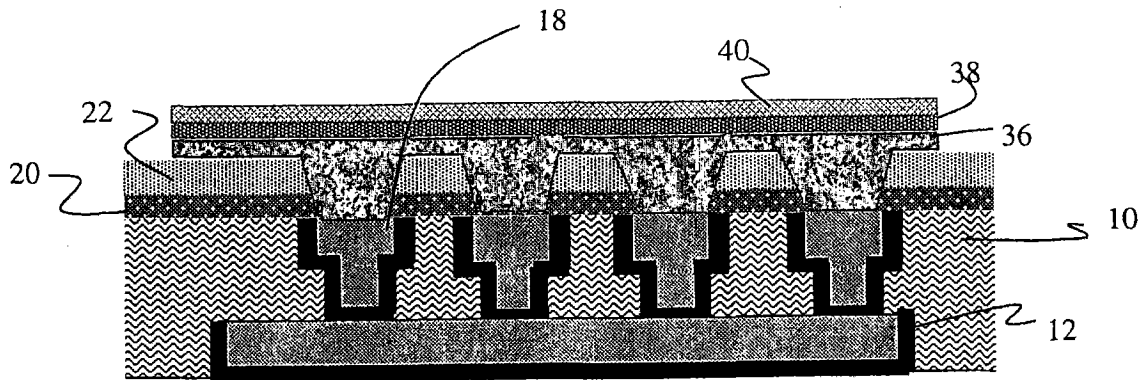


图 6

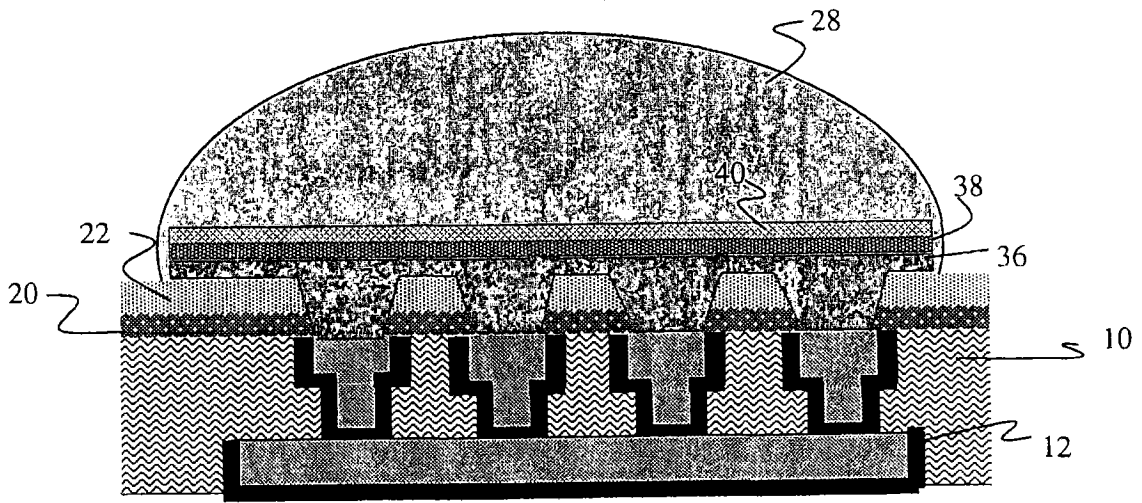


图 7

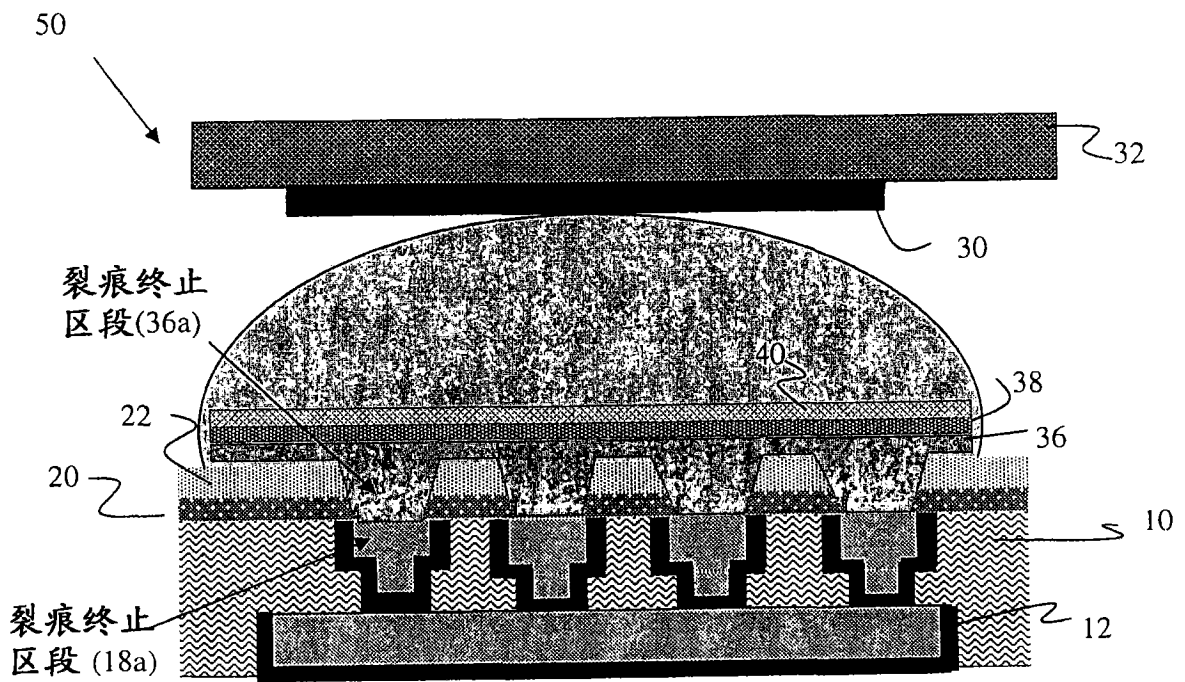


图 8