



(12)发明专利

(10)授权公告号 CN 102655024 B

(45)授权公告日 2016.12.14

(21)申请号 201210047806.7

(22)申请日 2012.02.28

(65)同一申请的已公布的文献号
申请公布号 CN 102655024 A

(43)申请公布日 2012.09.05

(30)优先权数据
2011-048053 2011.03.04 JP

(73)专利权人 瑞萨电子株式会社
地址 日本东京都

(72)发明人 田中信二 藪内诚 良田雄太

(74)专利代理机构 广州三环专利代理有限公司
44202
代理人 温旭 郝传鑫

(51)Int.Cl.

G11C 11/413(2006.01)

(56)对比文件

- CN 101557212 A, 2009.10.14,
- CN 101794614 A, 2010.08.04,
- CN 101930785 A, 2010.12.29,
- CN 101034584 A, 2007.09.12,
- CN 101043201 A, 2007.09.26,
- US 4371956 A, 1983.02.01,
- US 2003021154 A1, 2003.01.30,
- CN 101364427 A, 2009.02.11,

审查员 刘荣华

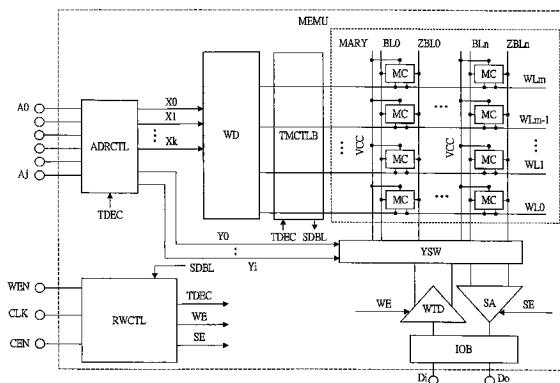
权利要求书5页 说明书27页 附图35页

(54)发明名称

半导体器件

(57)摘要

本发明提供一种具有存储器的半导体器件，所述存储器在操作时序上的变化减少。例如，所述半导体器件设置有与位线正本并布置的虚设位线和顺序耦合至所述虚设位线的列方向负载电路。各列方向负载电路设置有固定在截止状态的多个NMOS晶体管，所述多个NMOS晶体管中的预先确定的一些NMOS晶体管使源极和漏极适当地耦合至所述虚设位线中的任一个虚设位线。将伴随预先确定的NMOS晶体管的扩散层电容的负载电容加至所述虚设位线，并且对应于所述负载电容，设置从译码激活信号至虚设位线信号的延迟时间。当设置读出放大器的启动时序时，采用所述虚设位线信号。



1. 一种半导体器件,所述半导体器件包括:
多个字线,所述多个字线沿第一方向延伸;
多个位线,所述多个位线沿与所述第一方向相交的第二方向延伸;
多个存储单元,所述多个存储单元布置在所述位线与所述字线相交处,并且配置有包括第一MIS晶体管在内的电路;

读出放大器电路,所述读出放大器电路可操作为响应于使能信号,通过所述多个位线中的一个位线放大读取自所述存储单元中的一个存储单元的信号;

控制电路,所述控制电路可操作为响应于所述存储单元的存取指令产生第一信号;以及

时序调整电路,所述时序调整电路可操作为接收输入的第一信号并且通过延迟所述第一信号产生作为所述使能信号来源的第二信号,

其中,所述时序调整电路包括:

第一布线,所述第一布线与所述位线并排布置并且形成至少一个双向布线,并且所述第一布线可操作为在一端接收传输的第一信号并且从另一端输出所述第二信号;以及

负载电路,所述负载电路包括耦合至所述第一布线的多个第二MIS晶体管,

其中,所述第一布线包括用作向外布线的所述第一虚设位线和用作返向布线的第二虚设位线,并且

其中,所述第二MIS晶体管被分别提供至所述第一虚设位线和所述第二虚设位线。

2. 根据权利要求1所述的半导体器件,

其中,所述第二MIS晶体管的栅极长度比所述第一MIS晶体管的栅极长度长。

3. 根据权利要求1所述的半导体器件,所述半导体器件还包括:

字线驱动电路,所述字线驱动电路包括第三MIS晶体管并且可操作为驱动所述字线,

其中,所述第二MIS晶体管的栅极长度比所述第三MIS晶体管的栅极长度长。

4. 根据权利要求1所述的半导体器件,

其中,所述第二MIS晶体管中的一部分MIS晶体管的源极和漏极均耦合至所述第一虚设位线,并且第二MIS晶体管中的其余部分MIS晶体管的源极和漏极均耦合至所述第二虚设位线。

5. 根据权利要求1所述的半导体器件,

其中,所述第二MIS晶体管的中一部分MIS晶体管的源极和漏极之一耦合至所述第一虚设位线,并且第二MIS晶体管的中其余部分MIS晶体管的源极和漏极之一耦合至所述第二虚设位线。

6. 根据权利要求4所述的半导体器件,

其中,提供给所述第二MIS晶体管的栅极的电压是使所述第二MIS晶体管截止的电压。

7. 根据权利要求4所述的半导体器件,

其中,提供给所述第二MIS晶体管的栅极的电压是使所述第二MIS晶体管导通的电压。

8. 根据权利要求1所述的半导体器件,

其中,所述第一虚设位线耦合至单级或多级第一反相器电路的输出,所述第一反相器电路可操作为输入所述第一信号,

其中,将从所述第一虚设位线的输出终端传输的信号在所述第二虚设位线的输入终端

处提供给所述第二虚设位线,并且

其中,所述半导体器件还包括单级或多级第二反相器电路,所述第二反相器电路可操作为向来自所述第二虚设位线的输出终端输入信号并且输出所述第二信号。

9.根据权利要求8所述的半导体器件,所述半导体器件还包括:

单级或多级第三反相器电路,所述单级或多级第三反相器电路可操作为输入来自所述第一虚设位线输出终端的信号并且可操作为将信号输出至所述第二虚设位线的输入终端。

10.根据权利要求8所述的半导体器件,

其中,配置所述第一反相器电路和所述第二反相器电路的MIS晶体管的栅极长度比所述第一MIS晶体管的栅极长度长。

11.根据权利要求9所述的半导体器件,

其中,配置所述第三反相器电路至所述第一反相器电路的MIS晶体管的栅极长度比所述第一MIS晶体管的栅极长度长。

12.根据权利要求1所述的半导体器件,所述半导体器件还包括:

写入时序调整电路,所述写入时序调整电路包括延迟电路,

其中,在对所述存储单元中的一个存储单元进行写入操作的情形下,所述写入时序调整电路通过将由所述延迟电路产生的延迟传递给所述第二信号来设置用于将激活的字线去激活的时序。

13.一种半导体器件,所述半导体器件包括:

多个字线,所述多个字线沿第一方向延伸;

多个位线,所述多个位线沿与所述第一方向相交的第二方向延伸;

多个存储单元,所述多个存储单元包括第一MIS晶体管,所述第一MIS晶体管的栅极耦合至所述字线中的一个字线并且布置在所述字线和所述位线的相交处;

读出放大器电路,所述读出放大器电路可操作为响应于作为触发的使能信号,通过所述多个位线中的一个位线将读取自所述多个存储单元中的一个存储单元的信号放大;

控制电路,所述控制电路可操作为响应于所述存储单元的存取指令,产生第一信号;以及

时序调整电路,所述时序调整电路可操作为接收输入的第一信号,并且通过延迟所述第一信号持续第一时间段来产生作为所述使能信号来源的第二信号,并且所述时序调整电路包括用于设置所述第一时间段的多个第二MIS晶体管,

其中,所述时序调整电路包括:

第一虚设位线和第二虚设位线,所述第一虚设位线和所述第二虚设位线沿所述第二方向并排延伸;

多个栅极布线,所述多个栅极布线在所述第一虚设位线和所述第二虚设位线的下层中形成,所述多个栅极布线沿所述第一方向并排延伸并且用作所述第二MIS晶体管的栅极;

第一布线,所述第一布线经由第一接触部分耦合至所述栅极布线;

多个第一扩散层,所述多个第一扩散层布置在所述第一虚设位线和所述栅极布线相交部分处,所述多个第一扩散层在各个所述栅极布线的两侧形成并且用作所述第二MIS晶体管中的一部分MIS晶体管的源极和漏极之一;

多个第二扩散层,所述多个第二扩散层布置在所述第二虚设位线和所述栅极布线的相

交部分处,所述多个第二扩散层在各个所述栅极布线两侧形成并且用作第二MIS晶体管中的其余部分MIS晶体管的源极和漏极之一;

第二接触部分,所述第二接触部分耦合所述第一扩散层和所述第一虚设位线;

第三接触部分,所述第三接触部分耦合所述第二扩散层和所述第二虚设位线;以及转向通路,所述转向通路将信号从所述第一虚设位线的输出终端传输至所述第二虚设位线的输入终端,

其中,以固定方式将第一电压电平施加于所述第一布线,

其中,所述第一信号传输至所述第一虚设位线的输入终端,并且

其中,所述第二信号由传输至所述第二虚设位线的输出终端的信号产生。

14. 根据权利要求13所述的半导体器件,

其中,每个第二MIS晶体管的栅极长度比所述第一MIS晶体管的栅极长度长。

15. 根据权利要求14所述的半导体器件,

其中,所述第一电压电平是使所述第二MIS晶体管截止的电压电平。

16. 根据权利要求14所述的半导体器件,

其中,所述第一电压电平是使所述第二MIS晶体管导通的电压电平。

17. 根据权利要求14所述的半导体器件,

其中,所述第一接触部分还包括第四接触部分和第五接触部分,

其中,所述第一布线还包括:

第二布线,所述第二布线经由所述第四接触部分耦合至所述栅极布线的一部分;以及

第三布线,所述第三布线经由所述第五接触部分耦合至所述栅极布线的其余部分,并且

其中,所述时序调整电路还包括:

设置电路,所述设置电路可操作为对应于预先输入的设置信号,将施加于第1A布线和第1B布线的第二电压电平独立设置成使所述第二MIS晶体管截止的电压电平和使所述第二MIS晶体管导通的电压电平中的一种。

18. 一种半导体器件,所述半导体器件包括:

多个字线,所述多个字线沿第一方向延伸;

多个位线,所述多个位线沿与所述第一方向相交的第二方向延伸;

多个存储单元,所述多个存储单元包括第一MIS晶体管,所述第一MIS晶体管的栅极耦合至所述字线中的一个字线并且布置在所述字线和所述位线的相交处;

读出放大器电路,所述读出放大器电路可操作为响应于作为触发的使能信号,通过所述位线中的一个位线将读取自所述存储单元中的一个存储单元的信号放大;

控制电路,所述控制电路可操作为响应于所述存储单元的存取指令,产生第一信号;以及

第一时序调整电路,所述第一时序调整电路可操作为接收输入的第一信号并且通过延迟所述第一信号持续第一时间段产生作为使能信号来源的第二信号,

其中,所述第一时序调整电路包括:

第一布线通路,所述第一布线通路与所述字线并排布置并且形成至少一个双向布线通路,并且所述第一布线通路可操作为在一端接收传输的第一信号并且从另一端输出所述第

二信号;以及

第一负载电路,所述第一负载电路配置有与所述存储单元不同的电路,包括多个第二MIS晶体管,并且可操作为通过将电容附加在所述第一布线通路上的布线来设置所述第一时间段,并且

其中,所述第二MIS晶体管中的每一个MIS晶体管沿所述第一方向顺序布置并且设置有固定至第一电压电平的栅极以及耦合至所述第一布线通路的布线的源极和漏极之一,所述第二MIS晶体管的栅极长度比所述第一MIS晶体管的栅极长度长。

19.根据权利要求18所述的半导体器件,所述半导体器件还包括:

第二时序调整电路,所述第二时序调整电路可操作为接收输入的第二信号并通过延迟所述第二信号持续第二时间段来产生第三信号,

其中,所述第二时序调整电路包括:

第二布线通路,所述第二布线通路与所述位线并排布置并且形成至少一个双向布线通路,并且所述第二布线通路可操作为在一端接收传输的第二信号并且从另一端输出所述第三信号,以及

第二负载电路,所述第二负载电路配置有与所述存储单元不同的电路,包括多个第三MIS晶体管,并且所述第二负载电路可操作为通过将电容附加在所述第二布线通路的布线来设置所述第二时间段,

其中,所述第三MIS晶体管中的每一个MIS晶体管沿所述第二方向顺序布置,并且设置有固定至第二电压电平的栅极和耦合至所述第二布线通路上的布线的源极和漏极之一,并且所述第三MIS晶体管的栅极长度比所述第一MIS晶体管的栅极长度长,并且

其中,基于所述第三信号产生所述读出放大器电路的使能信号。

20.根据权利要求18所述的半导体器件,所述半导体器件还包括:

写入时序控制电路,所述写入时序控制电路包括配置有多级反相器电路的延迟电路,

其中,在对所述存储单元中的一个存储单元进行写入操作的情形下,所述写入时序控制电路通过将由所述延迟电路产生的延迟传递给所述第二信号来设置用于将激活的字线去激活的时序。

21.一种半导体器件,所述半导体器件包括:

多个字线,所述多个字线沿第一方向延伸;

多个位线,所述多个位线沿与所述第一方向相交的第二方向延伸;

多个存储单元,所述多个存储单元布置在所述位线与所述字线的相交处并且配置有包括第一MIS晶体管在内的电路;

读出放大器电路,所述读出放大器电路可操作为响应于使能信号,通过所述多个位线中的一个位线将读取自所述多个存储单元中的一个存储单元的信号放大;

控制电路,所述控制电路可操作为响应于所述存储单元的存取指令,产生第一信号;以及

时序调整电路,所述时序调整电路可操作为接收输入的第一信号并且通过延迟所述第一信号产生作为所述使能信号来源的第二信号,

其中,所述时序调整电路包括:

第一虚设位线,所述第一虚设位线沿第二方向延伸,

第二虚设位线,所述第二虚设位线沿第二方向延伸,
第一负载电路,所述第一负载电路耦合至所述第一虚设位线,以及
第二负载电路,所述第二负载电路耦合至所述第二虚设位线,
其中,所述第一虚设位线和所述第二虚设位线配置成将来自所述第一虚设位线的输入
终端的信号发送到所述第二虚设位线的输出终端。

22. 根据权利要求21所述的半导体器件,

其中,所述第一虚设位线和所述第二虚设位线均具有与各个位线的长度相等的长度。

23. 根据权利要求21或22所述的半导体器件,

其中,所述第一负载电路和所述第二负载电路中的每一个负载电路包括多个NMOS晶体
管,所述NMOS晶体管的源极和漏极顺序串联,并且所述NMOS晶体管的栅极共同耦合至接地
电源电压。

24. 根据权利要求21或22所述的半导体器件,

其中,所述第一负载电路和所述第二负载电路中的每一个负载电路包括多个PMOS晶体
管,所述PMOS晶体管的源极和漏极顺序串联,并且所述PMOS晶体管的栅极共同耦合至电源
电压。

25. 根据权利要求21或22所述的半导体器件,

其中,所述时序调整电路还包括多个反相器电路,并且

其中,第一组反相器电路布置在所述第一虚设位线的输入终端,第二组反相器电路布
置在所述第一虚设位线的输出终端和所述第二虚设位线的输入终端,并且第三组反相器电
路布置在所述第二虚设位线的输出终端。

半导体器件

[0001] 相关申请的交叉引用

[0002] 2011年3月4日提交的日本专利申请第2011-48053号所公开全部内容(包括说明书、附图和摘要)在此通过引用并入本文。

背景技术

[0003] 本发明涉及半导体器件,尤其涉及当应用于装配有诸如SRAM之类的存储器的半导体器件时有用的技术。

[0004] 例如,专利文献1公开了一种半导体存储器件,所述半导体存储器件使用装配有多个虚拟单元的虚拟电路来产生读出放大器使能信号。专利文献2公开了在单一位线系统的半导体存储器件中,所述半导体存储器件被配置成使与该位线副本耦合的存储单元晶体管副本的栅极长度设置得比存储单元晶体管正本的栅极长度更长,在所述单一位线系统中,读操作时序是由位线副本的操作决定的。专利文献3公开了一种半导体集成电路器件,所述半导体集成电路器件装配有第一位线副本和第二位线副本,所述第一位线副本和所述第二位线副本分别耦合至存储单元副本,并且所述半导体集成电路器件装配有将所述第一位线副本的输出信号输入至所述第二位线副本的反相器电路,并且所述半导体集成电路器件通过使用分离的位线副本来生成读出放大器使能信号。

[0005] (专利文献)

[0006] (专利文献1)日本专利第2004-95058号公报

[0007] (专利文献2)日本专利第2006-31752号公报

[0008] (专利文献3)日本专利第2010-165415号公报

发明内容

[0009] 近年来,随着半导体器件的几何尺寸越来越精细,MOS晶体管之间的变化已成为重要的课题。因此,例如,在包含于半导体器件中的存储器(典型地为SRAM(静态随机存取存储器)组件)中,考虑到SRAM存储单元中的变化而执行时序设计变得重要。如专利文献1至专利文献3所公开的,这样的时序设计方法中的一种方法是在读取时使用虚拟存储单元(存储单元副本)和虚设位线(位线副本)设置读出放大器的启动时序的方法。

[0010] 但是,在使用这种虚拟存储单元等等的方法中,由于虚拟存储单元本身的工艺波动等,可能无法使读出放大器的启动时序达到最优。换言之,大多数情况下虚拟存储单元由与正本存储单元相同的工艺尺寸形成,所述正本存储单元以非常小的工艺尺寸形成;因此,易于发生这样的工艺波动。例如,当工艺波动发生在多个耦合至虚设位线的虚拟存储单元中时,驱动所述虚设位线的时序对于各个虚拟存储单元是不同的。因此,这可能会出现读出放大器的启动时序太早或太晚的情况。

[0011] 本发明根据上述情况做出,并且本发明的一个目的为使装配有存储器的半导体器件中的操作时序的变化减少。通过本发明的说明书以及附图的描述,上述目的和其他目的以及新特征将变得清晰。

[0012] 下面简要地解释本申请公开的发明中典型实施方式的概况。

[0013] 根据本发明的半导体器件包括:沿第一方向延伸的多个字线;沿与第一方向相交的第二方向延伸的多个位线;以及布置在所述字线与所述位线相交处的多个存储单元,所述多个存储单元配置有包括第一MIS晶体管在内的电路。

[0014] 根据本发明的半导体器件还包括:读出放大器电路,所述读出放大器电路能够响应于使能信号,通过所述多个位线中的一个位线将读取自所述多个存储单元中的一个存储单元的信号放大;控制电路,所述控制电路能够响应于所述多个存储单元的存取指令产生第一信号;以及,时序调整电路,所述时序调整电路能够接收输入的第一信号,并通过延迟所述第一信号来产生作为所述使能信号来源的第二信号。

[0015] 所述时序调整电路包括:第一布线,所述第一布线与所述多个位线并排布置并且形成至少一个双向布线,并且所述第一布线能够在一端接收传输的第一信号且输出来自另一端的第二信号;以及负载电路,所述负载电路包括多个耦合至所述第一布线的第二MIS晶体管。

[0016] 所述第一布线包括用作向外布线的第二虚设位线和用作返向布线的第三虚设位线,并且所述多个第二MIS晶体管分别设置有第二虚设位线和第三虚设位线。

[0017] 下面简要地解释本申请公开的本发明典型实施方式获得的效果。换言之,在设置有存储器的半导体器件中,使操作时序的变化减少是可能的。

附图说明

[0018] 图1为简要图示根据本发明实施方式1的包含于半导体器件中的存储器的配置实例的框图;

[0019] 图2为图1所示的存储器中各存储单元的配置实例的电路图;

[0020] 图3为简要图示图1所示存储器的操作实例的波形图;

[0021] 图4为图示根据本发明实施方式1的整个半导体器件的概要结构实例的框图;

[0022] 图5为图示图1所示存储器的时序调整电路(沿列方向)的配置实例的电路图;

[0023] 图6为图示通过改良图5所示时序调整电路所得的一种时序调整电路(沿列方向)的配置实例的电路图;

[0024] 图7为图示图5和图6所示时序调整电路的列方向负载电路的具体布图配置实例的俯视图;

[0025] 图8(a)为图示沿图7所示A-A'线的结构实例的剖面图,图8(b)为沿图7所示B-B'线的结构实例的剖面图;

[0026] 图9为图示图1所示字线驱动电路、时序调整电路(沿列方向)和存储器阵列的部分布图配置实例的示意性比较俯视图;

[0027] 图10(a)和图10(b)为分别图示图5和图6的配置实例的时序调整电路和存储器阵列的尺寸的示意性联系的俯视图;

[0028] 图11(a)和图11(b)为图示图5所示时序调整电路和图6所示时序调整电路的显著区别的实例的解释性附图;

[0029] 图12为图示根据本发明实施方式2的包含于半导体器件中的时序调整电路(沿列方向)的配置实例的电路图;

[0030] 图13为图示根据本发明实施方式2的包含于半导体器件中的时序调整电路(沿列方向)的另一配置实例的电路图;

[0031] 图14(a)、图14(b)和图14(c)为图示图12所示列方向负载电路中负载电容的补充附图,其中,图14(a)和图14(b)为图示该负载电容的位置的示意图,图14(c)为简要图示与图14(a)和图14(b)的所述负载电容对应的电压波形的实例的附图;

[0032] 图15(a)、图15(b)和图15(c)为图示图13所示列方向负载电路中负载电容的补充附图,其中,图15(a)和图15(b)为图示所述负载电容的位置的示意图,图15(c)为简要图示与图15(a)和图15(b)的负载电容对应的电压波形的实例的附图;

[0033] 图16(a)为图示根据本发明实施方式3的包含于半导体器件中的时序调整电路(沿列方向)的配置实例的电路图,图16(b)为图16(a)的补充附图;

[0034] 图17(a)为图示根据本发明实施方式3的包含于半导体器件中的时序调整电路(沿列方向)的另一配置实例的电路图,图17(b)为图17(a)的补充附图;

[0035] 图18为图示根据本发明实施方式4的包含于半导体器件中的时序调整电路(沿列方向)的配置实例的电路图;

[0036] 图19(a)为图示在根据本发明实施方式5的半导体器件中,图1所示存储器中读/写控制电路的外围的配置实例的框图,图19(b)为图示图19(a)所示读/写延迟控制电路的具体配置实例的电路图;

[0037] 图20(a)为图示图19中读取时操作实例的波形图,图20(b)为图示图19中写入时操作实例的波形图;

[0038] 图21为图示根据本发明实施方式6的包含于半导体器件中的时序调整电路(沿列方向)的配置实例的电路图;

[0039] 图22为图示根据本发明实施方式7的包含于半导体器件中的时序调整电路(沿列方向)的配置实例的电路图;

[0040] 图23为图示图22所示电路图的改良实例的电路图;

[0041] 图24为图示图22和图23所示时序调整电路的列方向负载电路的具体布图配置实例的俯视图;

[0042] 图25为图示根据本发明实施方式8的包含于半导体器件中的时序调整电路(沿列方向)的配置实例的电路图;

[0043] 图26为图示图25所示时序调整电路的列方向负载电路的具体布图配置实例的俯视图;

[0044] 图27为图示根据本发明实施方式9的包含于半导体器件中的时序调整电路(沿列方向)的配置实例的电路图;

[0045] 图28为图示根据本发明实施方式10的包含于半导体器件中的时序调整电路(沿行方向)的配置实例的电路图;

[0046] 图29为图示图28所示时序调整电路的行方向负载电路的具体布图配置实例的俯视图;

[0047] 图30(a)、图30(b)和图30(c)为图示根据本发明实施方式11的半导体器件中存储器的时序调整电路(沿列方向)各个不同布图的实例的示意图;

[0048] 图31(a)、图31(b)和图31(c)为图示与图30(a)、图30(b)和图30(c)不同的存储器

的时序调整电路(沿列方向)的各个不同布图的实例的示意图;

[0049] 图32(a)和图32(b)为分别图示图30和图31所示时序调整电路(沿列方向)在以下情形下的信号的流向的解释性附图:在字线驱动电路和时序调整电路布置在存储器阵列的一侧的情形下,以及字线驱动电路和时序调整电路布置在存储器阵列的两侧的情形下。

[0050] 图33(a)、图33(b)和图33(c)为图示根据本发明实施方式12的半导体器件中存储器的时序调整电路(沿列方向)的各个不同布图的实例的示意图;

[0051] 图34(a)和图34(b)为图示与图33(a)、图33(b)和图33(c)所示存储器不同的存储器的时序调整电路(沿列方向)的各个不同的布图实例的示意图;以及

[0052] 图35(a)和图35(b)为图示根据本发明实施方式13的半导体器件中的存储器的时序调整电路(沿行方向)的各个不同布图的实例的示意图。

具体实施方式

[0053] 为方便起见,下列实施方式中在必要时,将以分开的多个部分或实施方式进行解释。然而,除非另有指定,上述多个部分或实施方式并非互不相关,它们的关系是:一者是其他的部分或全部的改良实施例、细节或补充说明。下列实施方式中,当提到元件等的数目(包括数目、数值、数量、范围等等)时,所述数目不限于该特定数目而可以多于或少于该特定数目,除了在该数目被明确指定或从原理上明确地限定至特定数目的情形。

[0054] 此外,下列实施方式中,无需说明组件(包括元件步骤等等)不是必要的,除了在该组件被明确指定或者从原理上认为该组件为必须的情形。类似地,下列实施方式中,当提到组件等的形状、位置关系等时,应当包括与该形状等基本接近或基本类似的形状、位置关系等等,除了在该形状、位置等等被明确指定或从原理上认为该形状、位置等等明显不同的情形。这同样适用于如上所述的数值和范围。

[0055] 尽管并不具体限定,但实施方式的各功能模块所配置的电路元件是通过诸如熟知的CMOS(互补型MOS)晶体管之类的集成电路技术在类似单晶硅的半导体衬底上形成。在所述实施方式中,采用MISFET(金属绝缘体半导体场效应晶体管)(缩写为MIS晶体管)、MOSFET(金属氧化物半导体场效应晶体管)(缩写为MOS晶体管)作为实例。然而,并不排除使用非氧化物膜作为栅极绝缘膜。下列附图中,通过在栅极上添加圆圈符号来区分p-通道MOS晶体管(PMOS晶体管)和n-通道MOS晶体管(NMOS晶体管)。附图中不具体说明MOS晶体管的衬底电势的耦合。然而,只要该MOS晶体管可正常操作,耦合的方法就不受具体限制。

[0056] 下文中,本发明的实施方式将参照附图具体解释。用于解释本发明的实施方式的全部图表中,一般来说相同的符号对应相同的组件,并且省略其重复的解释。

[0057] 实施方式1

[0058] 《整个存储器的概要结构》

[0059] 图1为简要图示根据本发明实施方式1的包含于半导体器件内的存储器的配置实例的框图。图1中所示存储器MEMU包括:地址控制电路ADRCTL、字线驱动电路WD、时序调整电路(沿列方向)TMCTLB、存储器阵列MARY、列选择电路YSW、读/写控制电路RWCTL、写驱动电路WTD、读出放大器电路SA以及输入/输出缓冲电路IOB。存储器阵列MARY包括沿第一方向延伸的m个字线WL0-WLm、沿与所述第一方向相交的第二方向延伸的n个位线对(BL0, ZBL0)-(BLn, ZBLn),以及布置在m个字线和n个位线对相交处的多个存储单元MC。每一位线对配置

有传输互补信号的两个位线(例如,BL0和ZBL0)。

[0060] 地址控制电路ADRCTL响应作为触发的译码激活信号TDEC,对从存储器MEMU的外部地址终端输入的地址信号A0-Aj进行译码(或预译码),并且输出行选择信号X0-Xk和列选择信号Y0-Yi。字线驱动电路WD选择(激活)与行选择信号X0-Xk对应的m个字线中的一个字线。列选择电路YSW选择与列选择信号Y0-Yi对应的n个位线对中的一个位线对。时序调整电路TMCTLB是本实施方式的主要特征中的一个,下面将描述其细节。时序调整电路TMCTLB在接收输入的译码激活信号TDEC后输出虚设位线信号SDBL。读/写控制电路RWCTL响应来自上述存储器MEMU的外部控制终端的各控制信号(WEN,CLK,CEN)和上述虚设位线信号SDBL,产生译码激活信号TDEC、内部写使能信号WE和读出放大器使能信号SE。控制信号WEN是区分读指令和写指令的写使能信号。控制信号CLK是用作读/写操作参考的时钟信号。控制信号CEN为控制时钟信号是否有效的时钟使能信号。

[0061] 输入/输出缓冲电路IOB输入来自存储器MEMU的外部数据终端的数据输入信号Di,并且将其传输至写驱动电路WTD。所述输入/输出缓冲电路IOB还输入来自读出放大器电路SA的输出信号,并且将其作为数据输出信号Do输出至外部数据终端。写驱动电路WTD响应写使能信号WE,对来自输入/输出缓冲电路IOB的数据进行不同程度的放大,并且经由如上所述的列选择电路YSW将其传输至预定的位线对。读出放大器电路SA响应作为触发的读出放大器使能信号SE,经由列选择电路YSW,对从预定的位线对传输过来的信号对进行不同程度的放大,并且将其输出至输入/输出缓冲电路IOB。

[0062] 图2为图示图1中所示存储器中各个存储单元MC的配置实例的电路图。图2中所示存储单元MC为SRAM存储单元,所述SRAM存储单元装配有四个NMOS晶体管MN1-MN4和两个PMOS晶体管MP1和MP2。对于NMOS晶体管MN3而言,栅极耦合至字线WL,源极/漏极之一耦合至正极侧上的位线BL。对于NMOS晶体管MN4而言,栅极耦合至字线WL,并且源极/漏极之一耦合至负极侧上的位线ZBL。晶体管MN1、MP1和晶体管MN2、MP2分别配置了电源电压VCC和接地电源电压VSS之间的CMOS反相器电路。所述两个CMOS反相器电路通过将一侧的输出耦合至另一侧的输入配置成锁存电路。NMOS晶体管MN4的源极/漏极中的另一个耦合至CMOS反相器电路(MN1,MP1)的输入(CMOS反相器电路(MN2,MP2)的输出)。NMOS晶体管MN3的源极/漏极中的另一个耦合至CMOS反相器电路(MN2,MP2)的输入(CMOS反相器电路(MN1,MP1)的输出)。

[0063] 《整个存储器的概要操作》

[0064] 图3为简要图示图1中存储器的操作实例的波形图。在图3的实例中,在时钟信号CLK出现时,当时钟使能信号CEN处于“低(L)”电平且写使能信号WEN处于“高(H)”电平时,执行读循环(T0),当时钟使能信号CEN处于“低”电平且写使能信号WEN处于“低”电平时,执行写循环(T1)。在时钟信号CLK出现时,当时钟使能信号CEN处于“高”电平时,存储器进入“无操作循环(T2)”,既不执行读操作也不执行写操作。

[0065] 在读循环(T0)中,首先,读/写控制电路RWCTL响应时钟信号CLK的出现,将译码激活信号TDEC从“低”电平转换至“高”电平。所述读/写控制电路RWCTL输出一个“低”电平的内部写使能信号WE。地址控制电路ADRCTL响应所述译码激活信号TDEC至“高”电平的转换,产生与地址信号A0-Aj对应的行选择信号X0-Xk和列选择信号Y0-Yi(图3中示出了Y0)。在图3的实例中,假设字线WL0由所述行选择信号X0-Xk选定,位线对(BL0,ZBL0)由所述列选择信号Y0-Yi选定。字线驱动电路WD对应于行选择信号X0-Xk,将字线WL0激活至“高”电平。因此,

与字线WL0耦合的各存储单元MC的存储数据被读出至对应的位线对。在此,读出的信号之外的位线对(BL0,ZBL0)中的读信号经由列选择电路YSW被传输至读出放大器电路SA。

[0066] 另一方面,同时,时序调整电路TMCTLB响应所述译码激活信号TDEC至“高”电平的转换,在追加预定延迟时间(Tdly1)后将虚设位线信号SDBL转换至“高”电平。读/写控制电路RWCTL响应虚设位线信号SDBL至“高”电平的转换,将读出放大器使能信号SE转换至有效状态(“高”电平)。读出放大器电路SA响应作为触发的读出放大器使能信号SE至“高”电平的转换,对如上所述经由列选择电路YSW发送的位线对(BL0,ZBL0)的读信号进行放大。放大后的信号作为数据输出信号Do经由输入/输出缓冲电路IOB输出至外部终端。在本例中,激活的字线WL0响应译码激活信号TDEC从“高”电平至“低”电平的转换,被去激活。

[0067] 接下来,在写循环(T1)中,首先,读/写控制电路RWCTL响应时钟信号CLK的出现,将译码激活信号TDEC从“低”电平转换至“高”电平。读/写控制电路RWCTL输出一个“高”电平的内部写使能信号WE。地址控制电路ADRCTL响应译码激活信号TDEC至“高”电平的转换,产生行选择信号X0-Xk和列选择信号Y0-Yi,并且字线驱动电路WD激活与所述行选择信号X0-Xk对应的字线(在本例中是WL0)。同时,另一方面,来自外部终端的数据输入信号Di经由输入/输出缓冲电路IOB输入至写驱动电路WTD。写驱动电路WTD响应上述内部写使能信号WE至“高”电平的转换,对来自输入/输出缓冲电路IOB的输入信号进行放大。列选择电路YSW将写驱动电路WTD的输出耦合至与所述列选择信号Y0-Yi对应的位线对(在本例中是BL0和ZBL0)。因此,数据输入信号Di的信息被写入所选定的存储单元MC。之后,在本例中,激活的字线WL0响应译码激活信号TDEC从“高”电平至“低”电平的转换,被去激活。因此,所述选定的存储单元MC保存数据输入信号Di的信息。

[0068] 《整个半导体器件的概要结构》

[0069] 图4为图示根据本发明实施方式1的整个半导体器件的简要结构实例的框图。图4图示了被称为SOC(片上系统)等的半导体器件(LSI),其中各个逻辑电路和存储电路在一块半导体芯片上形成。图4所示的半导体器件是用于移动电话的LSI,并且,例如,包括两个处理器单元CPU1和CPU2,应用单元APPU,存储器MEMU,基带单元BBU,以及输入/输出单元IOU。图1所示配置实例可应用至这些单元中的存储器MEMU。

[0070] 处理器单元CPU1和CPU2基于程序执行预定的算法处理。应用单元APPU执行所述移动电话所需的预定的应用处理。基带单元BBU执行伴随无线通信的预定的基带处理。输入/输出单元IOU作为外部的输入/输出接口起作用。所述存储器MEMU以处理各电路模块的这种处理方式进行适当存取。例如,在诸如SOC之类的半导体器件中,在很多情形下,使用被称为存储IP(知识产权)等的设计数据,通过称为存储编译器等的自动化设计工具实现存储器MEMU。通常,由于当存储IP不同时最优的操作时序也不同,需要为每个存储IP新开发上述的时序调整电路TMCTLB。然而,从提高设计效率的角度来说,理想的是实现各存储IP共同可用的时序调整电路。

[0071] 《时序调整电路(沿列方向)的一种具体电路(1)》

[0072] 图5是图示图1中所示存储器MEMU的时序调整电路(沿列方向)的配置实例的电路图。图5中所示的时序调整电路TMCTLBn1包括多个(此处,6个)反相器电路IV1-IV6,两个虚设位线DBL1和DBL2,以及x个列方向负载电路CLBn[1]-CLBn[x]。此处,虚设位线DBL1和DBL2分别具有与存储器阵列MARY中各位线BL基本相等的长度,并且沿与存储器阵列MARY中位线

BL的延伸方向(Y方向)相同的方向并排延伸布置。反相器电路IV1-IV6为CMOS反相器电路,各个反相器电路配置有PMOS晶体管和NMOS晶体管,各个反相器电路在电源电压VCC和接地电源电压VSS之间耦合。

[0073] 反相器电路IV1和IV2分别布置在虚设位线DBL1的输入终端处。反相器电路IV1输入上述的译码激活信号TDEC,反相器电路IV2输入反相器电路IV1的输出信号并将反相后的信号输出至虚设位线DBL1的输入终端。反相器电路IV3和IV4分别布置在虚设位线DBL1的输出终端和虚设位线DBL2的输入终端。反相器电路IV3输入来自虚设位线DBL1输出终端的信号,反相器电路IV4输入反相器电路IV3的输出信号并将反相后的信号输出至虚设位线DBL2的输入终端。反相器电路IV5和IV6分别布置在虚设位线DBL2的输出终端。反相器电路IV5输入来自虚设位线DBL2输出终端的信号,而反相器电路IV6输入反相器电路IV5的输出信号,并输出上述虚设位线信号SDBL。以这种方式,虚设位线DBL1和DBL2在靠近存储器阵列MARY布置的时序调整电路TMCTLBn1的区域内形成双向布线。对于此处的双向布线而言,向外布线为虚设位线DBL1,反向布线为虚设位线DBL2。

[0074] 所述列方向负载电路CLBn[1]-CLBn[x]中的每一个负载电路包括多个(此处,四个)NMOS晶体管MNa1-MNa4,其中源极与漏极按顺序串联耦合,栅极共同耦合至接地电源电压VSS。在作为x个列方向负载电路的一部分(例如,一半)的每个列方向负载电路CLBn[1]-CLBn[q]中,NMOS晶体管MNa2和MNa3的源极和漏极耦合至虚设位线DBL1,而NMOS晶体管MNa1和MNa4的源极/漏极之一(不与NMOS晶体管MNa2和MNa3共享的一侧)是断开的。在作为x个列方向负载电路另一部分(例如,另一半)的每个列方向负载电路CLBn[q+1]-CLBn[x]中,NMOS晶体管MNa2和MNa3的源极和漏极耦合至虚设位线DBL2,而NMOS晶体管MNa1和MNa4源极/漏极之一(不与NMOS晶体管MNa2和MNa3共享的一侧)是断开的。

[0075] 图6是图示通过对图5所示的时序调整电路进行改良所得的时序调整电路(沿列方向)的配置实例的电路图。图6所示的时序调整电路TMCTLBp1配置成:将图5所示的x个列方向负载电路CLBn[1]-CLBn[x]替换为图6所示的x个列方向负载电路CLBp[1]-CLBp[x]。所述列方向负载电路CLBp[1]-CLBp[x]中的每一个被配置成:将包含在每个列方向负载电路CLBn[1]-CLBn[x]中的多个(此处,四个)NMOS晶体管MNa1-MNa4替换为多个(此处,四个)PMOS晶体管MPa1-MPa4。与上述NMOS晶体管MNa1-MNa4不同,PMOS晶体管MPa1-MPa4具有共同耦合至电源电压VCC的栅极。

[0076] 图5和图6所示的列方向负载电路CLBn[1]-CLBn[x]和CLBp[1]-CLBp[x]发挥虚设位线DBL1和DBL2的负载电容的作用。具体而言,由于每个列方向负载电路中的NMOS晶体管MNa1-MNa4(或者PMOS晶体管MPa1-MPa4)被驱动至截止状态,形成NMOS晶体管MNa2和MNa3(或者PMOS晶体管MPa2和MPa3)的源极和漏极的扩散层的电容变成了虚设位线DBL1和DBL2的负载电容。因此,反相器电路IV2的输出信号在与所述列方向负载电路CLBn[1]-CLBn[q](或CLBp[1]-CLBp[q])所产生的负载电容以及与虚设位线DBL1的寄生电阻和寄生电容对应的延迟后传输至反相器电路IV3。类似地,反相器电路IV4的输出信号在与所述列方向负载电路CLBn[q+1]-CLBn[x](或CLBp[q+1]-CLBp[x])所产生的负载电容以及虚设位线DBL2的寄生电阻和寄生电容对应的延迟后传输至反相器电路IV5。从而,通过延迟译码激活信号TDEC来获得虚设位线信号SDBL。更严格地说,设置包括了反相器电路IV1-IV6的逻辑阈值、驱动能力等的影响在内的延迟时间。

[0077] 《时序调整电路(沿列方向)的具体布图配置(1)》

[0078] 图7是图示图5和图6所示时序调整电路的列方向负载电路的具体布图配置实例的俯视图。图8(a)是图示沿图7所示A-A'线的结构实例的剖视图,图8(b)是图示沿图7所示B-B'线的结构实例的剖视图。如图7和图8所示,时序调整电路TMCTLBn(TMCTLBp)包括阱WEL,在阱WEL中形成的扩散层DF,在阱WEL之上形成的具有介于其中的栅极绝缘膜GS的多晶硅层P0,在上层依次形成的第一金属布线层M1和第二金属布线层M2,在层间绝缘层ISL2中设置的接触点中的接触层CT,以及在层间绝缘层ISL2中设置的通孔处的通层V1。接触层CT建立了第一金属布线层M1和多晶硅层P0之间的耦合,以及第一金属布线层M1和扩散层DF之间的耦合。通层V1建立了第一金属布线层M1和第二金属布线层M2之间的耦合。

[0079] 在图7中,由第二金属布线层M2形成的两个虚设位线DBL1和DBL2沿Y方向(位线延伸方向)并排延伸。由多晶硅层P0形成的8个栅极布线沿X方向(字线延伸方向)并排延伸。列方向负载电路CLBn(或CLBp)在所述八个栅极布线的边缘处的四个栅极布线和虚设位线DBL1的相交部分形成。列方向负载电路CLBn(或CLBp)还在所述四个栅极布线和虚设位线DBL2的相交部分形成。列方向负载电路CLBn(或CLBp)还分别在其余四个栅极布线和虚设位线DBL1的相交部分以及所述四个栅极布线和虚设位线DBL2的相交部分形成。在每个列方向负载电路中,成为源极或漏极的扩散层DF布置在上述四个栅极布线中每一个的两侧。通过使用扩散层DF,上述NMOS晶体管MNa1-MNa4(或者PMOS晶体管MPa1-MPa4)在Y方向上顺序形成。

[0080] 包含于某一系列方向负载电路中的扩散层DF与包含于另一列方向负载电路中的扩散层DF之间的空间通过图8(b)所示的绝缘层ISL分开。因此,图5和图7的实例中,每个列方向负载电路两端的源极或漏极(晶体管MNa1(或MPa1)和晶体管MNa4(或MPa4)的源极或漏极)保持断开,从而防止绝缘层ISL的电容反映到虚设位线的负载电容中。由通过绝缘层ISL分开的多个扩散层DF构成的区域称为元件有源区域,等等。图7所示的配置实例中,分别设置了与四个列方向负载电路对应的四个元件有源区域。

[0081] 此处,用作NMOS晶体管MNa2和MNa3(或者PMOS晶体管MPa2和MPa3)的源极和漏极的多个扩散层DF首先通过接触层CT耦合至分别布置在每个扩散层DF的上层的第一金属布线层M1中的布线,进而通过通层V1耦合至对应的虚设位线(DBL1或DBL2)。由多晶硅层P0形成的八个栅极布线经由接触层CT共同耦合至由第一金属布线层M1形成的并沿Y方向延伸的栅极偏压布线VGL。当所述时序调整电路是具有由图5所示的NMOS晶体管构成的列方向负载电路CLBn的时序调整电路TMCTLBn时,阱WEL为p型,扩散层DF为n型,向栅极偏压布线VGL施加接地电源电压VSS。另一方面,当所述时序调整电路是具有由图6所示的PMOS晶体管构成的列方向负载电路CLBp的时序调整电路TMCTLBp时,阱WEL为n型,扩散层DF为p型,向栅极偏压布线VGL施加电源电压VCC。

[0082] 图9是图示图1所示字线驱动电路、时序调整电路(沿列方向)和存储器阵列的一部分的布图配置实例的简要比较的俯视图。例如,字线驱动电路WD、时序调整电路TMCTLB以及存储器阵列MARY通过将图9所示的重复单元以等间隔、沿Y方向顺序重复的方式布置来分布。在此,在时序调整电路TMCTLB的列方向负载电路中,形成上述每个MOS晶体管的栅极布线(多晶硅层P0)的栅极长度L2比形成存储器阵列MARY中每个存储单元的每个MOS晶体管的栅极长度L3长。尽管未示出,例如,形成时序调整电路TMCTLB中各个反相器电路(IV1-IV6)

的MOS晶体管的栅极长度也比各个存储单元的栅极长度 L_3 长。

[0083] 而且,尽管未具体限制,所述栅极长度 L_2 比形成字线驱动电路WD的各MOS晶体管的栅极长度 L_1 长。通常,构成字线驱动电路WD的各MOS晶体管需要大驱动能力以驱动字线;因而,在很多情形下所述栅极长度设计成短的。例如,存储器阵列MARY中的各MOS晶体管基于通常应用于存储单元的存储单元布图规则进行设计。构成字线驱动电路WD的各MOS晶体管基于用于逻辑电路(诸如图4所示基带单元BBU和应用单元APPU之类的逻辑电路)的逻辑布图规则进行设计。在这种情形下,构成时序调整电路TMCTLB的各MOS晶体管还可基于逻辑布图规则进行设计。

[0084] 图10(a)和图10(b)分别是示例性说明图5和图6配置实例中时序调整电路和存储器阵列尺寸关系的俯视图。如上所述,时序调整电路TMCTLB中各个虚设位线的长度设计成与包含在存储器阵列MARY中的位线的长度基本相等。因此,如图10(a)和图10(b)所示,Y方向上时序调整电路TMCTLB的尺寸还可以随包含于存储器阵列MARY(图10(a)情形中的p线,以及图10(b)情形中的 $r(r < p)$ 线)中的字线WL的数目变化。

[0085] 图11(a)和图11(b)为图示图5所示时序调整电路和图6所示时序调整电路的显著区别的实例的解释性附图。图11(a)和图11(b)图示了存储器阵列MARY的外围的简要布图配置实例。在该实例中,接近存储器阵列MARY作为参考,时序调整电路TMCTLB和字线驱动电路WD在X方向上顺序布置,输入/输出电路模块IOBK在Y方向上连续布置。控制电路模块CTLBK布置在沿Y方向与时序调整电路TMCTLB和字线驱动电路WD邻接且沿X方向与输入/输出电路模块IOBK邻接的区域中。例如,输入/输出电路模块IOBK对应于图1中所示的列选择电路YSW、写驱动电路WTD、读出放大器电路SA、输入/输出缓冲电路IOB等,控制电路模块CTLBK对应于图1中所示的地址控制电路ADRCTL、读/写控制电路RWCTL等。

[0086] 在图11(a)所示的字线驱动电路WD中,接近时序调整电路TMCTLB形成p型阱WEL_P,背离时序调整电路TMCTLB形成n型阱WEL_N,该n型阱WEL_N夹着所述所述p型阱WEL_P。在存储器阵列MARY中,接近时序调整电路TMCTLB形成n型阱WEL_N,背离时序调整电路TMCTLB形成p型阱WEL_P,该p型阱WEL_P夹着所述n型阱WEL_N。在这样的情形下,无论采用所述n型阱WEL_N或p型阱WEL_P中的哪一个作为时序调整电路TMCTLB的阱,面积效率都几乎没有差别。因此,就这点而言,图5所示配置实例和图6所示配置实例不会产生明显差别。

[0087] 另一方面,在图11(b)所示的字线驱动电路WD中,接近时序调整电路TMCTLB形成p型阱WEL_P,背离时序调整电路TMCTLB形成n型阱WEL_N,该n型阱WEL_N夹着所述的p型阱WEL_P。在存储器阵列MARY中,接近时序调整电路TMCTLB形成p型阱WEL_P,背离时序调整电路TMCTLB形成n型阱WEL_N,该n型阱WEL_N夹着所述p型阱WEL_P。在这样的情形下,当采用p型阱WEL_P作为时序调整电路TMCTLB的阱时,所述p型阱WEL_P可以与字线驱动电路WD的p型阱WEL_P和存储器阵列MARY的p型阱WEL_P一体形成。因而,与采用n型阱WEL_N的情形相比,可以实现较小的面积。就这一点而言,采用图5所示配置实例(NMOS晶体管)比采用图6所示配置实例(PMOS晶体管)变的更有益。

[0088] 《实施方式1的主要效果》

[0089] 在这一点上,下列效果(1)-(8)主要通过采用根据本发明实施方式1的半导体器件由各配置获得。独立地理解各配置是可能的;因而,优选地独立采用产生效果(1)-(8)的各配置,或者采用它们中一些的组合。

[0090] (1)在根据本发明实施方式1的包含于半导体器件的时序调整电路中的晶体管栅极的电压钳位方面:通过采用上述时序调整电路,可以减少时序操作(通常为读出放大器的启动时序)的变化。原因之一在于:延迟的量是通过采用列方向负载电路的方法设置,而不是通过虚拟存储单元的方法设置,所述虚拟存储单元的方法采用具有与存储单元的电气性能类似的电气性能的虚拟存储单元。在虚拟存储单元的方法中,例如,被配置成以存储在先固定信息的多个虚拟存储单元耦合至虚设位线,并且至少一个虚拟存储单元响应字线(或虚设字线)的激活来驱动所述虚设位线。读出放大器的启动时序主要通过由所述虚拟存储单元驱动的虚设位线的时序提供。然而,在存储单元中,随着几何构造更加精细或容量的增加,工艺变化(电压变化以及温度变化,根据实例而定)更容易出现。因而,各虚拟存储单元的工艺变化也容易出现,所述虚拟存储单元反映所述存储单元的配置。当虚拟存储单元中出现工艺变化时,所述虚设位线的驱动时序对于每个虚拟存储单元而言是不同的,从而,可能在读出放大器的启动时序中出现变化。

[0091] 另一方面,在上述采用列方向负载电路的方法中,MOS晶体管的栅极不是像所述虚拟存储单元的方法中那样动态驱动,而是将所述MOS晶体管的栅极保持在固定值的截止电平。因而,提前将固定负载电容加至所述虚设位线,并且所述读出放大器的启动时序主要通过所述负载电容的数量级确定。所述负载电容的变化量主要取决于图7所示扩散层DF的总面积的变化,且很容易做得比上述虚拟存储单元的虚设位线的驱动时序的变化量(换言之,虚设存储单元的电流驱动能力的变化量)小。因此,使减少读出放大器的驱动时序的变化成为可能。

[0092] (2)在根据本发明实施方式1的包含于半导体器件的时序调整电路中的晶体管的栅极长度方面:通过采用上述时序调整电路,使减少操作时序(通常是读出放大器的启动时序)的变化成为可能。另一原因在于:如图9所示,由列方向负载电路构成的各MOS晶体管的栅极长度设计得比存储单元中各MOS晶体管的栅极长度长。当栅极长度设计得较长时,源极和漏极的面积要设计得相对更大。在半导体生产过程中,通常,工艺尺寸越小,工艺变化越容易出现。当栅极长度变短时,尺寸变化更容易出现。因此,由列方向负载电路产生的负载电容数值的变化可以通过将栅极长度设计得较长来减小。另外,对于构成时序调整电路的各反相器电路(图5所示IV1-IV6等)而言,从减少逻辑阈值的变化的角度来说,理想的是使各MOS晶体管的栅极长度比存储单元中各MOS晶体管的栅极长度长。

[0093] (3)在根据本发明实施方式1的半导体器件中将列方向负载电路分布至向外布线和返向布线的布置方面:通过采用上述时序调整电路,使减少操作时序(通常是读出放大器的启动时序)的变化成为可能。又一原因在于:列方向负载电路的布置分布到向外布线和返向布线中。例如,如图5所示,虚设位线分布到向外布线(DBL1)和返向布线(DBL2),且多个列方向负载电路布置在各虚设位线DBL1和DBL2中。

[0094] 如果列方向负载电路集中布置在所述向外布线和返向布线的一侧,那么当布线集中侧的晶体管的结构等出现变化时,布线侧的变化性能将严重影响延迟。与此相比,通过将列方向负载电路分布到向外布线和返向布线可以减少布线一侧的变化的影响。

[0095] (4)在根据本发明实施方式1的半导体器件的布线中的列方向负载电路的分布式布置方面:通过采用上述时序调整电路,使减少操作时序(通常是读出放大器的启动时序)的变化成为可能。又一原因在于:列方向负载电路在Y方向分布式布置。例如,在图5中,当列

方向负载电路的Y方向长度变长时,特别是由于存储器阵列MARY的容量增大而变长时,工艺变化等可随Y方向上的位置的变化而发生。因而,在图5中,在各虚设位线DBL1和虚设位线DBL2中,多个列方向负载电路在Y方向上分布式布置。具体而言,所述列方向负载电路配置有在Y方向上分布的多个MOS晶体管。工艺变化等通过采用这样的分布式布置可在整体上被平均化。

[0096] (5)在根据本发明实施方式1的半导体器件的反相器电路的布置方面:通过将所述反相器电路分别分布式布置在虚设位线DBL1的输入终端、虚设位线DBL1的输出终端(虚设位线DBL2的输入终端)以及虚设位线DBL2的输出终端中,所述各反相器电路的逻辑阈值等的变化可以被平均化,如同上述效果(4)。

[0097] (6)在根据本发明实施方式1的与半导体器件的位线长度对应的虚设位线的采用方面:通过采用上述时序调整电路,使对应于字线数目(位线长度)最优地设置读出放大器的启动时序成为可能。例如当字线数目(位线长度)随存储器的容量值变化时,位线的寄生电容等将相应地变化。因此,读出放大器的最优启动时序也会不同。因而,参考图10所述,所述位线的寄生电容的影响通过遵照字线数目(位线长度)并改变所述虚设位线的长度反映。因此,使对具有不同数目位线(位线长度)的存储器的读出放大器最优的启动时序进行设置成为可能。

[0098] (7)在根据本发明实施方式1的包含于半导体器件中的时序调整电路的晶体管的配置方面:通过采用上述时序调整电路,使在设置读出放大器的启动时序时容易地执行时序调整成为可能,而无需考虑所述存储单元的种类。例如,在上述虚拟存储单元的方法中,由于当存储单元种类变化时虚拟存储单元的配置也会变化,需要为每种存储单元新开发时序调整电路。另一方面,图5所示的时序调整电路或其他时序调整电路可以一起使用,而无需考虑所述存储单元的种类。具体而言,当存储单元的种类变化时,只需考虑最坏的情况(通常是,位于所述字线的端部和所述位线端部的存储单元的存取时间),仅仅适当调整列方向负载电路的负载电容值即可。在此情形下,例如,无需改变图7所示的布图自身的基本配置,仅需要适当选择是否提供通层V1(虚设位线与构成列方向负载电路的各MOS晶体管的源极和漏极之间的耦合部分)。因此,调整很简单。

[0099] (8)逻辑布图规则在根据本发明实施方式1的半导体器件的时序调整电路中的应用方面:通过采用上述时序调整电路,使消除布图方面的布置限制成为可能。例如,在上述虚拟存储单元的方法中,时序调整电路通过存储单元的布图规则设计;因此,有必要将所述时序调整电路布置在存储器阵列内(或存储器阵列附近)。另一方面,图5所示的时序调整电路或其他时序调整电路通过逻辑布图规则设计。因此,不必将时序调整电路布置在存储器阵列内(或存储器阵列附近)。因此,使根据本例有效地使用面积成为可能,从而实现小面积的半导体器件。

[0100] 《实施方式1的各种改良实例》

[0101] 实施方式1中描述的各种配置实例并不限于那些,可在不背离主旨的范围内自然地作出各种改变。例如,如果从上述对变化进行平均化的角度出发,允许增加电路面积,那么不仅可将所述虚设位线设置为如图5所示的一个双向布线,还可设置为多个双向布线。图5和其他附图中,列方向负载电路设置在两个虚设位线DBL1和DBL2的每一个虚设位线中。然而,根据情况,还可将所述列方向负载电路仅设置在一个虚设位线中。但是,从上述对变化

进行平均化的角度出发,理想的是将所述列方向负载电路设置在两个虚设位线中,更加理想的是将所述列方向负载电路均等地设置在两个虚设位线中。此外,在图5和其他图中,从上述对变化进行平均化等的角度出发,反相器电路IV3和IV4被设置在虚设位线的转向点。但是,根据情况也可能省略所述反相器电路。在图5和其他附图中,反相器电路的每一部分被设置为两级配置(例如,IV1和IV2)。但是,也可能适当改变级数。在此情形下,从使虚设位线DBL1的延迟时间和虚设位线DBL2的延迟时间尽量相等的角度出发,理想的是使虚设位线DBL1的信号极性与虚设位线DBL2的信号极性相同。但是,根据情况还可能将其设置为不同的极性。

[0102] 实施方式2

[0103] 《时序调整电路(沿列方向)的具体电路(2)》

[0104] 图12为图示根据本发明实施方式2的包含于半导体器件中的时序调整电路(沿列方向)的配置实例的电路图。图12图示的时序调整电路TMCTLBn2为图5图示的时序调整电路TMCTLBn1的改良实例。图12图示的配置实例与图5图示的配置实例不同之处在于:包含于各列方向负载电路CLBn[1]-CLBn[x]中的NMOS晶体管MNa1-MNa4的栅极共同耦合至电源电压VCC。

[0105] 图13为图示根据本发明实施方式2的包含于半导体器件中的时序调整电路(沿列方向)另一配置实例的电路图。图13图示的时序调整电路TMCTLBp2为图6图示的时序调整电路TMCTLBp1的改良实例。图13图示的配置实例与图6图示的配置实例不同之处在于:包含于各列方向负载电路CLBp[1]-CLBp[x]中的PMOS晶体管MPa1-MPa4的栅极共同耦合至接地电源电压VSS。

[0106] 当采用图12和图13图示的列方向负载电路CLBn[1]-CLBn[x]和CLBp[1]-CLBp[x]时,与上述图5和图6的情形不同,栅极绝缘膜电容将作为虚设位线DBL1和DBL2的负载电容加入。换言之,由于将MOS晶体管MNa1-MNa4(MPa1-MPa4)驱动至接通状态,列方向负载电路将MOS晶体管MNa1-MNa4(MPa1-MPa4)的栅极绝缘膜电容以及构成MOS晶体管MNa2和MNa3(MPa2和MPa3)源极和漏极的扩散层的电容加至虚设位线DBL1和DBL2。通常,由于栅极绝缘膜电容的容量值比扩散层容量值大,例如,当需要相对大的负载电容时,或者当期望列方向负载电路的数目缩减到某一程度时,采用上述配置实例变得有用。

[0107] 当采用图12和图13所示的配置实例时,可采用图7图示的布图配置实例。在图12的情形下,将电源电压VCC施加于栅极偏压布线VGL,图13的情形下,将接地电源电压VSS施加于栅极偏压布线VGL。当通过栅极绝缘膜电容来调整待加入虚设位线中的负载电容值时,只需适当选择是否设置接触层CT用于耦合图7中的栅极偏压布线VGL和栅极布线(多晶硅层PO)。此处可易于进行控制。还可采用图12(图13)中的配置实例和图5(图6)中的配置实例的适当组合。换言之,例如,可将电源电压VCC施加于给图12和图5中的列方向负载电路CLBn[1]的各MOS晶体管,并且将接地电源电压VSS施加于列方向负载电路CLBn[q]的各MOS晶体管。在此情形下,在图7图示的布图配置实例中,仅需设置两个栅极偏压布线VGL(一个用于VCC,一个用于VSS)并仅需经由接触层CT将这些中栅极偏压布线VGL的一个栅极偏压布线VGL耦合至栅极布线。

[0108] 图14(a)、图14(b)和图14(c)为图示图12所示列方向负载电路中负载电容的补充性附图。图14(a)和图14(b)为图示所述负载电容位置的示意图,图14(c)为图示与图14(a)

和图14(b)的负载电容对应的电压波形实例的简要附图。图14(a)和图14(b)图示了列方向负载电路中的NMOS晶体管MNa1-MNa4的剖面结构实例。图14(a)和图14(b)中,栅极布线GT在p-型阱WEL_P上形成,其中间夹着栅极绝缘膜,用作源极和漏极的n-型扩散层DF_N在p-型阱WEL_P中的栅极布线GT两侧形成。

[0109] 图14(a)图示将接地电源电压VSS施加于栅极布线GT的情形,本例对应于图5所示的情形。本例中,通道不在NMOS晶体管的栅极下形成,通过耦合至用作源极和漏极的扩散层DF_N的虚设位线(此处DBL1)可以看出在所述扩散层DF_N和p-型阱WEL_P之间的扩散层电容(pn结电容) C_{sb} (或 C_{db})。图14(b)图示将电源电压VCC施加于栅极布线GT的情形,本例对应于图12所示情形。本例中,通道NCH在NMOS晶体管的栅极下形成。因此,例如,通过耦合至用作源极的扩散层DF_N的虚设位线DBL1可以看出扩散层DF_N(源极)和p-型阱WEL_P之间的扩散层电容 C_{sb} ,此外,还可以看出栅极绝缘膜电容 C_g 、通道NCH和p-型阱WEL_P之间的pn结电容 C_{cb} 以及扩散层DF_N(漏极)和p-型阱WEL_P之间的扩散层电容 C_{db} 。栅极绝缘膜电容 C_g 为栅极-源极电容 C_{sg} 和栅极-漏极电容 C_{dg} 的总和。

[0110] 因此,当虚设位线DBL1从“高”电平转换至“低”电平时,随负载电容的种类的变化而发生如图14(c)图示的延迟(波形的平缓变化)。首先,图14(a)的情形下,负载电容值由虚设位线DBL1的寄生电容 C_{db11} 与扩散层电容 C_{sb} (或 C_{db})之和得出,总和为“ $C_{db11}+C_{sb}$ (C_{db})”。因此,如图14(c)所示,与仅由寄生电容 C_{db11} 得出负载电容值的情形相比,虚设位线DBL1的电压波形表现出更加平缓的变化。其次,图14(b)的情形下,负载电容值由“ $C_{db11}+C_{sb}+C_{db}+C_{cb}+C_g$ ”的总和得出。因此,如图14(c)所示,与图14(a)的情形相比,虚设位线DBL1的电压波形表现出平缓得多的变化。但是,虚设位线DBL1的电压波形比图14(a)接近一定电压水平的情形表现出平缓得多的变化,因为,在虚设位线DBL1的电压转换期间,通道NCH(就是 $C_{db}+C_{cb}+C_g$)并不在虚设位线DBL1的电压电平接近某种程度的“高”电平的期间产生。

[0111] 图15(a)、图15(b)和图15(c)为图示图13所示列方向负载电路的负载电容的补充性附图,其中,图15(a)和图15(b)是图示负载电容位置的示意图,图15(c)是简要图示与图15(a)和图15(b)的负载电容对应的电压波形实例的附图。图15(a)和图15(b)图示了列方向负载电路中PMOS晶体管MPa1-MPa4的剖面结构实例。图15(a)和图15(b)中,栅极布线GT在n-型阱WEL_N上形成,其中间夹着栅极绝缘膜,并且用作源极和漏极的p-型扩散层DF_P在n-型阱WEL_N中的栅极布线GT的两侧形成。

[0112] 图15(a)图示将电源电压VCC施加于栅极布线GT的情形,本例对应于图6所示的情形。本例中,通道不在PMOS晶体管的栅极下形成,通过耦合至用作源极或漏极的扩散层DF_P的虚设位线(此处DBL1)可以看出在所述的扩散层DF_P和n-型阱WEL_N之间的扩散层电容(pn结电容) C_{sb} (或 C_{db})。图15(b)图示将接地电源电压VSS施加于栅极布线GT的情形,本例对应于图13所示的情形。本例中,通道PCH在PMOS晶体管的栅极下形成。因此,例如,通过耦合至用作源极的扩散层DF_P的虚设位线DBL1可以看出扩散层DF_P(源极)和n-型阱WEL_N之间的扩散层电容 C_{sb} ,此外,还可以看出栅极绝缘膜电容 C_g 、通道PCH和n-型阱WEL_N之间的pn结电容 C_{cb} 以及扩散层DF_P(漏极)和n-型阱WEL_N之间的扩散层电容 C_{db} 。栅极绝缘膜电容 C_g 为栅极-源极电容 C_{sg} 和栅极-漏极电容 C_{dg} 的总和。

[0113] 因此,当虚设位线DBL1从“高”电平转换至“低”电平时,如图15(c)图示的延迟(波形的平缓改变)随负载电容的种类的变化而发生。首先,图15(a)的情形下,负载电容值由虚

设位线DBL1的寄生电容 C_{db11} 与扩散层电容 C_{sb} (或 C_{db})之和得出,总和为" $C_{db11}+C_{sb}$ (C_{db})"。因此,如图15(c)所示,与仅由寄生电容 C_{db11} 得出负载电容值的情形相比,虚设位线DBL1的电压波形更加平缓的变化。其次,图15(b)的情形下,负载电容值由" $C_{db11}+C_{sb}+C_{db}+C_{cb}+C_g$ "的总和得出。因此,如图15(c)所示,与图15(a)的情形相比,虚设位线DBL1的电压波形表现出平缓得多的变化。但是,在接近特定电压水平条件下,虚设位线DBL1的电压波形表现出从非常平缓的变化至图15(a)的情形下所观察的不那么平缓的变化,因为,在虚设位线DBL1的电压转换期间,通道PCH(就是 $C_{db}+C_{cb}+C_g$)在虚设位线DBL1的电压电平接近某种程度的“低”电平的期间消失了。

[0114] 这样,当采用列方向负载电路(该列方向负载电路使用栅极绝缘膜电容作为负载电容)时,如何看出负载电容随虚设位线DBL1的电压水平的转换方向和列方向负载电路的MOS晶体管的传导类型的组合而不同。例如,采用NMOS晶体管时,虚设位线DBL1的电压电平从“高”电平转换至“低”电平时,栅极绝缘膜电容在早期阶段不可见,但是,从“低”电平转换至“高”电平时,栅极绝缘膜电容在早期阶段可见。相反,采用PMOS晶体管时,虚设位线DBL1的电压水平从“高”电平转换至“低”电平时,栅极绝缘膜电容在早期阶段可见,但是,从“低”电平转换至“高”电平时,栅极绝缘膜电容在早期阶段不可见。通常,更加理想的是采用其中栅极绝缘膜电容在转换的早期可见的组合。

[0115] 如上所述,例如,通过采用本发明实施方式2的半导体器件,可易于支持甚至需求大负载电容数值的情形。本发明实施方式2中,采用PMOS晶体管或NMOS晶体管中的任一个作为列方向负载电路。但是,也可以随情况配置成采用这两者。换言之,p-型阱和n-型阱均在时序调整电路中形成,列方向负载电路的一部分配置有NMOS晶体管,余下部分配置有PMOS晶体管。在此情形下,尽管电路面积可增加,但在虚设位线的电压水平转换过程中,对如何看到栅极绝缘膜电容的程度进行平均化是可能的。

[0116] 实施方式3

[0117] 《时序调整电路(沿列方向)的具体电路(3)》

[0118] 图16(a)为图示根据本发明实施方式3的包含于半导体器件中的时序调整电路(沿列方向)的配置实例的电路图,图16(b)为图16(a)的补充性附图。图16(a)所示的时序调整电路TMCTLB3为图5所示的时序调整电路TMCTLBn1的改良实例。图16(a)所示的时序调整电路TMCTLB3与图5所示的时序调整电路TMCTLBn1不同之处在于,列方向负载电路改变成可变电列方向负载电路 $VCLBn[1]-VCLBn[x]$ 。

[0119] 所述可变电列方向负载电路 $VCLBn[1]-VCLBn[x]$ 设置有如图5情形那样的NMOS晶体管 $MNa1-MNa4$;但是,不像图5中的情形那样,NMOS晶体管 $MNa1-MNa4$ 的各栅极电压可被适当地设置。因此,图16(a)中,还设置了包括锁存电路LTa和LTb在内的负载电容设置电路CLCTL。本配置中,锁存电路LTa锁存独立输入的负载电容设置信号Sa,并控制NMOS晶体管 $MNa1$ 的栅极电压,锁存电路LTb锁存独立输入的负载电容设置信号Sb,并共同控制NMOS晶体管 $MNa2-MNa4$ 的栅极电压。

[0120] 本配置实例中,如图16(b)所示,首先,当负载电容设置信号(Sa,Sb)设置为('1','0')('1':VCC电平,'0':VSS电平)时,分别将NMOS晶体管 $MNa1$ 设置为导通状态,NMOS晶体管 $MNa2-MNa4$ 设置为截止状态。因此,列方向负载电路的虚设位线DBL1和DBL2的负载电容主要由NMOS晶体管 $MNa1$ 的栅极绝缘膜电容和NMOS晶体管 $MNa1-MNa3$ 的源极和漏极的扩散层电容

的总和得出。其次,当负载电容设置信号(Sa,Sb)设置为('0','0')时,NMOS晶体管MNa1-MNa4设置为截止状态。因此,列方向负载电路的虚设位线DBL1和DBL2的负载电容由NMOS晶体管MNa2和MNa3的源极和漏极的扩散层电容的总和得出。本例中,由于与负载电容设置信号(Sa,Sb)=('1','0')的情形(定义为标准设置的情形)相比,负载电容值变得更小,因此将读出放大器的启动时序设置得稍早。

[0121] 其次,当负载电容设置信号(Sa,Sb)设置为('0','1')时,分别将NMOS晶体管MNa1设置为截止状态,NMOS晶体管MNa2-MNa4设置为导通状态。因此,列方向负载电路的虚设位线DBL1和DBL2的负载电容主要由NMOS晶体管MNa2-MNa4的栅极绝缘膜电容和NMOS晶体管MNa2-MNa4的源极和漏极的扩散层电容的总和得出。本例中,由于负载电容值与上述标准设置的情形相比变得更大,因此将读出放大器的启动时序设置得较晚。最后,当负载电容设置信号(Sa,Sb)设置为('1','1')时,NMOS晶体管MNa1-MNa4设置为导通状态。因此,列方向负载电路的虚设位线DBL1和DBL2的负载电容主要由NMOS晶体管MNa1-MNa4的栅极绝缘膜电容和NMOS晶体管MNa1-MNa4的源极和漏极的扩散层电容的总和得出。本例中,由于负载电容值与上述负载电容设置信号(Sa,Sb)=('0','1')的情形相比仍然较大,因此将读出放大器的启动时序仍然设置得较晚。

[0122] 当所述半导体器件装配有非易失性存储器时,所述负载电容设置信号Sa和Sb的信息可预先存储于非易失性存储器上,或者所述信息可以通过保险丝(fuse)等的方式永久性设置,或者,当所述半导体器件装配有设置模式时,所述信息可以经由半导体器件中的各种电路单元或经由所述设置模式中的外部终端动态改变。例如,当测试诸如SRAM之类的存储器时,存在想要临时延迟读出放大器的启动时序的情形。在此情形下,理想的是可动态改变配置。图16(a)中,可变设置通过一个MOS晶体管(MNa1)和三个MOS晶体管(MNa2-MNa4)的组合实现。然而,应当理解的是,所述组合并不限于此情形,而是可以进行适当地改变。但是,如图16(a)所示,通过将不同数目的MOS晶体管分配给各负载电容设置信号,使实现几个步骤(本例中为四个步骤)的可变设置成为可能,其中负载电容的数值可通过充分平衡来改变。

[0123] 图17(a)为图示根据本发明实施方式3的包含于半导体器件中的时序调整电路(沿列方向)的另一配置实例的电路图,图17(b)为图17(a)的补充性附图。图17(a)所示的时序调整电路TMCTLB4为图5所示的时序调整电路TMCTLBn1的改良实例。图17(a)所示的时序调整电路TMCTLB4与图5所示的时序调整电路TMCTLBn1的不同之处在于图5所示的反相器电路IV2和IV4变成可变的反相器电路VIV2和VIV4。

[0124] 在各个可变反相器电路VIV2和VIV4的配置中,上拉PMOS晶体管MP10在电源电压VCC和输出节点之间耦合,下拉NMOS晶体管MN10a、MN10b和MN10c平行插入输出节点和接地电源电压VSS之间。PMOS晶体管MP10和NMOS晶体管MN10a、MN10b和MN10c共同耦合至各自的栅极处的输入节点。此处,NMOS晶体管MN10a、MN10b和MN10c分别经由NMOS晶体管MN11a、MN11b和MN11c(其中的每一个作为开关)耦合至接地电源电压VSS。因此,所述可变反相器电路VIV的驱动能力可通过接通和断开所述开关进行适当设置。

[0125] 因此,图17(a)中,还设置了包括锁存电路LTc和LTd在内的负载电容设置电路CLCTL。本配置中,锁存电路LTc锁存独立输入的负载电容设置信号Sc并控制NMOS晶体管MN11a的导通/截止,锁存电路LTd锁存独立输入的负载电容设置信号Sd并控制NMOS晶体管

MN11b的导通/截止。NMOS晶体管MN11c通过施加于其栅极的电源电压VCC固定至导通状态。此处，NMOS晶体管MN11a、MN11b和MN11c(其中的每一个作为开关)的电流驱动能力设置为相同值。所述下拉NMOS晶体管MN10b的电流驱动能力设置成比NMOS晶体管MN10a的电流驱动能力大。

[0126] 在此情形下，如图17(b)所示，首先，当负载电容设置信号(Sc, Sd)设置为($'1', '0'$)($'1'$:VCC电平， $'0'$:VSS电平)时，NMOS晶体管MN10a作为有效的下拉晶体管加至NMOS晶体管MN10c中。其次，当负载电容设置信号(Sc, Sd)设置为($'0', '0'$)时，所述有效的下拉晶体管仅为NMOS晶体管MN10c。因此，可变反相器电路VIV的电流驱动能力变得比上述(定义为标准设置)负载电容设置信号(Sc, Sd)= $('1', '0')$ 的情形下小。因此，读出放大器的启动时序将设置得更晚。

[0127] 其次，当负载电容设置信号(Sc, Sd)设置为($'0', '1'$)时，NMOS晶体管MN10b作为有效的下拉NMOS晶体管加至NMOS晶体管MN10c中。因此，可变反相器电路VIV的电流驱动能力变得比上述标准设置的情形下的电流驱动能力大。因此，读出放大器的启动时序将设置得略微较早。最后，当负载电容设置信号(Sc, Sd)设置为($'1', '1'$)时，NMOS晶体管MN10a和MN10b作为有效下拉晶体管加至NMOS晶体管MN10c中。因此，所述可变反相器电路VIV的电流驱动能力仍然变得比上述负载电容设置信号(Sc, Sd)= $('0', '1')$ 的情形下的电流驱动能力大。因此，读出放大器的启动时序将仍然设置得略微较早。本例中，假设在读出放大器的启动时序通过将虚设位线DBL1和DBL2从“高”电平转换至“低”电平进行设置的情形下，所述下拉侧的配置会成为可变的。但是，当采用从“低”电平至“高”电平的转换时，所述上拉侧的配置成为可变的即可。自然地，所述电流驱动能力的可变方法并不限于图17(a)所示的配置实例，而是可以适当改变。

[0128] 如上所述，通过采用根据本发明实施方式3的半导体，使实现如下配置成为可能：在所述配置中读出放大器的启动时序可通过各种可变设置的方法进行调整。例如，如上所述，可有利于测试，并且可以实现对应于生产变化等的改良。如图12和其他附图所示，根据情况，可以在生产后调整负载电容的值，而无需调整图7所示的接触层CT的存在或不存在，所述接触层CT的调整根据存储器的种类等可在设计和生产阶段进行。

[0129] 实施方式4

[0130] 《时序调整电路(沿列方向)的具体电路(4)》

[0131] 图18为图示根据本发明实施方式4的包含于半导体器件中的时序调整电路(沿列方向)的配置实例的电路图。图18所示的时序调整电路TMCTLBn3是图5所示的时序调整电路TMCTLBn1的改良实例。图5图示了时序调整电路TMCTLBn1的电路图，其中列方向负载电路CLBn[1]-CLBn[x]的负载电容的值是相同的。但是，负载电容的值可以不必相同。例如，如图18所示，可使得分别位于虚设位线DBL1的输出终端和虚设位线DBL2的输入终端的列方向负载电路CLBn'[q]和CLBn'[q+1]的负载电容值比分别位于虚设位线DBL1的输入终端和虚设位线DBL2的输出终端的列方向负载电路CLBn[1]和CLBn[x]的负载电容值小。

[0132] 图18中，列方向负载电路CLBn'[q]和CLBn'[q+1]配置有多个(此处，四个)串联的NMOS晶体管MNb1-MNb4，如列方向负载电路CLBn[1]和CLBn[x]的情形那样。但是，不像列方向负载电路CLBn[1]和CLBn[x]那样，NMOS晶体管MNb2和MNb3的唯一公共耦合节点(源极或漏极)耦合至相应的虚设位线(DBL1或DBL2)。通过本配置也可获得与实施方式1的情形相同

的效果。

[0133] 实施方式5

[0134] 《读/写控制电路的细节》

[0135] 图19(a)为图示根据本发明实施方式5的半导体器件中如图1所示的存储器中的读/写控制电路外围的配置实例的框图,图19(b)为图示图19(a)所示的读/写延迟控制电路的具体配置实例的电路图。图20(a)为图示图19中读取时操作实例的波形图,图20(b)为图示图19中写入时的操作实例的波形图。

[0136] 图19(a)所示的读/写控制电路RWCTL设置有译码激活信号生成电路TDECGEN和读/写延迟控制电路RWDLYCTL。如图20(a)和图20(b)所示,所述译码激活信号生成电路TDECGEN响应时钟信号CLK等,激活译码激活信号TDEC。字线驱动电路WD响应译码激活信号TDEC的出现,激活预定的字线WL。如上所述,时序调整电路TMCTLB通过将预定的延迟时间(Td1y1)传递给译码激活信号TDEC来输出虚设位线信号SDBL。

[0137] 如图20(a)所示,当内部写使能信号WE指定读取操作(此处WE='0')时,读/写延迟控制电路RWDLYCTL响应虚设位线信号SDBL,激活读出放大器使能信号SE。读出放大器电路SA响应激活的读出放大器使能信号SE,执行放大操作。在此情形下,正本位线对(BL,ZBL)的转换速度(从预先在“高”电平预充电状态取出电荷的速度)基于字线数目(位线长度)改变。因此,采用上述的时序调整电路TMCTLB变得有用。

[0138] 如图20(b)所示,当内部写使能信号WE(此处WE='1')指定写入操作时,读/写延迟控制电路RWDLYCTL响应虚设位线信号SDBL,在预定延迟(Td1y2)后激活写入模式字线下拉信号BACKW。如图20(a)所示,当内部写使能信号WE指定读取操作时,译码激活信号生成电路TDECGEN在预先设置的预定期间后,将译码激活信号TDEC去激活。如图20(b)所示,当内部写使能信号WE指定写入操作时,译码激活信号生成电路TDECGEN响应激活的写入模式字线下拉信号BACKW,将译码激活信号TDEC去激活。如图20(a)和图20(b)所示,字线驱动电路WD响应译码激活信号TDEC的下降,将预定的字线WL去激活。

[0139] 如图20(b)所示,当写入与存储单元MC中当前存储信息相反的存储信息时,存储单元MC中存储节点(MEMT、MEML)处的反相速度随字线WL数目(位线长度)改变。因此,写入时,理想的是相对于字线WL数目(位线长度)调整字线WL去激活的时序。因此,本发明实施方式5中,通过上述时序调整电路TMCTLB的方式不仅调整读出放大器的启动时序而且还调整写入时的字线WL的去激活时序。

[0140] 例如,图19(b)所示,读/写延迟控制电路RWDLYCTL可以通过两个配备有控制开关的反相器电路CIV1和CIV2以及配置有多级反相器电路的延迟电路模块IVBK实现。配备有控制开关的各个反相器电路CIV1和CIV2包括在电源电压VCC和输出节点(即,上拉侧)之间串联耦合的PMOS晶体管MP20和MP21,以及在接地电源电压VSS和输出节点(即,下拉侧)之间串联的NMOS晶体管MN20和MN21。PMOS晶体管MP20和NMOS晶体管MN20形成CMOS反相器电路,PMOS晶体管MP21和NMOS晶体管MN21作为控制开关起作用,用于控制所述CMOS反相器电路的激活和去激活。

[0141] 在配备有控制开关的反相器电路CIV1中,当内部写使能信号WE(WE='0')指定读取操作时,控制开关设置为接通,CMOS反相器电路输入虚设位线信号SDBL并且使虚设位线信号SDBL反相(此处为其经反相的信号),并且将读出放大器使能信号SE输出至输出节点。

反相器电路CIV1中,当内部写使能信号WE(WE='1')指定写入操作时,控制开关设置为断开,CMOS反相器电路的输出节点设置成高阻抗状态。在此情形下,尽管未显示,所述输出节点通过下拉开关等驱动至接地电源电压VSS的电平。

[0142] 另一方面,在配备有控制开关的反相器电路CIV2中,当内部写使能信号WE(WE='1')指定写入操作时,控制开关设置为接通。在此情形下,虚设位线信号SDBL(此处为其反相后的信号)通过延迟电路模块IVBK在延迟(图20(b)中的Td1y2)后输入至CMOS反相器电路。CMOS反相器电路将所述输入信号反相,并将写入模式字线下拉信号BACKW输出至输出节点。在配备有控制开关的反相器电路CIV2中,当内部写使能信号WE(WE='0')指定读取操作时,控制开关设置为断开,所述CMOS反相器电路的输出节点设置成高阻抗状态。在此情形下,尽管未显示,所述输出节点通过下拉开关等驱动至接地电源电压VSS的电平。

[0143] 如上所述,通过采用根据本发明实施方式5的半导体器件,使写入时与字线数目(位线长度)对应的操作时序(所述字线的下拉时序)得以优化成为可能。

[0144] 实施方式6

[0145] 《时序调整电路(沿列方向)的具体电路(5)》

[0146] 图21为图示根据本发明实施方式6的包含于半导体器件中的时序调整电路(沿列方向)的配置实例的电路图。图21中所示的时序调整电路TMCTLBn4为上述图5中所示的时序调整电路TMCTLBn1的改良实例。图21中所示的时序调整电路TMCTLBn4与图5中所示的时序调整电路TMCTLBn1的不同之处在于虚设位线DBL1'和DBL2'的长度为大约一半,相应地,反相器电路IV3和IV4的布置也不同。

[0147] 如上所述,由于时序调整电路可由存储器阵列MARY独立地形成,即使虚设位线DBL1'和DBL2'的长度不一定与存储器阵列MARY的正本位线BL的长度一致,在布图上也不会出现不方便。但是,为了反映正本位线中寄生电容基于上述字线数目(位线长度正本)的波动分量,理想的是维持正本位线长度与虚设位线长度的比值(本例中2:1)。上述配置实例当应用于例如双端口SRAM等时有用。换言之,双端口SRAM中,读出放大器电路等通常沿Y方向布置在夹在中间的存储器阵列MARY的两侧。在此情形下,在例如图21所示的时序调整电路TMCTLBn4中,在上半空白区域关于X轴对称地布置与在下半区域布置的电路相同的电路即可,并且通过使用当前两个电路系统,向两侧的各个读出放大器电路等提供虚设位线信号。

[0148] 实施方式7

[0149] 《时序调整电路(沿列方向)的具体电路(6)》

[0150] 图22为图示根据本发明实施方式7的包含于半导体器件中的时序调整电路(沿列方向)的配置实例的电路图。图22所示的时序调整电路TMCTLB5为上述图5所示的时序调整电路TMCTLBn1的改良实例,与图5所示的时序调整电路TMCTLBn1的不同之处在列方向负载电路CLB2[1]-CLB2[k]的配置。列方向负载电路CLB2[1]-CLB2[k]沿Y方向顺序布置,并且分别设置有多(此处,四个)NMOS晶体管MNC1-MNC4。

[0151] NMOS晶体管MNC1-MNC4的源极/漏极之一共同地耦合至虚设位线DBL1,源极/漏极的另一端共同地耦合至虚设位线DBL2,将接地电源电压VSS施加于栅极。采用本配置实例时,列方向负载电路的虚设位线DBL1的负载电容由列方向负载电路CLB2[1]-CLB2[k]的NMOS晶体管MNC1-MNC4中源极/漏极的一端的扩散层电容得出,并且列方向负载电路的虚设位线DBL2的负载电容由列方向负载电路CLB2[1]-CLB2[k]的NMOS晶体管MNC1-MNC4中漏极/

源极的另一端的扩散层电容得出。

[0152] 《时序调整电路(沿列方向)的具体电路(7)》

[0153] 图23为图示图22的改良实例的电路图。图23所示的时序调整电路TMCTLB5'为能够使图22所示的列方向负载电路CLB2[1]-CLB2[k]中NMOS晶体管MNC1-MNC4的栅极电压的设置可变的配置实例。因此,图23中,设置了包括锁存电路LTe在内的负载电容设置电路CLCTL。如实施方式3及其他的情形那样,锁存电路LTe输入负载电容设置信号Se并共同地控制列方向负载电路CLB2[1]-CLB2[k]中NMOS晶体管MNC1-MNC4的导通/截止。例如,当NMOS晶体管MNC1-MNC4通过负载电容设置电路CLCTL设置成截止状态时,获得与图22相同的状态。反之,当NMOS晶体管MNC1-MNC4设置成导通状态时,通过充当开关的NMOS晶体管MNC1-MNC4在虚设位线DBL1和DBL2之间形成短路。在此情形下,读出放大器的启动时序等可临时设置得较早。

[0154] 《时序调整电路(沿列方向)的具体布图配置(2)》

[0155] 图24为图示图22和图23所示的时序调整电路的列方向负载电路具体布图配置实例的俯视图。如图24所示,时序调整电路TMCTLB5(或时序调整电路TMCTLB5')包括阱WEL、阱WEL中形成的扩散层DF、经由栅极绝缘膜在阱WEL之上形成的多晶硅层P0、在上层依次形成的第一金属布线层M1和第二金属布线层M2、接触层CT以及通层V1。接触层CT建立了第一金属布线层M1和多晶硅层P0之间的耦合以及第一金属布线层M1和扩散层DF之间的耦合。通层V1建立了第一金属布线层M1和第二金属布线层M2之间的耦合。

[0156] 图24中,由第二金属布线层M2形成的两个虚设位线DBL1和DBL2沿Y方向(位线延伸方向)并排延伸。由多晶硅层P0形成的八个栅极布线沿X方向(字线延伸方向)并排延伸。列方向负载电路CLB2在八个栅极布线的边缘上的四个栅极布线与虚设位线DBL1和DBL2的相交部分形成。另一列方向负载电路CLB2也在其余四个栅极布线与虚设位线DBL1和DBL2的相交部分形成。各个列方向负载电路中,成为源极或漏极的扩散层DF布置在上述四个栅极布线的每一个栅极布线的两侧上。使用此布置,上述NMOS晶体管MNC1-MNC4沿Y方向顺序形成。包含于某一列方向负载电路中的扩散层DF与包含于另一列方向负载电路中的扩散层DF之间的空间通过如图7实例中那样的绝缘层分开。不像图7所示的配置实例那样,图24所示的配置实例中,两个虚设位线布置在一个MOS晶体管之上,并且对应于两个列方向负载电路设置两个元件有源区域。

[0157] 各个列方向负载电路中,用作NMOS晶体管MNC1-MNC4源极和漏极的各个扩散层DF首先经由接触层CT耦合至分别布置在各个扩散层DF的上层的第一金属布线层M1的布线中。在两个列方向负载电路中的一个负载电路中,虚设位线DBL1经由上述各个扩散层DF之上的通层V1和第一金属布线层M1的布线耦合至NMOS晶体管MNC1源极/漏极之一(不与NMOS晶体管MNC2共用的一侧)、NMOS晶体管MNC2和MNC3共用的源极或漏极以及NMOS晶体管MNC4源极/漏极之一(不与NMOS晶体管MNC3共用的一侧)。虚设位线DBL2经由上述各个扩散层DF之上的通层V1和第一金属布线层M1的布线耦合至NMOS晶体管MNC1和MNC2共用的源极或漏极以及由NMOS晶体管MNC3和MNC4共用的源极或漏极。以图22所示的列方向负载电路CLB2[1]为例,本布图配置实例相当于NMOS晶体管MNC2和MNC3的公共耦合节点耦合至虚设位线DBL1,并且NMOS晶体管MNC1和MNC2的公共耦合节点以及NMOS晶体管MNC3和MNC4的公共耦合节点分别耦合至虚设位线DBL2。

[0158] 两个列方向负载电路中的另一个负载电路配置成使上述两个列方向负载电路的一个中的虚设位线DBL1和DBL2的关系可互换。换言之,虚设位线DBL2经由上述各个扩散层DF之上的通层V1和第一金属布线层M1的布线耦合至NMOS晶体管MNc1源极/漏极之一(不与NMOS晶体管MNc2共用的一侧)、NMOS晶体管MNc2和MNc3共用的源极或漏极以及NMOS晶体管MNc4的源极/漏极之一(不与NMOS晶体管MNc3共用的一侧)。虚设位线DBL1经由上述各个扩散层DF之上的通层V1和第一金属布线层M1的布线耦合至NMOS晶体管MNc1和MNc2共用的源极或漏极以及NMOS晶体管MNc3和MNc4共用的源极或漏极。通过多晶硅层P0形成的八个栅极布线通过接触层CT共同地耦合至由第一金属布线层M1形成的并沿Y方向延伸的栅极偏压布线VGL。如同图7的情形那样,可通过通层V1的存在或不存在对负载电容幅值进行调整。

[0159] 当将图24所示的布图配置实例与图7所示的布图配置实例做对比时,图24所示的布图配置实例可以在采用布置在各个元件有源区域两端的扩散层的前提下获得较小的面积。图7中,如果采用各个元件有源区域两端的扩散层,十个扩散层电容将耦合至虚设位线DBL1和DBL2中的每一个。另一方面,图24中,五个扩散层电容耦合至虚设位线DBL1和DBL2中的每一个,并且,当各个扩散层面积假定为图7情形的约两倍时,虚设位线DBL1和DBL2的扩散层电容的幅值在图24的情形和图7的情形下是相似的。基于上述考虑,在图7的情形中,在虚设位线DBL1下层形成的列方向负载电路和虚设位线DBL2下层形成的列方向负载电路之间的分开的空间(尤其是,隔离元件的绝缘层)是必需的,但是,所述空间在图24的情形下不是必需的,这样得到较小的面积。另一方面,在不采用各元件有源区域两端的扩散层的情形下,或者在不采用栅极绝缘膜电容作为负载电容的情形下,更理想的是采用图7所示的布图配置实例。

[0160] 如上所述,通过采用根据本发明实施方式7的半导体器件获得与上述实施方式1相同的效果是可能的,此外,根据此例,还可以实现较小的面积。尽管在本例中采用NMOS晶体管来配置列方向负载电路,但实际上还可以采用PMOS晶体管。

[0161] 实施方式8

[0162] 《时序调整电路(沿列方向)的具体电路(8)》

[0163] 图25为图示根据本发明实施方式8的包含于半导体器件中的时序调整电路(沿列方向)配置实例的电路图。图25所示的时序调整电路TMCTLB6为图12所示的时序调整电路TMCTLBn2或者图22所示的时序调整电路TMCTLB5的改良实例,并且与图22相比,列方向负载电路CLB3[1]-CLB3[k]的配置不同。列方向负载电路CLB3[1]-CLB3[k]沿Y方向顺序布置,且各个列方向负载电路CLB3[1]-CLB3[k]配置有多个(此处,12个)NMOS晶体管MNc1-MNc4、MNc11-MNc14和MNc21-MNc24。

[0164] NMOS晶体管MNc11-MNc14中,源极/漏极之一共同地耦合至虚设位线DBL1,源极/漏极中的另一个分别耦合至NMOS晶体管MNc1-MNc4的源极/漏极之一。NMOS晶体管MNc21-MNc24中,源极/漏极之一共同地耦合至虚设位线DBL2,源极/漏极中的另一个分别耦合至NMOS晶体管MNc1-MNc4的源极/漏极中的另一个。将电源电压VCC施加于NMOS晶体管MNc11-MNc14和MNc21-MNc24的栅极,将接地电源电压VSS施加于NMOS晶体管MNc1-MNc4的栅极。

[0165] 采用本配置实例时,列方向负载电路的虚设位线DBL1的负载电容主要由栅极绝缘膜电容和NMOS晶体管MNc11-MNc14源极/漏极的各个扩散层电容以及NMOS晶体管MNc1-MNc4源极/漏极之一的扩散层电容的组合电容得出。类似地,列方向负载电路的虚设位线DBL2的

负载电容主要由栅极绝缘膜电容和NMOS晶体管MNC21-MNC24源极/栅极的各个扩散层电容以及NMOS晶体管MNC1-MNC4源极/漏极中另一个的扩散层电容的组合电容得出。

[0166] 这样,通过可以利用栅极绝缘膜电容作为负载电容的配置,可以满足需要相对大负载电容值的情形。还可以适当地执行各个NMOS晶体管栅极电压的可变设置,如同图23和其他的情形那样。例如,当NMOS晶体管MNC1-MNC4栅极电压设置为电源电压VCC时,虚设位线DBL1和DBL2之间可以形成短路,如图23的情形那样。另一情形下,当NMOS晶体管MNC11-MNC14、MNC21-MNC24的栅极电压设置为接地电源电压VSS时,列方向负载电路的虚设位线DBL1和DBL2的负载电容可分别由NMOS晶体管MNC11-MNC14和MNC21-MNC24源极/漏极之一的扩散层电容得出。当不需要上述虚设位线DBL1和DBL2之间的短路时,可以去掉NMOS晶体管MNC1-MNC4(换言之, NMOS晶体管MNC11-MNC14、MNC21-MNC24源极/漏极中的另一个设置为断开)。

[0167] 《时序调整电路(沿列方向)的具体布图配置(3)》

[0168] 图26为图示图25所示时序调整电路的列方向负载电路的具体布图配置实例的俯视图。图26中,代表性地图示了图25所示的列方向负载电路中12个NMOS晶体管中的9个NMOS晶体管。如图26所示,时序调整电路TMCTLB6包括阱WEL、阱WEL中形成的扩散层DF、经栅极绝缘膜在阱WEL上形成的多晶硅层PO、在上层依次形成的第一金属布线层M1和第二金属布线层M2、接触层CT以及通层V1。接触层CT建立了第一金属布线层M1和多晶硅层PO之间的耦合以及第一金属布线层M1和扩散层DF之间的耦合。通层V1建立了第一金属布线层M1和第二金属布线层M2之间的耦合。

[0169] 图26中,由第二金属布线层M2形成的两个虚设位线DBL1和DBL2沿Y方向(位线延伸方向)并排延伸。由多晶硅层PO形成的九个栅极布线沿X方向(字线延伸方向)并排延伸。在所述九个栅极布线与虚设位线DBL1和DBL2的相交部分,分别形成了包含于列方向负载电路CLB3内的九个NMOS晶体管(沿Y方向按顺序为MNC11、MNC1、MNC21、MNC22、MNC2、MNC12、MNC13、MNC3和MNC23)。用作源极或漏极的扩散层DF布置在上述九个栅极布线的每一个的两侧。扩散层DF被邻接的NMOS晶体管共用,除了被布置在边缘处的一个之外(换言之,除了NMOS晶体管MNC11(和NMOS晶体管MNC14(未显示))源极/漏极之一以外)。在NMOS晶体管MNC23一端(不与NMOS晶体管MNC3共用的一端)的扩散层DF被图25所示的NMOS晶体管MNC24共用(本图共用未示出)。

[0170] 用作上述九个NMOS晶体管的源极和漏极的各个扩散层DF首先分别经由接触层CT耦合至布置在所述各个扩散层DF的上层中的第一金属布线层M1的布线。虚设位线DBL1经由上述各个扩散层DF之上的通层V1和第一金属布线层的布线耦合至NMOS晶体管MNC11源极/漏极之一(不与NMOS晶体管MNC1共用的一侧)和NMOS晶体管MNC12源极/漏极之一(与NMOS晶体管MNC13共用的一侧)。虚设位线DBL2经由上述各扩散层DF上的通层V1和第一金属布线层M1的布线耦合至NMOS晶体管MNC21的源极/漏极之一(与NMOS晶体管MNC22共用的一侧)和NMOS晶体管MNC23的源极/漏极之一(与NMOS晶体管MNC24(未显示)共用的一侧)。以图25所示的列方向负载电路CLB3[1]为例,所述布图配置实例相当于虚设位线DBL1分别耦合至NMOS晶体管MNC11, NMOS晶体管MNC12和MNC13的公共耦合节点以及NMOS晶体管MNC14,并且虚设位线DBL2分别耦合至NMOS晶体管MNC21和MNC22的公共耦合节点以及NMOS晶体管MNC23和MNC24的公共耦合节点。

[0171] 由多晶硅层P0形成的九个栅极布线经由接触层CT适当耦合至由第一金属布线层M1形成的且沿Y方向延伸的两个栅极偏压布线VGL1和VGL2。栅极偏压布线VGL1经由接触层CT耦合至NMOS晶体管MNC11-MNC13和MNC21-MNC23的各个栅极布线。栅极偏压布线VGL2经由接触层CT耦合至NMOS晶体管MNC1-MNC3的各个栅极布线。如图7中的情形那样,负载电容的幅值可以通过存在或不存在通层V1进行调整。

[0172] 如上所述,通过采用根据本发明实施方式8的半导体器件,可以获得与上述实施方式2相同的效果。尽管在本例中采用NMOS晶体管来配置列方向负载电路,实际上还可采用PMOS晶体管。

[0173] 实施方式9

[0174] 《时序调整电路(沿列方向)的具体电路(9)》

[0175] 图27为图示根据本发明实施方式9的包含于半导体器件中的时序调整电路(沿列方向)配置实例的电路图。图27所示的时序调整电路TMCTLBn5为图5所示的时序调整电路TMCTLBn1的改良实例。图27所示配置实例与图5所示配置实例的不同之处在于图5所示列方向负载电路CLBn[1]-CLBn[x]由图27所示列方向负载电路CLB4[1]-CLB4[x]代替。

[0176] 列方向负载电路CLB4[1]-CLB4[x]的每一个列方向负载电路都配置有多个(此处,四个)其源极与漏极串联的NMOS晶体管MNe1-MNe4。位于NMOS晶体管MNe1-MNe4两端的NMOS晶体管MNe1和MNe4的源极或漏极是断开的。不像图5的情形那样,列方向负载电路CLB4[1]-CLB4[x]中NMOS晶体管MNe1-MNe4的栅极共同地耦合至对应的虚设位线DBL1和DBL2。因此,NMOS晶体管MNe1-MNe4的栅极绝缘膜电容作为各个列方向负载电路的杂散电容加至虚设位线DBL1和DBL2中。

[0177] 例如,图27所示的配置实例可通过将虚设位线DBL1和DBL2经由通层V1不仅仅耦合至所述扩散层DF而且还耦合至各个栅极布线(多晶硅层P0),在图7所示的布图配置实例中实现。在此情形下,可以通过存在或不存在所述通层V1进行时序调整。图27的配置实例中,保持NMOS晶体管MNe1-MNe4的两端断开。然而,例如,还可将接地电源电压VSS施加于一端,而保持另一端断开。

[0178] 实施方式10

[0179] 《时序调整电路(沿行方向)的具体电路》

[0180] 图28为图示根据本发明实施方式10的包含于半导体器件中的时序调整电路(沿行方向)的配置实例的电路图。上述各实施方式中,已对反映列方向(位线长度方向)依赖关系的时序调整电路(沿列方向)进行了说明。然而,以类似的方式,还可以实现反映行方向(字线的长度方向)依赖关系的时序调整电路(沿行方向)。图28所示的时序调整电路TMCTLW为与图5所示时序调整电路TMCTLBn1旋转90度后对应的配置实例。

[0181] 图28所示的时序调整电路(沿行方向)TMCTLW包括多个(此处,六个)反相器电路IV1-IV6、两个虚设字线DWL1和DWL2以及x个行方向负载电路CLWn[1]-CLWn[x]。此处,虚设字线DWL1和DWL2的长度分别与存储器阵列MARY中字线WL的长度基本相等,并且它们沿与存储器阵列MARY中字线WL延伸方向(X方向)相同的方向并排布置。反相器电路IV1-IV6为CMOS反相器电路,各自配置有在电源电压VCC与接地电源电压VSS之间耦合的PMOS晶体管和NMOS晶体管。

[0182] 反相器电路IV1和IV2分别布置在虚设字线DWL1的输入终端处。反相器电路IV1输

入上述译码激活信号TDEC,反相器电路IV2输入反相器电路IV1的输出信号并且将反相的信号输出至虚设字线DWL1的输入终端。反相器电路IV3和IV4分别布置在虚设字线DWL1的输出终端处和虚设字线DWL2的输入终端处。反相器电路IV3输入来自虚设字线DWL1输出终端的信号,反相器电路IV4输入反相器电路IV3的输出信号并将反相的信号输出至虚设位线DWL2的输入终端。反相器电路IV5和IV6分别布置在虚设字线DWL2的输出终端处。反相器电路IV5输入来自虚设字线DWL2的输出终端的信号,反相器电路IV6输入反相器电路IV5的输出信号并输出虚设位线信号SDWL。这样,虚设字线DWL1和虚设字线DWL2在接近存储器阵列MARY布置的时序调整电路(沿行方向)TMCTLW的区域中形成双向布线。

[0183] 各个行方向负载电路CLWn[1]-CLWn[x]包括多个(此处,四个)其源极与漏极顺序串联且栅极共同地耦合至接地电源电压VSS的NMOS晶体管MNd1-MNd4。在作为x个行方向负载电路的一部分(例如,一半)的各行方向负载电路CLWn[1]-CLWn[q]中,NMOS晶体管MNd2和MNd3的源极和漏极耦合至虚设字线DWL1,NMOS晶体管MNd1和MNd4源极/漏极之一(不与NMOS晶体管MNd2和MNd3共用的一侧)为断开。在作为x个行方向负载电路中的其他部分(例如,余下的一半)的各行方向负载电路CLWn[q+1]-CLWn[x]中,NMOS晶体管MNd2和MNd3的源极和漏极耦合至虚设位线DBL2,NMOS晶体管MNd1和MNd4源极/漏极之一(不与NMOS晶体管MNd2和MNd3共用的一侧)为断开。

[0184] 图28所示的配置实例中,如图5的情形那样,可以将NMOS晶体管MNd2和MNd3的源极和漏极的扩散层电容加至行方向负载电路的虚设字线DWL1和DWL2。因此,可以在译码激活信号TDEC变化之后虚设字线信号SDWL变化之前适当地设置延迟时间。在此情形下,存储器阵列MARY中位线BL的数目(字线WL的长度)可以随存储单位等的种类相应地变化。因此,字线WL的出现时间将随字线WL的寄生电容等变化。因此,读取和写入花费的时间也会相应地变化。因此,采用图28所示的配置实例时,如图5的情形那样,虚设字线的长度的随字线WL的长度变化,因此,使产生反映对字线的寄生电容等的影响的操作时序(虚设字线信号SDWL)成为可能。例如,图28所示的配置实例与图5及其他配置实例组合使用,并将其实施如下操作:向图5所示的时序调整电路TMCTLBn1输入虚设字线信号SDWL来代替译码激活信号TDEC。

[0185] 《时序调整电路(沿行方向)的具体布图配置》

[0186] 图29为图示图28所示时序调整电路的行方向负载电路的具体布图配置实例的俯视图。如图29所示,时序调整电路(沿行方向)TMCTLW包括阱WEL、阱WEL中形成的扩散层DF、经介于其中的栅极绝缘膜在阱WEL之上形成的多晶硅层P0、在上层中依次形成的第一金属布线层M1和第二金属布线层M2、接触层CT以及通层V1。接触层CT建立第一金属布线层M1和多晶硅层P0之间的耦合以及第一金属布线层M1和扩散层DF之间的耦合。通层V1建立第一金属布线层M1和第二金属布线层M2之间的耦合。

[0187] 图29中,由第一金属布线层M2形成的两个虚设字线DWL1和DWL2沿X方向(字线延伸方向)并排延伸。在虚设字线DWL1的两侧上,由多晶硅层P0形成的两个栅极布线沿X方向并排延伸,在虚设字线DWL2的两侧上,由多晶硅层P0形成的两个栅极布线也沿X方向并排延伸。形成NMOS晶体管MNd1和MNd2的元件有源区域布置在虚设字线DWL1的下层中,并且沿X方向接近虚设字线DWL1布置形成NMOS晶体管MNd3和MNd4的元件有源区域。NMOS晶体管MNd1和MNd4的栅极配置有位于虚设字线DWL1两侧上的两个栅极布线之一。NMOS晶体管MNd2和MNd3的栅极配置有所述两个栅极布线中的另一个。

[0188] 在形成NMOS晶体管MNd1和MNd2的元件有源区域,用作源极或漏极的扩散层DF布置在对应于NMOS晶体管MNd1和MNd2栅极的两个栅极布线的两侧上。这些扩散层中,布置在两个栅极布线之间的扩散层DF由NMOS晶体管MNd1和MNd2共用。类似地,在形成NMOS晶体管MNd3和MNd4的元件有源区域,用作源极或漏极的扩散层DF布置在对应于NMOS晶体管MNd3和MNd4栅极的两个栅极布线的两侧上。这些扩散层中,布置在两个栅极布线之间的扩散层DF由NMOS晶体管MNd3和MNd4共用。虚设字线DWL1经由接触层CT分别耦合至NMOS晶体管MNd1和MNd2的共用的扩散层和NMOS晶体管MNd3和MNd4的共用的扩散层。在NMOS晶体管MNd2和MNd3中的共用的扩散层的不同侧上的各个扩散层DF之上形成沿X方向延伸的第一金属布线层M1的布线,且各个扩散层经由接触层CT分别耦合至第一金属布线层M1的布线。第一金属布线层M1的布线经由沿Y方向延伸的第一金属布线层M1的布线进一步耦合至虚设字线DWL1。

[0189] 虚设字线DWL2的下层部分配置有和上述虚设字线DWL1的下层部分相同的配置。适当地形成上述元件有源区域等,并且适当地形成NMOS晶体管MNd1-MNd4并使其适当耦合至虚设字线DWL2。布置在上述虚设字线DWL1和DWL2两侧的总共四个栅极布线(多晶硅层P0)首先经由接触层CT耦合至对应于各个栅极布线设置的第一金属布线层M1的布线。由此,四个栅极布线还经由通层V1共同耦合至沿Y方向延伸的栅极偏压布线VGL。栅极偏压布线VGL由第二金属布线层M2形成。在所述布图中,可以通过NMOS晶体管MNd1-MNd4的各个扩散层DF中接触层CT的存在或不存在对负载电容的幅值进行控制。以图28所示的行方向负载电路CLWn [1]为例,本布图配置实例相当于NMOS晶体管MNd2的源极/漏极之一和NMOS晶体管MNd3的源极/漏极之一由不同扩散层形成,且它们分别耦合至从虚设字线DWL1中分支的第一金属布线层的布线。

[0190] 如上所述,通过采用根据本发明实施方式10的半导体器件,使产生基于位线数目(字线长度)的最优操作时序成为可能。当然,通过如图7所示的相同布图配置实例实现图28所示的配置实例也是可能的。然而,在图29中,从反映X方向依赖关系的角度,采用了其中虚设字线和栅极布线均沿X方向延伸的布图配置实例。图28的配置实例可如同上述列方向负载电路的各种实施方式那样进行可以适当地改良,并且如实施方式5所述,图28的配置实例还可以在写入时设置去激活字线的时序时使用。

[0191] 实施方式11

[0192] 《时序调整电路(沿列方向)的布图(1)》

[0193] 图30(a)、图30(b)和图30(c)为图示根据本发明实施方式11的半导体器件中的存储器的时序调整电路(沿列方向)各个不同配置实例的示意图。图30(a)中,字线驱动电路WD、时序调整电路TMCTLB和存储器阵列MARY沿X方向(字线WL的延伸方向)顺序布置。图30(b)中,时序调整电路TMCTLB、字线驱动电路WD和存储器阵列MARY沿X方向顺序布置。图30(c)中,字线驱动电路WD、存储器阵列MARY和时序调整电路TMCTLB沿X方向顺序布置。

[0194] 图31(a)、图31(b)和图31(c)为图示与图30(a)、图30(b)和图30(c)所示的存储单元不同的存储器的时序调整电路(沿列方向)的各个不同布置实例的示意图。不像图30(a)至图30(c)那样,图31(a)至图31(c)中,设置了多个(此处,两个)存储器阵列MARY1和MARY2。图31(a)中,第一存储器阵列MARY1、字线驱动电路WD、时序调整电路TMCTLB和第二存储器阵列MARY2沿X方向(字线WL的延伸方向)顺序布置。存储器阵列MARY1和存储器阵列MARY2的字线WL由在布置在中间的字线驱动电路WD驱动。图31(b)中,第一存储器阵列MARY1、字线驱动

电路WD、第二存储器阵列MARY2和时序调整电路TMCTLB沿X方向顺序布置。图31(c)中,第一存储器阵列MARY1、第一字线驱动电路WD1、时序调整电路TMCTLB、第二字线驱动电路WD2和第二存储器阵列MARY2沿X方向顺序布置。第一存储器阵列MARY1的字线WL由第一字线驱动电路WD1驱动,并且第二存储器阵列MARY2的字线WL由第二字线驱动电路WD2驱动。

[0195] 如上所述,根据本实施方式的时序调整电路TMCTLB使用逻辑布图规则而非存储单元布图规则形成。因此,如图30(b)和图31(c)所示,例如,不必将时序调整电路TMCTLB布置在存储器阵列附近。图31(c)中,通过将字线驱动电路WD分成两个来获得对称的电路布置。然而,分开字线驱动电路WD很可能会增加电路面积。例如,在下列情形下产生图32(a)和图32(b)所示的效果差异:如图30(a)、图30(b)和31(a)所示,字线驱动电路WD和时序调整电路TMCTLB布置在所述存储器阵列的一侧的附近,以及,如图30(c)和图31(b)所示,字线驱动电路WD和时序调整电路TMCTLB分开布置在所述存储器阵列的两侧。图32(a)和图32(b)为分别图示下列情形中信号流的解释性附图:如图30(a)至图30(c)和图31(a)至图31(c)所示,时序调整电路(沿列方向)的布置中,字线驱动电路和时序调整电路布置在所述存储器阵列的一侧,以及所述字线驱动电路和时序调整电路分开布置在所述存储器阵列的两侧。

[0196] 首先,图32(a)图示了在字线驱动电路WD和时序调整电路TMCTLB布置在存储器阵列MARY一侧的情形下整个存储器的布置配置实例。在此情形下,包含例如读出放大器电路等在内的输入/输出电路模块IOBK沿Y方向布置在存储器阵列MARY附近,控制电路模块CTLBK布置在沿Y方向邻接字线驱动电路WD和时序调整电路TMCTLB并且沿X方向邻接输入/输出电路模块IOBK的位置。控制电路模块CTLBK将译码激活信号TDEC输出至时序调整电路TMCTLB,并接收来自时序调整电路TMCTLB的虚设位线信号SDBL。控制电路模块CTLBK根据虚设位线信号SDBL产生读出放大器使能信号,并将其输出至输入/输出电路模块IOBK。这样,由于信号流在图32(a)的情形下是简单的,使减少伴随所述信号通路的时序变化成为可能。

[0197] 其次,图32(b)图示了在字线驱动电路WD和时序调整电路TMCTLB分开布置在存储器阵列MARY两侧的情形下整个存储器的布置配置实例。在此情形下,输入/输出电路模块IOBK沿Y方向布置在存储器阵列MARY的附近,例如,第一控制电路模块CTLBK1布置在沿X方向邻接输入/输出电路模块IOBK且沿Y方向邻接字线驱动电路WD的位置。第二控制电路模块CTLBK2布置在沿Y方向邻接时序调整电路TMCTLB的位置。第一控制电路模块CTLBK1将译码激活信号TDEC输出至第二控制电路模块CTLBK2。第二控制电路模块CTLBK2将译码激活信号TDEC输出至时序调整电路TMCTLB,并接收来自时序调整电路TMCTLB的虚设位线信号SDBL。第二控制电路模块CTLBK2根据虚设位线信号SDBL产生读出放大器使能信号,并将其输出至输入/输出电路模块IOBK。

[0198] 这样,在图32(b)的情形下,执行将译码激活信号TDEC从第一控制电路模块CTLBK1传输至第二控制电路模块CTLBK2的操作。因此,字线WL长度方向的布线延迟可在某种程度上反映到所述传输过程中。因此,可以产生读出放大器启动时序,这反映出不仅依赖位线长度方向而且依赖字线长度方向。当与实施方式10所述的时序调整电路(沿行方向)类似的时序调整电路被设置在从第一控制电路模块CTLBK1至第二控制电路模块CTLBK2的传输通路上时,将获得更为有用的效果。通常,相对宽的可用空间可在字线驱动电路WD未布置在存储器阵列MARY的一侧获得,所述相对宽的可用空间与字线等的终端部分的处理相关。图32(b)所示的布置中,可以有效地利用这样的可用空间,从而,可以提高面积效率。

[0199] 实施方式12

[0200] 《时序调整电路(沿列方向)的布置(2)》

[0201] 图33(a)、图33(b)和图33(c)为图示根据本发明实施方式12的半导体器件中的存储器的时序调整电路(沿列方向)的各个不同布置实例的示意图。图33(a)中,字线驱动电路WD、时序调整电路(用于向外通路)TMCTLB_FW、存储器阵列MARY、时序调整电路(用于返回通路)TMCTLB_RV沿X方向(字线WL的延伸方向)顺序布置。图33(b)中,时序调整电路(用于向外通路)TMCTLB_FW、字线驱动电路WD、时序调整电路(用于返回通路)TMCTLB_RV、存储器阵列MARY沿X方向顺序布置。图33(c)中,时序调整电路(用于向外通路)TMCTLB_FW、字线驱动电路WD、存储器阵列MARY、时序调整电路(用于返回通路)TMCTLB_RV沿X方向顺序布置。

[0202] 图34(a)和图34(b)为图示与图33(a)、图33(b)和图33(c)所示的存储单元不同的存储器中时序调整电路(沿列方向)的各个不同配置实例的示意图。不像图33(a)至图33(c)那样,图34(a)和图34(b)中,设置了多个(此处,两个)存储器阵列MARY1和MARY2。图34(a)中,第一存储器阵列MARY1、时序调整电路(用于向外通路)TMCTLB_FW、字线驱动电路WD、时序调整电路(用于返回通路)TMCTLB_RV和第二存储器阵列MARY2沿X方向(字线WL的延伸方向)顺序布置。存储器阵列MARY1和存储器阵列MARY2的字线WL由布置于其中的字线驱动电路WD驱动。图34(b)中,时序调整电路(用于向外通路)TMCTLB_FW、第一存储器阵列MARY1、字线驱动电路WD、第二存储器阵列MARY2和时序调整电路(用于返回通路)TMCTLB_RV沿X方向顺序布置。

[0203] 这样,图33(a)至图33(c)和图34(a)以及图34(b)代表了时序调整电路被分成两个的配置实例。以图5为例,时序调整电路(用于向外通路)TMCTLB_FW与反相器电路IV1和IV2以及虚设位线DBL1对应,时序调整电路(用于返回通路)TMCTLB_RV与反相器电路IV5和IV6以及虚设位线DBL2对应。反相器电路IV3和IV4适当地布置在时序调整电路(用于向外通路)TMCTLB_FW和/或时序调整电路(用于返回通路)TMCTLB_RV中。尽管并不具体限定,反相器电路IV3布置在时序调整电路(用于向外通路)TMCTLB_FW中,反相器电路IV4布置在时序调整电路(用于返回通路)TMCTLB_RV中。

[0204] 例如,在图34(a)中,当采用本配置实例时,由于时序调整电路的占用空间被分成两个,其在期望将字线驱动电路WD和存储器阵列MARY1和MARY2尽可能接近地布置的情形下变得有用。如图34(a)所示,还可以通过将时序调整电路分成两个来获得对称的布图。此外,根据情况而定,可以采用图5所示的NMOS晶体管作为时序调整电路(用于向外通路)TMCTLB_FW中的列方向负载电路,可以采用图6所示的PMOS晶体管作为时序调整电路(用于返回通路)TMCTLB_RV中的列方向负载电路。在此情形下,如图11所解释的,将各个电路模块的阱的传导类型考虑在内后,适当地布置时序调整电路(用于向外通路)TMCTLB_FW和时序调整电路(用于返回通路)TMCTLB_RV。

[0205] 实施方式13

[0206] 《时序调整电路(沿行方向)的布置》

[0207] 图35(a)和图35(b)为图示根据本发明实施方式13的半导体器件中的存储器的时序调整电路(沿行方向)的各个不同配置实例的示意图。图35(a)和图35(b)中,字线驱动电路WD、时序调整电路(沿列方向)TMCTLB和存储器阵列MARY沿X方向(字线WL的延伸方向)顺序布置。图35(a)中,输入/输出电路模块IOBK和时序调整电路(沿行方向)TMCTLW沿Y方向顺

序布置在存储器阵列MARY一侧。另一方面,图35(b)中,输入/输出电路模块IOBK和时序调整电路(沿行方向)TMCTLW分别沿Y方向布置在存储器阵列MARY两侧。

[0208] 这样,时序调整电路(沿行方向)TMCTLW可以沿Y方向布置在存储器阵列MARY的任何一侧上。然而,从提高电路面积效率的角度而言,理想的是采用图35(b)所示的布置实例,在该布置实例中布置面积相对容易获得,而从简化信号流的角度出发,理想的是采用图35(a)所示的布置实例。换言之,图35(a)的情形下,通过将控制电路模块布置在时序调整电路(沿列方向)TMCTLB与输入/输出电路模块IOBK或时序调整电路(沿行方向)TMCTLW的相交部分(例如图32所示),可以使用控制电路模块与各个时序调整电路(沿列方向)TMCTLB、输入/输出电路模块IOBK以及时序调整电路(沿行方向)TMCTLW之间的各自的短路进行输入/输出。

[0209] 如上所述,本发明的发明者实现的发明已根据上述实施方式进行了具体解释。然而,应该强调的是本发明不限于上述实施方式,并且在不背离主旨的范围内可以作出各种改变。

[0210] 例如,各实施方式以SRAM作为存储器为例进行解释;然而,实际上,各实施方式可以类似地应用于以DRAM(动态随机存取存储器)为代表的各种易失性存储器,以及以闪存为代表的各种非易失性存储器。本申请中,以诸如SOC(装配存储单位)之类的半导体器件为例作出了说明;然而,本发明同样可用于由单个存储器构成的半导体存储器件。

[0211] 图5及其他附图所示的虚设位线由单个双向布线形成;然而,虚设位线可以由多个双向布线顺序形成从而调整延迟的量。

[0212] 根据本发明实施方式的半导体器件特别有效地应用于诸如设置有存储器(例如,SRAM)的SOC之类的LSI。然而,根据本发明实施方式的半导体器件可应用于设置有各种易失性存储器和/或各种非易失性存储器的大规模LSI。

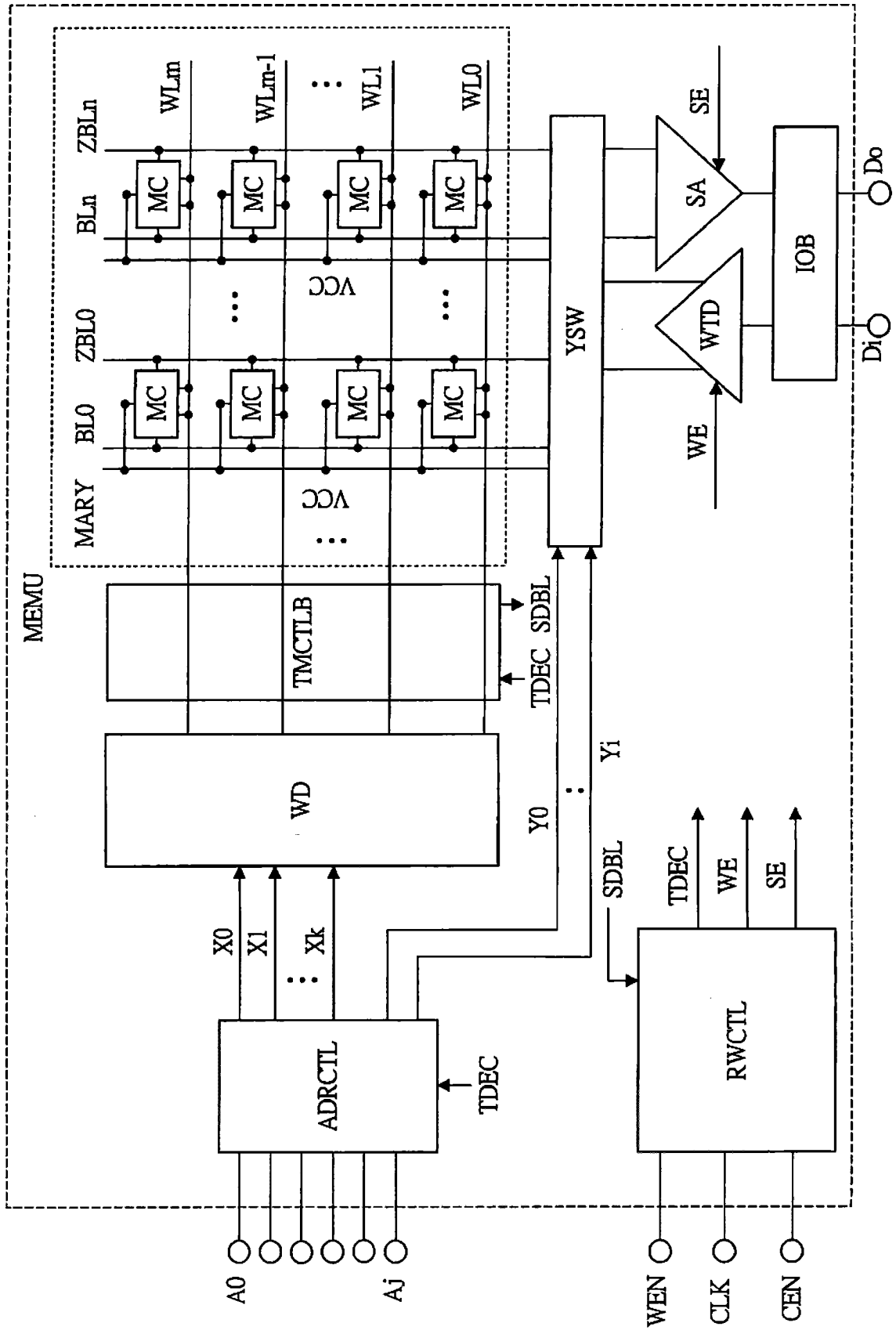


图1

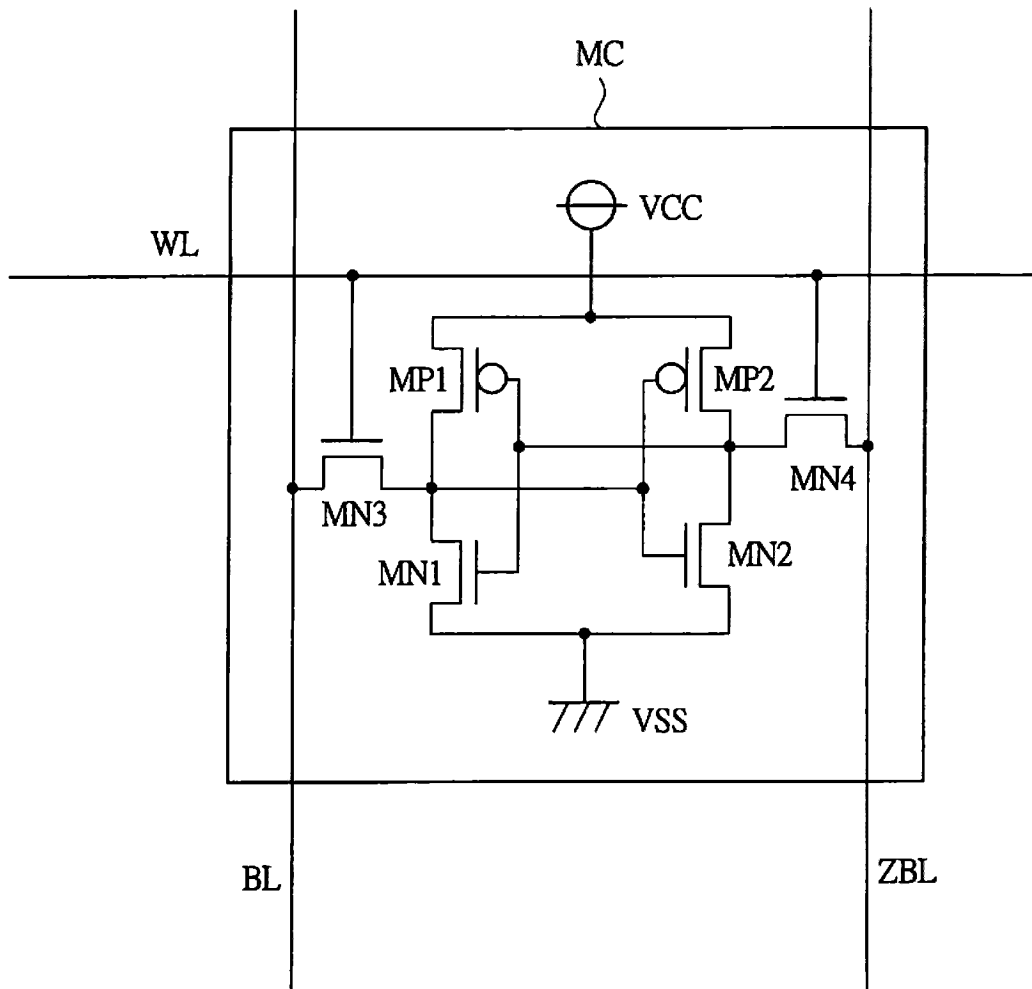


图2

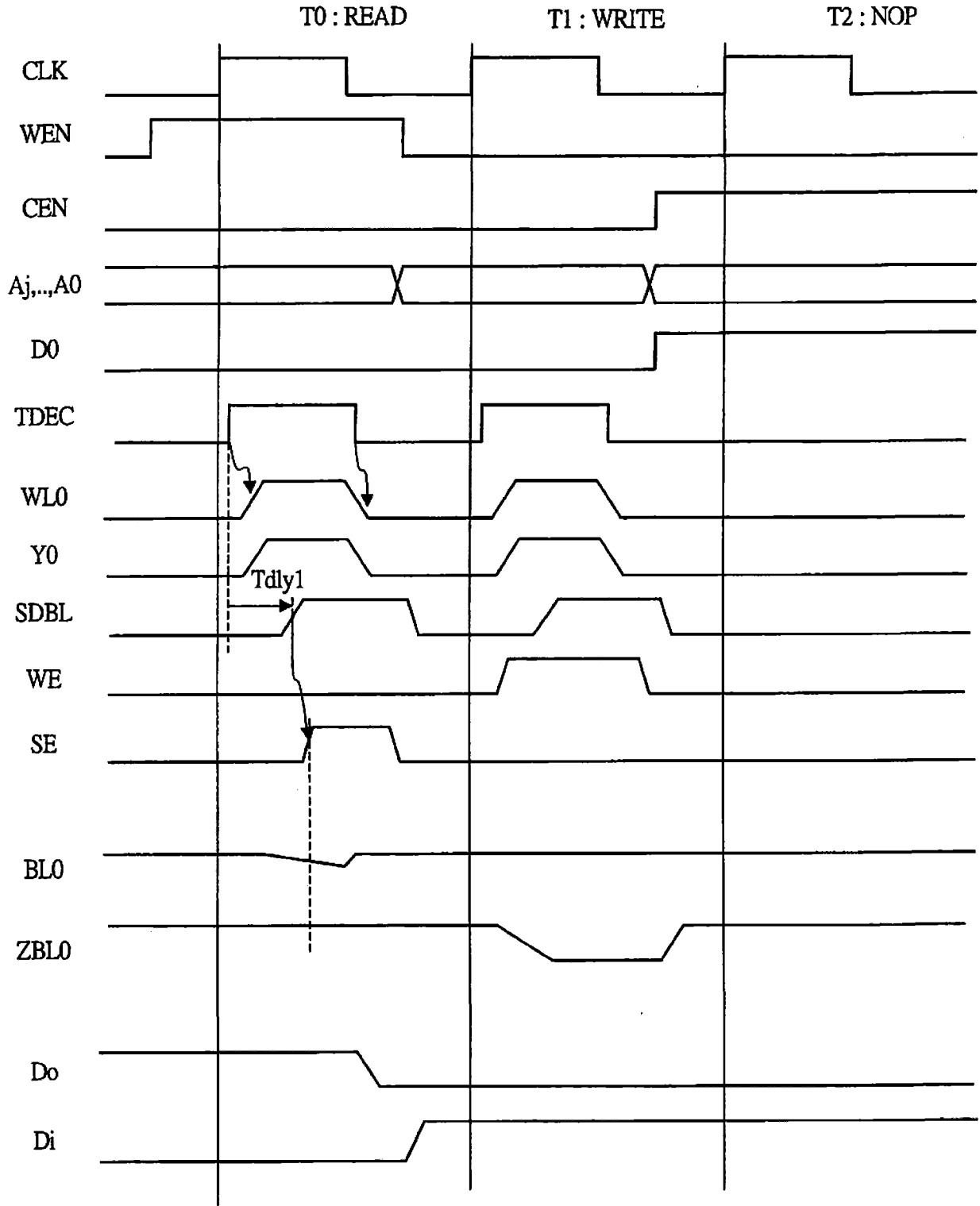


图3

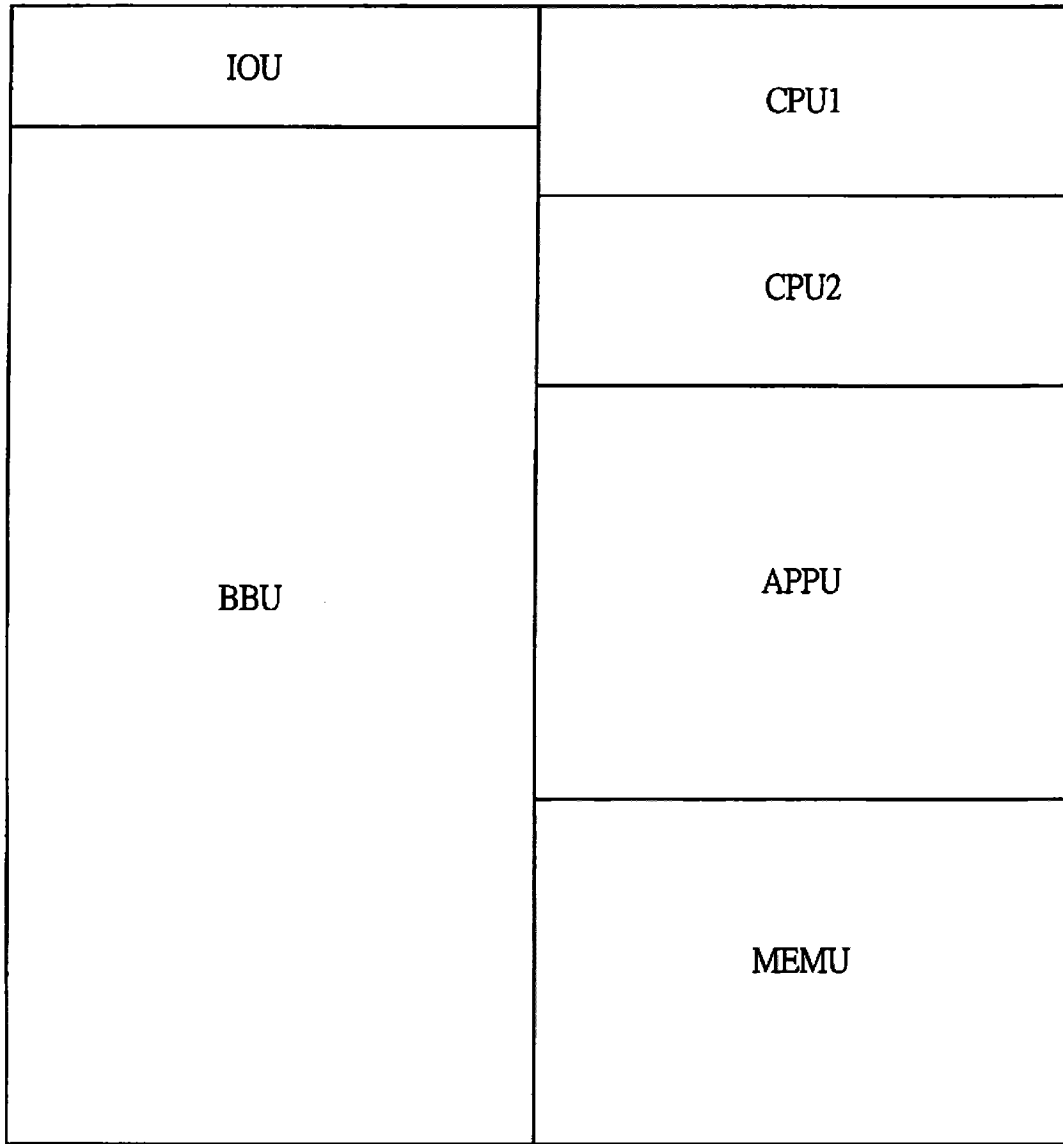


图4

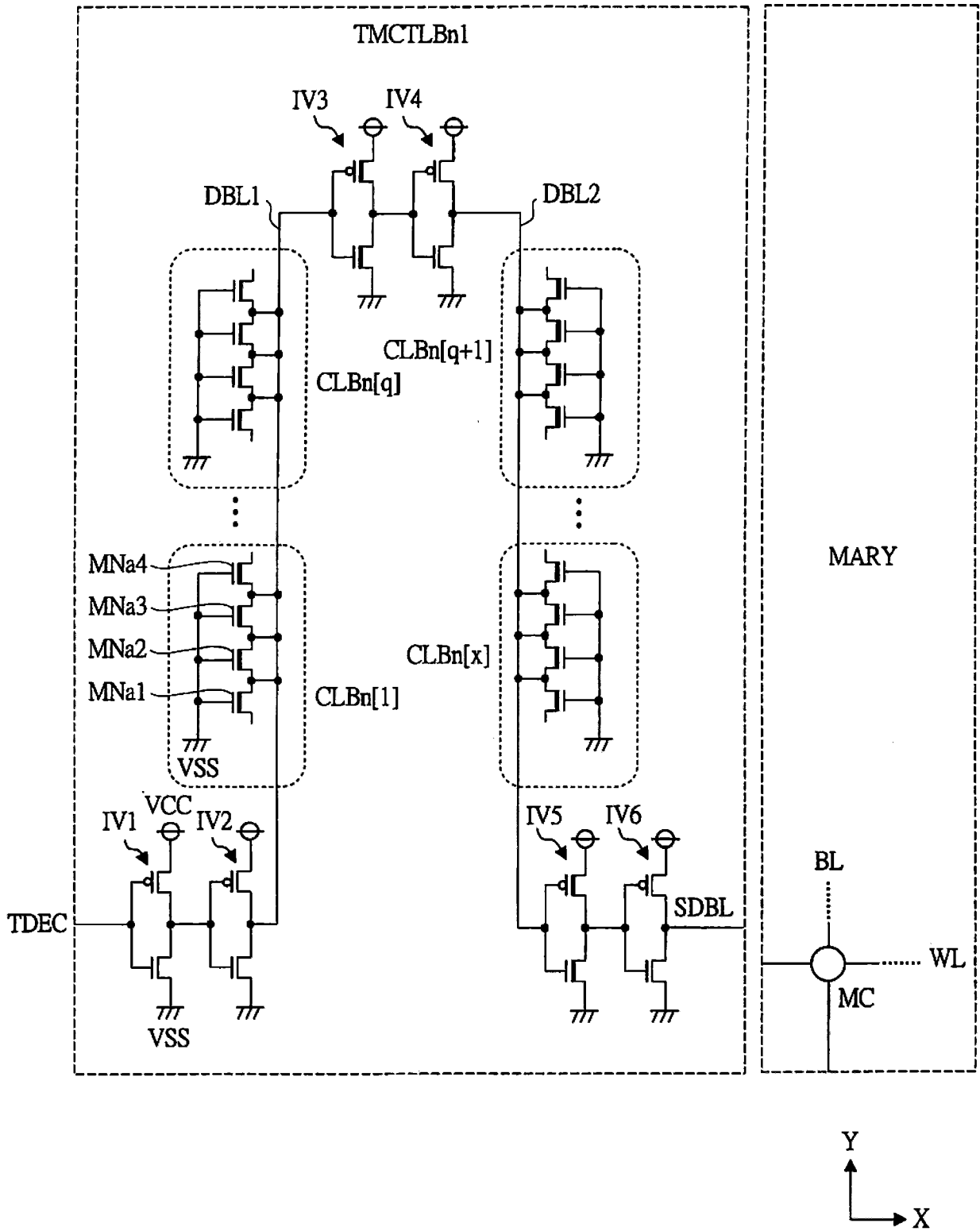


图5

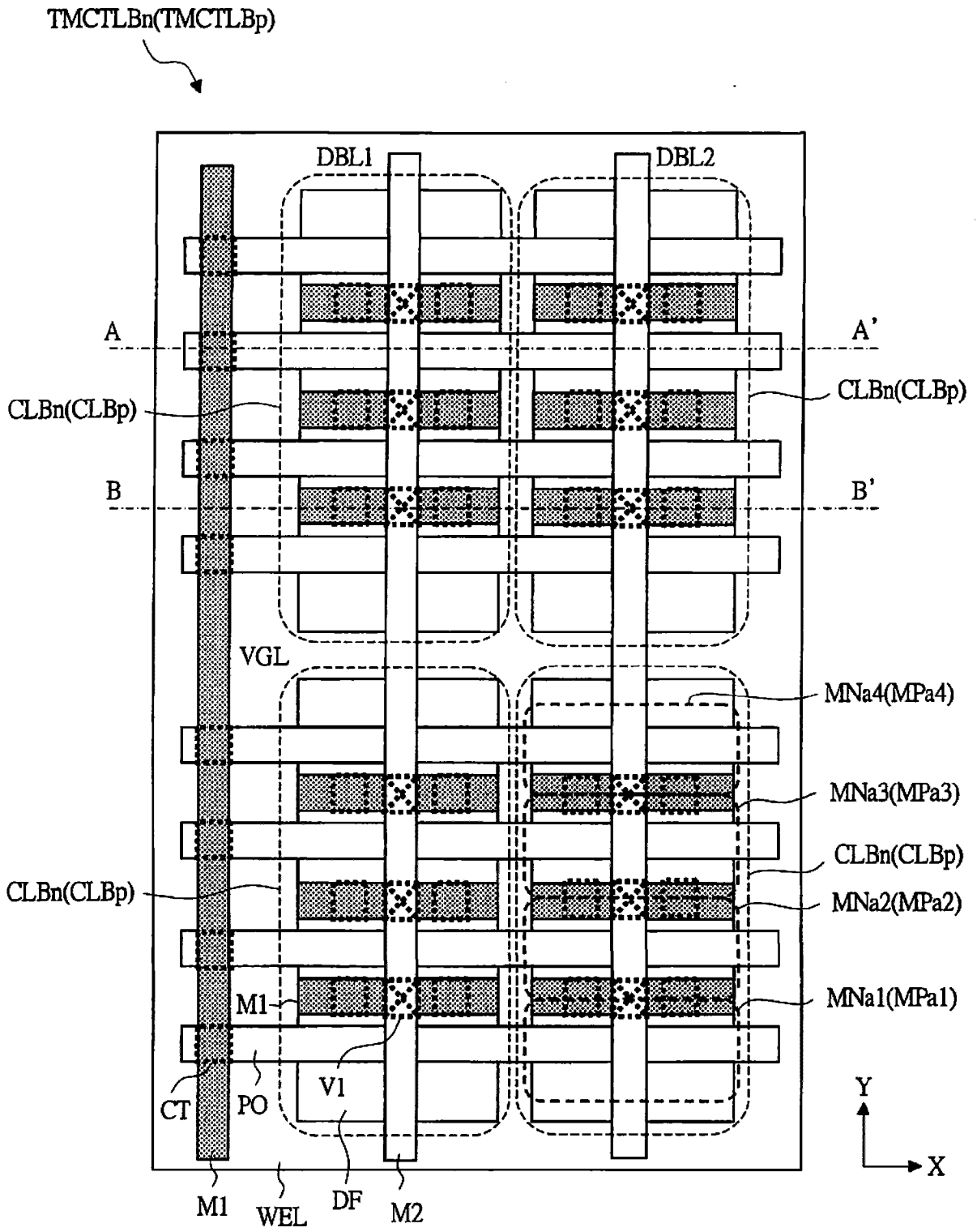


图7

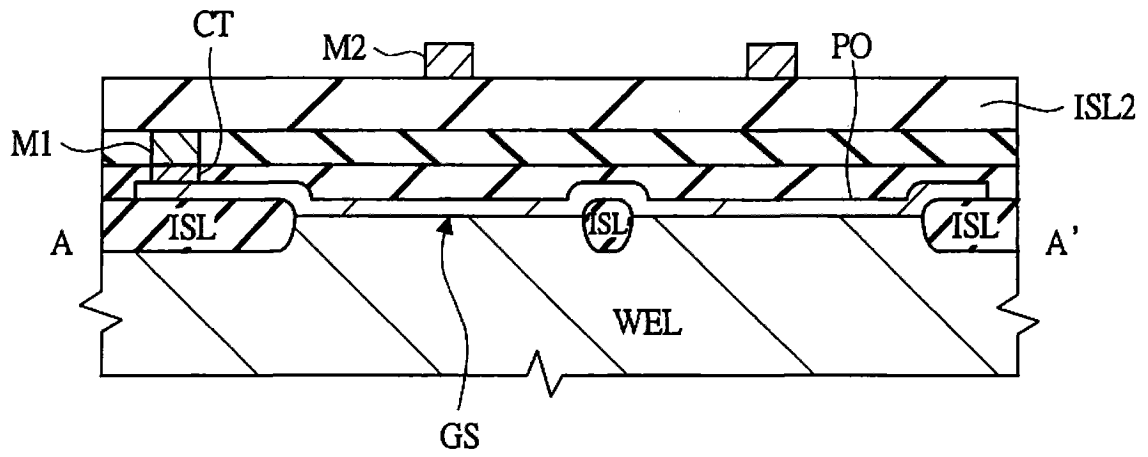


图8(a)

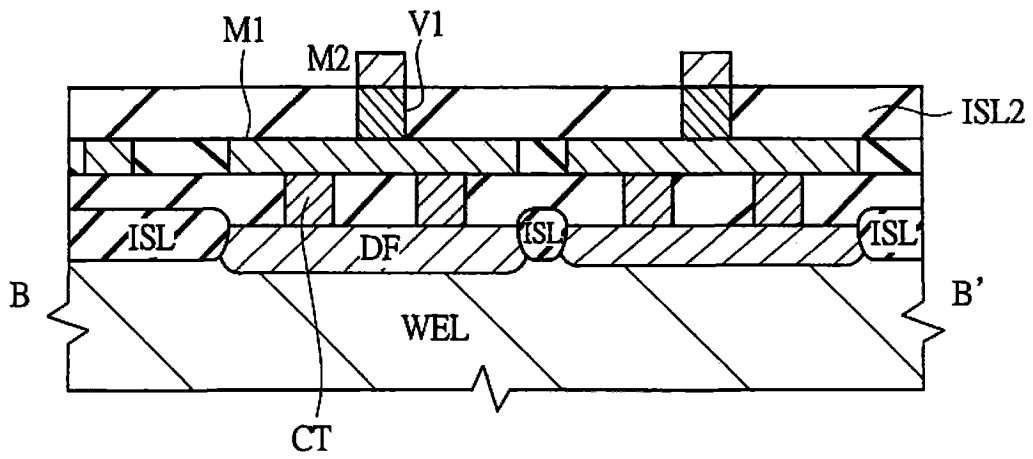


图8(b)

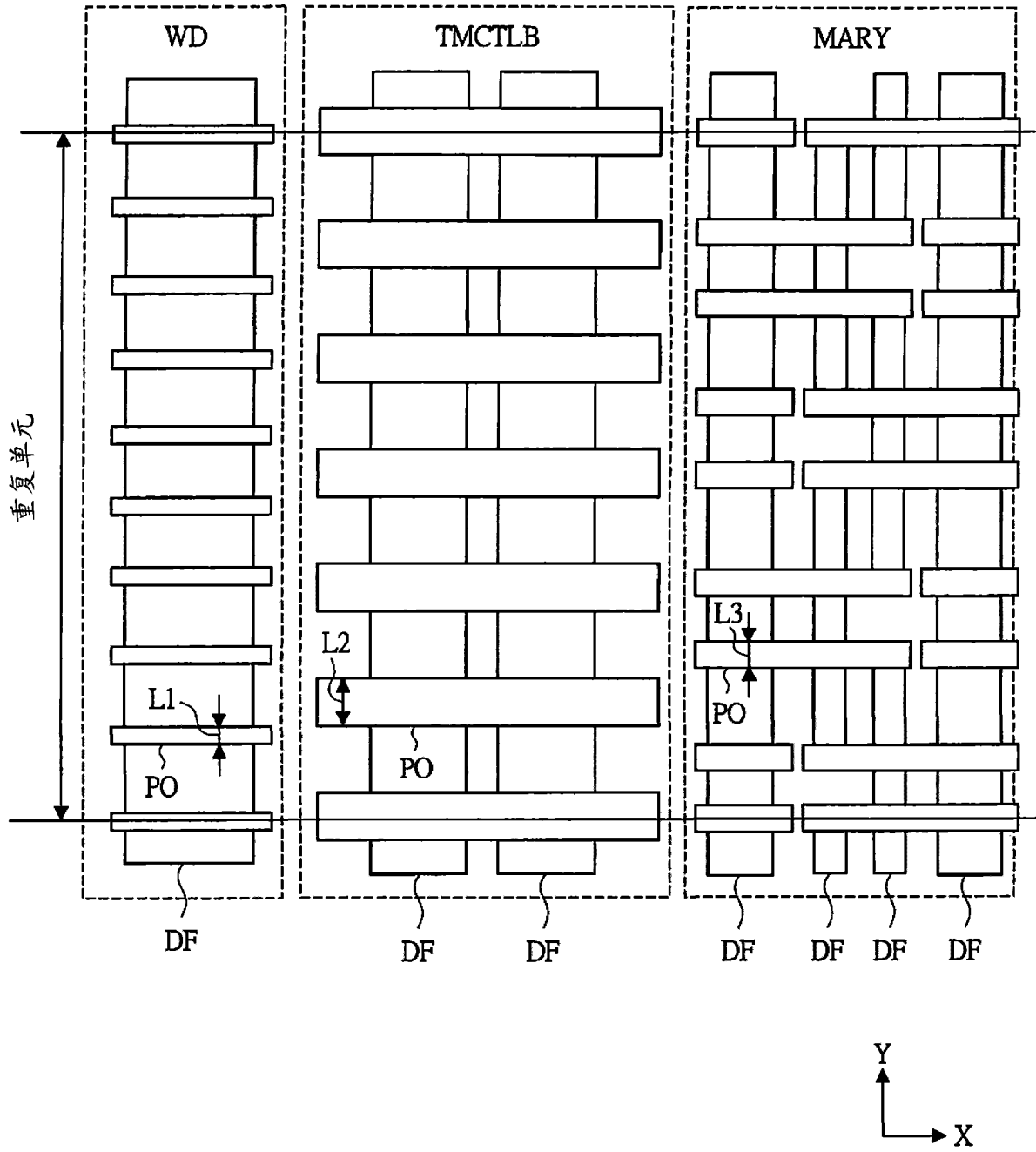


图9

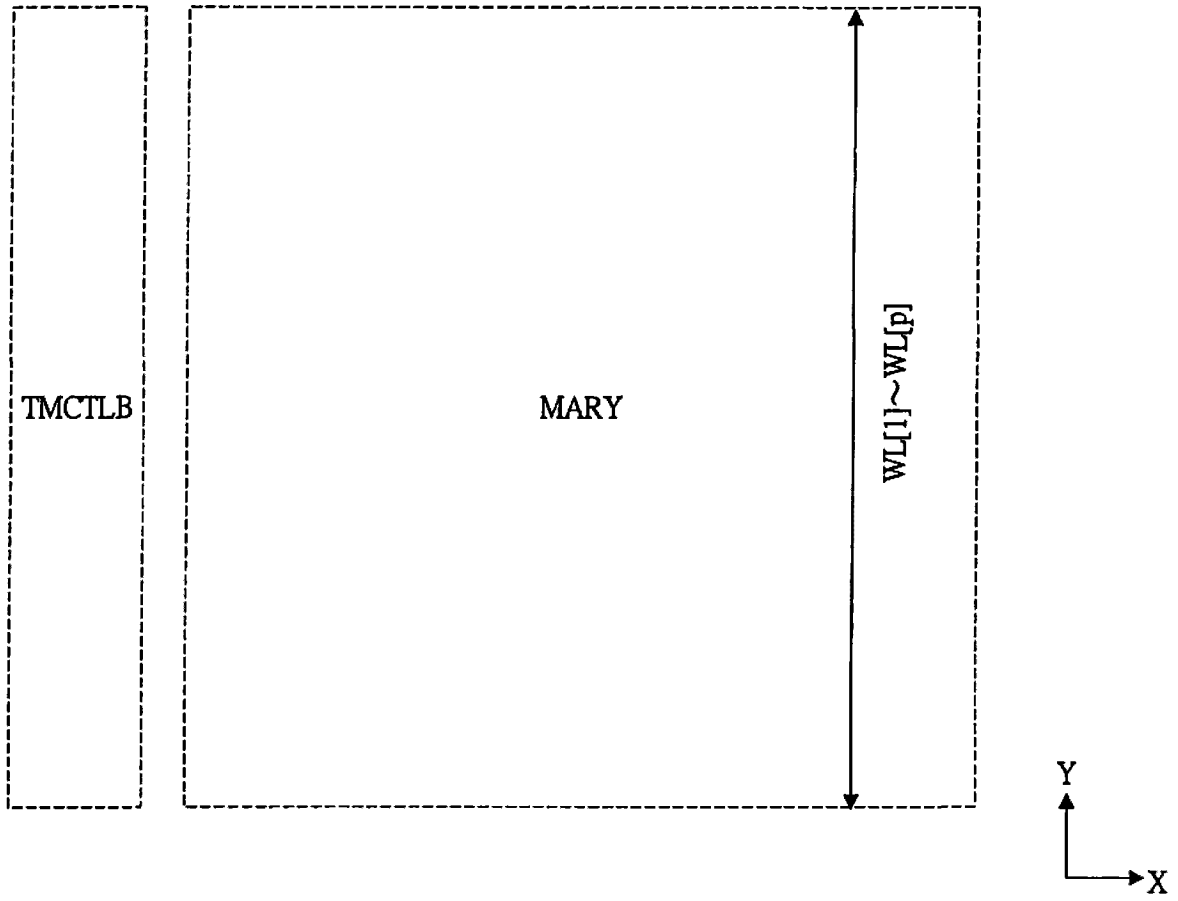


图10(a)

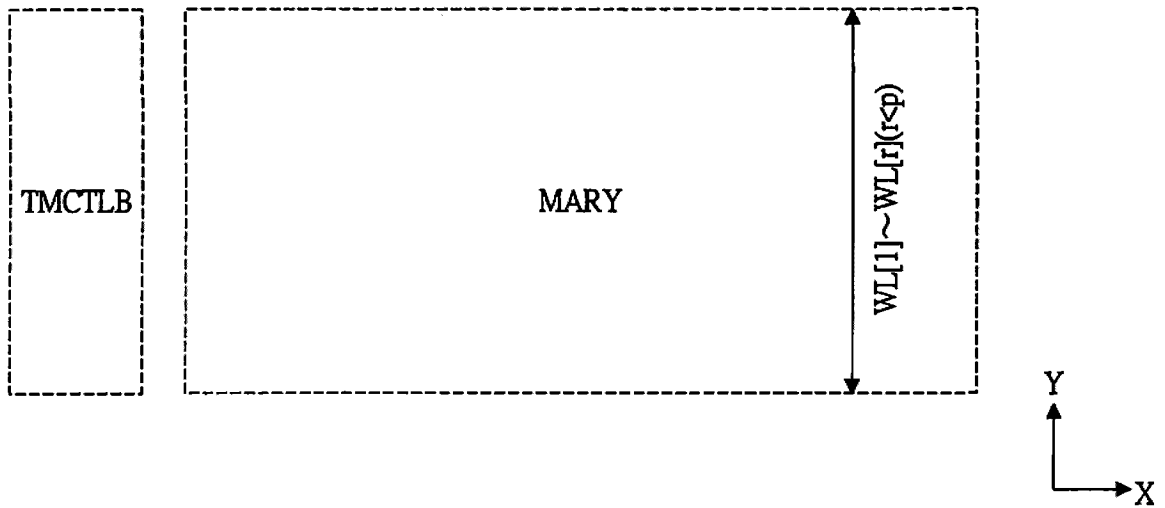


图10(b)

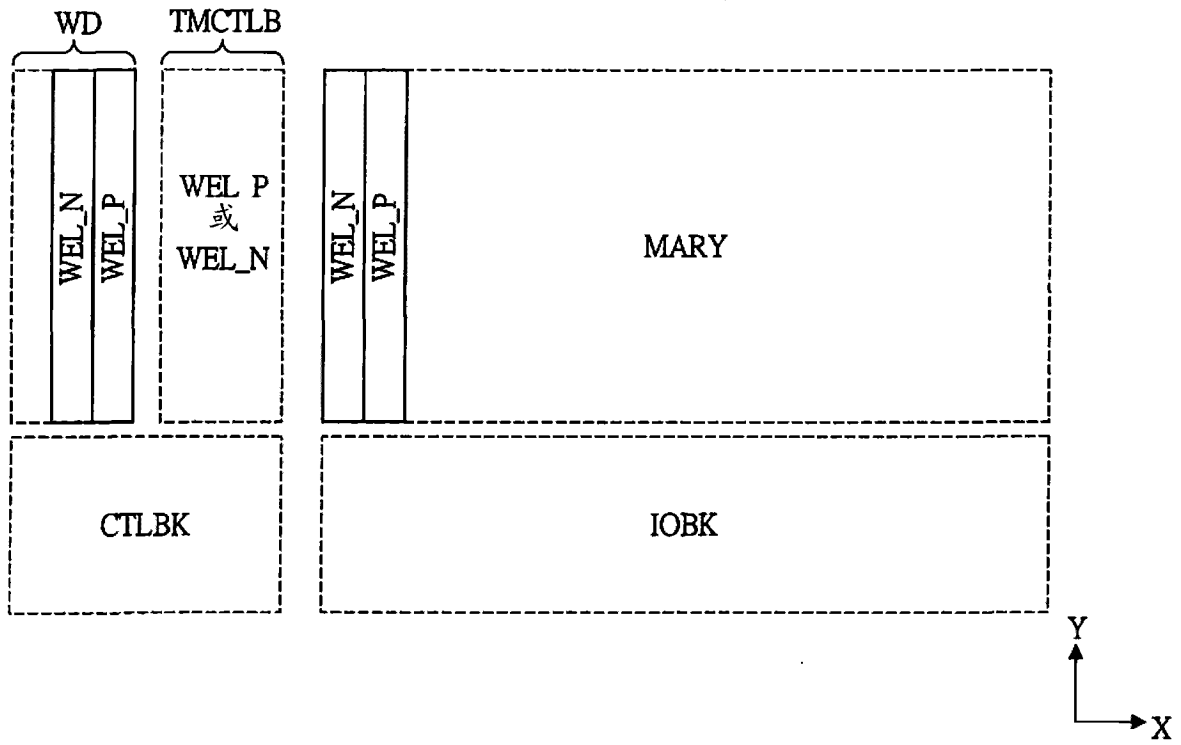


图11(a)

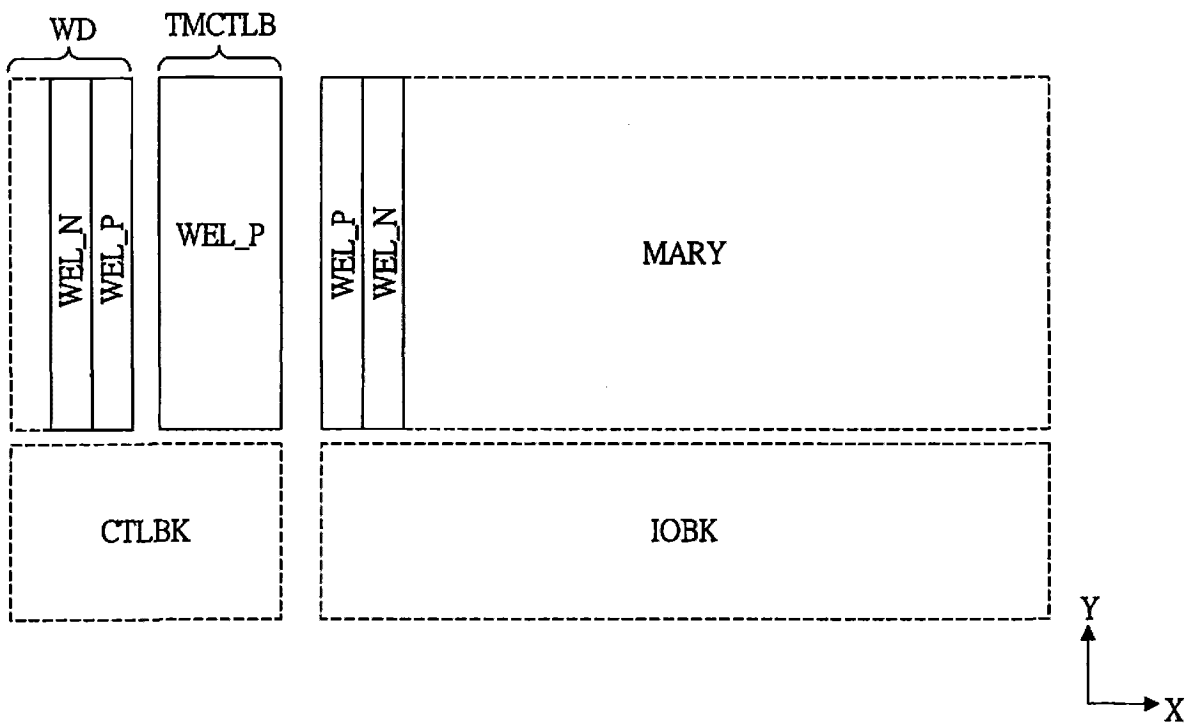


图11(b)

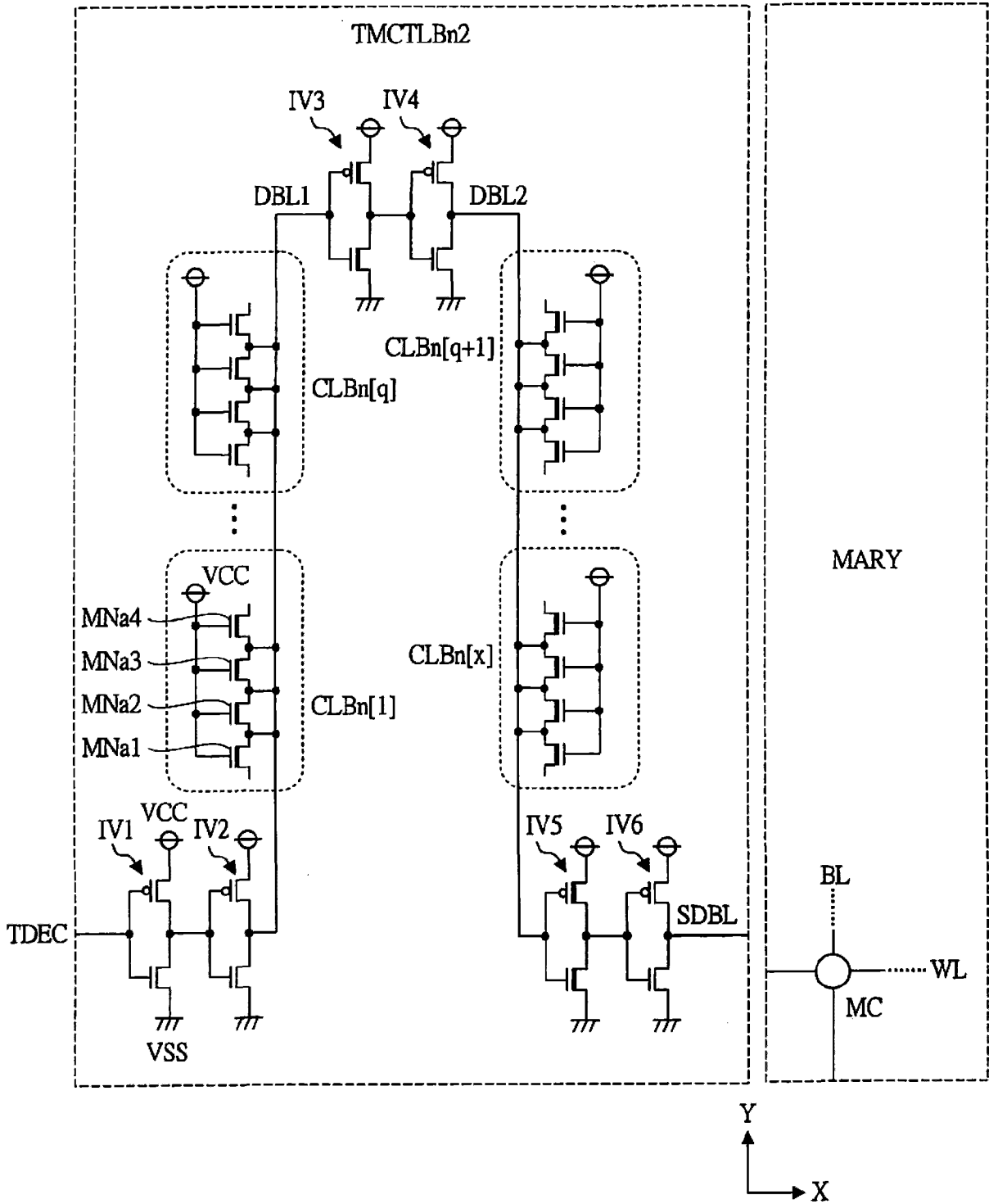


图12

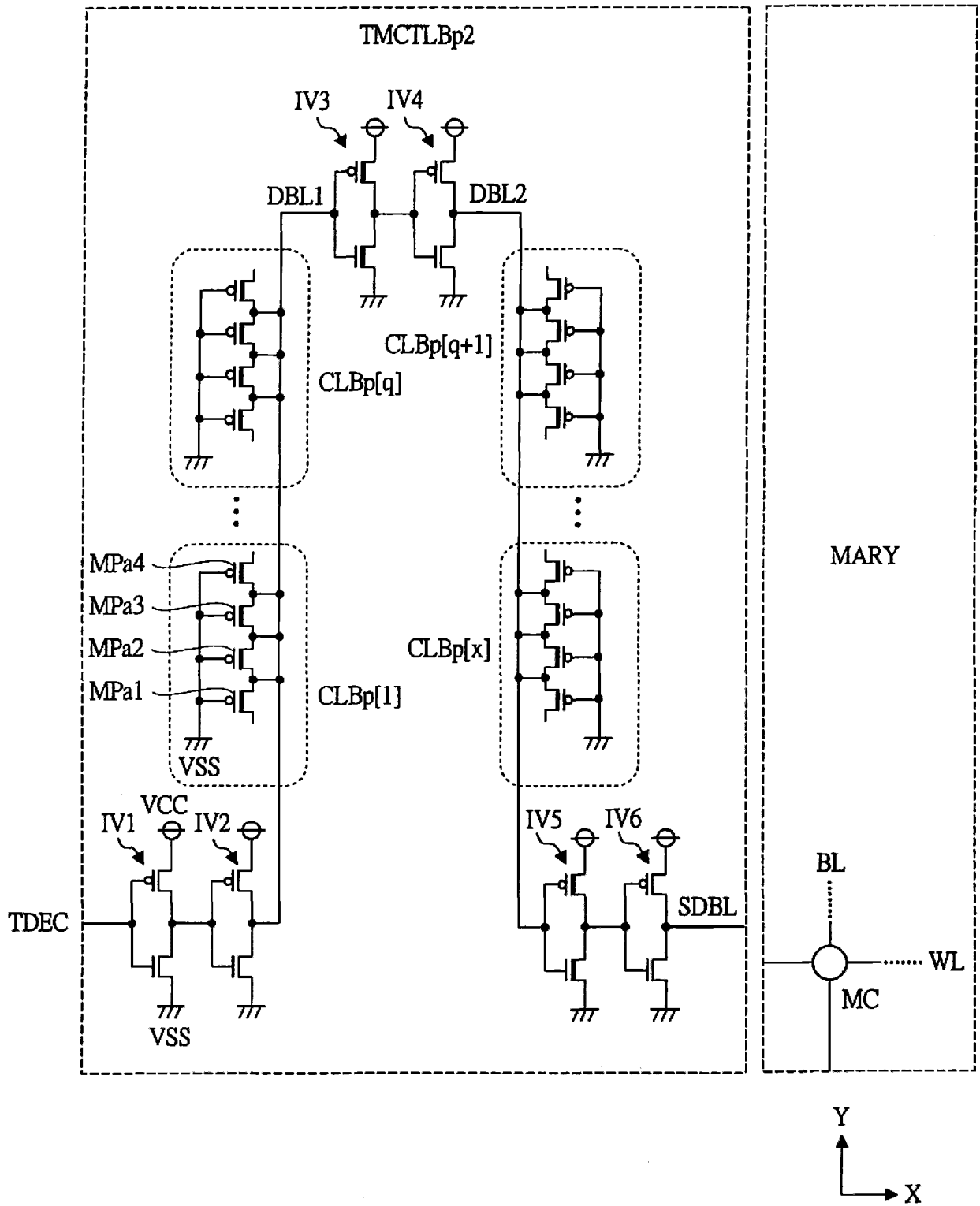


图13

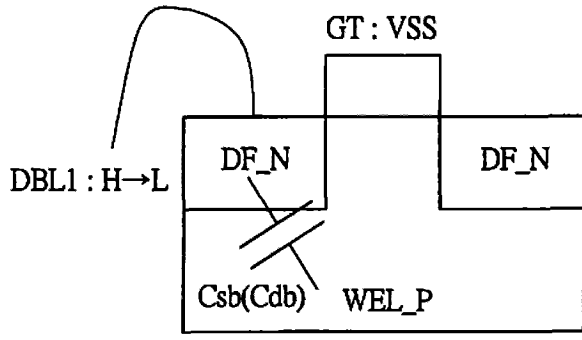


图14(a)

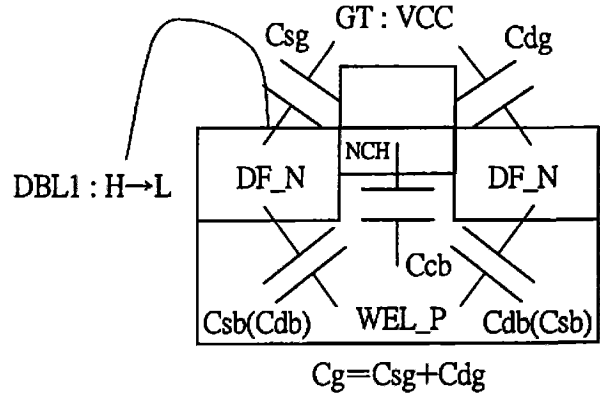


图14(b)

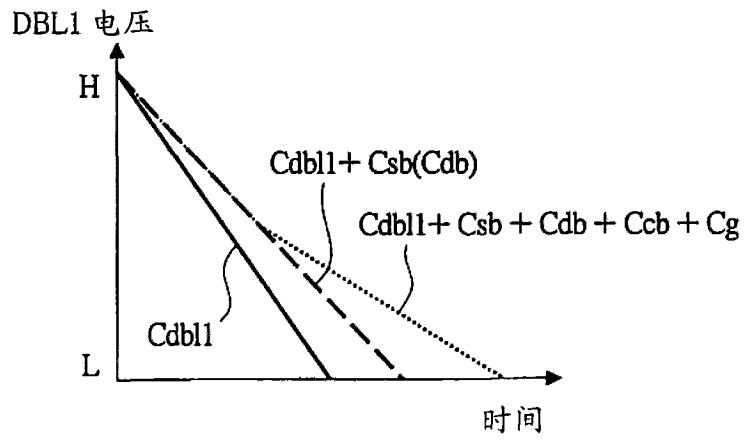


图14(c)

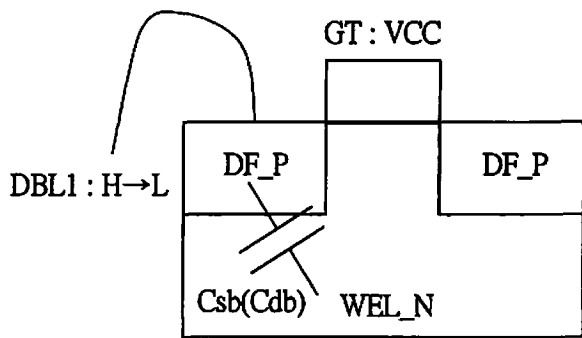


图15(a)

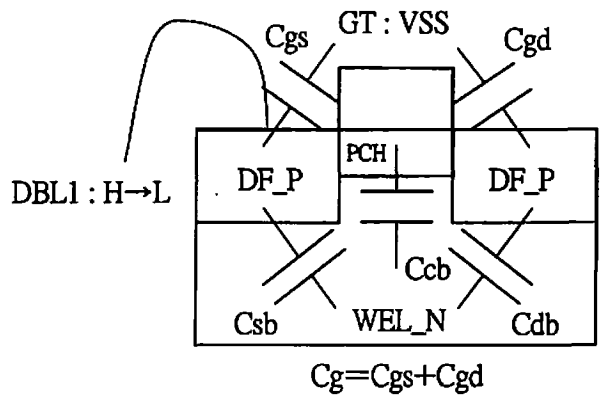


图15(b)

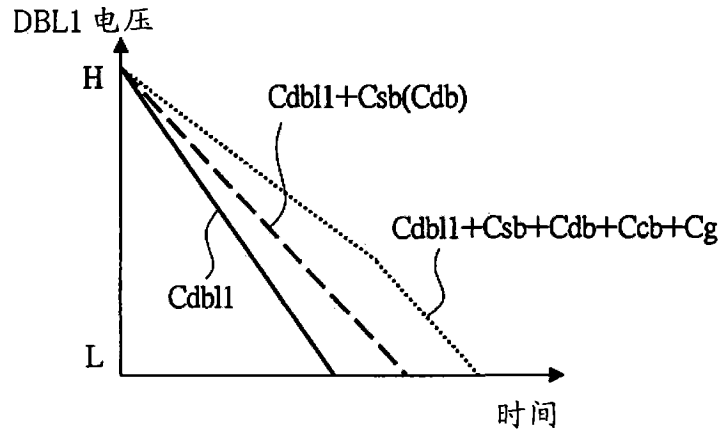


图15(c)

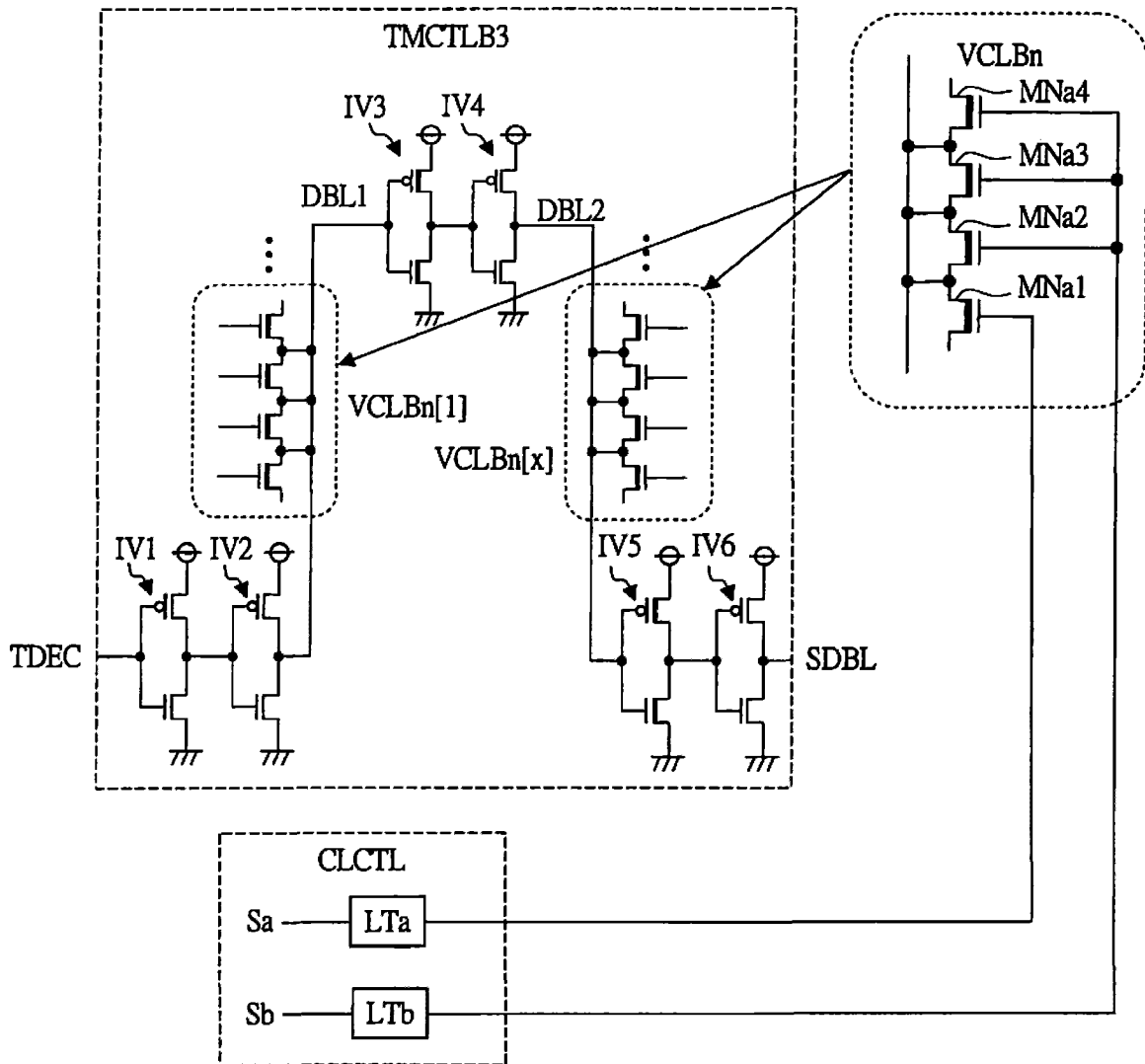


图16(a)

| | Sa | Sb |
|-----|----|----|
| 标准 | 1 | 0 |
| 提前 | 0 | 0 |
| 延时1 | 0 | 1 |
| 延时2 | 1 | 1 |

图16(b)

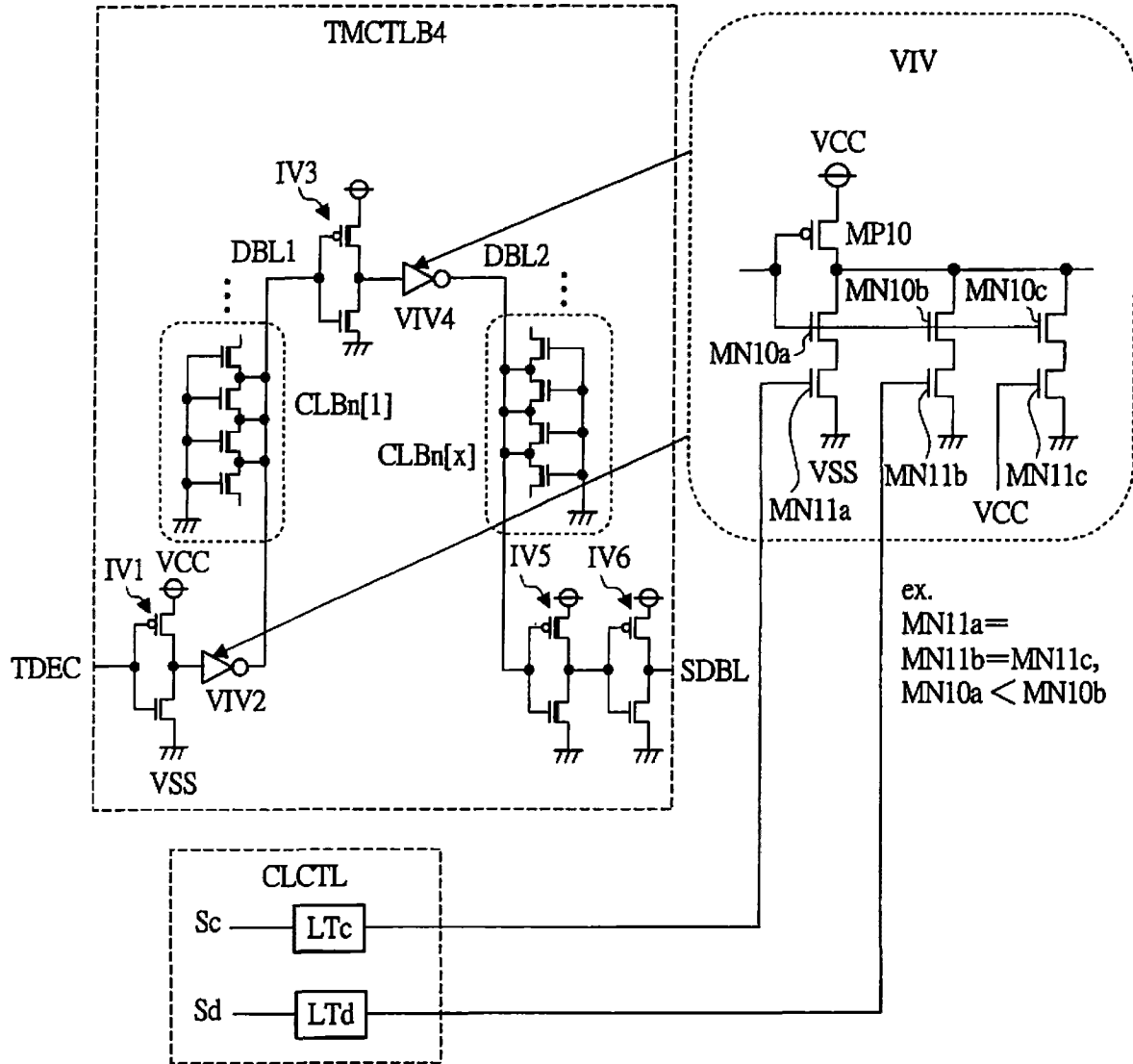


图17(a)

| | Sc | Sd |
|-----|----|----|
| 标准 | 1 | 0 |
| 延时 | 0 | 0 |
| 标准1 | 0 | 1 |
| 标准2 | 1 | 1 |

图17(b)

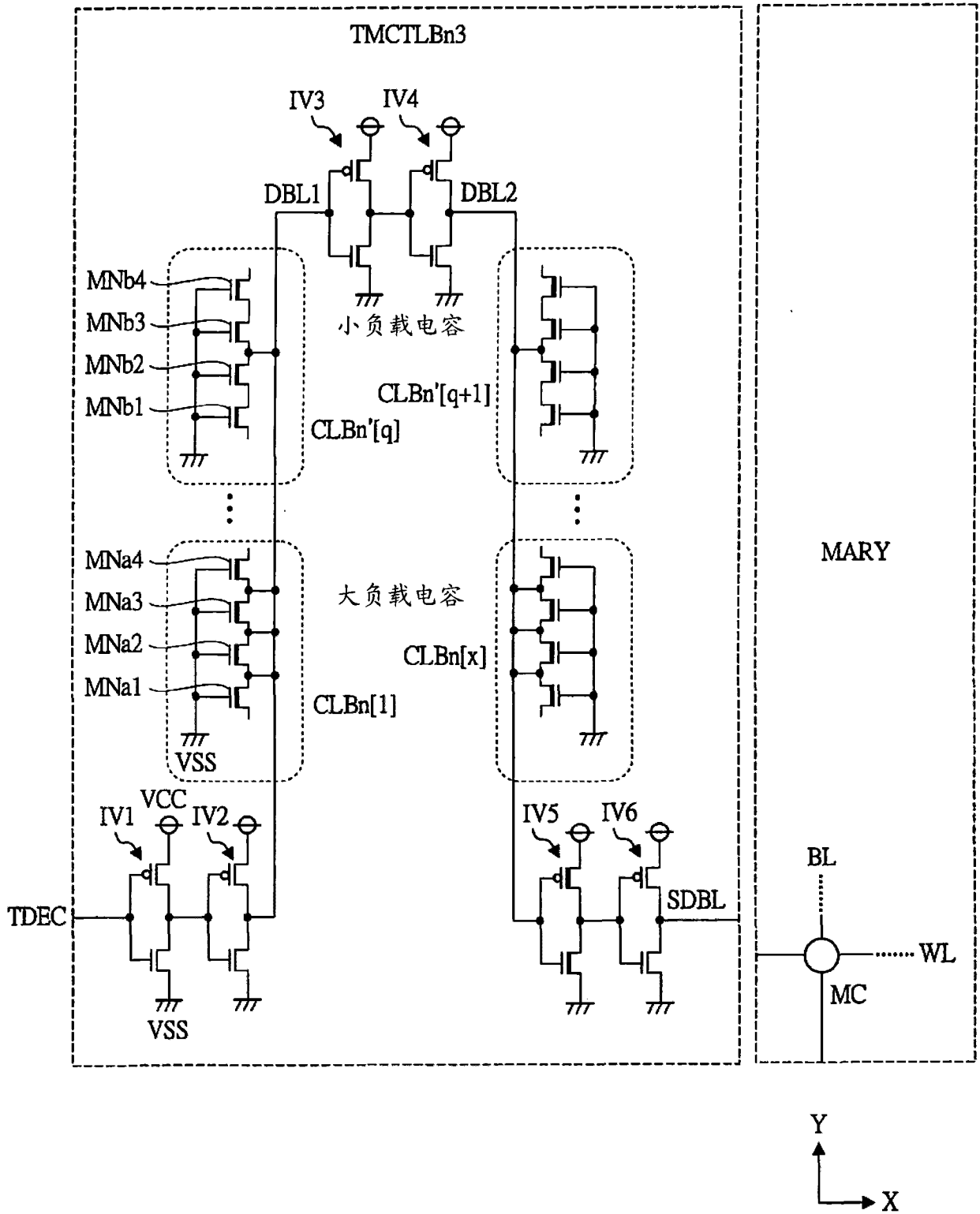


图18

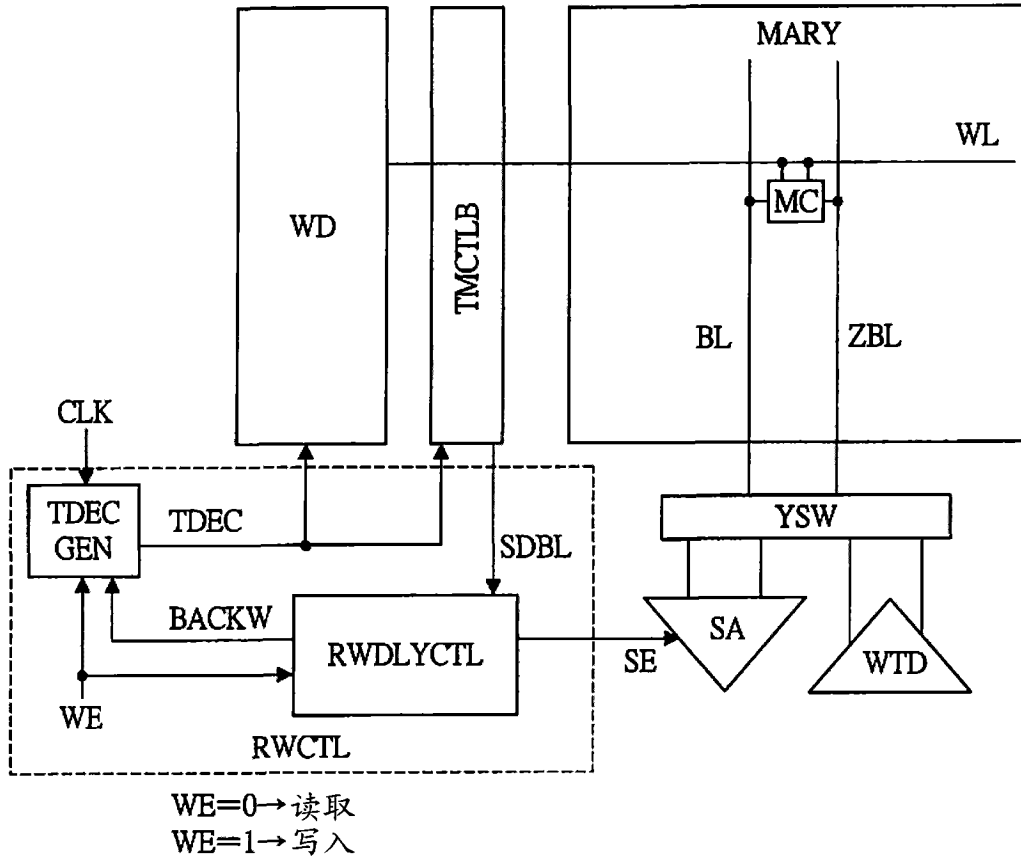


图19(a)

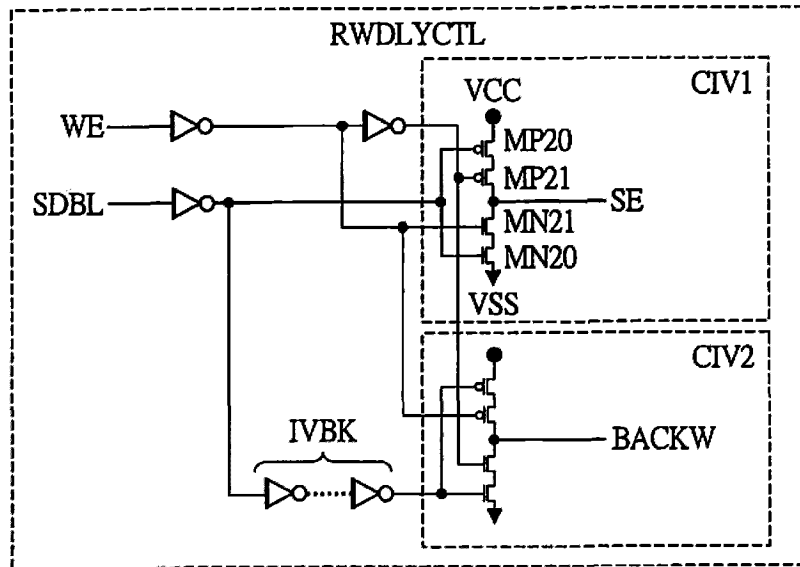


图19(b)

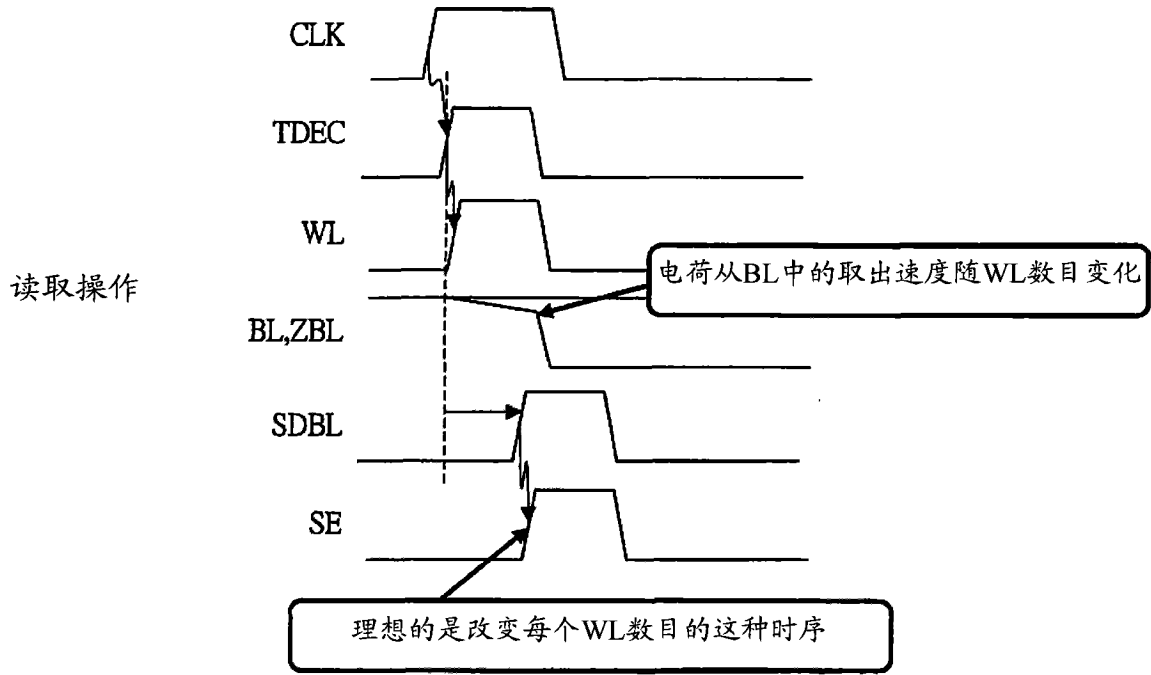


图20(a)

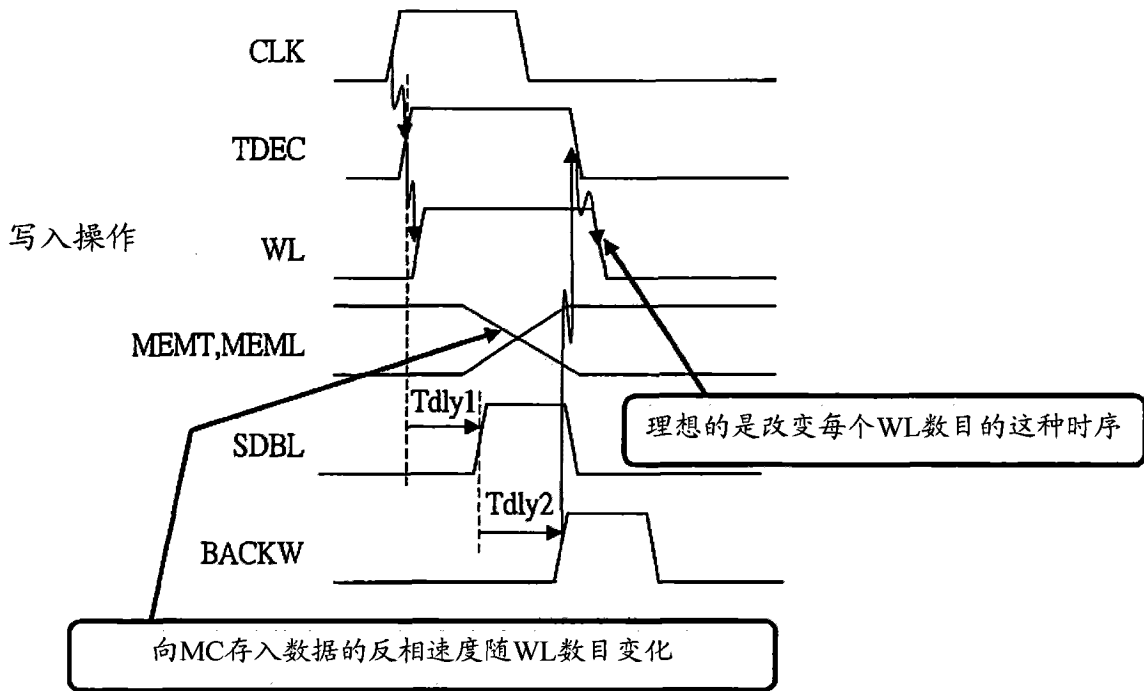


图20(b)

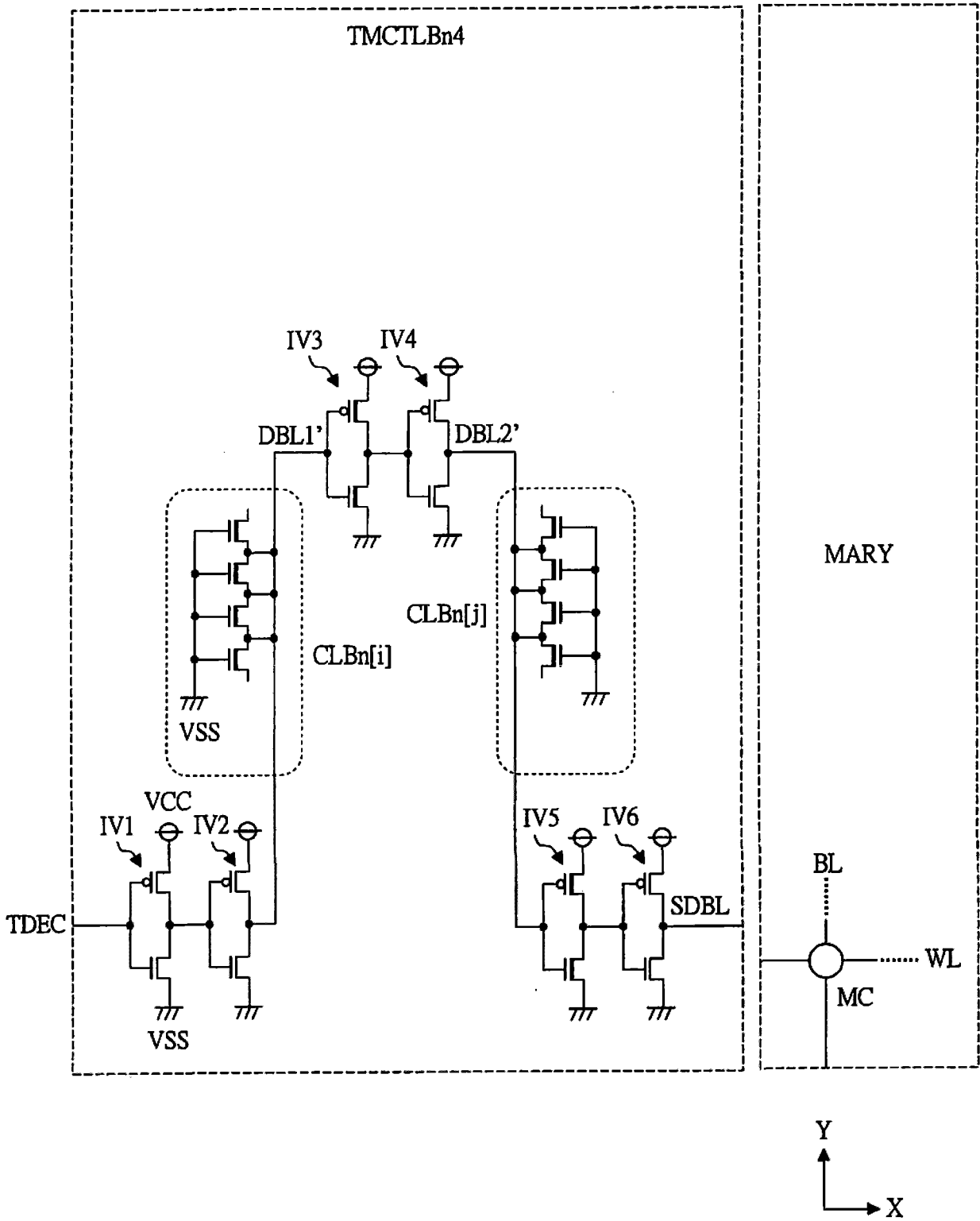


图21

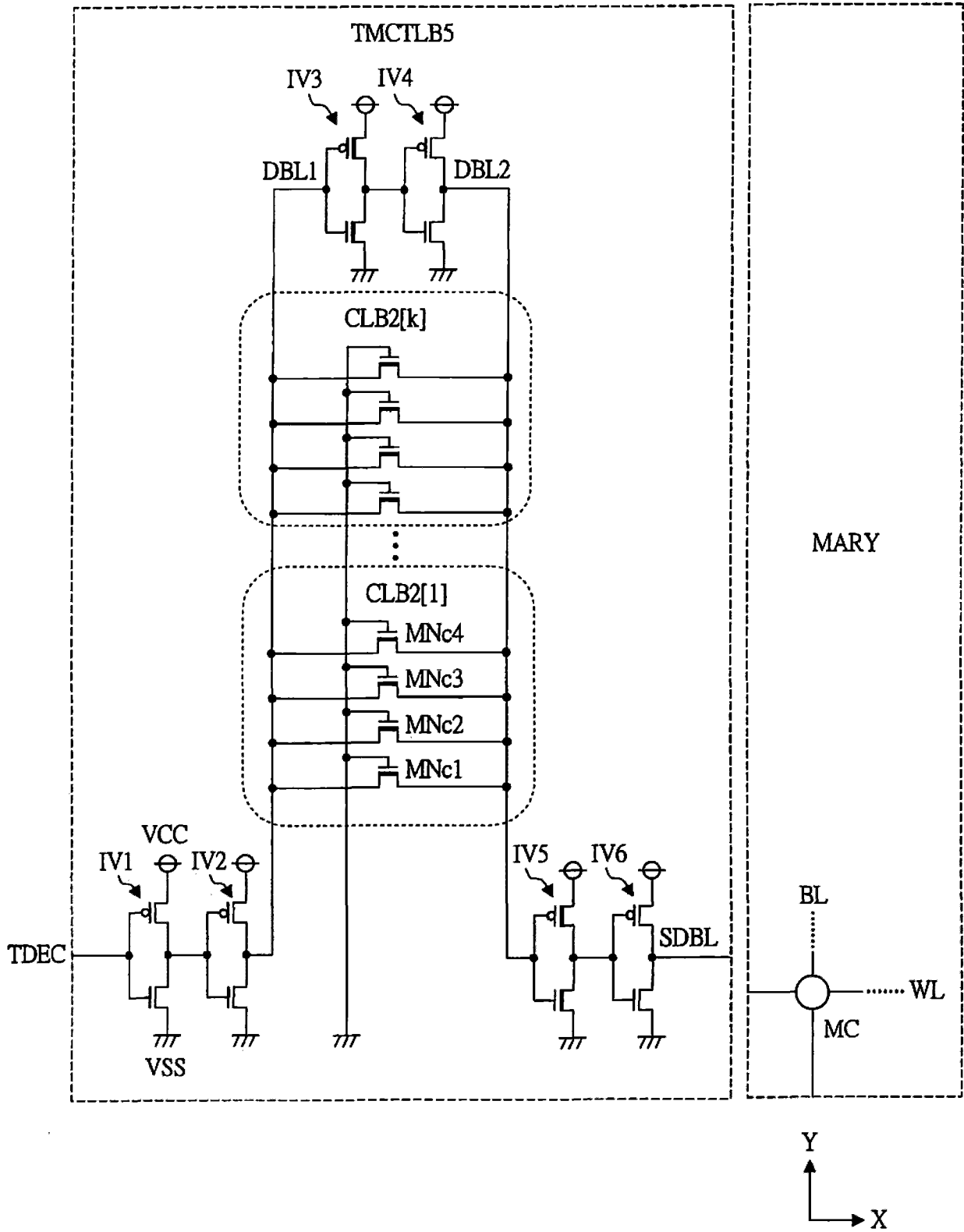


图22

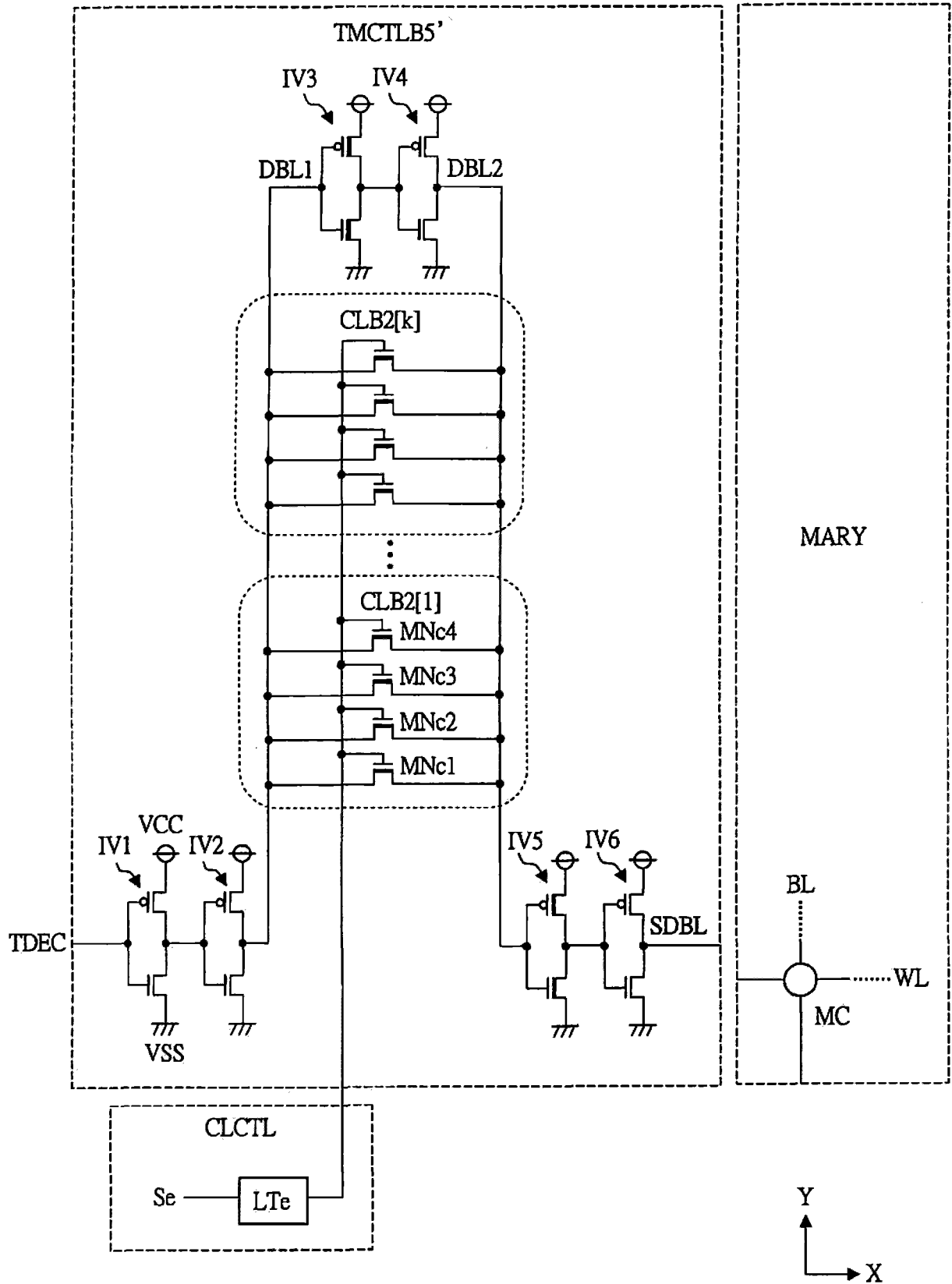


图23

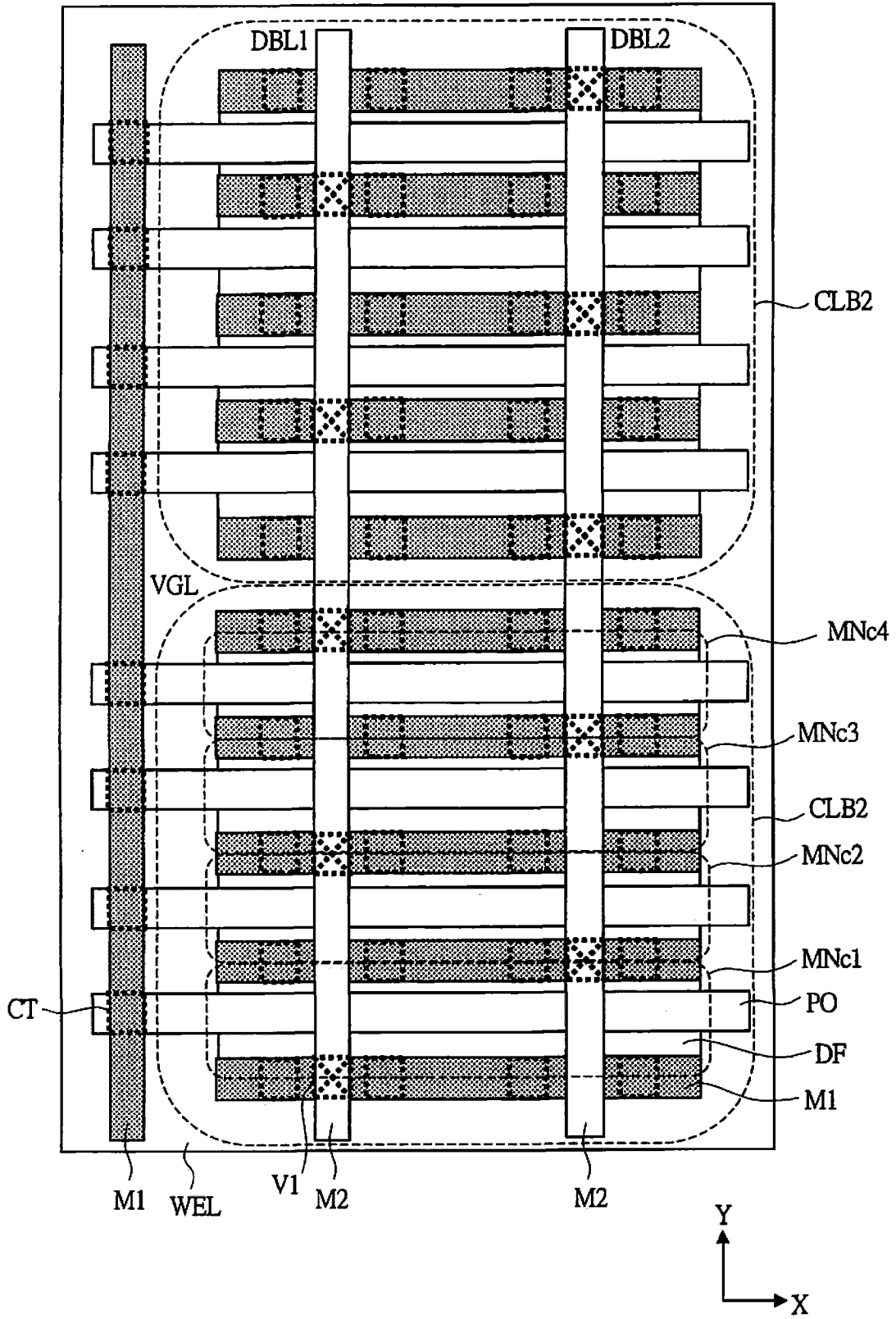


图24

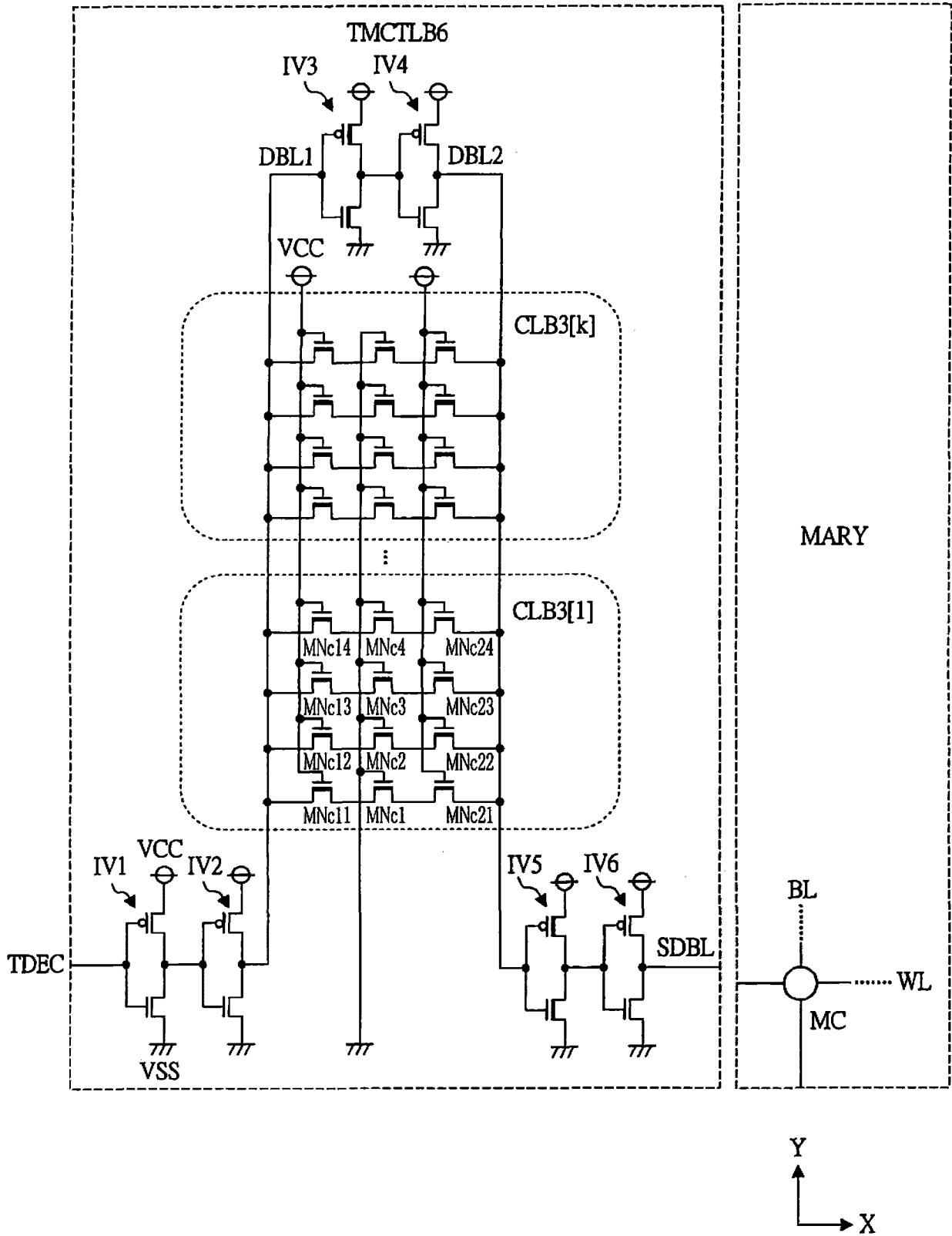


图25

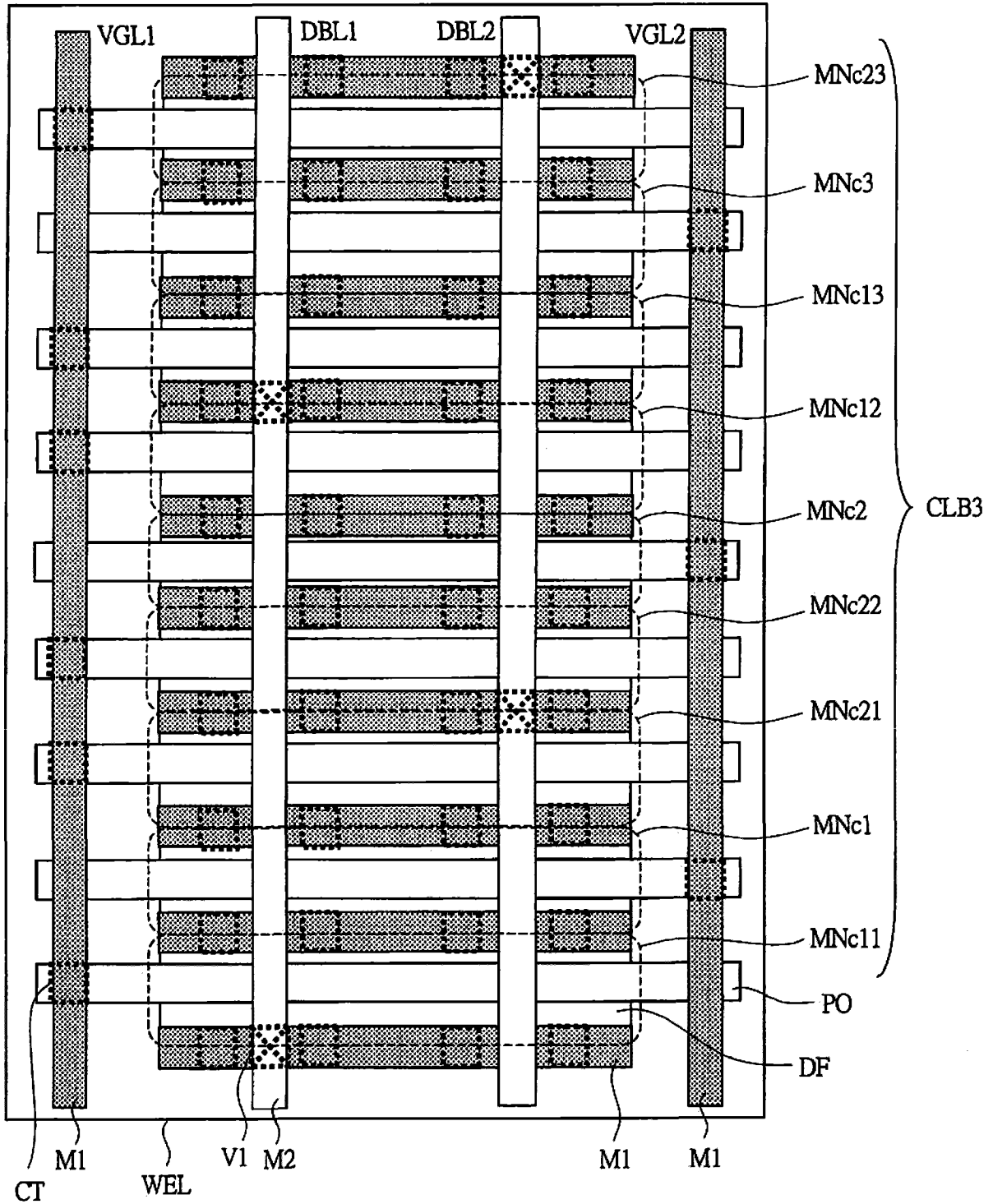


图26

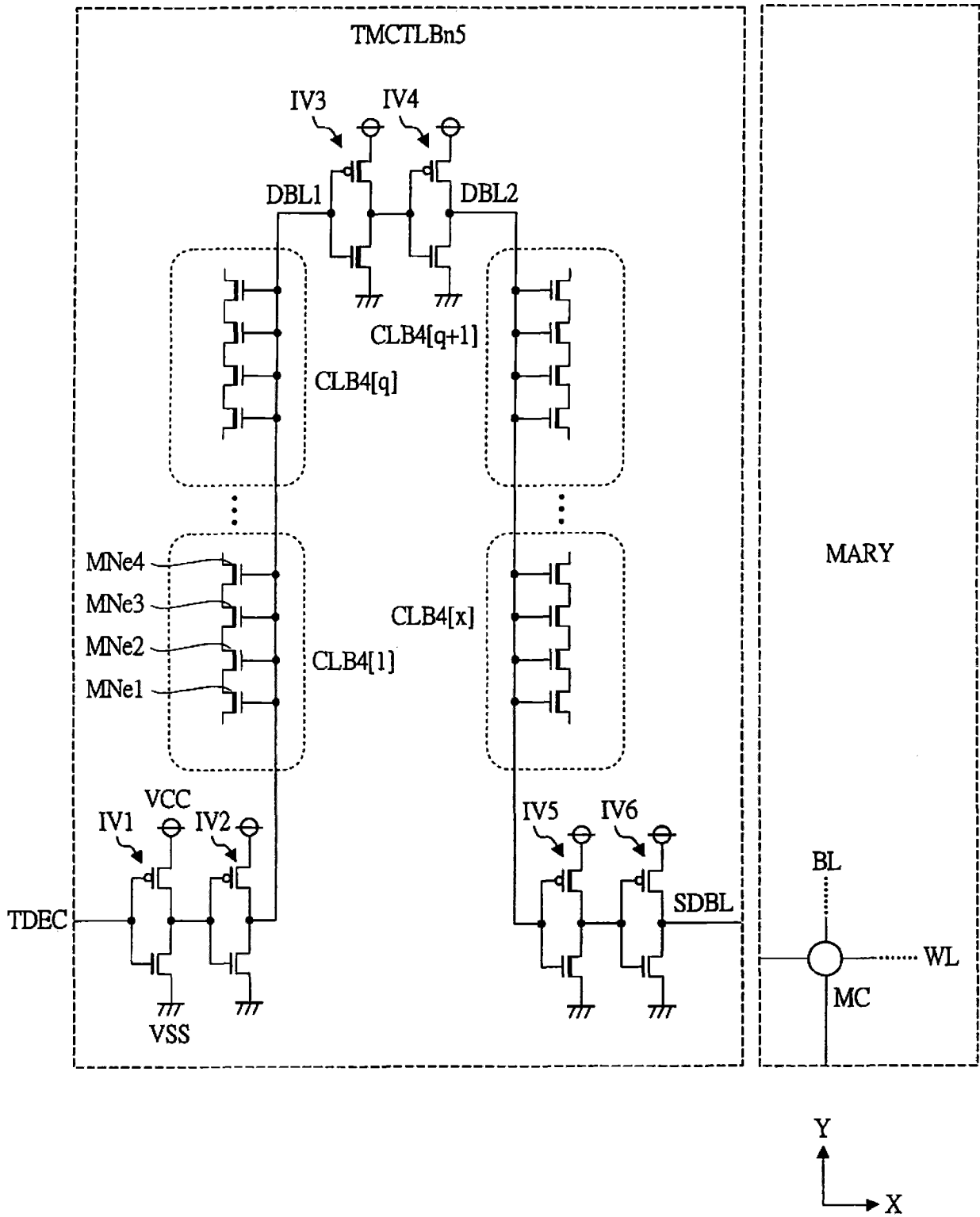


图27

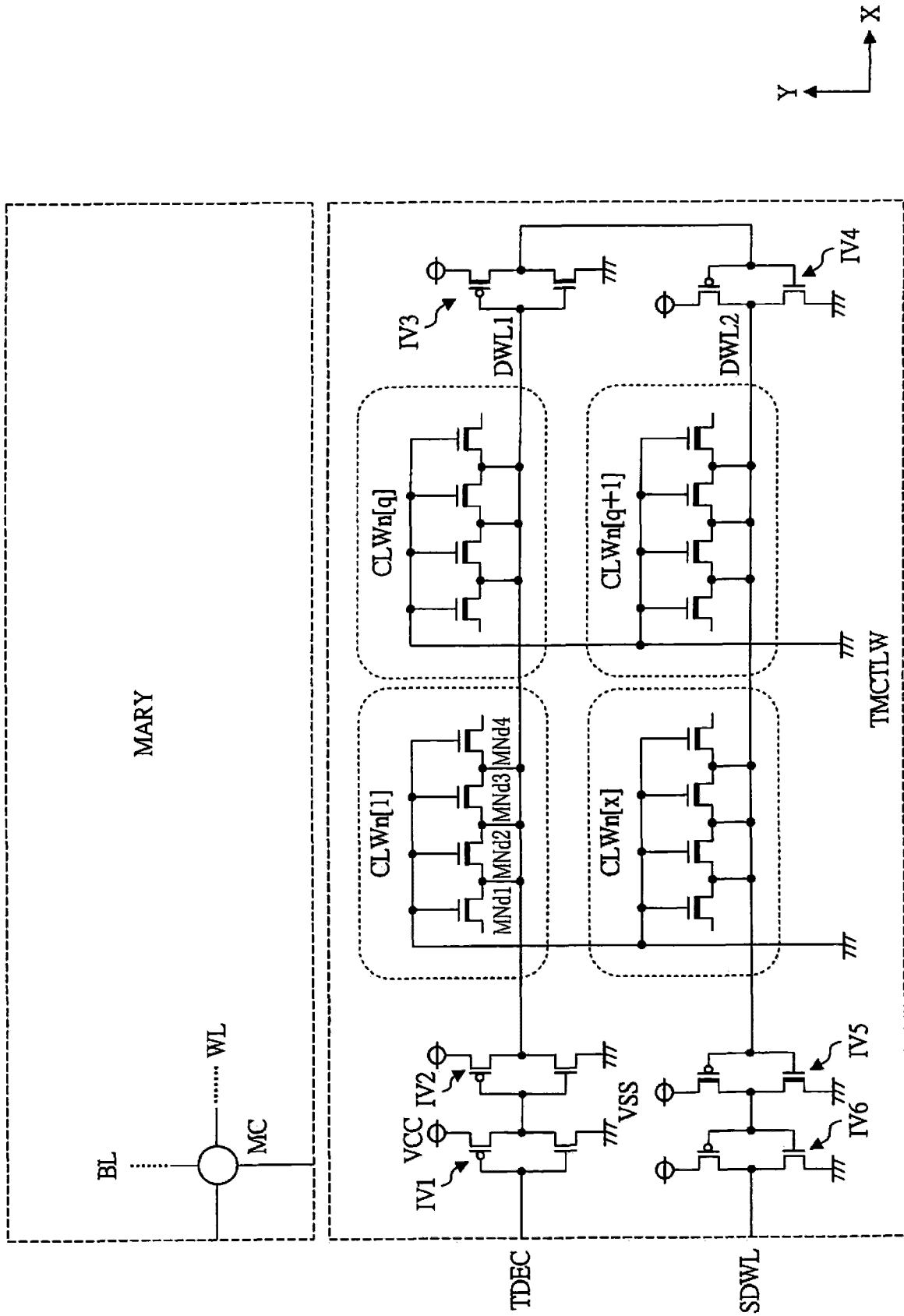


图28

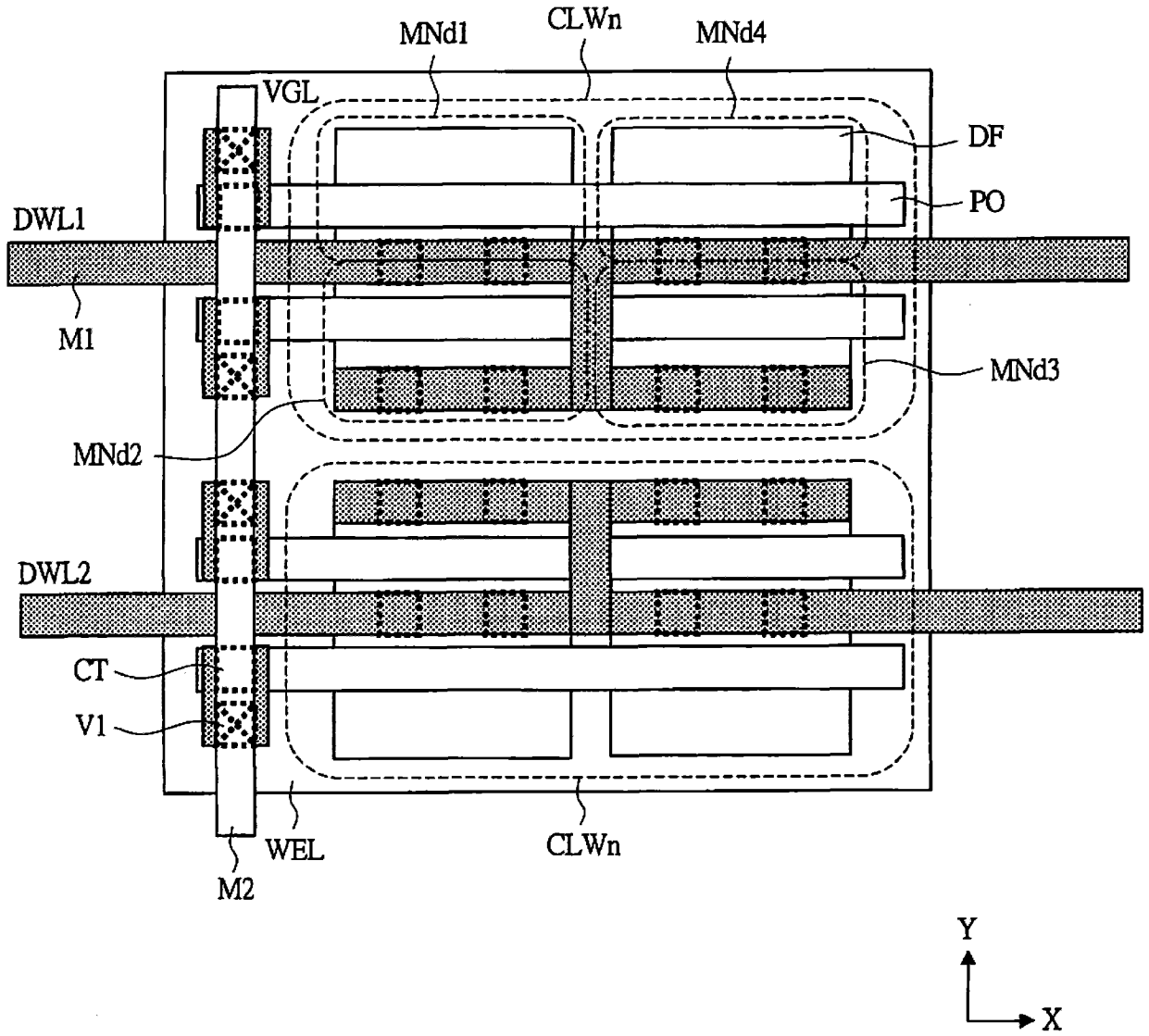


图29

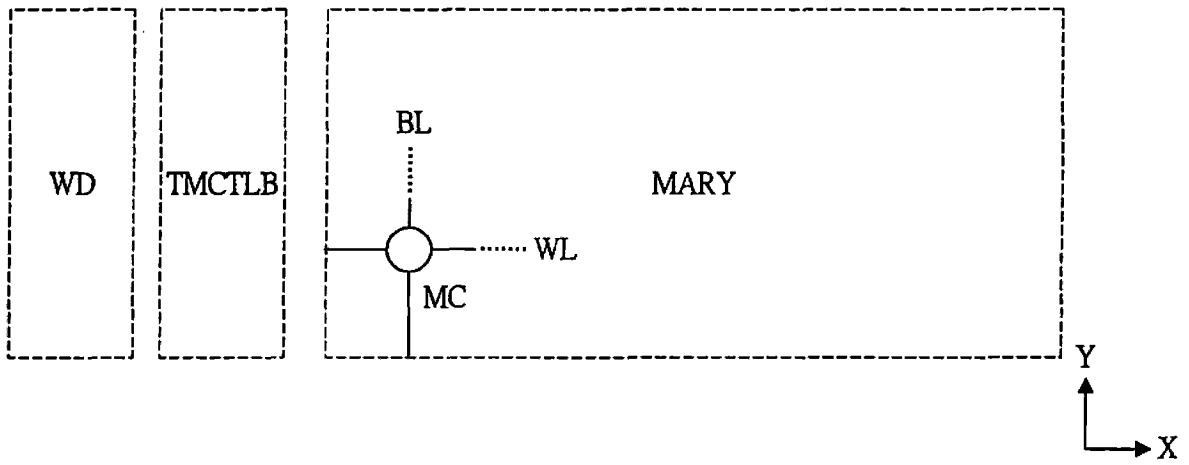


图30(a)

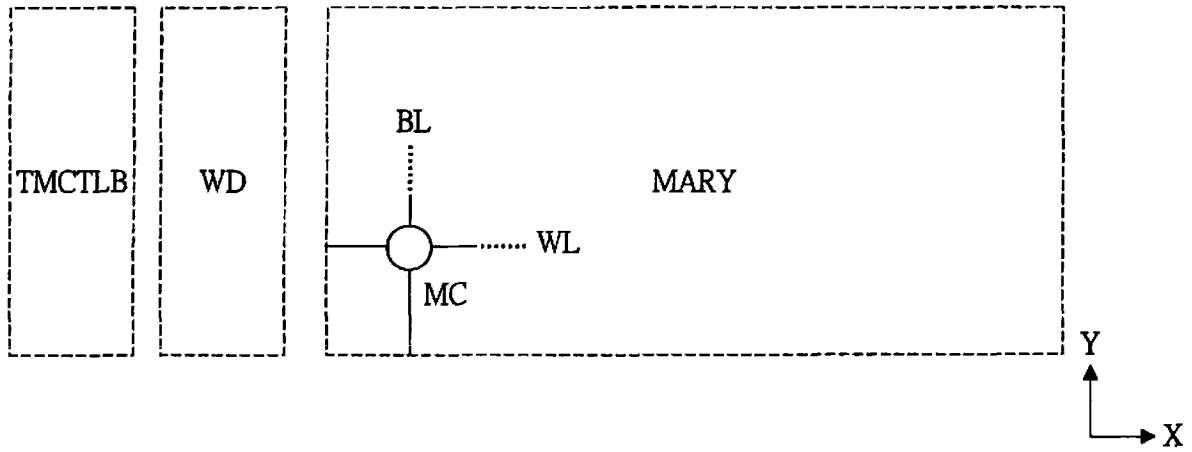


图30(b)

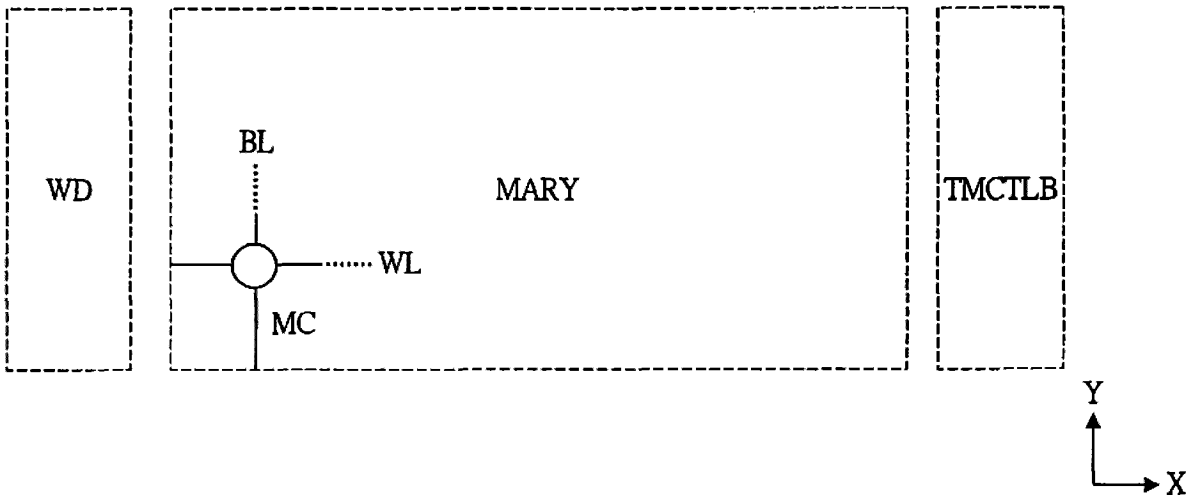


图30(c)

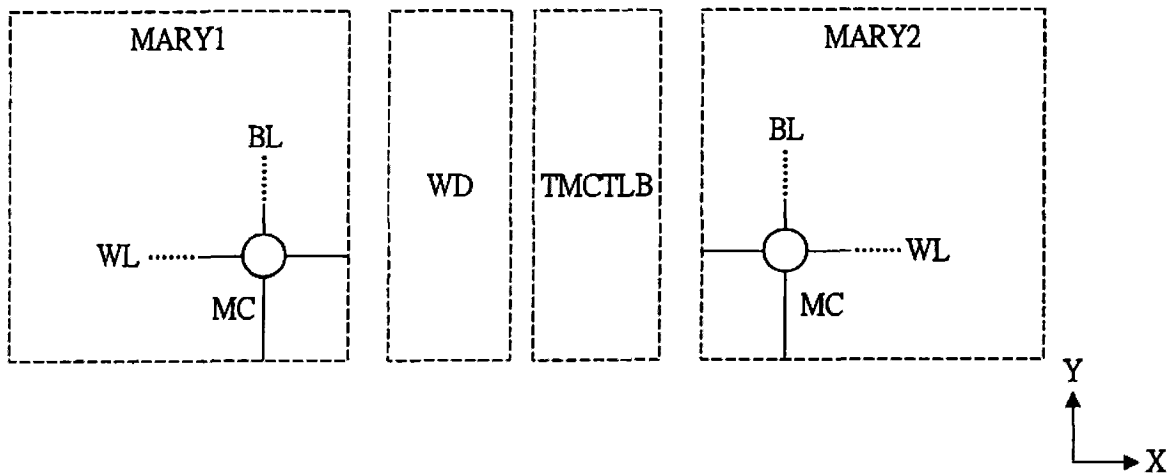


图31(a)

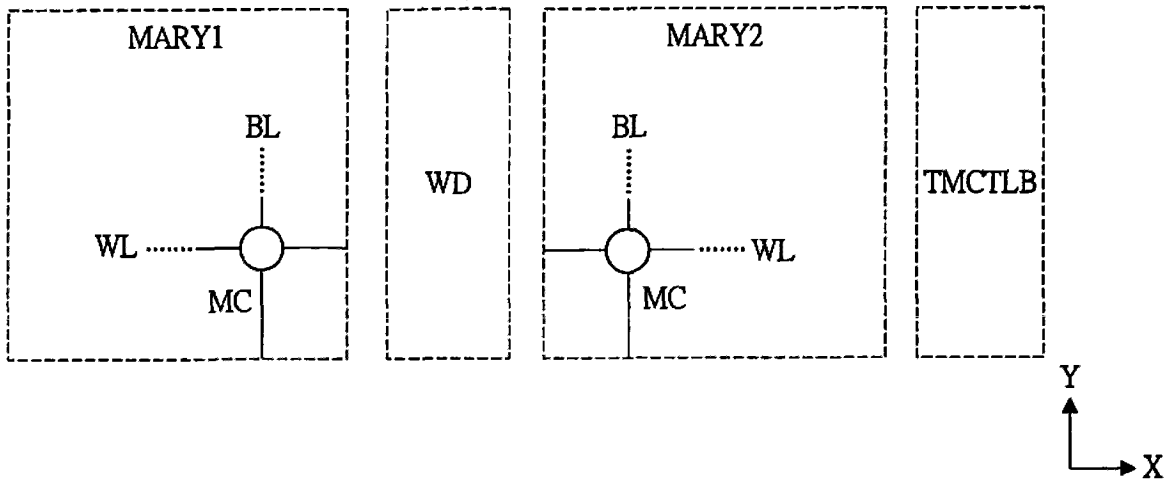


图31(b)

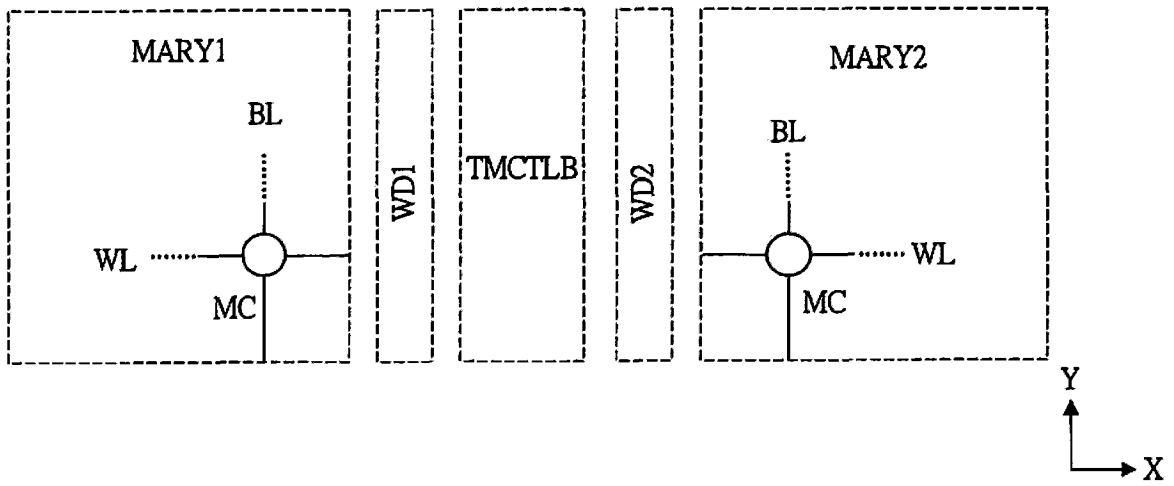


图31(c)

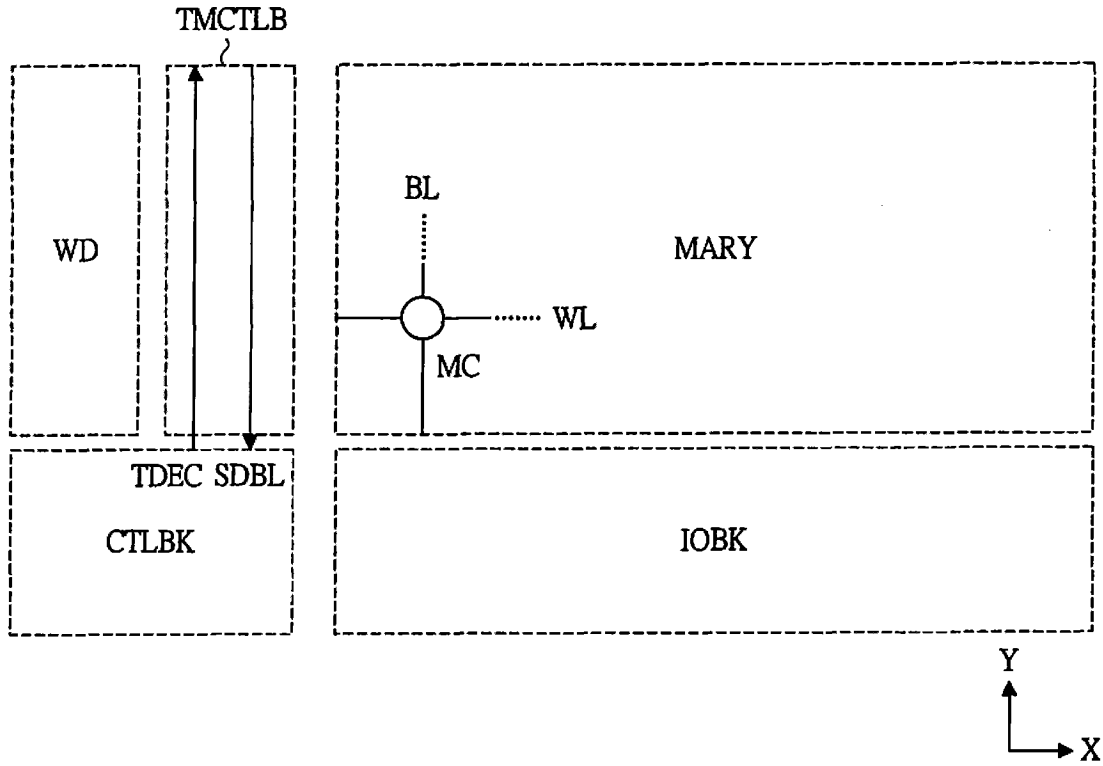


图32(a)

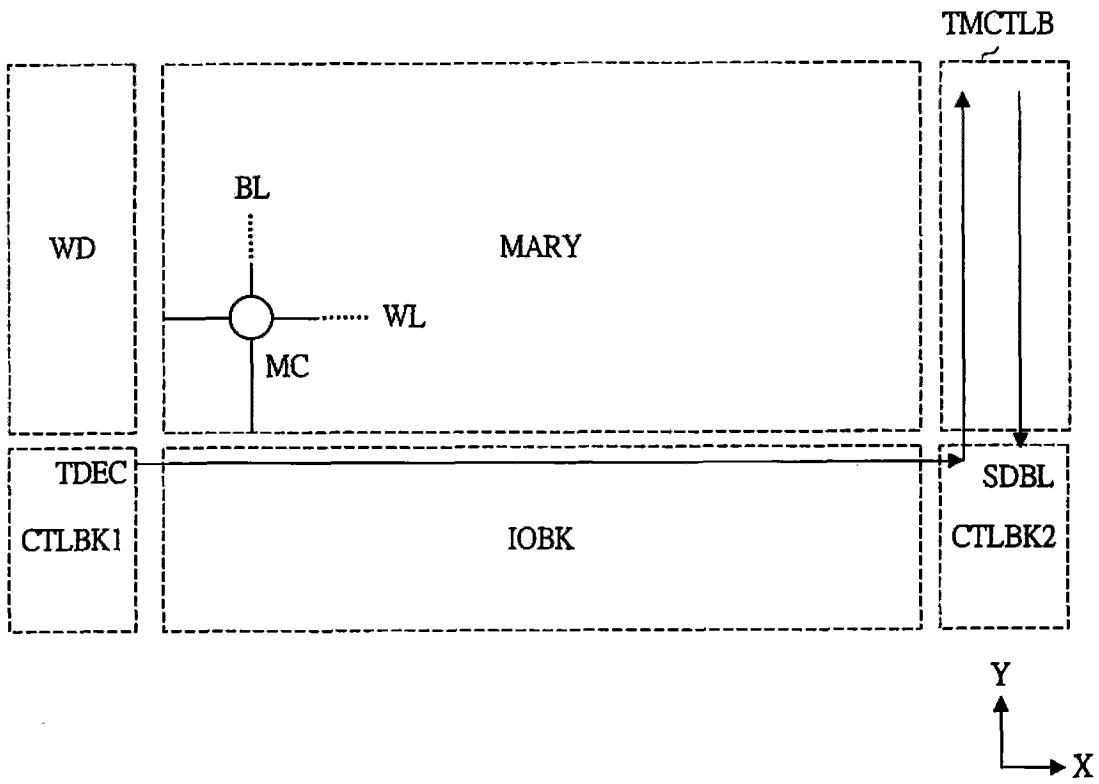


图32(a)

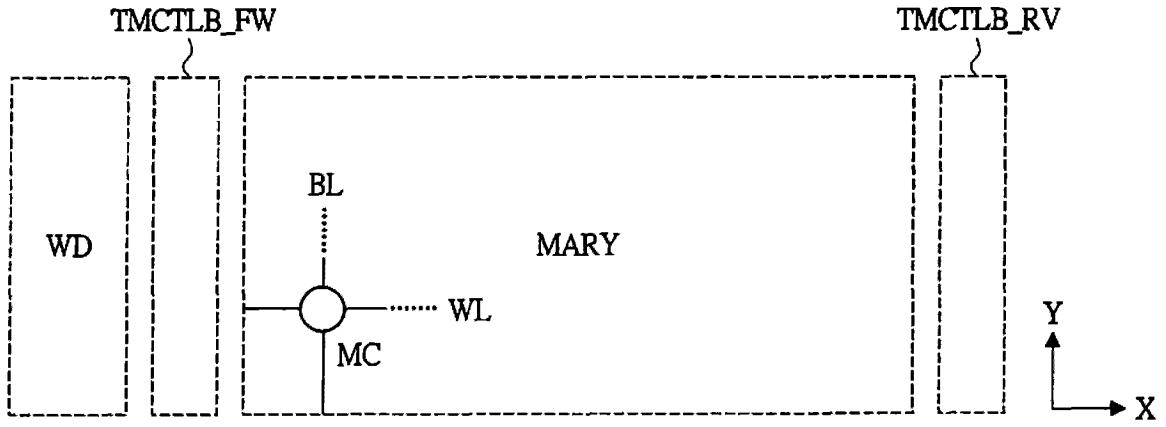


图33(a)

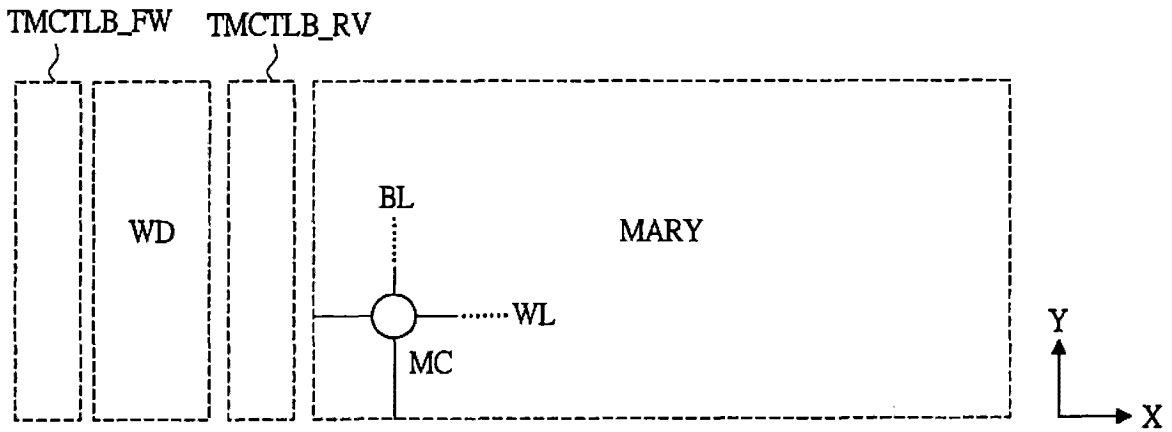


图33(b)

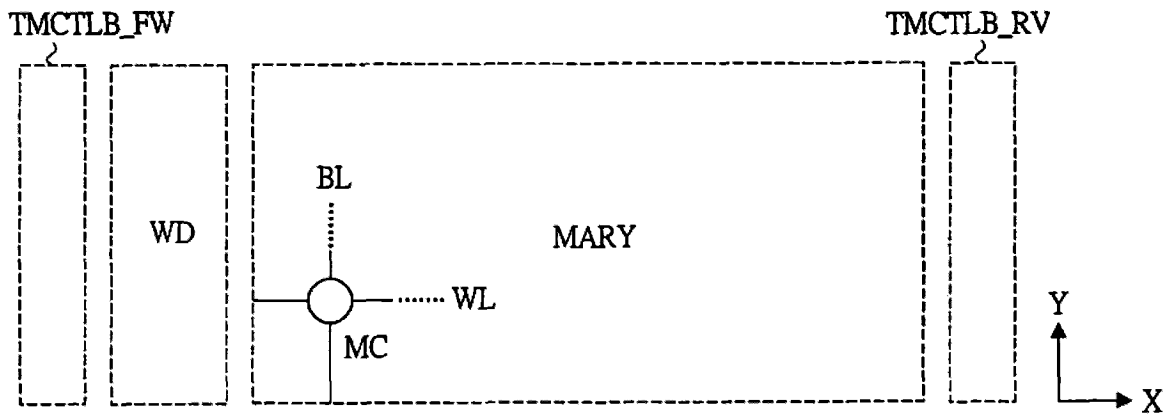


图33(c)

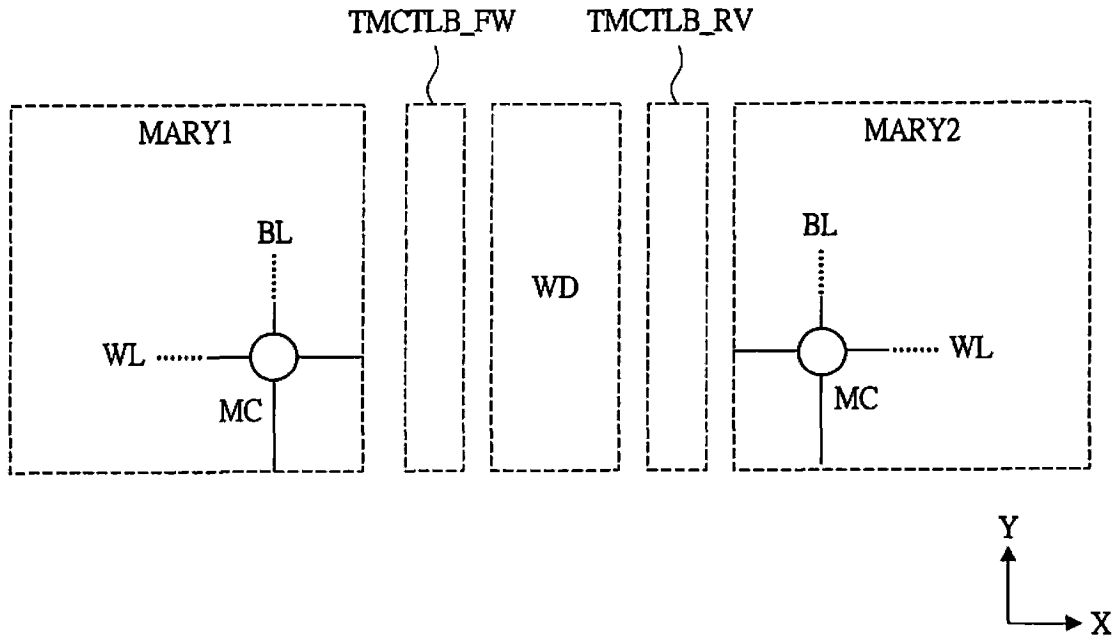


图34(a)

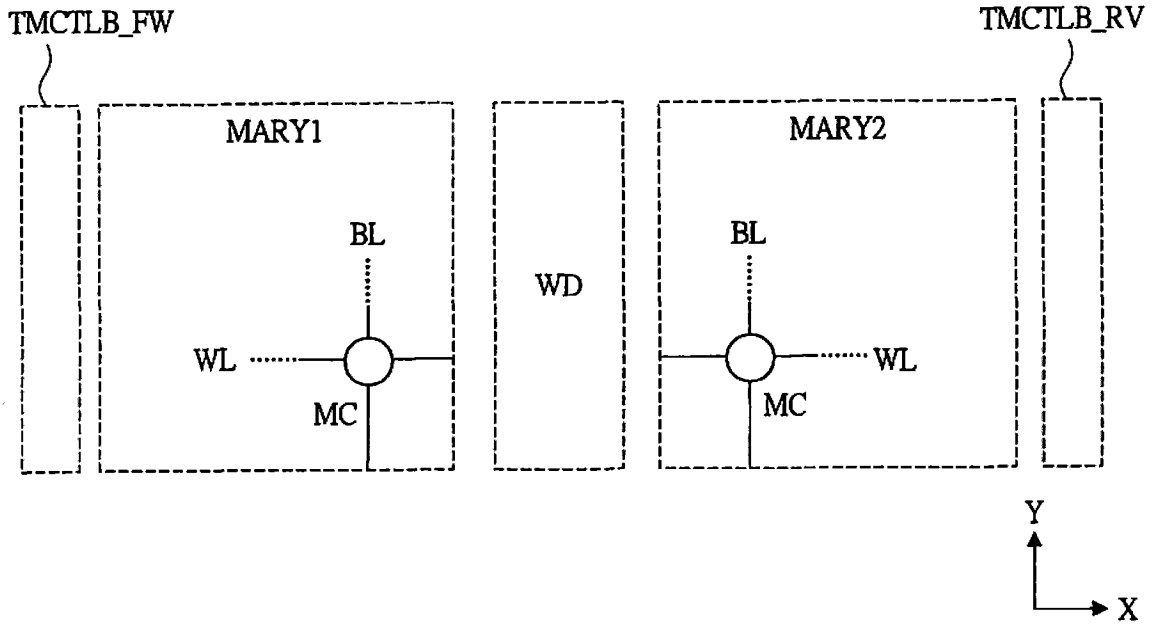


图34(b)

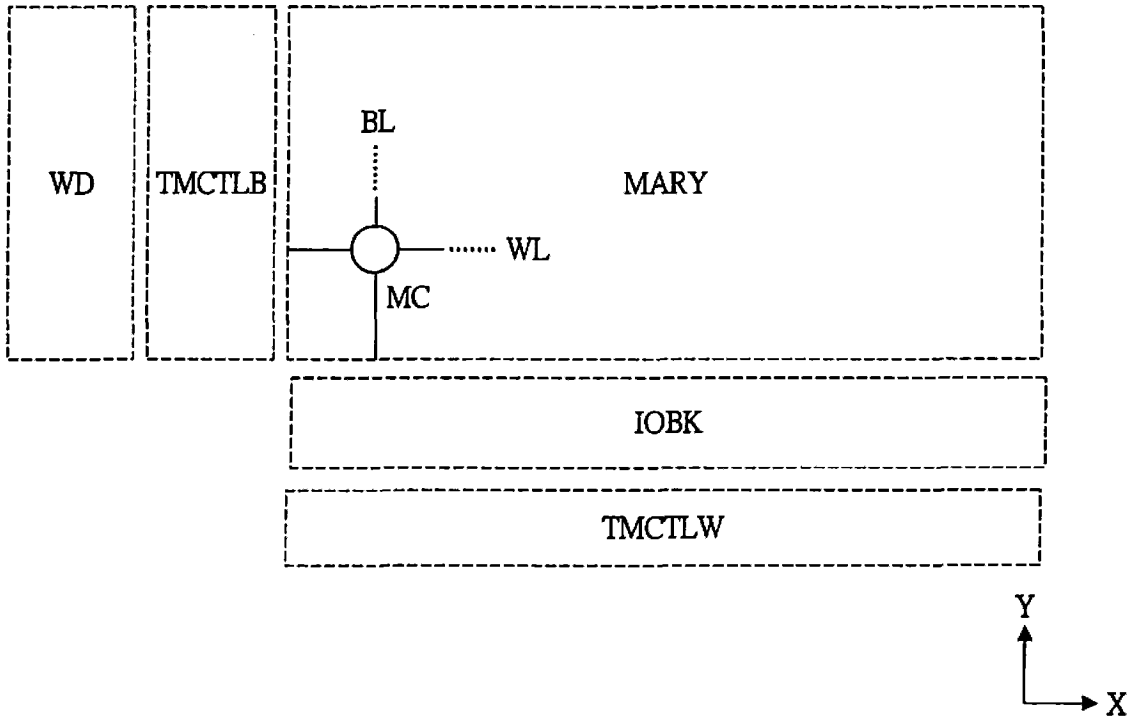


图35(a)

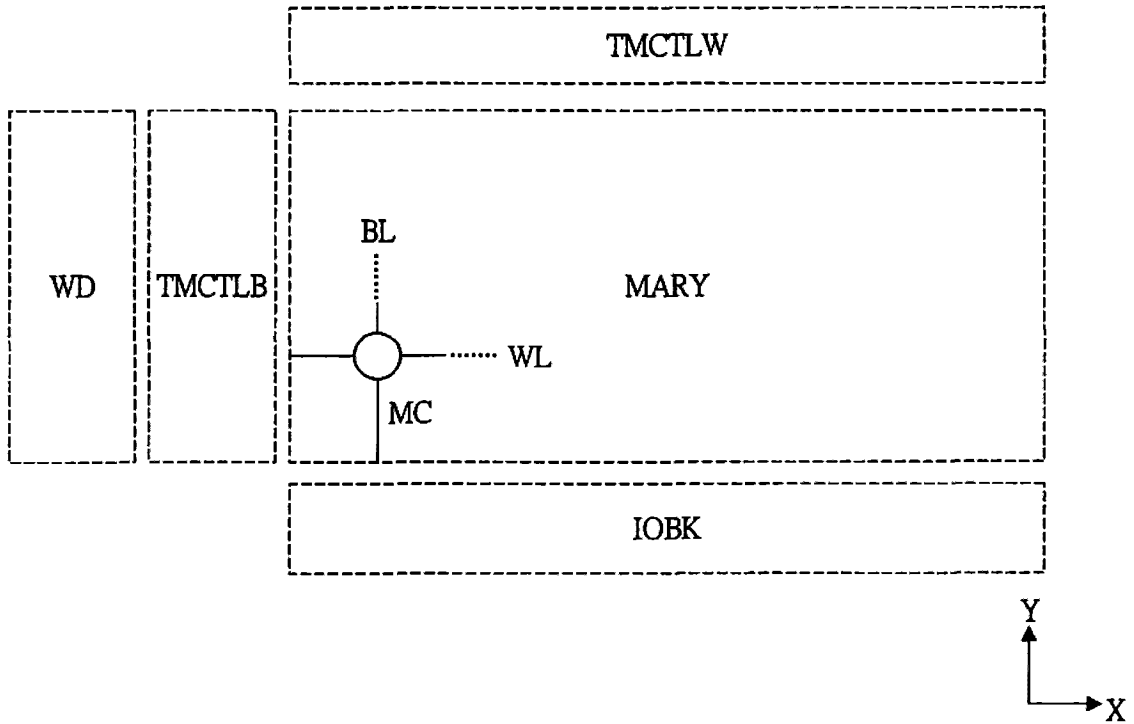


图35(b)