



(12) 发明专利

(10) 授权公告号 CN 102738070 B

(45) 授权公告日 2015. 03. 04

(21) 申请号 201210104837. 1

CN 1790663 A, 2006. 06. 21,

(22) 申请日 2012. 04. 06

US 2004/0195692 A1, 2004. 10. 07,

(30) 优先权数据

US 5396034 A, 1995. 03. 07,

2011-086422 2011. 04. 08 JP

审查员 赵吉鹤

(73) 专利权人 富士通株式会社

地址 日本国神奈川县川崎市

(72) 发明人 神吉刚司 须田章一 佐佐木伸也

(74) 专利代理机构 隆天国际知识产权代理有限公司 72003

代理人 章侃铨 张浴月

(51) Int. Cl.

H01L 21/768(2006. 01)

H01L 23/532(2006. 01)

(56) 对比文件

US 2007/0224795 A1, 2007. 09. 27,

US 2009/0121353 A1, 2009. 05. 14,

CN 101322238 A, 2008. 12. 10,

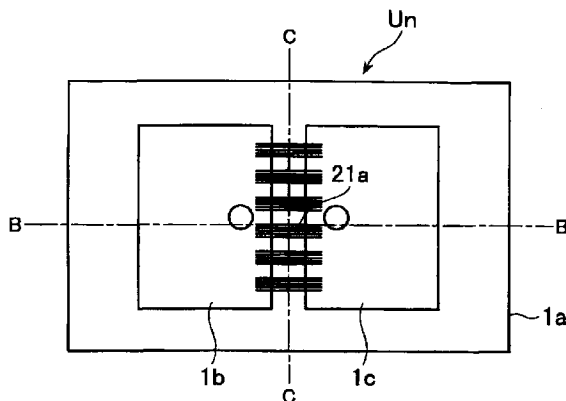
权利要求书1页 说明书10页 附图18页

(54) 发明名称

半导体器件的制造方法及半导体器件

(57) 摘要

本技术方案涉及一种半导体器件的制造方法,包括:在衬底上形成绝缘层;在所述绝缘层中形成凹部;在所述绝缘层上形成掩模图案,所述掩模图案具有暴露所述凹部的第一开口,以及设置在所述第一开口的外部并且不暴露所述凹部的第二开口;通过分别在所述第一开口和所述第二开口中沉积导电材料形成第一导电部件和第二导电部件;以及抛光和去除所述绝缘层上侧上的所述第一导电部件和所述第二导电部件以便留下所述凹部中的所述第一导电部件。本技术方案能够形成具有最佳形状的重布线层。



1. 一种半导体器件的制造方法,包括:

在衬底上形成绝缘层;

在所述绝缘层中形成凹部;

在所述绝缘层上形成掩模图案,所述掩模图案具有暴露所述凹部的第一开口以及设置在所述第一开口的外部并且不暴露所述凹部的第二开口;

通过分别在所述第一开口和所述第二开口中沉积导电材料形成第一导电部件和第二导电部件;以及

抛光和去除所述绝缘层上侧上的所述第一导电部件和所述第二导电部件,以便留下所述凹部中的所述第一导电部件;

其中,所述第二导电部件的上表面被形成为高于所述第一导电部件的上表面。

2. 根据权利要求1所述的半导体器件的制造方法,

其中,多个单元并排设置在所述衬底的面内方向上并且嵌入到所述衬底中,每个所述单元是通过将多个半导体芯片集成组来形成,

其中,所述凹部暴露导电部件,所述导电部件电性连接至所述多个单元的第一单元中所包含的多个半导体芯片的其中之一,以及

其中,在所述绝缘层的上侧上抛光和去除所述第一导电部件和所述第二导电部件之后,留在所述凹部中的所述第一导电材料电性连接至所述第一单元中所包含的所述多个半导体芯片的所述其中之一。

3. 根据权利要求2所述的半导体器件的制造方法,其中,所述第二开口设置在形成所述第一单元的所述多个半导体芯片的外部。

4. 根据权利要求1所述的半导体器件的制造方法,其中,所述第一导电部件和所述第二导电部件通过电解电镀同时形成。

5. 根据权利要求4所述的半导体器件的制造方法,其中,所述第二开口为沟槽状并且具有 $15\mu\text{m}$ 或更大的宽度。

6. 根据权利要求4所述的半导体器件的制造方法,其中,所述第二开口为孔状并且具有 $40\mu\text{m}$ 或更大的直径。

7. 根据权利要求1所述的半导体器件的制造方法,其中,所述第二开口为沟槽状并且被设置成环绕所述第一开口的环状。

8. 根据权利要求1所述的半导体器件的制造方法,其中,所述第二开口为孔状并且多个所述第二开口被设置为围绕所述第一开口分布。

9. 根据权利要求1所述的半导体器件的制造方法,其中,多个单元并排设置在所述衬底的面内方向上并且嵌入到所述衬底中,每个所述单元中有多个半导体芯片集成组;并且其中所述第二开口设置在彼此相邻的单元之间的划片区域中。

10. 根据权利要求1所述的半导体器件的制造方法,其中,形成所述衬底的材料的热膨胀系数和杨氏模量分别都低于所述导电材料的热膨胀系数和杨氏模量。

11. 根据权利要求1所述的半导体器件的制造方法,还包括对所述第一导电部件进行退火的工艺。

半导体器件的制造方法及半导体器件

技术领域

[0001] 后文公开的本实施例涉及一种半导体器件的制造方法以及半导体器件。

背景技术

[0002] 近年来,根据电子器件的缩减尺寸、高性能以及降低成本的要求,伴随着每个半导体芯片的端子的小型化和增多,上面安装有半导体芯片的电路板的小型化和多层化以及电子元件在电路板上的高密度安装得以发展。

[0003] 电路板已经分为各种各样并且变得很复杂。如伪片上系统(pseudo system on chip, pseudo SOC)技术所描述的,已经研究了通过使用衬底来整体形成电路的技术,该衬底是通过使用树脂封装多个具有不同特性的半导体芯片来形成。在伪 SOC 技术中,重布线层(rewiring layer)包括用于将相邻的半导体芯片彼此电性连接的布线部分等等,并且形成在内嵌有多个半导体芯片的重构晶圆(reconstructed wafer)上。

[0004] 作为用于形成金属材料的图案的技术,已有多种技术发展得以发展。

[0005] 专利文献 1:公开号为 2009-64954 日本专利;

[0006] 专利文献 2:专利号为 4543089 的日本专利;

[0007] 专利文献 3:公开号为 2001-351923 的日本专利。

发明内容

[0008] 本发明的目的是提供一种用于形成具有最佳形状的重布线层的半导体器件的制造方法。

[0009] 根据实施例的一个方面,本发明提供了一种半导体器件的制造方法,包括:在衬底上形成绝缘层;在所述绝缘层中形成凹部;在所述绝缘层上形成掩模图案,所述掩模图案具有暴露所述凹部的第一开口,以及设置在所述第一开口的外部并且不暴露所述凹部的第二开口;通过分别在所述第一开口和所述第二开口中沉积导电材料形成第一导电部件和第二导电部件;以及抛光和去除所述绝缘层上侧上的所述第一导电部件和所述第二导电部件以便在所述凹部中留下所述第一导电部件。

[0010] 通过在权利要求书特别指出的元件和组件可以实现和得到实施例的目的和优势。

[0011] 可以理解的是,前述的总体描述和以下详细描述都是示例性和解释性的,而并非对权利要求所要求保护的实施例的限制。

附图说明

[0012] 图 1A 是根据实施例的伪 SOC 晶圆的示意性平面图;

[0013] 图 1B 和图 1C 是根据实施例的伪 SOC 晶圆的示意性截面图;

[0014] 图 2A 至图 2D 是示出根据实施例的伪 SOC 晶圆的制造方法的主要工艺的示意性截面图;

[0015] 图 2E 至图 2H 是示出根据实施例的伪 SOC 晶圆的制造方法的主要工艺的示意性截

面图；

[0016] 图 2I 至图 2L 是示出根据实施例的伪 SOC 晶圆的制造方法的主要工艺的示意性截面图；

[0017] 图 2M 至图 2P 是示出根据实施例的伪 SOC 晶圆的制造方法的主要工艺的示意性截面图；

[0018] 图 2Q 至图 2S 是示出根据实施例的伪 SOC 晶圆的制造方法的主要工艺的示意性截面图；

[0019] 图 2T 至图 2V 是示出根据实施例的伪 SOC 晶圆的制造方法的主要工艺的示意性截面图；

[0020] 图 3A 和图 3B 是根据实施例的伪 SOC 晶圆的示意性平面图,且该伪 SOC 晶圆中形成有布线导电部件和虚置导电部件；

[0021] 图 4A 和图 4B 是第一实验中样品的示意性平面图；

[0022] 图 4C 是第一实验中样品的示意性平面图；

[0023] 图 5A 至图 5C 是示出第一实验中样品的制造方法的主要工艺的示意性截面图；

[0024] 图 5D 至图 5F 是示出第一实验中样品的制造方法的主要工艺的示意性截面图；

[0025] 图 6A 和图 6B 是第一实验中样品的示意性平面图；

[0026] 图 6C 和图 6D 是第一实验中对照样品的示意性平面图；

[0027] 图 7A 是示出汇总第一实验中样品和对照样品的镀层高度的曲线图；

[0028] 图 7B 是示出汇总第一实验中导电部件的凹陷量的曲线图；

[0029] 图 8 是示出汇总第一实验中对照样品的衬底的翘曲的曲线图；

[0030] 图 9A 和图 9B 分别示出描绘第二实验中沟槽状开口的宽度与镀层高度之间关系的曲线图,以及描绘第二实验中孔状开口的直径与镀层高度之间关系的曲线图；

[0031] 图 10A 和图 10B 分别示出描绘由形成在衬底整个表面上的 Cu 层形成的布线的横截面的 SIM 图像,以及描绘由分隔并形成在衬底上的 Cu 层形成的布线的横截面的 SIM 图像。

具体实施方式

[0032] 将会描述根据本发明实施例的伪 SOC 晶圆的制造方法。

[0033] 首先,参考图 1A 至图 1C 描述通过本实施例的方法制造的伪 SOC 晶圆的示意性结构。

[0034] 图 1A 是根据实施例的伪 SOC 晶圆的平面图,并且图 1B 和图 1C 是根据本实施例的伪 SOC 晶圆的横截面图。图 1B 和图 1C 分别是沿着图 1A 中示出的线 B-B 和 C-C 的截面图。

[0035] 在树脂衬底 1a 的面内 (in-plane) 方向上并排布置的多个半导体芯片 1b 和 1c 等封装在树脂衬底 1a 中,以便形成重构晶圆 1。在重构晶圆 1 中,要集合成为一个单元的多个半导体芯片 (例如,逻辑和内存芯片) 彼此紧邻设置,并且多个单元以矩阵形式设置。在完成伪 SOC 晶圆后,将所述多个单元彼此分离,以便形成每个产品。

[0036] 图 1A 至图 1C (及以下描述的图 2A 至图 2V、图 3A、图 3B) 示出了在一个单元附近的区域,以及由两个半导体芯片 1b 和 1c 形成一个单元 U_n 的情况。

[0037] 重布线层 21 形成在重构晶圆 1 上。重布线层 21 包括用于将半导体芯片 1b 和 1c

彼此电性连接的布线部分 21a, 以及到外侧的引出布线部分。如图 1A 的平面图所示的, 在本示例中, 用于将半导体芯片 1b 和 1c 彼此电性连接的多个布线 21a 彼此平行设置。图 1B 是沿着布线 21a 的纵长方向的横截面图以及贯穿布线 21a 的部分的横截面图。图 1C 是沿着布线 21a 的宽度方向的横截面图以及与布线 21a 交叉的部分的横截面图。

[0038] 布线部分 21a 是由图案 ($2\mu\text{m}$ 或更小的线和间隙图案) 形成的精细布线 (fine wiring), 在该图案中, 每一布线的宽度是 $2\mu\text{m}$ 或更小, 并且在该图案中, 彼此相邻的布线之间的间隙是 $2\mu\text{m}$ 或更小。如以下将要描述的, 本实施例中, 精细布线 (例如, 布线 21a) 是由镶嵌 (damascene) 方法形成。

[0039] 接下来, 将参考图 2A 至 2V 以及参考图 3A 和图 3B 描述根据本实施例的伪 SOC 晶圆的制造方法。图 2A 至图 2V 中的每一个是沿着图 1A 中 B-B 线的截面图, 并且示出根据本实施例的伪 SOC 晶圆的制造方法的主要工艺。

[0040] 参考图 2A。制备出重构晶圆 1。半导体芯片 1b 和 1c 在重构晶圆 1 的面内方向上并排布置, 以便暴露半导体芯片 1b 和 1c 的表面, 在所述半导体芯片 1b 和 1c 的表面上设置有端子。用于封装半导体芯片 1b 和 1c 的树脂材料 (树脂衬底 1a 的材料) 是绝缘树脂, 例如, 丙烯酸脂基 (acrylate-based) 树脂。

[0041] 参考图 2B。籽晶层 2 形成在树脂衬底 1 的整个表面上。例如, 籽晶层 2 是利用溅射来沉积厚度为 20nm 的 Ti 层, 以及利用溅射在该 Ti 层上沉积厚度为 100nm 的 Cu (铜) 层来形成。Ti 层具有改善形成在 Ti 层上的 Cu 部件和衬底之间的粘附性能的功能, 以及防止 Cu 氧化和扩散的功能。

[0042] 参考图 2C。通过在籽晶层 2 上涂覆抗蚀剂来形成厚度例如为 $8\mu\text{m}$ 的抗蚀层。抗蚀图案 RP1 是通过曝光抗蚀层, 然后利用例如四甲基氢氧化铵 (TMAH) 对曝光的抗蚀层进行显影来形成。抗蚀图案 RP1 在半导体芯片 1b 和 1c 的每一端子上具有开口。

[0043] 参考图 2D。例如, 通过使用籽晶层 2 作为供电层 (power feeding layer) 进行电解电镀来沉积 Cu 作为导电材料, 以便在抗蚀图案 RP1 的每一开口中形成管脚 (pin) 3。管脚 3 的镀层高度例如是 $3\mu\text{m}$ 。每一管脚 3 电性连接半导体芯片 1b 和 1c 的每一端子。要注意的是, 可以根据设计适当地选择管脚 3 的镀层高度。

[0044] 参考图 2E。通过丙酮或类似物去除抗蚀图案 RP1。然后, 去除管脚 3 外部的籽晶层 2。管脚 3 彼此电性分离。例如, 通过使用硫酸钾的蚀刻溶液进行湿法蚀刻来去除籽晶层 2 的 Cu 层。例如通过使用氟化铵水溶液作为蚀刻溶液进行湿法蚀刻, 或例如通过使用 CF_4 和 O_2 的混合气体作为蚀刻气体进行干法蚀刻来去除籽晶层 2 的 Ti 层。

[0045] 参考图 2F。内嵌有管脚 3 的绝缘层 4 以这样的方式来形成: 通过旋转涂布来涂覆 $4\mu\text{m}$ 厚的苯酚基树脂, 然后在 200°C 至 250°C (例如, 250°C) 的温度下进行固化 (硬化)。

[0046] 参考图 2G。通过化学机械抛光 (chemical mechanical polishing, CMP) 来抛光并去除绝缘层 4 的上部, 以便暴露管脚 3 的上表面。

[0047] 参考图 2H。例如, 通过在绝缘层 4 上涂覆 $2\mu\text{m}$ 厚的光敏苯酚基树脂来形成绝缘层 5。在后续工艺中, 布线 10 形成在布线沟槽 (wiring groove) 6 中, 该布线沟槽 6 形成在绝缘层 5 中。可以根据布线 10 要求的厚度适当地选择绝缘层 5 的厚度。

[0048] 参考图 2I。通过曝光和显影, 在绝缘层 5 中形成用于限定布线沟槽 6 的图案, 并且在例如 250°C 下进一步进行固化 (硬化)。形成在绝缘层 5 中的布线沟槽 6 暴露管脚 3。

例如,布线沟槽 6a 暴露连接半导体芯片 1b 的端子的管脚 3,并且还暴露连接半导体芯片 1c 的端子的管脚 3。通过后续工艺形成在布线沟槽 6a 中的布线 21a 将半导体芯片 1b 和 1c 彼此电性连接。

[0049] 参考图 2J。籽晶层 7 形成在绝缘层 5 上,以便覆盖布线沟槽 6 的内表面。例如,籽晶层 7 以类似于形成籽晶层 2 的方式形成。

[0050] 参考图 2K。通过在籽晶层 7 上涂覆厚度为 $8\mu\text{m}$ 的抗蚀剂来形成抗蚀层 RL2。抗蚀层 RL2 的厚度可以这样设置以防止通过图 2M 中所示后续工艺中的电镀而沉积的 Cu 溢出至抗蚀层 RL2 的上表面上。

[0051] 参考图 2L。曝光抗蚀层 RL2,然后通过例如 TMAH 进行显影,以便形成抗蚀图案(掩模图案)RP2。抗蚀图案 RP2 具有暴露布线沟槽 6 的布线形成开口 8a,以及设置在布线形成开口 8a 的外部并且未暴露布线沟槽 6 的虚置(dummy)形成开口 8b。

[0052] 参考图 2M。例如,通过使用籽晶层 7 作为供电层进行电解电镀,而在布线形成开口 8a 以及虚置形成开口 8b 中沉积 Cu 作为导电材料。在布线形成开口 8a 中,导电材料填充在布线沟槽 6 中,并且进一步沉积在绝缘层 5 的上表面上,以便形成布线导电部件 9a。布线导电部件 9a 电性连接布线沟槽 6 中的管脚 3。在虚置形成开口 8b 中,导电材料沉积在绝缘层 5 上,以便形成虚置导电部件 9b。

[0053] 执行电镀,以便将绝缘层 5 的上表面上的布线导电部件 9a 的镀层高度设定为例如 $3\mu\text{m}$ 。当布线导电部件 9a 的镀层高度设定为例如 $3\mu\text{m}$ 时,将绝缘层 5 上表面上的虚置导电部件 9b 的镀层高度设定为例如大约 $3.5\mu\text{m}$ 。如以下要描述的,优选地,虚置导电部件 9b 的上表面高于布线导电部件 9a 的上表面。

[0054] 参考图 2N。通过丙酮或类似物去除抗蚀图案 RP2。然后,通过例如在 150°C 下执行 2 分钟的退火来生长通过电镀形成的 Cu 膜的晶粒,以便稳定 Cu 膜的质量。作为能够在电镀后促进这样的自退火的理想退火条件,特别优选的是在 120°C 至 200°C 的低氧浓度环境中执行 1 分钟至 10 分钟的退火,但是退火也可以在空气中执行。要注意的是,当电镀膜厚度例如为 $3\mu\text{m}$ 时,甚至可以通过在大约 24 小时里于室温 (20°C 至 25°C) 下进行自退火来生长晶粒。

[0055] 参考图 2O。通过 CMP 来抛光和去除绝缘层 5 上表面上的布线导电部件 9a 和虚置导电部件 9b。留下填充在绝缘层 5 的布线沟槽 6 中的布线导电部件 9a,以便形成布线 10。通过所述 CMP 还去除布线 10 外部的籽晶层 7,以便将布线 10 彼此电性分离。特别地,将半导体芯片 1b 和 1c 彼此电性连接的布线 10 被称为布线 21a。以这种方式,铜布线 10 可以通过镶嵌方法来形成。此处要注意的是,铜布线包括由导电材料形成的布线,该导电材料视需要在铜中加入有其他成分。

[0056] 图 3A 是处于形成布线导电部件 9a 和虚置导电部件 9b 的阶段的伪 SOC 晶圆示意性平面图。作为通过镶嵌方法形成的布线 10,(通过点划线)典型地示出了用于将半导体芯片 1b 和 1c 彼此连接的布线 21a。

[0057] 要注意的是,布线导电部件 9a 和虚置导电部件 9b 的轮廓分别对应于抗蚀图案 RP2 的布线形成开口 8a 和虚置形成开口 8b 的开口形状。布线 21a 的轮廓对应于布线沟槽 6a 的形状。

[0058] 布线形成开口 8a 的开口覆盖半导体芯片 1b 和 1c,并且具有包括通过镶嵌方法形

成的布线区域的布线沟槽的形状。作为虚置形成开口 8b 的形状的示例,图 3A 示出沟槽状的开口。虚置形成开口 8b 设置在布线形成开口 8a 的外部,并且以环状方式围绕布线形成开口 8a。虚置形成开口 8b 设置在半导体芯片 1b 和 1c 的外部。

[0059] 单元区域 Un 内的区域(在本示例中是指,半导体芯片 1b 和 1c 内的区域以及半导体芯片 1b 和 1c 之间的区域)将被固定为通过镶嵌方法形成的布线 10 的设置区域。基于这个原因,虚置导电部件 9b 设置在单元区域 Un 外部(在本示例中是指,在半导体芯片 1b 和 1c 的外部)的划片区域 Sc 中,或设置在彼此相邻的单元区域 Un 之间的划片区域 Sc 中。

[0060] 此处描述由虚置导电部件 9b 提供的优势,该虚置导电部件 9b 在通过 CMP 抛光和去除绝缘层 5 上表面上的布线导电部件 9a 以便保留布线 10 时已经形成。

[0061] 首先,考虑其中未形成虚置导电部件 9b 的对照示例。通常,在待抛光的突出部的外围部分中易于通过 CMP 进行抛光。在本对照示例中,布线导电部件 9a 的外围部分易于抛光。结果是,布线导电部件 9a 外围部分一侧上的布线 10 更易于抛光,因此易于导致凹陷(dishing)。

[0062] 在本实施例中,高于布线导电部件 9a 的虚置导电部件 9b 形成在布线导电部件 9a 的外部。因此,虚置导电部件 9b 的上部首先被抛光,并且因此布线导电部件 9a 的外围部分难以被抛光。因此,可以抑制会改变布线 10 的上表面高度的凹陷。

[0063] 要注意的是,优选地,虚置导电部件 9b 被形成为高于布线导电部件 9a。然而,与未设置虚置导电部件 9b 的情况相比,在设置有虚置导电部件 9b 的情况下,即使是在虚置导电部件 9b 低于布线导电部件 9a 时,也可预期到抑制布线导电部件 9a 外围部分的过度抛光的效果。

[0064] 在通过电解电镀同时形成虚置导电部件 9b 和布线导电部件 9a 的情况下,以下被视为用于形成高于布线导电部件 9a 的虚置导电部件 9b 的总体原则。在使得暴露于虚置形成开口 8b 底部的表面面积小于暴露在布线形成开口 8a 底部的表面面积时,虚置形成开口 8b 中生长的电镀膜会厚于布线形成开口 8a 中生长的电镀膜,并且因此可以形成高于布线导电部件 9a 的虚置导电部件 9b。

[0065] 然而,可以发现,当布线形成开口 8a 过于狭窄时,很难形成高于布线导电部件 9a 的虚置导电部件 9b。与以下描述的第二实验一起将要描述布线形成开口 8a 的合适尺寸。

[0066] 如图 3B 所示出的,虚置导电部件 9b 可以不是平面闭合环状。图 3B 示出多个圆柱状虚置导电部件 9b 随机分布以便围绕布线导电部件 9a 的示例。要注意的是,虚置导电部件 9b 的形状并不限于圆柱形状(虚置形成开口 8b 的孔的形状不限于圆柱形状)。

[0067] 如图 3A 所示出的,布线导电部件 9a 是针对伪 SOC 晶圆的每一单元区域 Un 而设置。也就是说,形成布线导电部件 9a 的 Cu 层是针对每一单元区域 Un 进行分隔和设置,而不必覆盖晶圆的整个表面。

[0068] 当 Cu 层形成于伪 SOC 晶圆的树脂衬底 1a 的整个表面上时,由于树脂衬底的材料的热膨胀系数和杨氏模量(Young's modulus)分别都小于 Cu 层的热膨胀系数和杨氏模量的事实,晶圆产生翘曲,并且因此在由 Cu 层形成的布线中产生裂缝(crack)等。要注意的是,Cu 的热膨胀系数和杨氏模量分别是 13ppm/K 和 130GPa。

[0069] 在本实施例中,通过针对每一单元分隔其中由镶嵌方法形成有布线的区域来形成布线导电部件 9a,并且因此可以抑制由上述描述的翘曲带来的问题。然而,由于如此分布和

设置布线导电部件 9a, 因此每一布线导电部件 9a 的外围部分易于抛光。虚置导电部件 9b 可以抑制布线导电部件 9a 外围部分易于抛光的问题。

[0070] 参考图 2P 将进一步描述制造工艺。例如, 通过旋转涂布来涂覆厚度为 $5\mu\text{m}$ 的光敏苯酚基树脂以形成绝缘层 11。

[0071] 参考图 2Q。通过曝光和显影在绝缘层 11 中形成用于限定通孔 12 的图案, 并且进一步地, 绝缘层 11 在 250°C 下固化 (硬化)。通过通孔 12 暴露布线 10。

[0072] 参考图 2R。籽晶层 13 形成在绝缘层 11 上以便覆盖通孔 12 的内表面。例如, 籽晶层 13 以类似于籽晶层 2 的方式形成。

[0073] 参考图 2S。通过在籽晶层 13 上涂覆抗蚀剂形成抗蚀层。曝光该抗蚀层, 然后通过例如 TMAH 进行显影, 以便形成抗蚀图案 RP3。抗蚀图案 RP3 具有开口, 该开口具有包括每一通孔 12 的平面形状。

[0074] 参考图 2T。例如, 通过使用籽晶层 13 作为供电层进行电解电镀, 而在抗蚀图案 RP3 的每一开口中沉积 Cu 作为导电材料。导电材料填充在通孔 12 中, 并且进一步沉积在绝缘层 11 的上表面上, 以便形成布线 14。布线 14 电性连接布线 10。

[0075] 参考图 2U。通过丙酮或类似物去除抗蚀图案 RP3。然后, 以类似于去除籽晶层 2 的方式来去除布线 14 外部的籽晶层 13。布线 14 彼此电性分离。

[0076] 参考图 2V。例如, 将光敏苯酚基树脂涂覆在绝缘层 11 上以便覆盖布线 14。然后, 对该光敏苯酚基树脂进行曝光和显影, 并且进一步在例如 250°C 下进行固化 (硬化), 以便形成具有通孔 15 的绝缘层 16。每一通孔 15 形成在每一布线 14 的上表面上。

[0077] 接下来, 布线 17 以类似于形成布线 14 的工艺形成在每一通孔 15 上, 该工艺参考图 2R 至图 2U 进行了描述。

[0078] 然后, 具有开设在每一布线 17 的上表面上的接触窗口 (contact window) 18 的绝缘层 19 以类似于形成绝缘层 16 的工艺形成。

[0079] 以这种方式, 形成了根据本实施例的伪 SOC 晶圆。形成在重构晶圆 1 上的管脚 3、布线 10、布线 14 以及布线 17 整体被称为重布线层 21。在本实施例中, 是使用半加成 (semi-additive) 方法形成管脚 3、布线 14 以及布线 17, 并且是使用镶嵌方法形成布线 10。

[0080] 如上所描述的, 当通过镶嵌方法形成布线 10 时, 是在虚置导电部件 9b 形成于包括有待保留布线 10 的布线导电部件 9a 的周围的状态下执行抛光 / 去除工艺。因此, 可以抑制在抛光 / 去除工艺后留下的布线 10 的上表面的高度变化。

[0081] 接下来, 将描述第一实验, 在该实验中研究由虚置导电部件提供的凹陷抑制效果等。

[0082] 首先, 参考图 4A 至 4C 描述第一实验中形成的模型样品的示意性结构。图 4A 和图 4B 是模型样品的示意性平面图, 并且图 4C 是沿着图 4A 的平面图中 C-C 线的示意性截面图。

[0083] 导电部件 38 形成在树脂衬底 31 上。树脂衬底 31 呈直径大约为 150mm (6 英寸) 的圆形, 并且是由包括填充物的环氧树脂制成。未内嵌半导体芯片的树脂衬底 31 对应于伪 SOC 晶圆的重构晶圆。

[0084] 如图 4A 所示的, 13 个单元区域 U_n 并排设置在衬底的表面上。单元区域 U_n 对应伪 SOC 晶圆的单元区域。每一单元区域 U_n 是呈 10mm 见方的方形。

[0085] 如图 4B 所示的, 导电部件 38 在每一单元区域 U_n 中以矩阵形式设置。导电部件 38

例如对应于用于将伪 SOC 晶圆的单元区域中的相邻半导体芯片彼此相连的布线,并且是由镶嵌方法形成。每一导电部件 38 呈直径为 $100\ \mu\text{m}$ 的圆柱状,并且大约 2500 个导电部件 38 设置在单元区域 U_n 中。

[0086] 要注意的是,为了简化描述,图 4A 示出的导电部件 38 并未彼此区分。在图 4B 中,81 个导电部件 (9 行 \times 9 列) 被示出为设置在单元区域 U_n 中的导电部件 38。在图 4C 中,示出针对一个单元的 9 行导电部件 38。

[0087] 接下来,参考图 5A 至图 5F 将描述第一实验的模型样品的制造方法。图 5A 至图 5F 是沿着图 4A 中 C-C 线的横截面图,这些横截面图示出模型样品制造方法的主要工艺,并且示出一个单元区域 U_n 的临近区域。

[0088] 参考图 5A。在树脂衬底 31 上涂覆厚度为 $5\ \mu\text{m}$ 的苯酚基树脂,然后在 250°C 下进行固化 (或硬化),以便形成绝缘层 32。然后,在绝缘层 32 上涂覆厚度为 $5\ \mu\text{m}$ 的光敏苯酚基树脂。通过曝光和显影所涂覆的树脂来形成用于限定凹部 33 的图案,然后在 250°C 下进行固化,以便形成绝缘层 34。

[0089] 籽晶层 35 形成在绝缘层 34 上以便覆盖凹部 33 的内表面。籽晶层 35 以这样的方式形成:通过溅射在绝缘层 34 上沉积厚度为 20nm 的 Ti 层,并且通过溅射在该 Ti 层上沉积厚度为 100nm 的 Cu 层。

[0090] 参考图 5B。在籽晶层 35 上涂覆厚度为 $5\ \mu\text{m}$ (作为绝缘层 34 上表面上的厚度) 的抗蚀剂,以便形成抗蚀层 RL31。

[0091] 参考图 5C。对抗蚀层 RL31 进行曝光和显影,以便形成抗蚀图案 RP31。抗蚀图案 RP31 具有导电部件形成开口 36a 以及虚置形成开口 36b。导电部件形成开口 36a 具有在单元区域 U_n 中包括所有凹部 33 的形状,并且宽度为 10mm。

[0092] 虚置形成开口 36b 设置在导电部件形成开口 36a 的外部。如以下描述的图 6A 所示出的,虚置形成开口 36b 在形成虚置导电部件 37b 时所使用的抗蚀图案 RP31 中限定沟槽状的凹部,其中每一虚置导电部件 37b 呈直线形状。如以下描述的图 6B 所示出的,虚置形成开口 36b 在形成圆柱状虚置导电部件 37b 时所使用的抗蚀图案 RP31 中限定孔状的凹部。

[0093] 参考图 5D。通过使用籽晶层 35 作为供电层进行电解电镀来沉积 Cu,而在导电部件形成开口 36a 和虚置形成开口 36b 中分别形成导电部件 37a 和虚置导电部件 37b。绝缘层 34 上表面上的导电部件 37a 的镀层高度是 $3\ \mu\text{m}$ 。

[0094] 参考图 5E。通过丙酮或类似物去除抗蚀图案 RP31。然后,在 150°C 下执行 2 分钟的退火。

[0095] 参考图 5F。通过 CMP 来抛光和去除绝缘层 34 上表面上的导电部件 37a 和虚置导电部件 37b。留下导电部件 37a 中的凹部 33,以便形成导电部件 38。

[0096] 在第一实验中,通过改变虚置导电部件 37b 的形状来评估凹陷抑制效果等。

[0097] 图 6A 和图 6B 分别是示出第一实验中虚置导电部件 37b 的形状的示意性平面图。图 6A 和图 6B 示出形成有导电部件 37a 和虚置导电部件 37b 的状态。要注意的是,导电部件 37a 和虚置导电部件 37b 的轮廓分别对应于抗蚀图案 RP31 的导电部件形成开口 36a 和虚置形成开口 36b 的开口形状。

[0098] 图 6A 示出直线状虚置导电部件 37b。在每一单元区域 U_n 中,四个直线状虚置导电部件 37b 设置成环状,以便围绕导电部件 37a。

[0099] 图 6B 示出圆柱状虚置导电部件 37b。多个虚置导电部件 37b 分布以围绕每一单元区域 U_n 的导电部件 37a。要注意的是,正如图 6B 的情况,围绕导电部件 37a 分布和设置的多个虚置导电部件 37b 也可以整体称为虚置导电部件 37b。

[0100] 现有制造的四种样品:其中形成有宽度为 $20\ \mu\text{m}$ 的直线状虚置导电部件 37b 的第一样品、其中形成有宽度为 $5\ \mu\text{m}$ 的直线状虚置导电部件 37b 的第二样品、其中形成有直径为 $70\ \mu\text{m}$ 的圆柱状虚置导电部件 37b 的第三样品、以及其中形成有直径为 $5\ \mu\text{m}$ 的圆柱状虚置导电部件 37b 的第四样品。与这四个样品一起,制造了两种对样品。

[0101] 图 6C 和图 6D 是分别示出所述对样品的示意性平面图。图 6C 示出第一对样品。该第一对样品是这样的样品:其在形成导电部件 37a 的电镀工艺中将 Cu 层 37a 形成在衬底的整个表面上而不使用掩模图案。图 6D 示出第二对样品。在该第二对样品中,未形成虚置导电部件 37b,并且仅仅形成导电部件 37a 以针对每一单元区域 U_n 进行划分。

[0102] 图 7A 是示出汇总第一样品至第四样品的镀层高度以及第一对样品和第二对样品的镀层高度的曲线图。在每一样品中,左侧示出导电部件 37a 的镀层高度(由镶嵌方法形成的布线形成区域的镀层高度),并且右侧示出虚置导电部件 37b 的镀层高度(划片区域的镀层高度)。

[0103] 在每一样品中,导电部件 37a 的镀层高度同样设定为 $3.0\ \mu\text{m}$ 。在第一对样品(其整个表面上形成有 Cu 层)中,Cu 层的 $3.0\ \mu\text{m}$ 厚度可以看作是虚置导电部件 37b 的镀层高度。在第二对样品(不具有虚置导电部件)中,虚置导电部件 37b 的镀层高度是 $0.0\ \mu\text{m}$ 。

[0104] 虚置导电部件 37b 的镀层高度在第一样品(呈直线形状并且宽度为 $20\ \mu\text{m}$)中是 $3.5\ \mu\text{m}$,在第二样品(呈直线形状并且宽度为 $5\ \mu\text{m}$)中是 $2.2\ \mu\text{m}$,在第三样品(呈圆柱状并且直径为 $70\ \mu\text{m}$)中是 $3.6\ \mu\text{m}$,在第四样品(呈圆柱状并且直径为 $5\ \mu\text{m}$)中是 $1.7\ \mu\text{m}$ 。

[0105] 在第一样品(呈直线形状并且宽度为 $20\ \mu\text{m}$)和第三样品(呈圆柱状并且直径为 $70\ \mu\text{m}$)中,形成了高于导电部件 37a 的虚置导电部件 37b。在第二样品(呈直线形状并且宽度为 $5\ \mu\text{m}$)和第四样品(呈圆柱状并且直径为 $5\ \mu\text{m}$)中,形成了低于导电部件 37a 的虚置导电部件 37b。

[0106] 图 7B 示出在对第一样品至第四样品以及对第一对样品和第二对样品应用 CMP 后留下的导电部件 38 的凹陷量汇总的曲线图。对设置在单元区域最外围的导电部件 38 的凹陷量进行测量。

[0107] 凹陷量在第一对样品(其整个表面上形成有 Cu 层)中是 180nm ,在第二对样品(不具有虚置导电部件)中是 360nm ,在第一样品(呈直线形状并且宽度为 $20\ \mu\text{m}$)中是 150nm ,在第二样品(呈直线形状并且宽度为 $5\ \mu\text{m}$)中是 300nm ,在第三样品(呈圆柱状并且直径为 $70\ \mu\text{m}$)中是 160nm ,以及在第四样品(呈圆柱状并且直径为 $5\ \mu\text{m}$)中是 310nm 。

[0108] 可以看出,与第二对样品(不具有虚置导电部件)相比,在其中形成有虚置导电部件 37b 的第一样品至第四样品中,凹陷得到了抑制。在第一对样品(其整个表面上形成有 Cu 层)中,衬底如上所述易于产生翘曲,但是,由于 Cu 层形成在样品的整个表面上,因此很难产生凹陷。可以看出,在其中每个都形成有高于导电部件 37a 的虚置导电部件 37b 的第一样品和第三样品中,凹陷在与第一对样品中的相同程度上得到抑制。

[0109] 图 8 示出汇总第一对样品和第二对样品的衬底翘曲量的曲线图。在第一对样品(其整个表面上形成有 Cu 层)中,翘曲产生在 Cu 层的表面侧上,从而衬底的中心部分

相对于衬底的边缘部分凹进。通过衬底的中心部分和衬底的边缘部分之间的高度差来估算翘曲量。

[0110] 第一对照样品（其整个表面上形成有 Cu 层）的翘曲量在进行 Cu 电镀时是 0.3mm，并且在 Cu 电镀后经过退火增至 0.6mm。第二对照样品（不具有虚置导电部件）的翘曲量在进行 Cu 电镀时是 0.01mm，并且在退火后仍然是 0.01mm。在第二对照样品中，通过在衬底上形成分隔的 Cu 层（导电部件 37a）而抑制了翘曲。同样地，在第一样品至第四样品中，通过分隔的 Cu 层（导电部件 37a）可以抑制翘曲。

[0111] 接下来，将要描述第二实验，该实验被执行以研究用于形成虚置导电部件的掩模图案中设置的虚置形成开口的合适尺寸。在第二实验中，通过在抗蚀层中形成具有各种尺寸的开口并通过进行电解电镀在所述开口中沉积 Cu 层来研究开口尺寸和镀层高度之间的关系。

[0112] 形成与图 6A 所示直线状虚置导电部件对应的沟槽状开口，以及与图 6B 所示圆柱状虚置导电部件对应的孔状开口。将沟槽状开口的宽度改变为 100 μm 、70 μm 、50 μm 、30 μm 、15 μm 、8 μm 、5 μm 以及 2 μm 。将孔状开口的直径改变为 100 μm 、70 μm 、50 μm 、40 μm 、30 μm 、20 μm 、10 μm 以及 5 μm 。

[0113] 图 9A 示出描述沟槽状开口的宽度和镀层高度之间的关系的曲线图。可以看出，就沟槽状开口而言，当其宽度小于 15 μm 时，镀层高度降低。据此可以说明，在形成直线状虚置导电部件时，为了抑制镀层高度的降低，沟槽状开口的宽度优选地设定为 15 μm 或更大。

[0114] 图 9B 示出描述孔状开口的直径和镀层高度之间的关系的曲线图。可以看出，就孔形开口而言，当其直径小于 40 μm 时，镀层高度降低。据此可以说明，在形成圆柱状导电部件时，为了抑制镀层高度的降低，孔状开口的直径优选地设定为 40 μm 或更大。

[0115] 注意要考虑的是，开口的优选尺寸并不限于 Cu 的情况，而是可以基本适用于类似由电解电镀形成的导电材料的情况。

[0116] 接下来，将要描述由形成布线的工艺的差异所引起的布线特性上的不同。如以上描述的，当通过镶嵌方法形成伪 SOC 晶圆的重布线时，并且当在树脂衬底的整个表面上形成电镀层时，由于晶圆的翘曲，布线中会产生裂缝。另一方面，当电镀层在树脂衬底上形成为彼此分隔时，翘曲得以抑制，并且因此改善了布线的质量。

[0117] 图 10A 示出电子显微镜图片，该电子显微镜图片由扫描离子显微镜 (scanning ion microscope, SIM) 拍摄，并且示出以这样的方式形成的布线的横截面：Cu 层形成在衬底的整个表面上并且对不需要部分的 Cu 层进行抛光和去除。

[0118] 图 10B 示出电子显微镜图片，该电子显微镜图片由 SIM 拍摄，并且示出以这样的方式形成的布线的横截面：Cu 层在衬底上形成为彼此分隔，并且对不需要部分的 Cu 层进行抛光和去除。

[0119] 在图 10A 和图 10B 示出的两个样品中，在 Cu 层的电镀之后，执行退火以生长 Cu 晶粒。晶粒从布线的下部朝向布线的上部生长。

[0120] 在图 10A 的样品中，Cu 层形成在衬底的整个表面上，其中可以观察到这样的图案，在该图案中，晶粒的生长停止在中间厚度，从而将图案分隔为具有生长晶粒的下层和未生长晶粒的上层。在图 10A 的样品中，在衬底受翘曲和应力的状态下对 Cu 层执行退火。可以认为，这会导致晶粒很难生长。

[0121] 另一方面,在图 10B 的样品中,Cu 层在衬底上形成为彼此分隔,其中可以观察到晶粒从 Cu 层的下表面向上表面生长。可以认为,由于通过形成为彼此分隔的 Cu 层抑制了翘曲,应力得以减小,并且因此与图 10A 示出的样品相比,晶粒易于生长。例如,可以认为,在上述实施例的铜布线 10 中,也可以如图 10B 示出的样品中那样获得生长在布线整个厚度上的晶粒。

[0122] 如上所述,已参考实施例对本发明进行了描述,但本发明并不限于上述实施例。例如,对于本领域人员显而易见的是,在不脱离本发明的精神和范围内,可以对本发明进行各种改变、变型、组合等。

[0123] 在此描述的所有示例和条件性语言是用于教学目的以帮助读者理解本发明和由发明人提出的促进现有技术的概念,并且可以解释为并不限于这些具体描述的示例和条件,说明书中示例的组织与描述本发明的优劣无关。尽管已经详细描述了本发明的实施例,但可以理解的是,在不脱离本发明的精神和范围内,可以对本发明做各种改变、替代、以及变更。

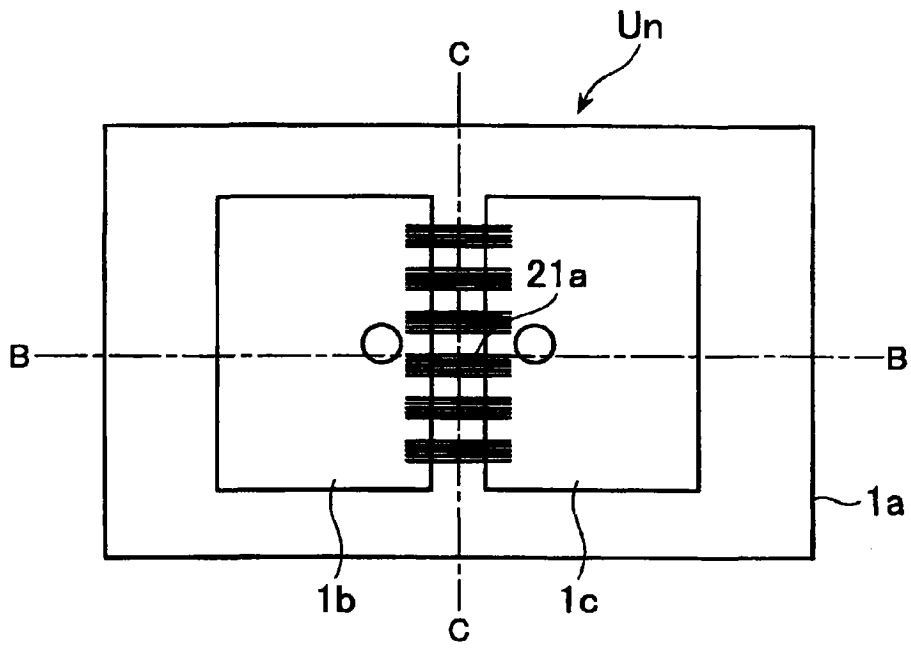


图 1A

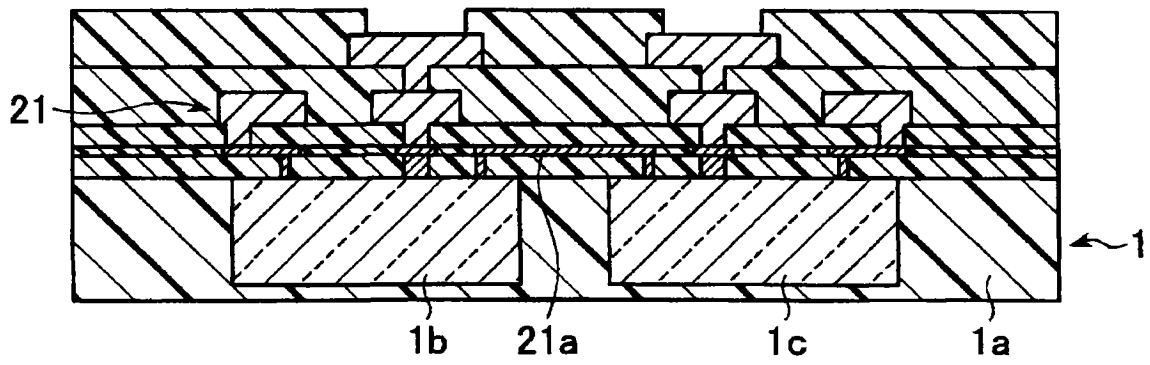


图 1B

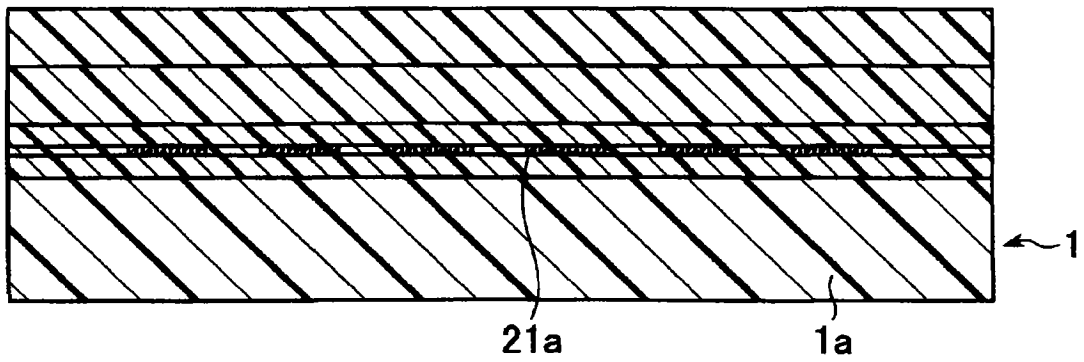


图 1C

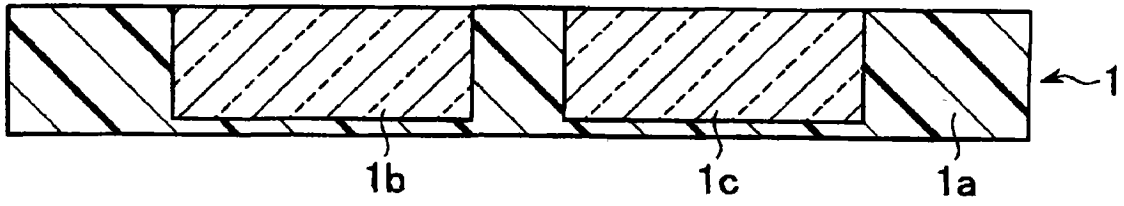


图 2A

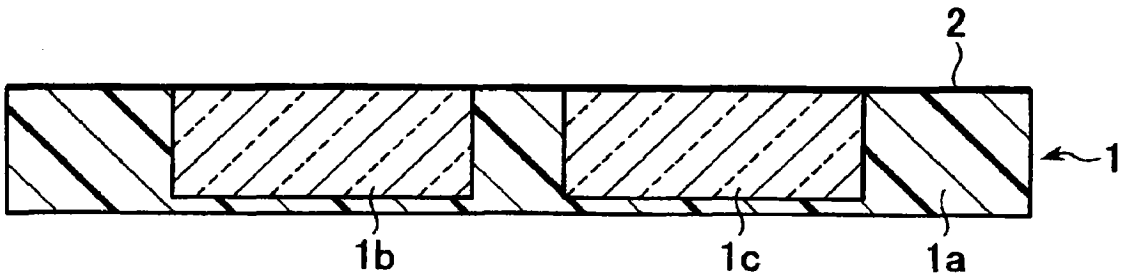


图 2B

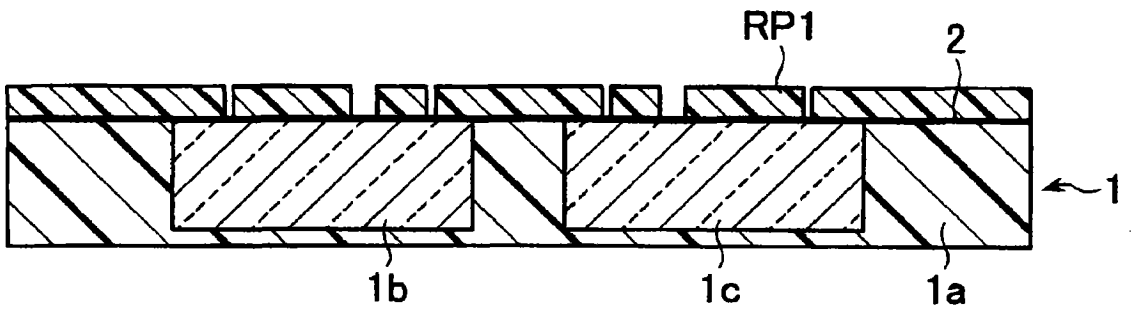


图 2C

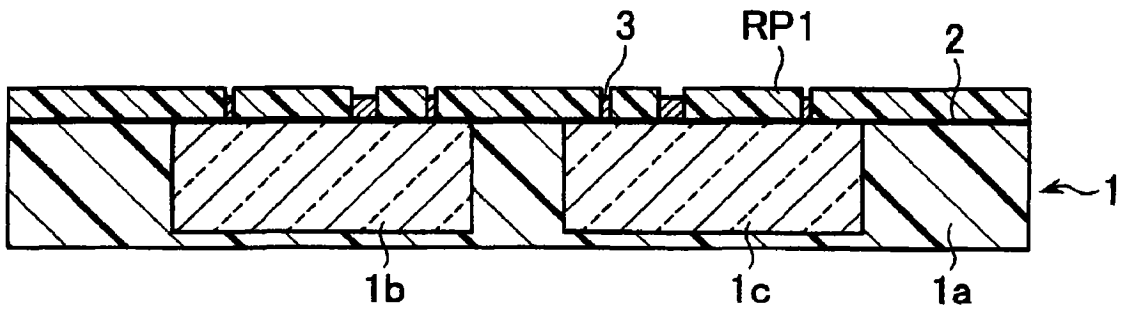


图 2D

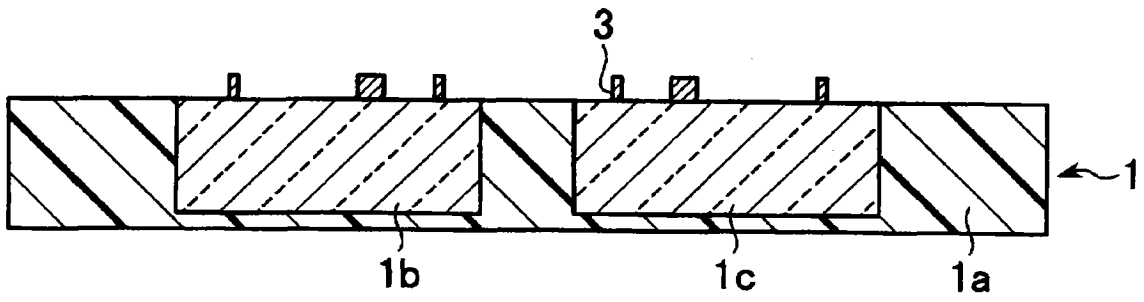


图 2E

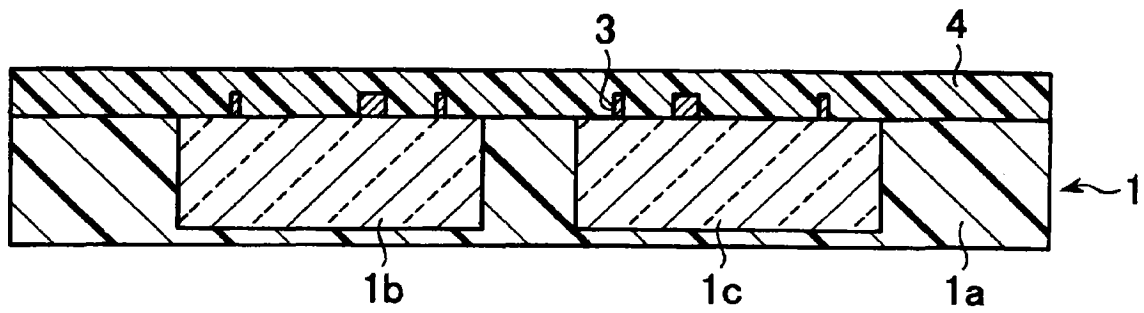


图 2F

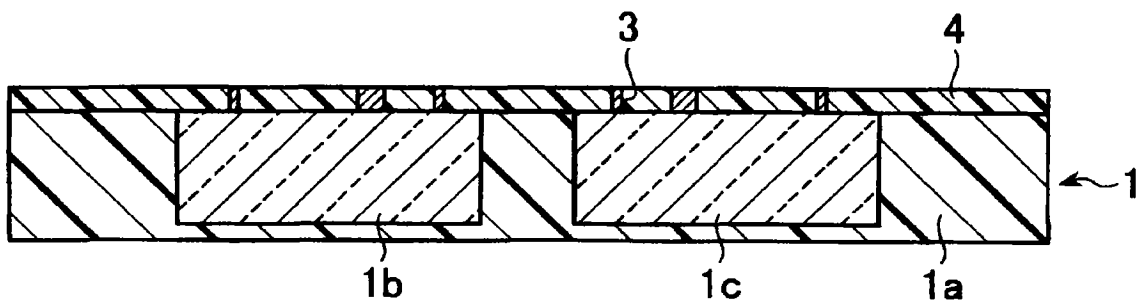


图 2G

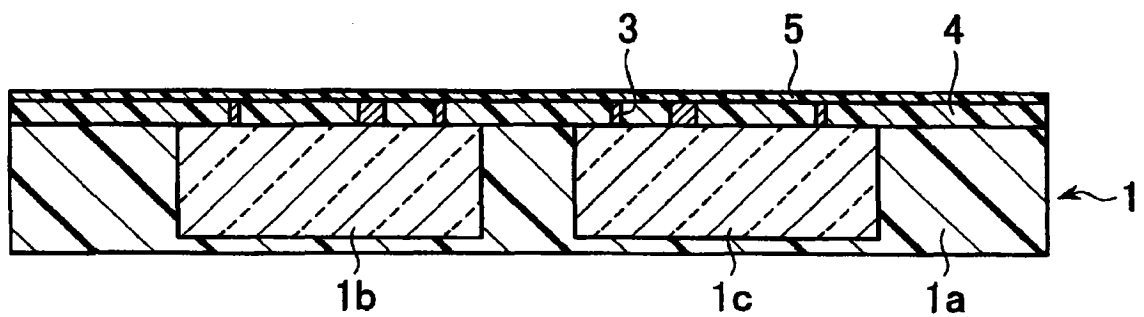


图 2H

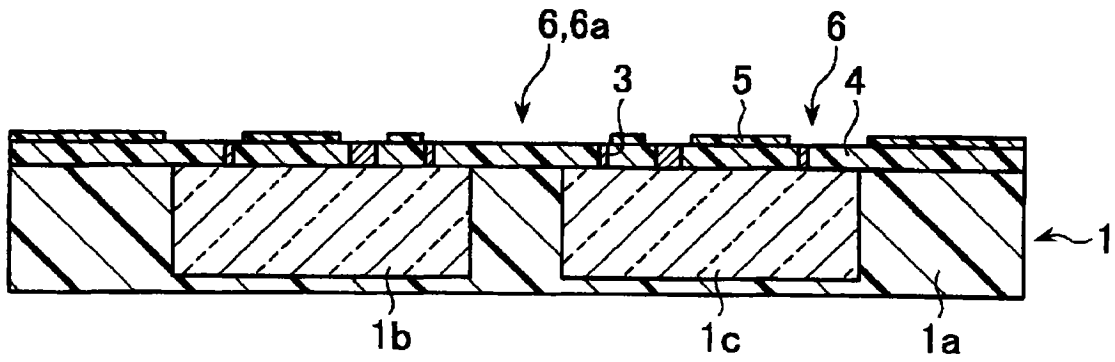


图 2I

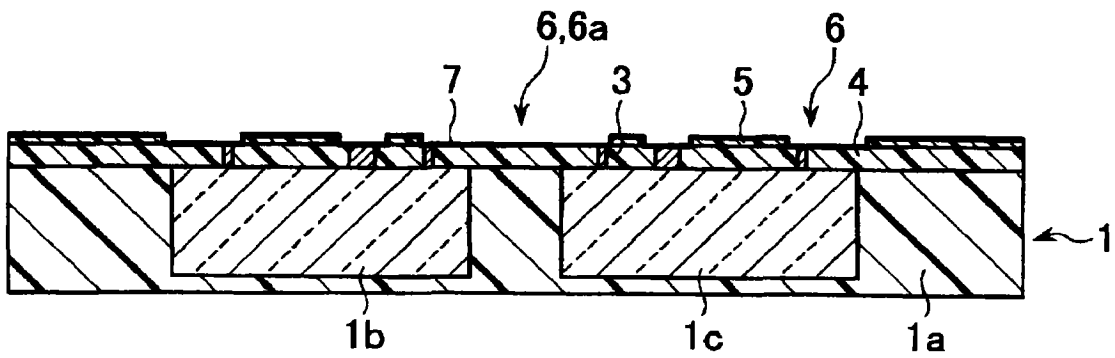


图 2J

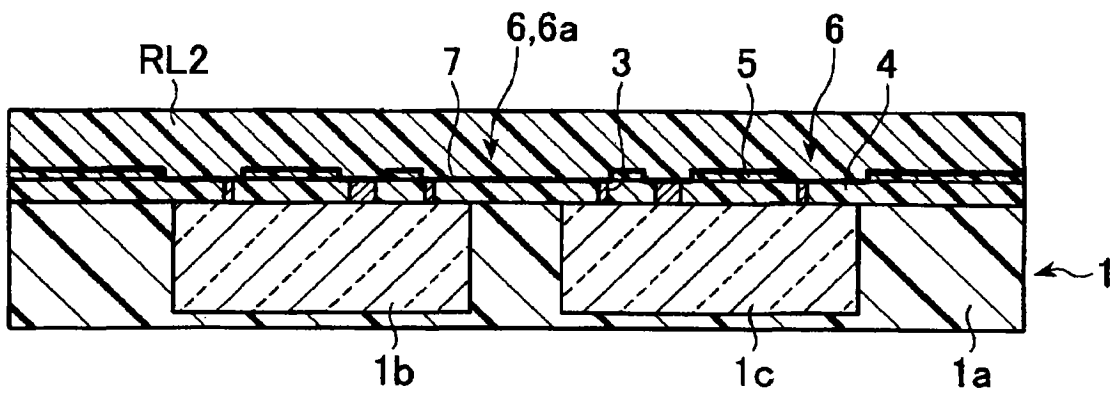


图 2K

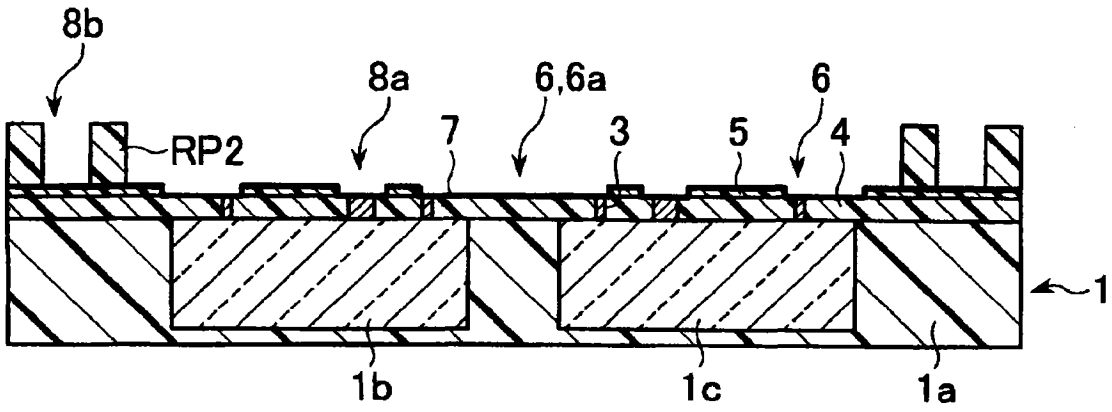


图 2L

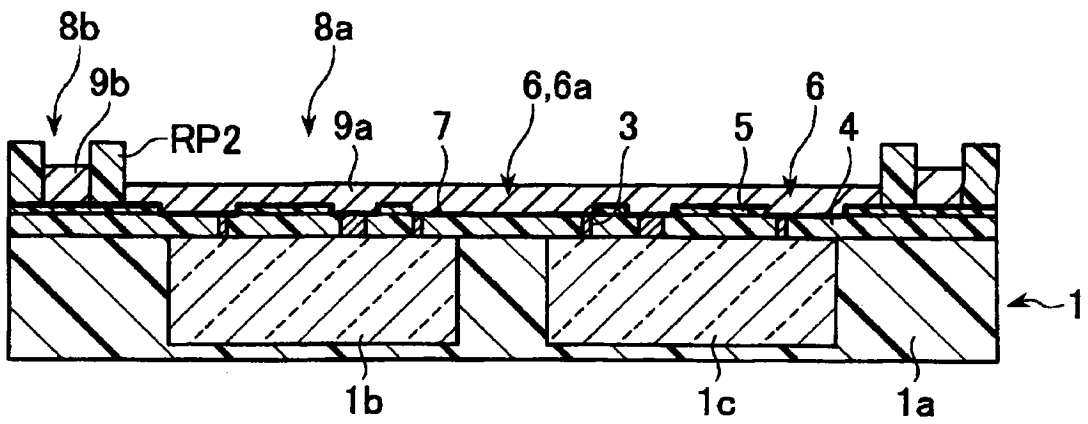


图 2M

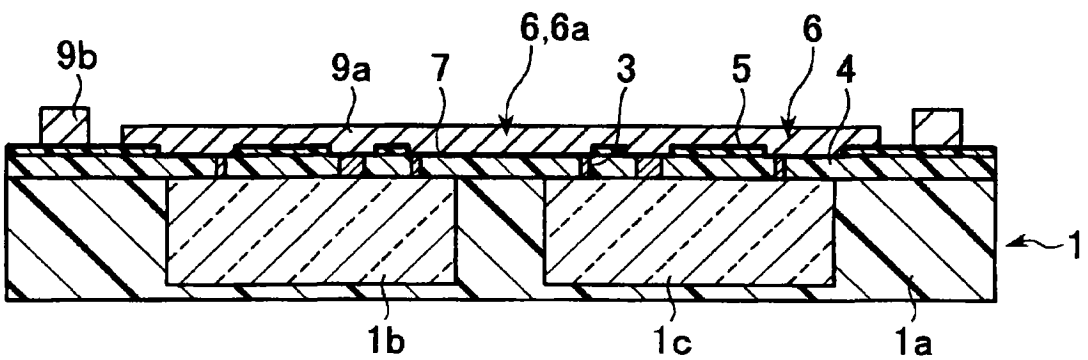


图 2N

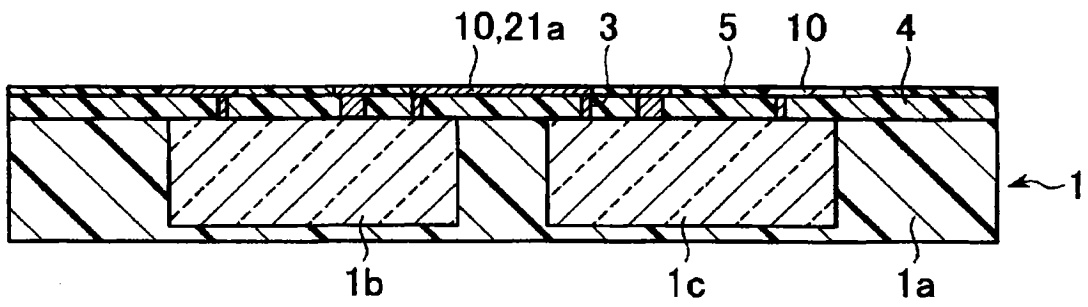


图 20

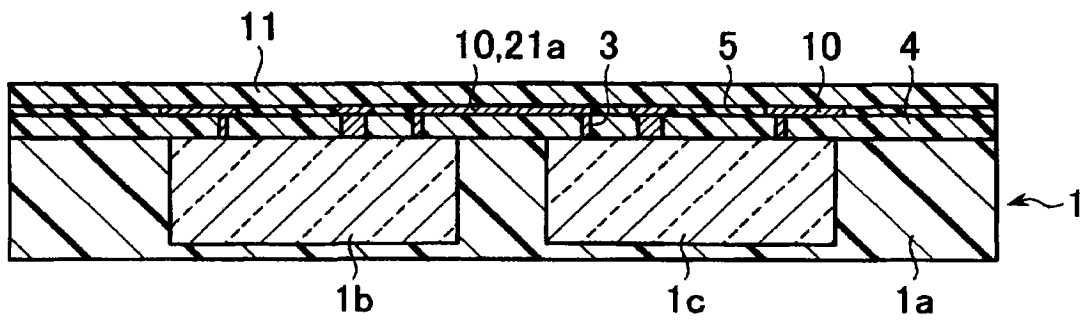


图 2P

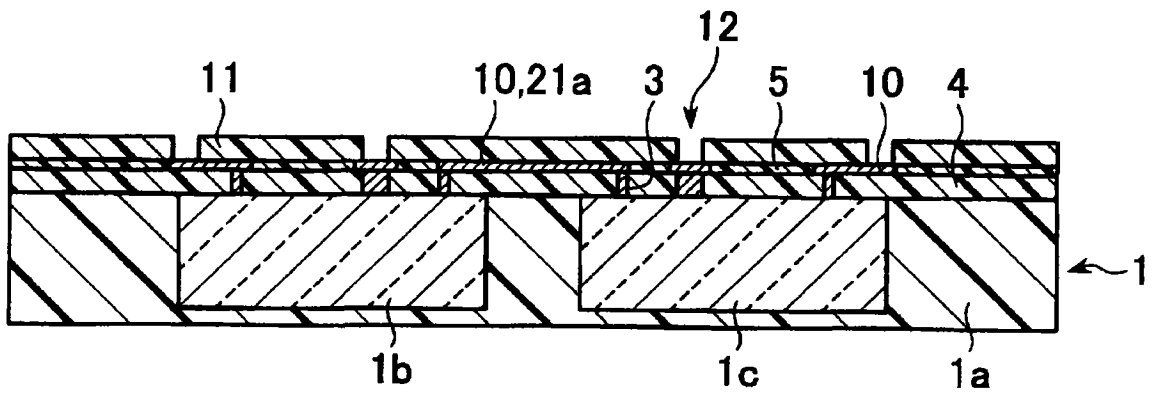


图 2Q

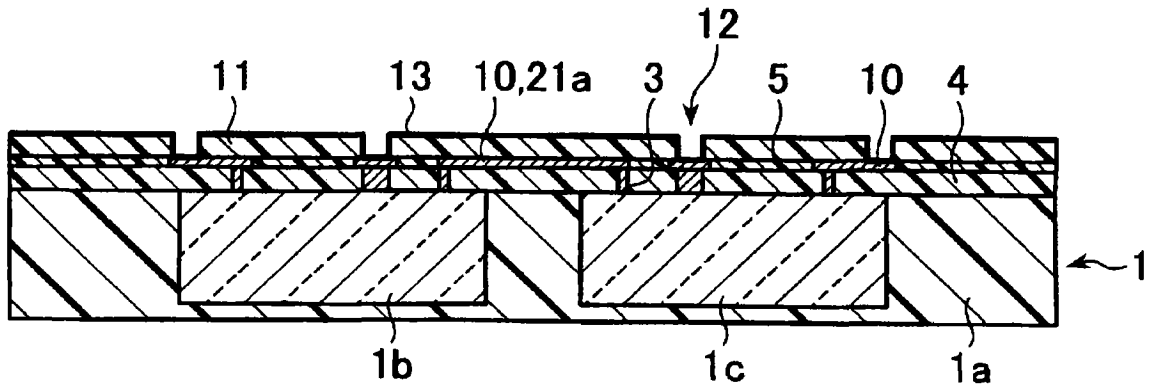


图 2R

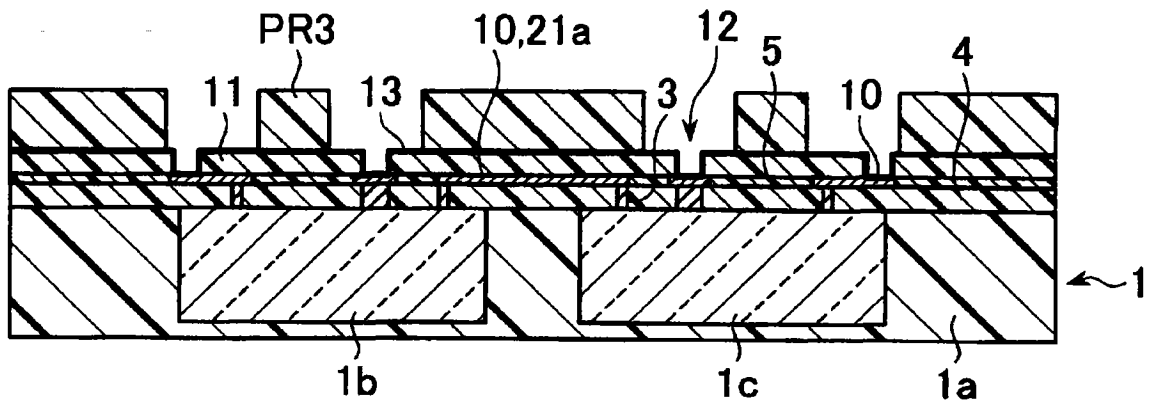


图 2S

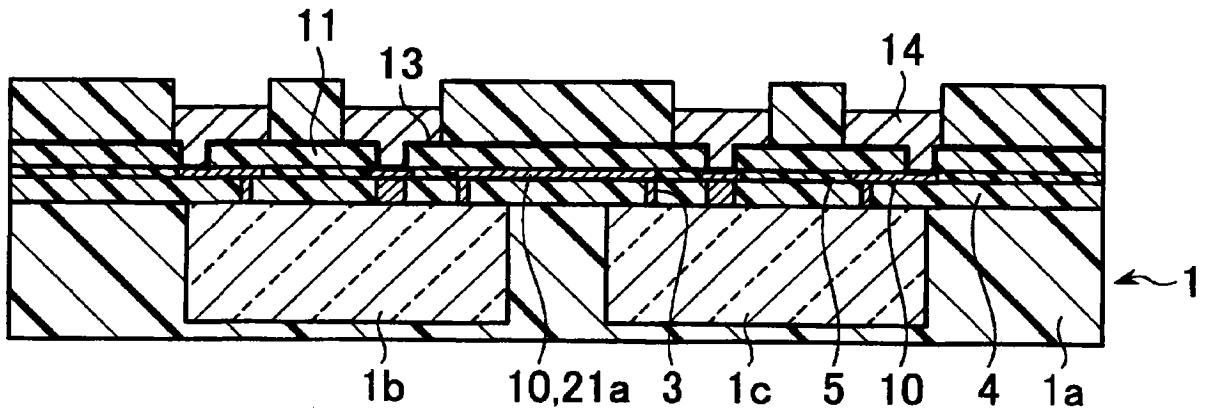


图 2T

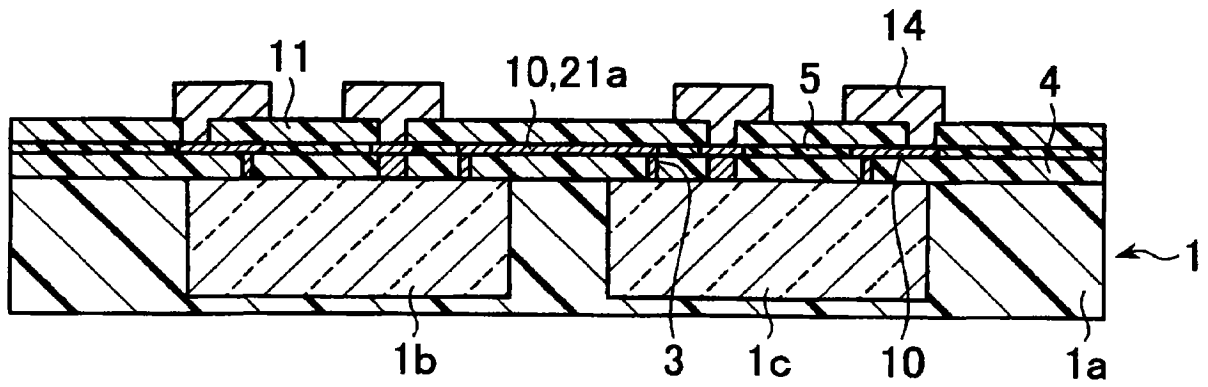


图 2U

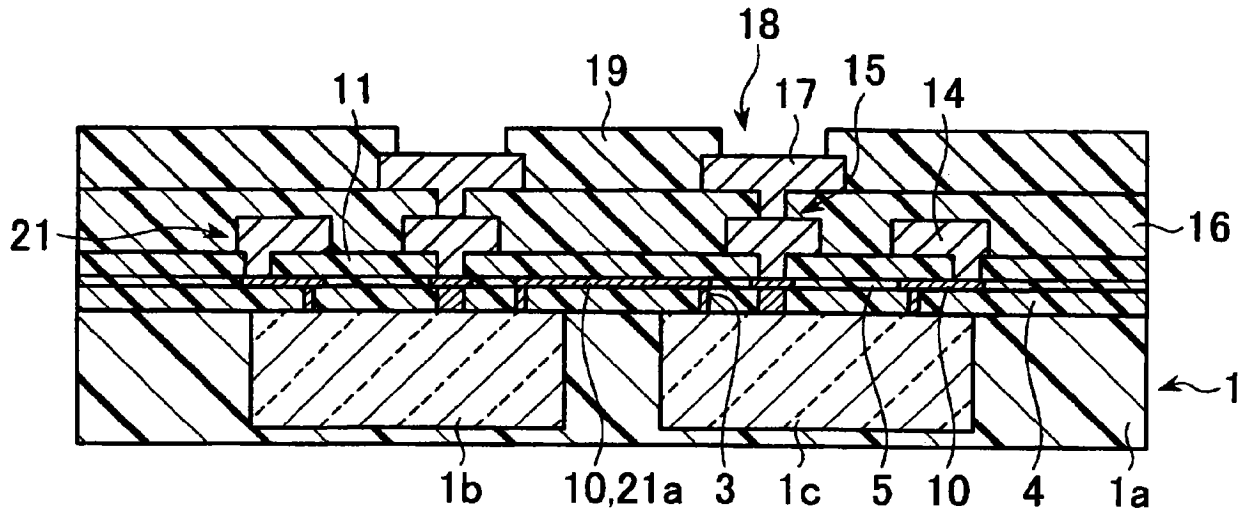


图 2V

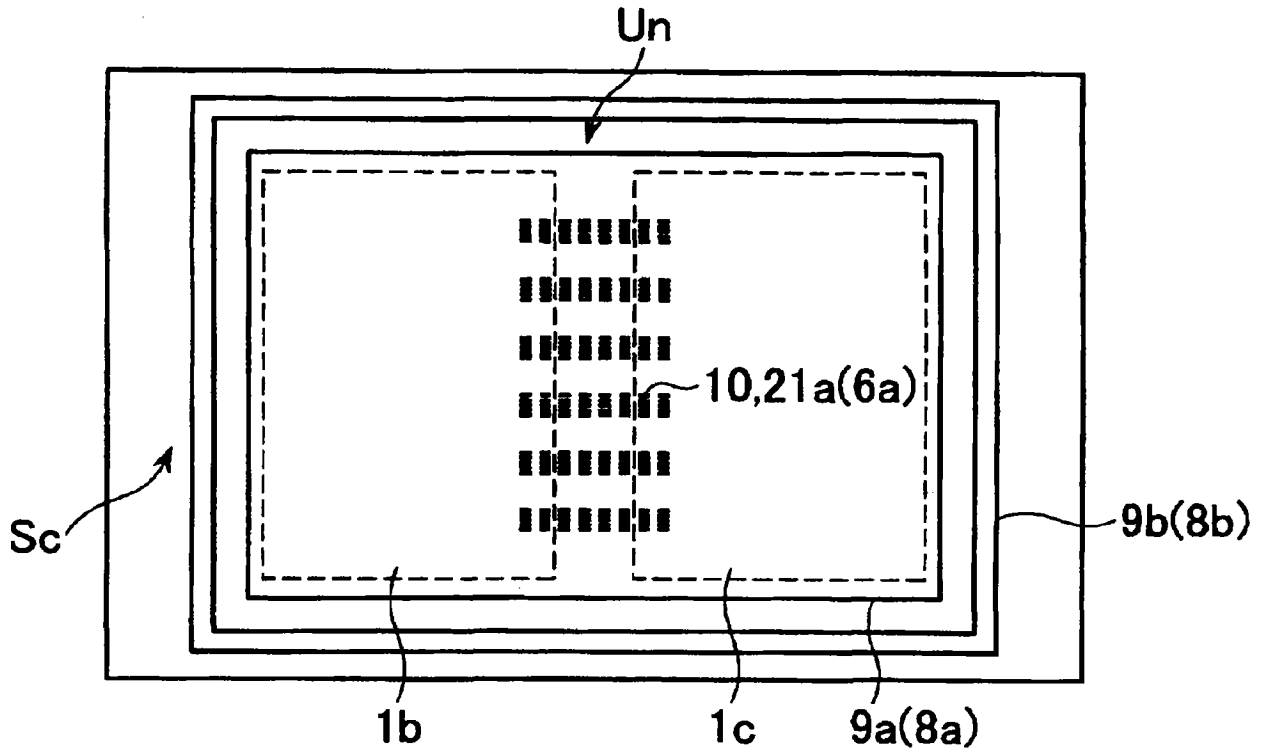


图 3A

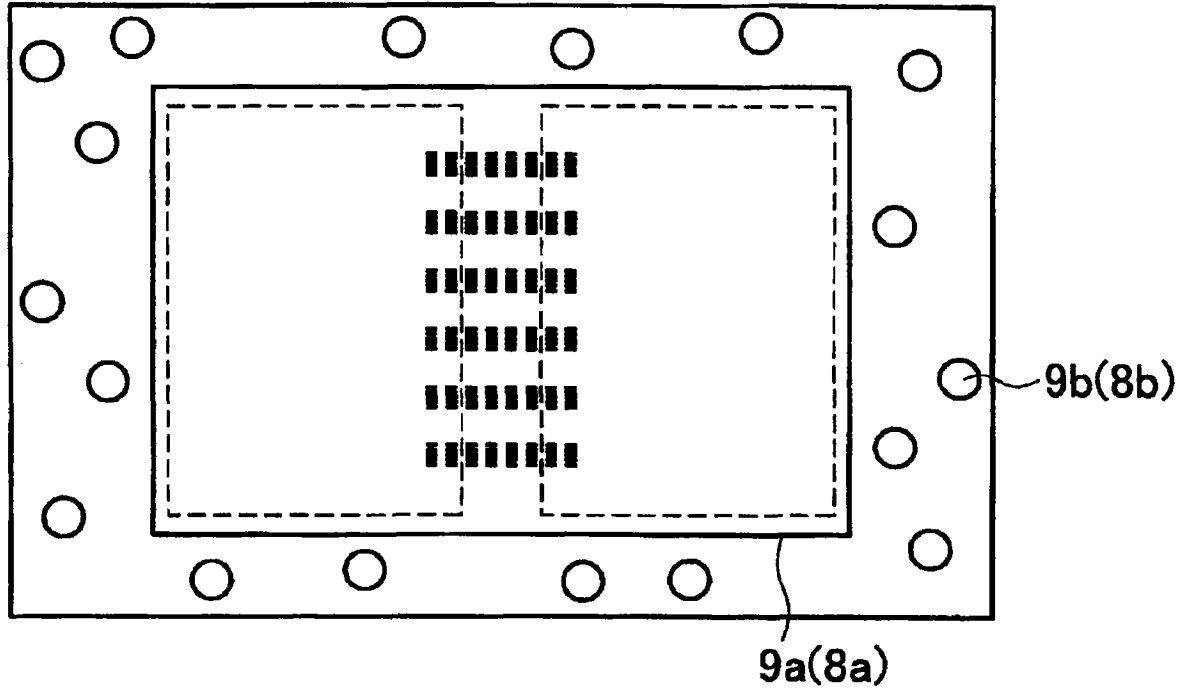


图 3B

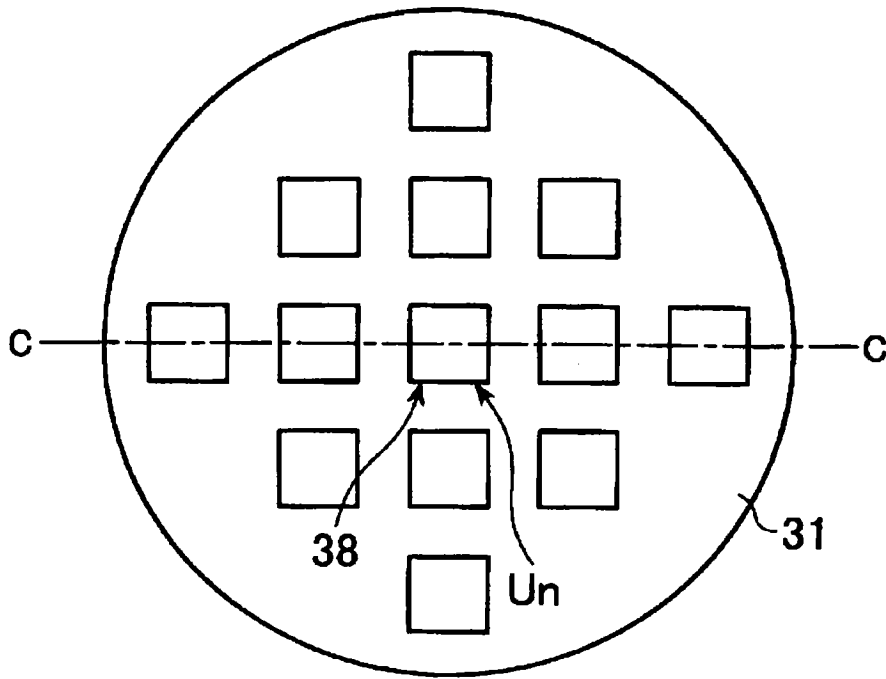


图 4A

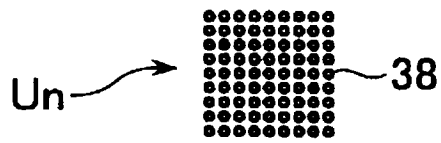


图 4B

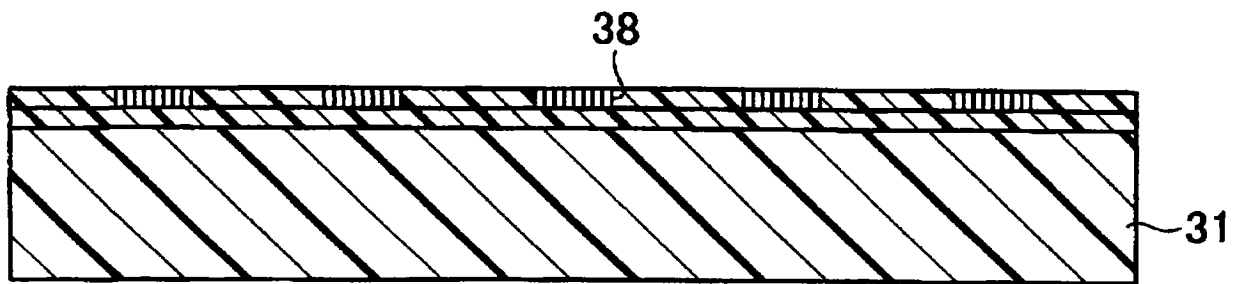


图 4C

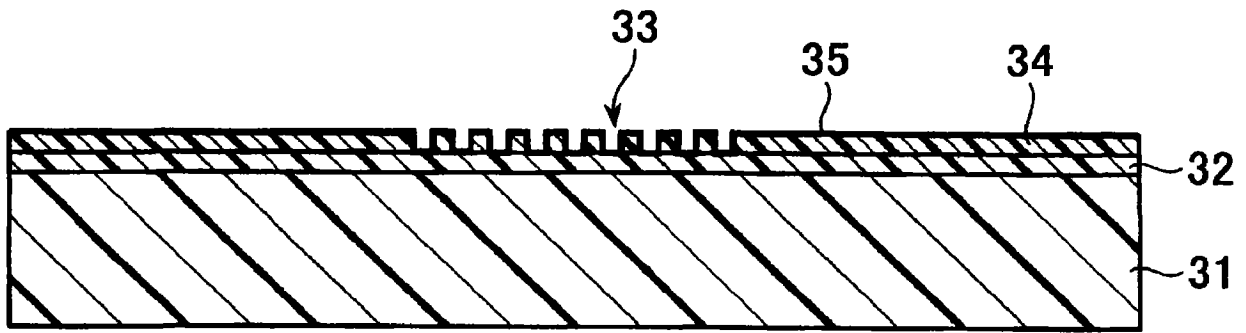


图 5A

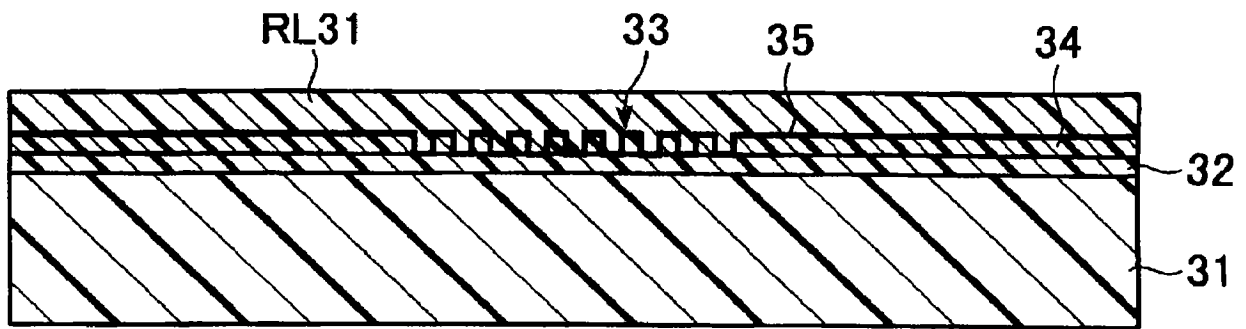


图 5B

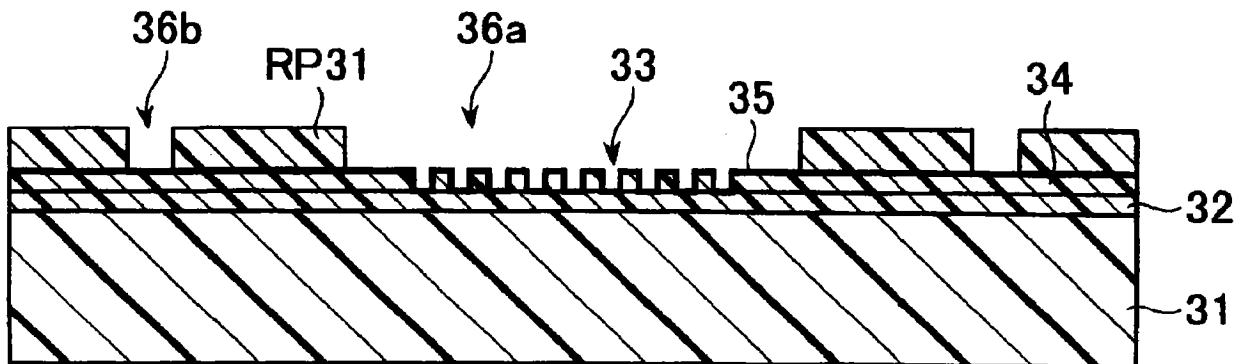


图 5C

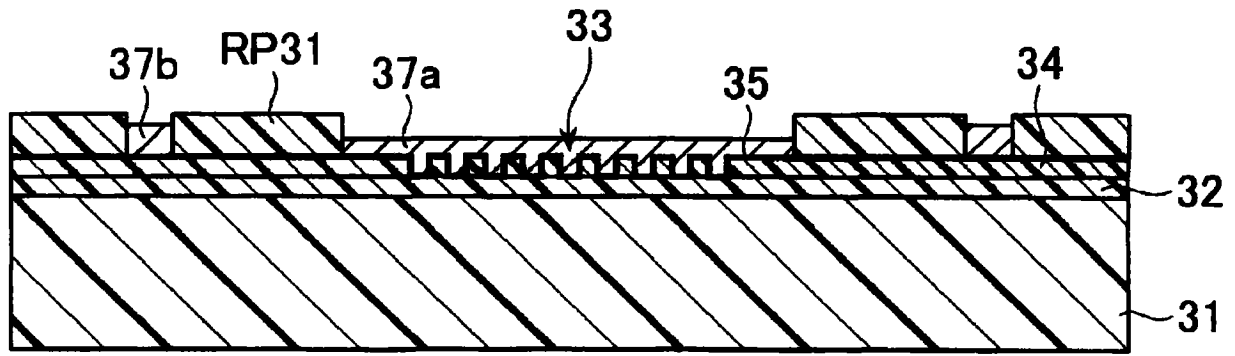


图 5D

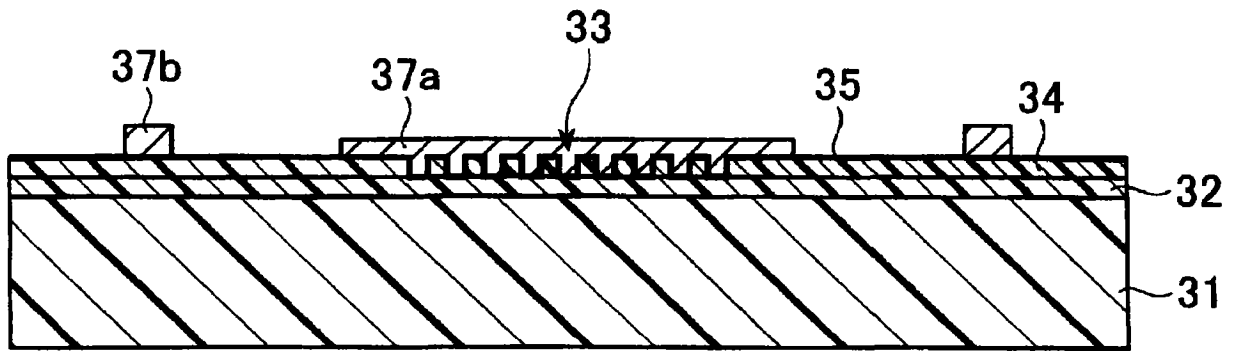


图 5E

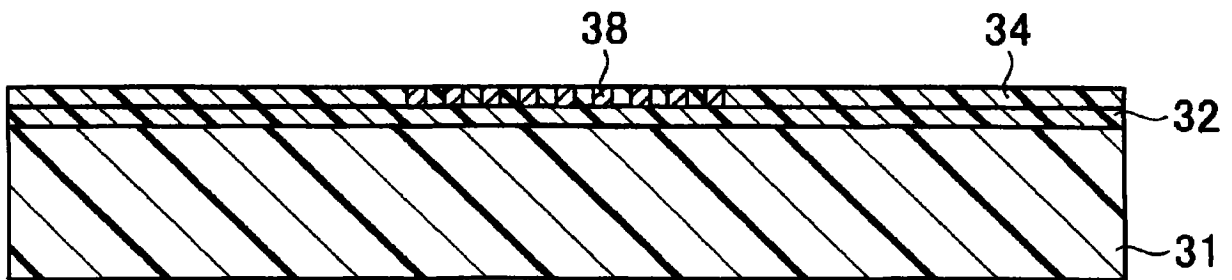


图 5F

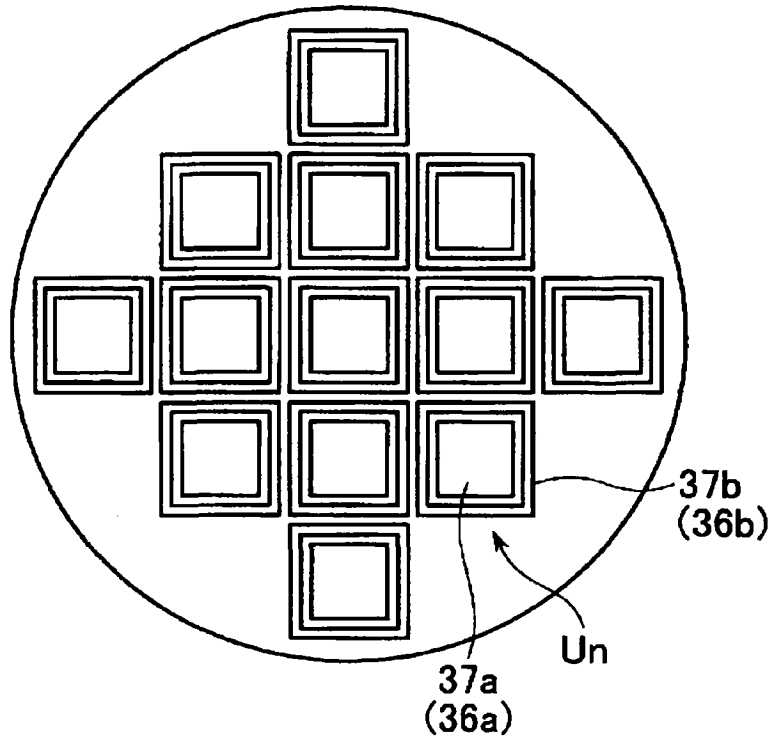


图 6A

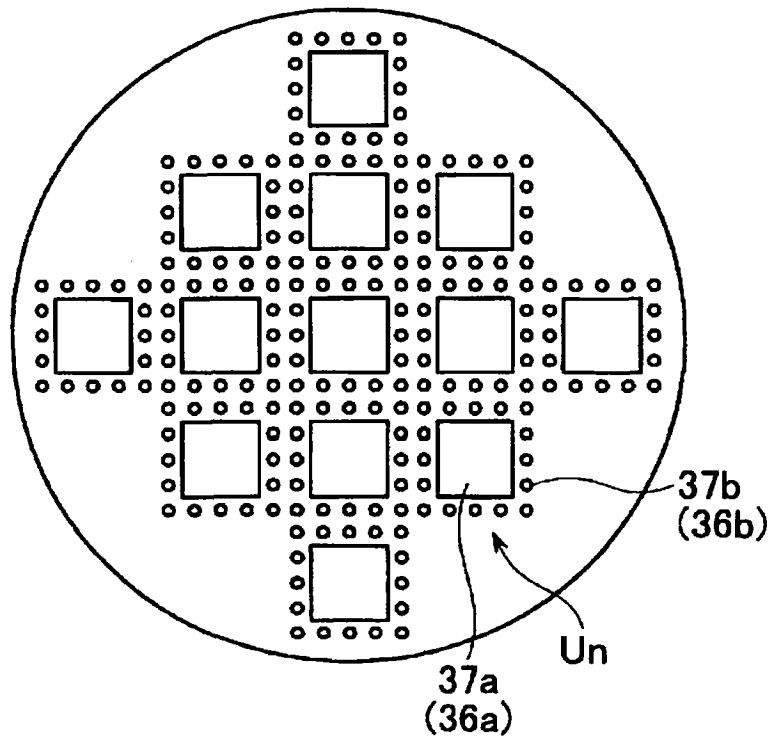


图 6B

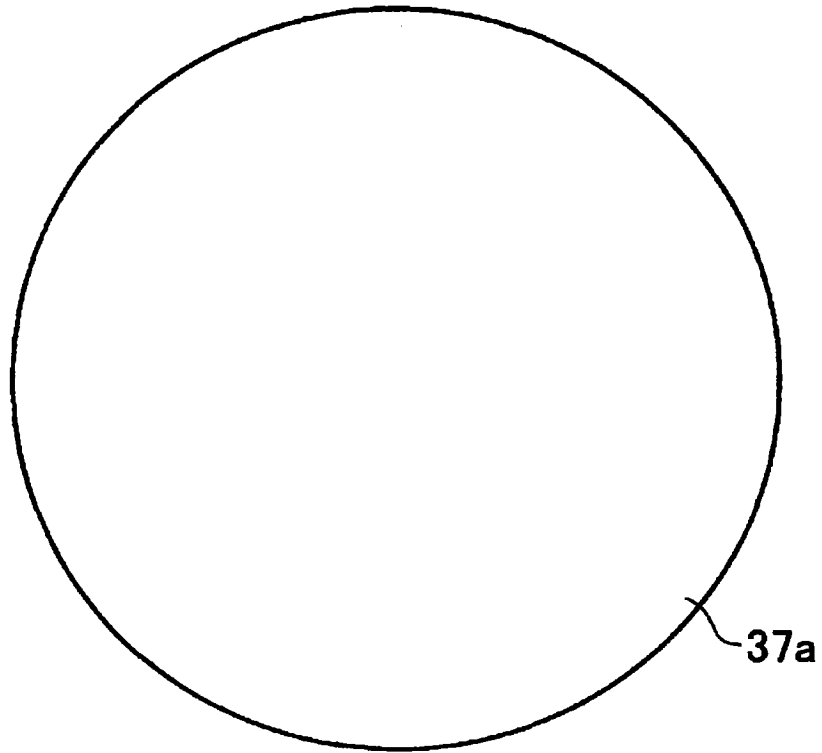


图 6C

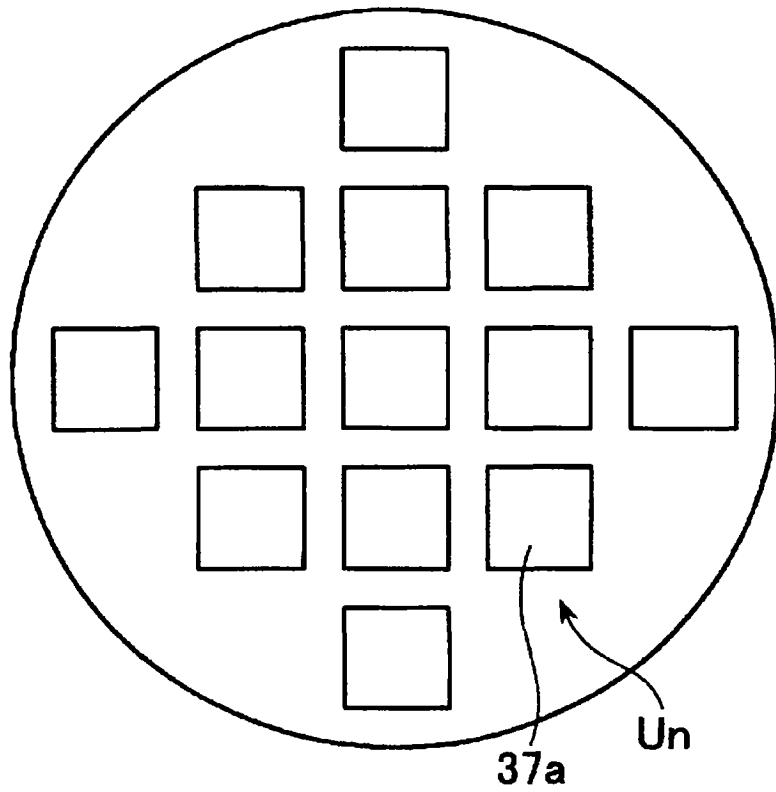


图 6D

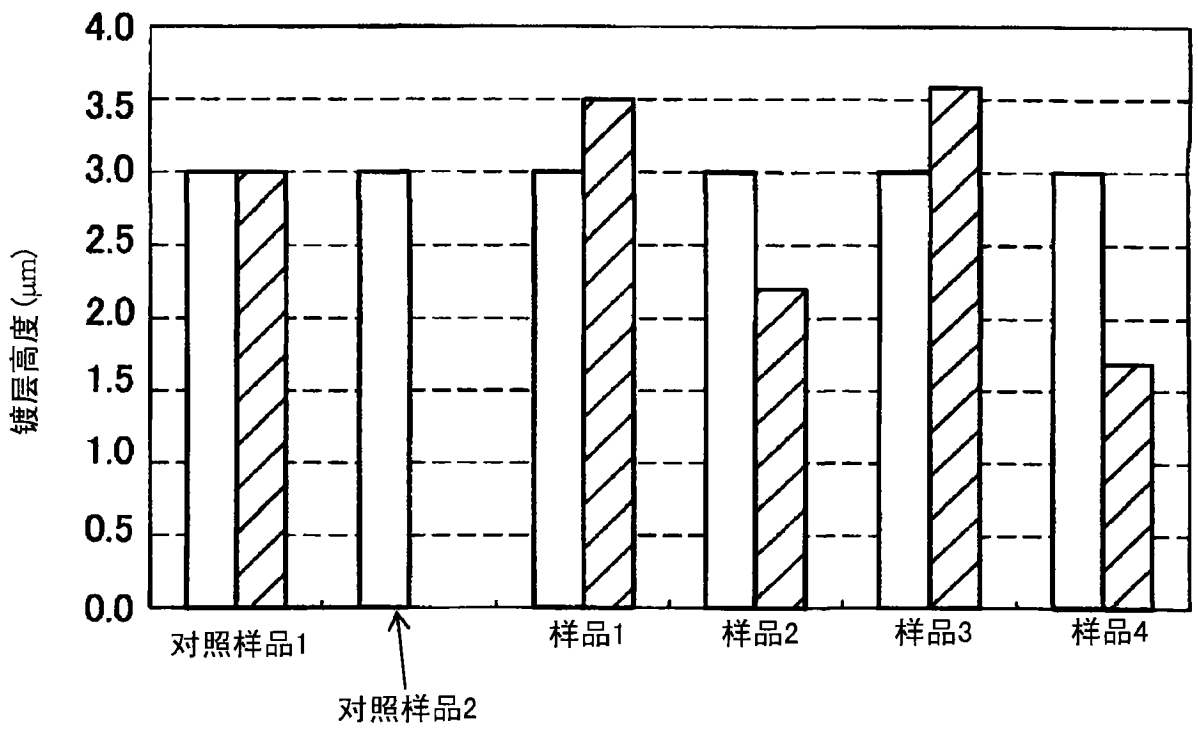


图 7A

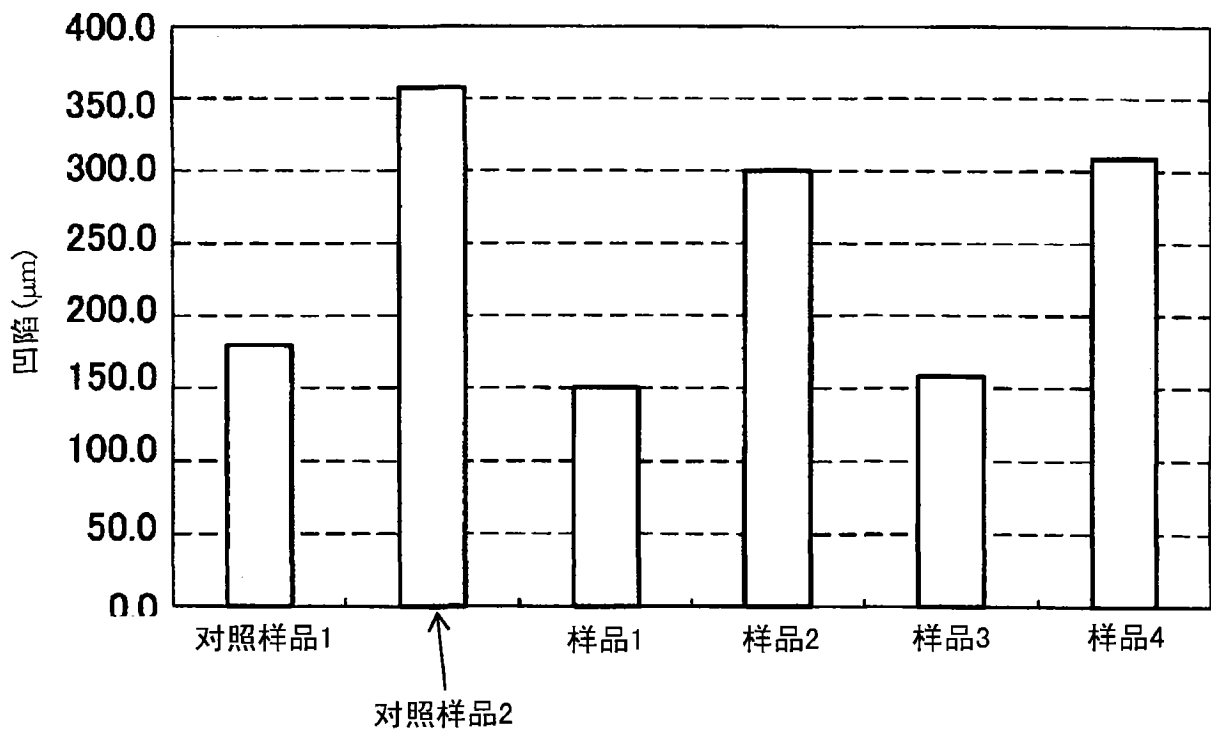


图 7B

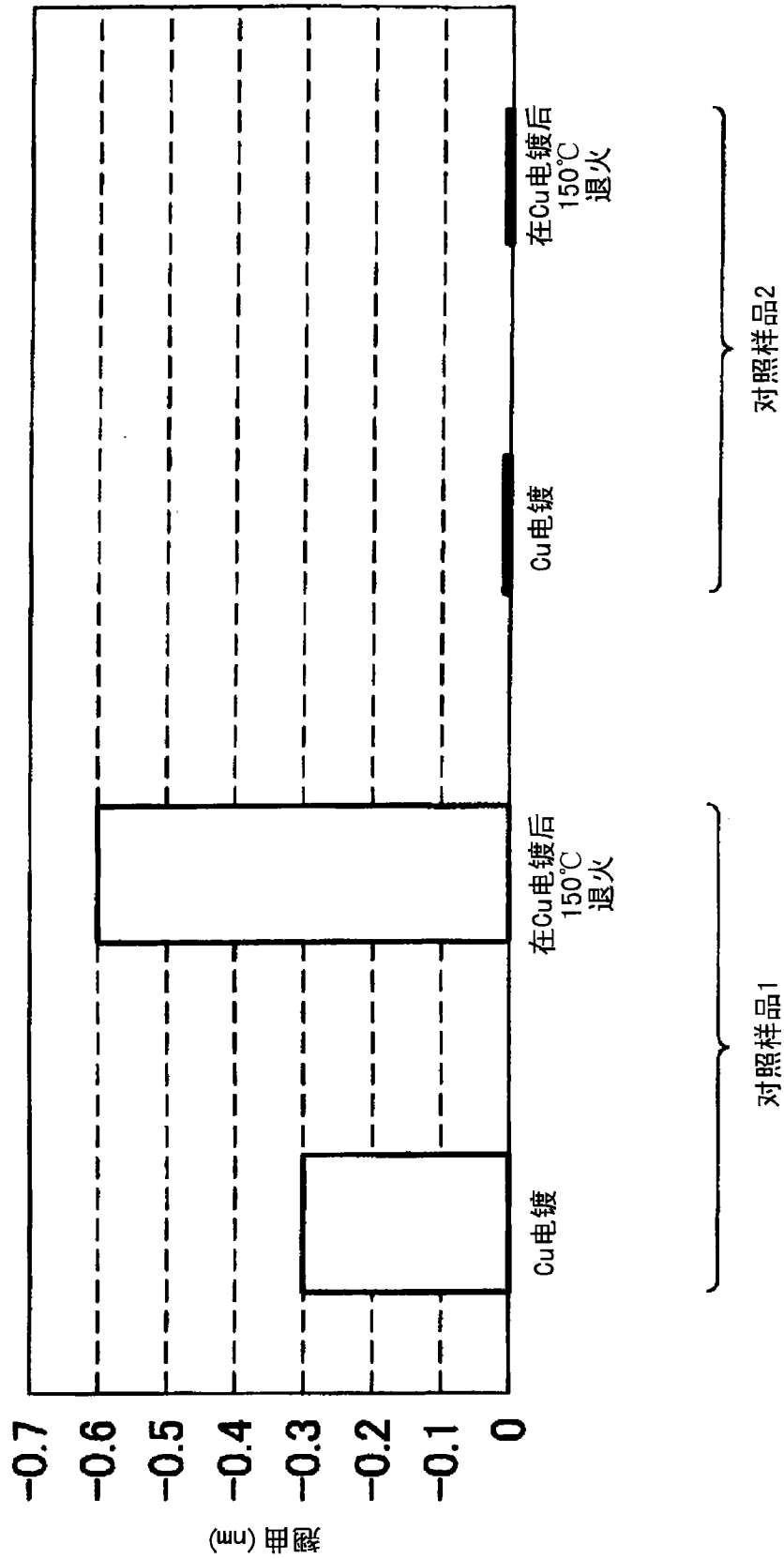


图 8

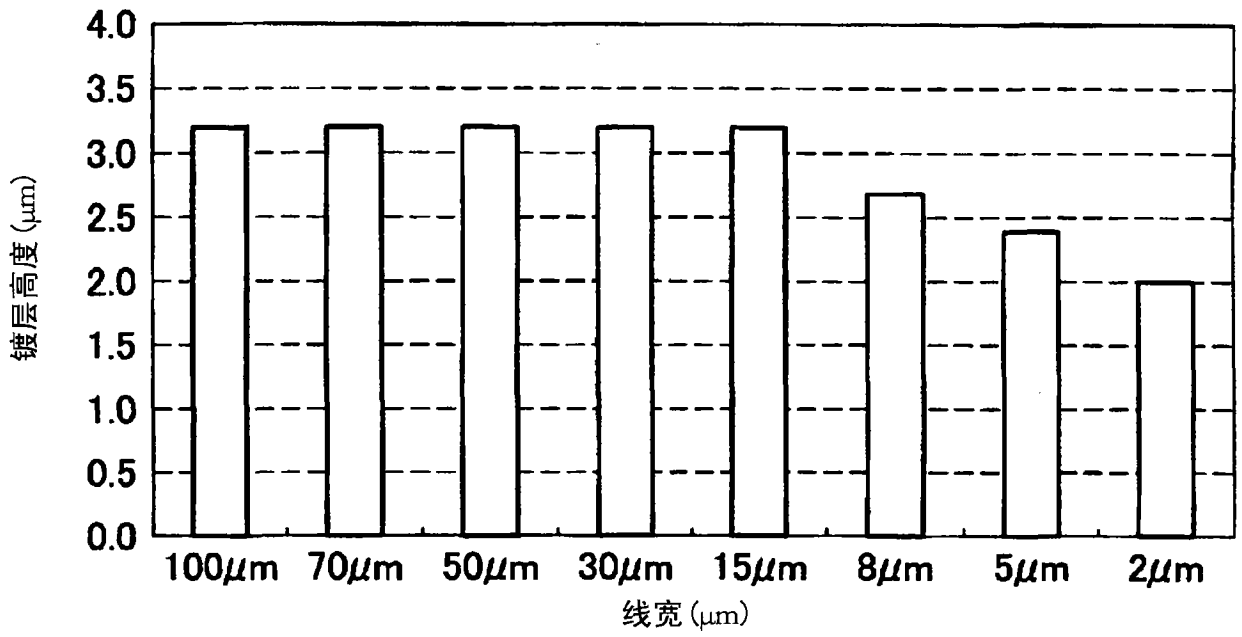


图 9A

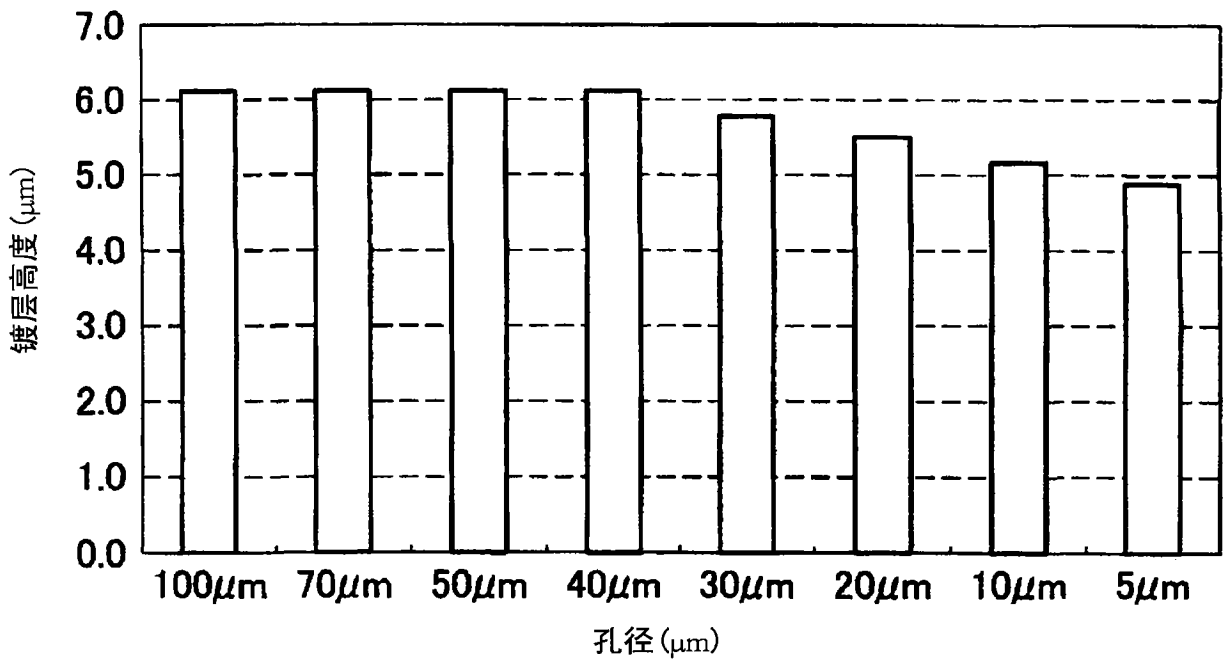


图 9B



图 10A



图 10B