



(12)发明专利申请

(10)申请公布号 CN 108346623 A

(43)申请公布日 2018.07.31

(21)申请号 201810156923.4

(22)申请日 2018.02.24

(30)优先权数据

106138744 2017.11.09 TW

(71)申请人 上海兆芯集成电路有限公司

地址 201203 上海市浦东新区上海市张江
高科技园区金科路2537号301室

(72)发明人 张文远 徐业奇 吕学忠 陈伟政

(74)专利代理机构 北京林达刘知识产权代理事
务所(普通合伙) 11277

代理人 刘新宇

(51)Int.Cl.

H01L 21/98(2006.01)

H01L 23/31(2006.01)

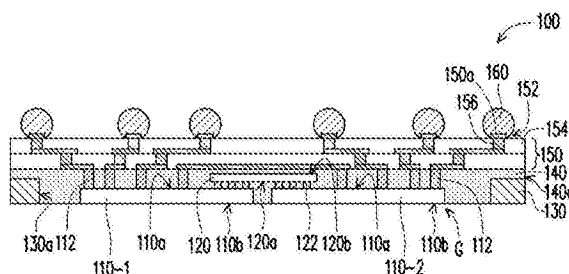
权利要求书1页 说明书5页 附图5页

(54)发明名称

晶片封装方法

(57)摘要

一种晶片封装方法,其包括下列步骤:将多个第一晶片配置在一载板上,其中各第一晶片具有一第一有源面,且多个第一导电柱配置在各第一有源面上;经由多个第二导电柱将一第二晶片的一第二有源面电连接这些第一晶片的这些第一有源面;形成一封装材料,封装材料覆盖这些第一晶片、这些第一导电柱、第二晶片及这些第二导电柱;部分地移除封装材料,以暴露出各第一导电柱;在封装材料上形成一重布线路结构,其中重布线路结构连接这些第一导电柱。本发明可提供较高的连接路径密度及较短的连接路径长度。



1. 一种晶片封装方法,其特征在于,包括:

将多个第一晶片配置在载板上,其中各该第一晶片具有第一有源面,且多个第一导电柱配置在各该第一有源面上;

经由多个第二导电柱将第二晶片的第二有源面电连接该多个第一晶片的多个第一有源面;

形成封装材料,该封装材料覆盖该多个第一晶片、该多个第一导电柱、该第二晶片及该多个第二导电柱;

部分地移除该封装材料,以暴露出各该第一导电柱;以及

在该封装材料上形成重布线路结构,其中该重布线路结构连接该多个第一导电柱。

2. 根据权利要求1所述的晶片封装方法,其特征在于,该多个第二导电柱的分布密度大于该多个第一导电柱的分布密度。

3. 根据权利要求1所述的晶片封装方法,其特征在于,该多个第二导电柱在该多个第一晶片的正投影面积不大于该多个第一导电柱在该多个第一晶片的正投影面积。

4. 根据权利要求1所述的晶片封装方法,其特征在于,该多个第二导电柱相对于该第一有源面的高度不大于该多个第一导电柱相对于该第一有源面的高度。

5. 根据权利要求1所述的晶片封装方法,其特征在于,该多个第一晶片经由该重布线路结构彼此电连接。

6. 根据权利要求1所述的晶片封装方法,其特征在于,在部分地移除该封装材料之后,该封装材料维持覆盖该第二晶片。

7. 根据权利要求1所述的晶片封装方法,其特征在于,还包括:

在形成该重布线路结构之后,移除该载板。

8. 根据权利要求1所述的晶片封装方法,其特征在于,还包括:

在形成该封装材料之前,将支撑结构配置在该载板上并围绕该多个第一晶片,且在形成该封装材料之后,该封装材料覆盖该支撑结构。

9. 根据权利要求8所述的晶片封装方法,其特征在于,还包括:

在形成该重布线路结构之后,移除该载板;以及

在移除该载板之后,切割该支撑结构,使得该支撑结构裸露于该封装材料的侧面。

10. 根据权利要求8所述的晶片封装方法,其特征在于,还包括:

在形成该重布线路结构之后,切割该支撑结构,使得该支撑结构裸露于该封装材料的侧面及该载板的侧面。

11. 根据权利要求1所述的晶片封装方法,其特征在于,还包括:

在形成该重布线路结构之后,保留该载板作为散热件。

12. 根据权利要求1所述的晶片封装方法,其特征在于,该重布线路结构包括多个图案化导电层、多个介电层及多个导电孔道,该多个介电层与该多个图案化导电层交替叠合,且各该导电孔道位于对应的该介电层中并电连接对应的该多个图案化导电层。

13. 根据权利要求1所述的晶片封装方法,其特征在于,还包括:

在形成该重布线路结构之后,在该重布线路结构的多个重布线路接垫的每个重布线路接垫上形成导电接点。

晶片封装方法

技术领域

[0001] 本发明是有关于一种晶片封装方法。

背景技术

[0002] 在晶片封装技术领域,有一种封装类型是将集成电路晶片(IC chip)安装在线路基板(circuit substrate)上,并经由线路基板电连接至下一层级的电子元件,例如主机板或模组板等。依照实际需求,可将多个晶片安装在同一线路基板上而构成一多晶片封装结构,而这些晶片可通过线路基板来彼此传输信号。然而,目前的线路基板的线宽(line width)和线距(line pitch)无法符合在多晶片之间传递信号的要求。

发明内容

[0003] 本发明提供一种晶片封装方法,可制作出晶片封装结构,其符合在多晶片之间传递信号的要求。

[0004] 本发明的晶片封装方法包括下列步骤:将多个第一晶片配置在一载板上,其中各第一晶片具有一第一有源面,且多个第一导电柱配置在各第一有源面上;经由多个第二导电柱将一第二晶片的一第二有源面电连接这些第一晶片的这些第一有源面;形成一封装材料,封装材料覆盖这些第一晶片、这些第一导电柱、第二晶片及这些第二导电柱;部分地移除封装材料,以暴露出各第一导电柱;在封装材料上形成一重布线路结构,其中重布线路结构连接这些第一导电柱。

[0005] 基于上述,在本发明中,经由一晶片面对面地电连接至少另外两个晶片,故可提供较高的连接路径密度及较短的连接路径长度。

[0006] 为使本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

附图说明

[0007] 图1A至图1H是依照本发明的一实施例的一种晶片封装方法的剖面示意图。

[0008] 图2是图1C的支撑结构包括多个开口的立体图。

[0009] 图3A是依照本发明的另一实施例的第一晶片及第二晶片的俯视图。

[0010] 图3B是依照本发明的另一实施例的第一晶片及第二晶片的俯视图。

[0011] 图4是依照本发明的另一实施例的一种晶片封装结构的剖面示意图。

[0012] 图5是依照本发明的另一实施例的一种晶片封装结构的剖面示意图。

[0013] 图6是依照本发明的另一实施例的一种晶片封装结构的剖面示意图。

[0014] 其中,附图中符号的简单说明如下:

[0015] 50:晶片封装结构阵列;100:晶片封装结构;102:载板;102a:侧面;110、110-1、110-2、110-3、110-4:第一晶片;110a:第一有源面;110b:第一背面;112:第一导电柱;120:第二晶片;120a:第二有源面;120b:第二背面;122:第二导电柱;130:支撑结构;130a:开口;

140:封装材料;140a:侧面;150:重布线路结构;150a:重布线路接垫;152:图案化导电层;154:介电层;156:导电孔道;160:导电接点;L:切割线;G:晶片群组。

具体实施方式

[0016] 请参考图1A,依照本实施例的晶片封装方法,首先,将多个第一晶片110(例如:110-1、110-2)配置在一载板102上。各第一晶片110具有一第一有源面110a,且多个第一导电柱112配置在各第一有源面110a上。具体而言,这些第一导电柱112分别配置于对应的第一晶片110的第一有源面110a的多个接垫(未绘示)上。

[0017] 请参考图1B,经由多个第二导电柱122将一第二晶片120的一第二有源面120a电连接这些第一晶片110的这些第一有源面110a。具体而言,经由这些第二导电柱122将第二晶片120的第二有源面120a的多个接垫(未绘示)电连接这些第一晶片110的这些第一有源面110a的多个接垫(未绘示)。在本实施例中,第一晶片110-1的部分第一有源面110a与第二晶片120的部分第二有源面120a彼此相对,且第一晶片110-1的部分第一有源面110a在载板102的正投影与第二晶片120的部分第二有源面120a在载板102的正投影重叠。在本实施例中,第一晶片110-2的部分第一有源面110a与第二晶片120的部分第二有源面120a彼此相对,且第一晶片110-1的部分第一有源面110a在载板102的正投影与第二晶片120的部分第二有源面120a在载板102的正投影重叠。因此,第一晶片110-1可经由第一晶片110-1上的这些第二导电柱122、第二晶片120、第一晶片110-2上的这些第二导电柱122,而与第一晶片110-2彼此电连接,以提供较大的连接路径密度及较短的连接路径长度。在本实施例中,这些第二导电柱122的分布密度可大于这些第一导电柱112的分布密度。此外,这些第二导电柱122在载板102的正投影面积可不大于这些第一导电柱112在载板102的正投影面积。另外,这些第二导电柱122相对于第一有源面110a的高度不大于这些第一导电柱112相对于第一有源面110a的高度。

[0018] 请参考图1C,将一支撑结构130配置在载板102上并围绕这些第一晶片110。在本实施例中,支撑结构130具有一开口130a,其包围这些第一晶片110。支撑结构130有助于提高结构强度及减少翘曲程度。

[0019] 请参考图1D,形成一封装材料140(encapsulated material),例如模塑料(molding compound)。封装材料140局部地覆盖这些第一晶片110、这些第一导电柱112、第二晶片120、这些第二导电柱122及支撑结构130。

[0020] 请参考图1E,部分地移除封装材料140,以暴露出各第一导电柱112。在本实施例中,部分地移除封装材料140的方式包括研磨(polishing)。封装材料140维持覆盖第二晶片120。

[0021] 请参考图1F,形成一重布线路结构150在封装材料140上,用以重新分布信号输出或输入的位置。在本实施例中,重布线路结构150包括多个图案化导电层152、多个介电层154及多个导电孔道156,这些介电层154与这些图案化导电层152交替叠合,且各导电孔道156位于对应的介电层154中并电连接对应的这些图案化导电层152。这些第一晶片110除可经由第二晶片120彼此电连接以外,也可经由重布线路结构150彼此电连接。具体而言,第一晶片110-1经由第一晶片110-1上的这些第一导电柱112、重布线路结构150的图案化导电层152、第一晶片110-2上的这些第一导电柱112,而与第一晶片110-2彼此电连接。而且,第一

晶片110-1也可经由第一晶片110-1上的这些第二导电柱122、第二晶片120、第一晶片110-2上的这些第二导电柱122而与第一晶片110-2彼此电连接。换言之，第一晶片110-1与第一晶片110-2之间的连接路径至少有上述两条连接路径。

[0022] 请参考图1G，在形成重布线路结构150之后，移除载板102，因而暴露出这些第一晶片110的一第一背面110b。此时，这些第一晶片110的一第一背面110b、裸露的封装材料140、支撑结构130彼此共平面。

[0023] 请参考图1H，重布线路结构150具有多个重布线路接垫150a，其可由最外的图案化导电层152所构成。在如图1G移除载板102之后，在重布线路结构150的每个重布线路接垫150a上形成一导电接点160，例如焊球，用以连接下一层级的电子元件，例如线路板。

[0024] 当以批次方式来生产多个晶片封装结构100时，将由多个第一晶片110及至少一第二晶片120所构成的多个晶片群组G（图1B仅绘示这些晶片群组G的一群组）配置在载板102上。因此，请参考图1G，在形成这些导电接点160之前，可先执行单颗化的步骤，即沿切割线L来切割重布线路结构150、封装材料140及支撑结构130，以分离这些晶片群组G。此时，支撑结构130裸露于封装材料140的一侧面140a。因此，每个晶片封装结构100包含一个晶片群组G，且包含重布线路结构150（即切割后的重布线路结构150的一部分）及封装材料140（即切割后的封装材料140的一部分）。

[0025] 同样地，当以批次方式来生产多个晶片封装结构100时，支撑结构130具有以阵列排列的多个开口130a，如图2所示，而各个开口130a围绕对应的一个晶片群组G，如图1C所示。因此，如图1H所示，每个晶片封装结构100包含支撑结构130（即切割后的支撑结构130的一部分）。

[0026] 在本实施例中，以阵列排列且尚未切割的多个晶片封装结构100可构成一晶片封装结构阵列50，如图1G所示。换句话说，晶片封装结构阵列50包括以阵列排列且尚未切割的多个晶片封装结构100。具体而言，各晶片封装结构100包括多个第一晶片110（例如110-1、110-2）、多个第一导电柱112、一第二晶片120、多个第二导电柱122、一封装材料140及一重布线路结构150。各第一晶片110（例如110-1或110-2）具有一第一有源面110a。各第一导电柱112配置于对应的第一晶片110的第一有源面110a上。第二晶片120具有一第二有源面120a。第二晶片120的第二有源面120a经由这些第二导电柱122电连接这些第一晶片110的这些第一有源面110a。封装材料140局部地覆盖这些第一晶片110、这些第一导电柱112、第二晶片120及这些第二导电柱122。重布线路结构150配置在封装材料140上并连接这些第一导电柱112。

[0027] 当晶片封装结构阵列50的各晶片封装结构100的外围区域配置有一支撑结构130（见图2）时，可以减少晶片封装结构阵列50封装过程中发生的翘曲，并且能提升晶片封装结构阵列50的结构强度且降低其制程的生产成本，进而增加晶片封装结构100的产量。

[0028] 在另一实施例中，如图4所示，相较于图1A至图1H所示的实施例，当载板102的材料采用散热材料时，可保留图1F的载板102，使得完成封装的晶片封装结构100可包含图1H的载板102（即切割后的载板102的一部分）作为一散热件。此时，支撑结构130裸露于封装材料140的一侧面140a及载板102的一侧面102a。

[0029] 在另一实施例中，如图5所示，相较于图1A至图1H所示的实施例，可省略图1C的支撑结构130，使得最后封装完成的晶片封装结构100没有图1H的支撑结构130。

[0030] 在另一实施例中,如图6所示,相较于图1A至图1H所示的实施例,可省略图1C的支撑结构130而保留图1F的载板102,使得最后封装完成的晶片封装结构100没有支撑结构130,而包含图1H的载板102(即切割后的载板102的一部分)作为一散热件。

[0031] 晶片封装结构100在图4至图6的各种变化也可应用于图1G所示的晶片封装结构阵列50。举例而言,尚未切割的晶片封装结构阵列50也可包含尚未切割的载板102,如图1F、图4及图6所示,且载板102可作为尚未切割的散热件。此外,尚未切割的晶片封装结构阵列50也可不包含尚未切割的支撑结构130,如图5所示。

[0032] 在图1H的实施例中,晶片封装结构100包括多个第一晶片110(例如:110-1、110-2)、多个第一导电柱112、一第二晶片120、多个第二导电柱122、一封装材料140及一重布线路结构150。各第一晶片110具有一第一有源面110a,而各第一导电柱112配置于对应的第一晶片110的第一有源面110a上。第二晶片120具有一第二有源面120a。在本实施例中,第一晶片110-1的部分第一有源面110a与第二晶片120的部分第二有源面120a彼此相对,且第一晶片110-1的部分第一有源面110a在第一晶片110-1的第一背面110b的正投影与第二晶片120的部分第二有源面120a在第一晶片110-1的第一背面110b的正投影重叠。在本实施例中,第一晶片110-2的部分第一有源面110a与第二晶片120的部分第二有源面120a彼此相对,且第一晶片110-1的部分第一有源面110a在第一晶片110-2的第一背面110b的正投影与第二晶片120的部分第二有源面120a在第一晶片110-2的第一背面110b的正投影重叠。

[0033] 第二晶片120的第二有源面120a经由这些第二导电柱122电连接这些第一晶片110(例如:110-1、110-2)的这些第一有源面110a。封装材料140局部地覆盖这些第一晶片110、这些第一导电柱112、第二晶片120及这些第二导电柱122。重布线路结构150配置在封装材料140上并连接这些第一导电柱112。

[0034] 在图1H的实施例中,这些第二导电柱122的分布密度大于这些第一导电柱112的分布密度。此外,这些第二导电柱122在这些第一晶片110的正投影面积可不大于这些第一导电柱112在这些第一晶片110的正投影面积。另外,这些第二导电柱122相对于第一有源面110a的高度不大于这些第一导电柱112相对于第一有源面110a的高度。封装材料140的一部分位于第二晶片120与重布线路结构150之间,并覆盖第二晶片120的一第二背面120b。重布线路结构150包括多个图案化导电层152、多个介电层154及多个导电孔道156,这些介电层154与这些图案化导电层152交替叠合,且各导电孔道156位于对应的介电层154中并电连接对应的这些图案化导电层152。

[0035] 在图1H的实施例中,晶片封装结构100还包括一支撑结构130。支撑结构130围绕这些第一晶片110并与封装材料140相嵌合。支撑结构130裸露于封装材料140的一侧面140a。

[0036] 在图1H的实施例中,晶片封装结构100还包括多个导电接点160,例如焊球。重布线路结构150具有多个重布线路接垫150a,且这些导电接点160分别配置在这些重布线路接垫150a上。

[0037] 值得说明的是,第一晶片110-1经由第一晶片110-1上的这些第一导电柱112、重布线路结构150的图案化导电层152、第一晶片110-2上的这些第一导电柱112,而与第一晶片110-2彼此电连接。而且,第一晶片110-1也可经由第一晶片110-1上的这些第二导电柱122、第二晶片120、第一晶片110-2上的这些第二导电柱122而与第一晶片110-2彼此电连接。换言之,第一晶片110-1与第一晶片110-2之间的连接路径至少有上述两条连接路径。

[0038] 此外,上述实施例虽然是以一个第二晶片120以面对面的方式连接两个第一晶片110-1、110-2,但并不以此为限。在其他实施例中,一个第二晶片120也可以连接三个第一晶片(如图3A的110-1、110-2、110-3)、四个第一晶片(如图3B的110-1、110-2、110-3、110-4)甚至更多的第一晶片110,其可视使用的需求而定。

[0039] 在图4的实施例中,相较于图1H的实施例,晶片封装结构100还包括一载板102。载板102的材料为散热材料,使得载板102可作为一散热件。这些第一晶片110、封装材料140及支撑结构130配置于载板102上。支撑结构130裸露于封装材料140的一侧面140a及载板102的一侧面102a。

[0040] 在图5的实施例中,相较于图1H的实施例,晶片封装结构100不具有图1H的支撑结构130。

[0041] 在图6的实施例中,相较于图5的实施例,晶片封装结构100还包括一载板102。载板102的材料为散热材料,使得载板102可作为一散热件。这些第一晶片110及封装材料140配置于载板102上。

[0042] 综上所述,在本发明中,经由一晶片面对面地电连接至少另外两个晶片,故可提供较高的连接路径密度及较短的连接路径长度。此外,可增加支撑结构来提高结构强度及降低翘曲程度。另外,当载板的材料采用散热材料时,也可保留载板作为一散热件。

[0043] 以上所述仅为本发明较佳实施例,然其并非用以限定本发明的范围,任何熟悉本项技术的人员,在不脱离本发明的精神和范围内,可在此基础上做进一步的改进和变化,因此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

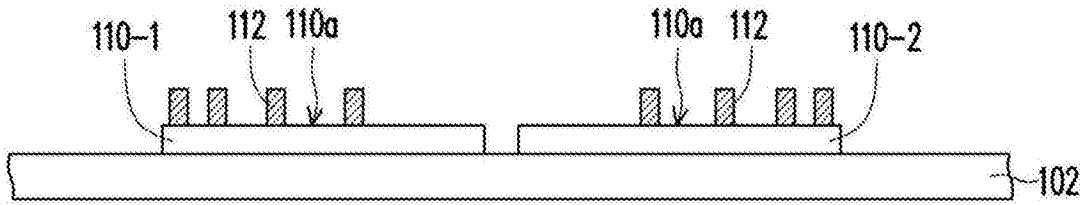


图1A

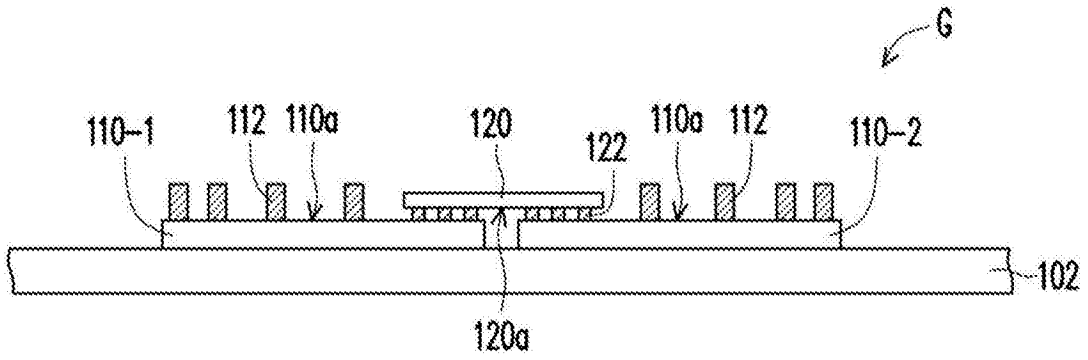


图1B

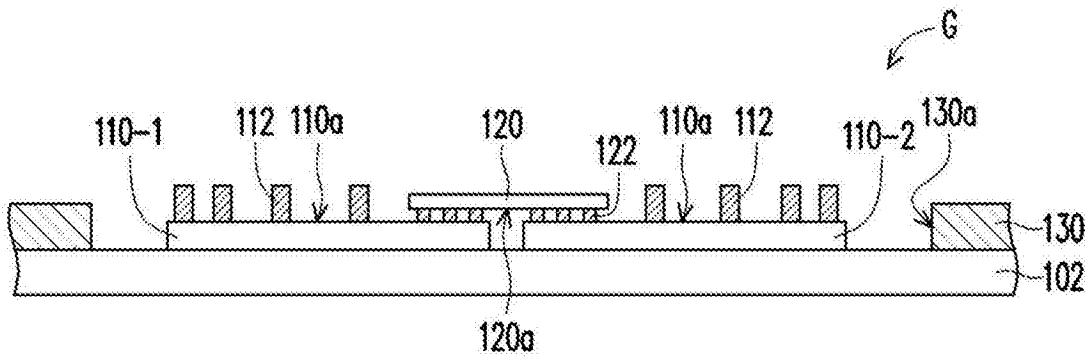


图1C

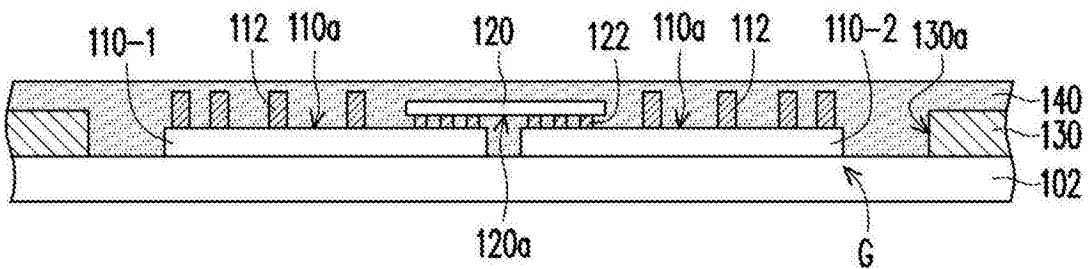


图1D

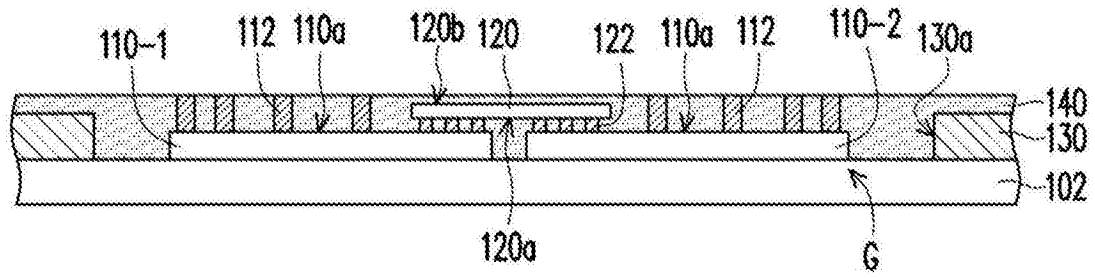


图1E

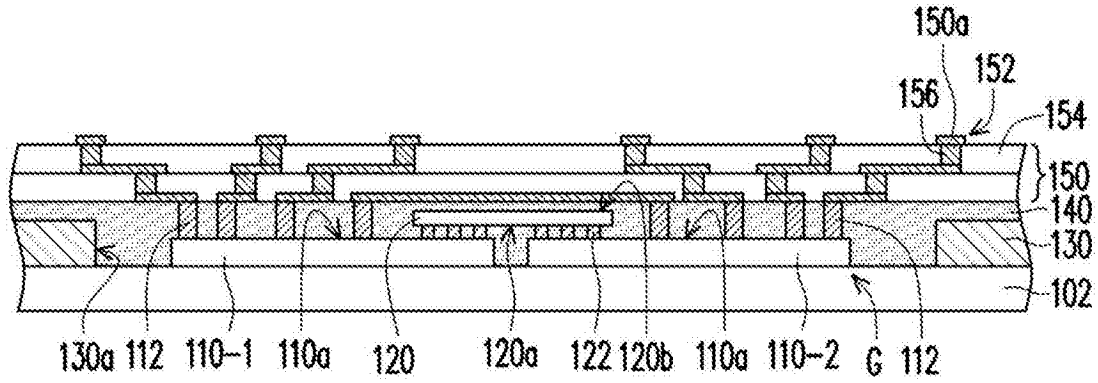


图1F

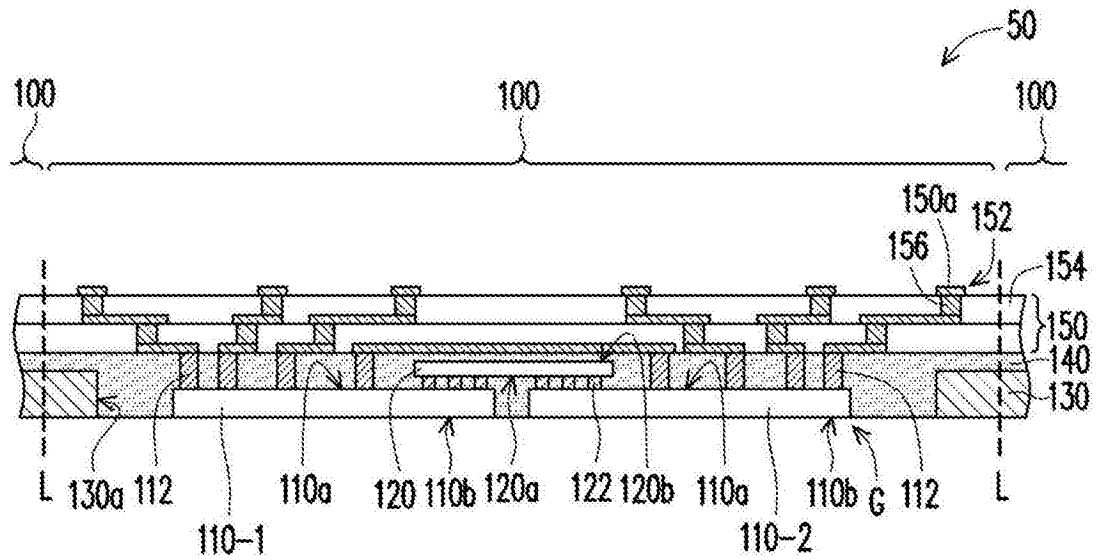


图1G

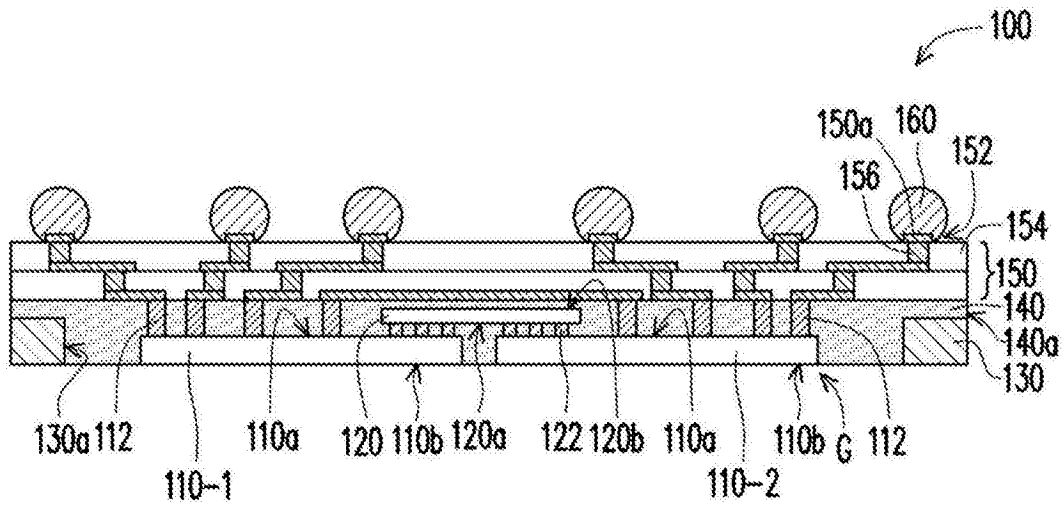


图1H

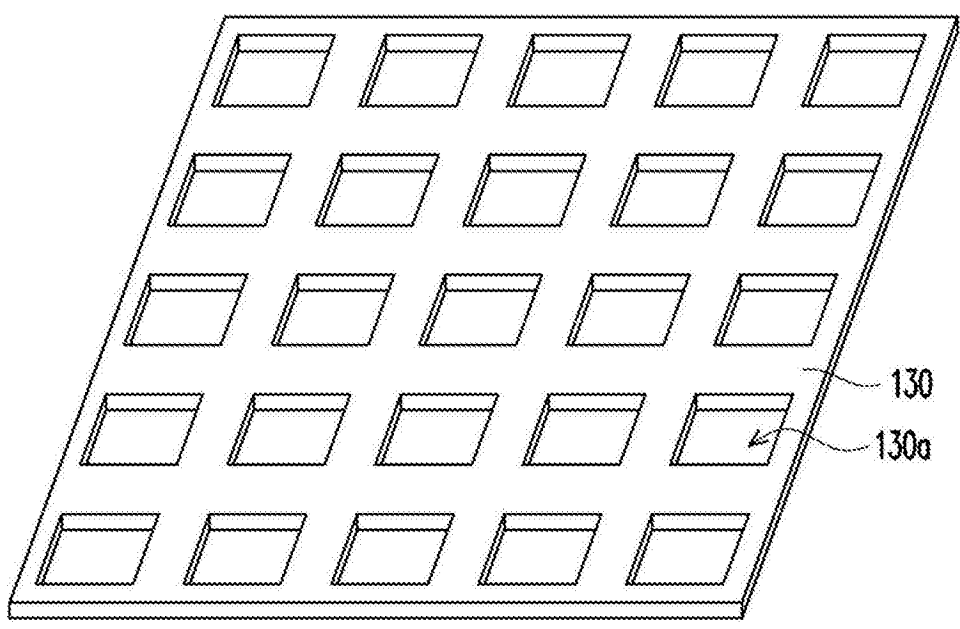


图2

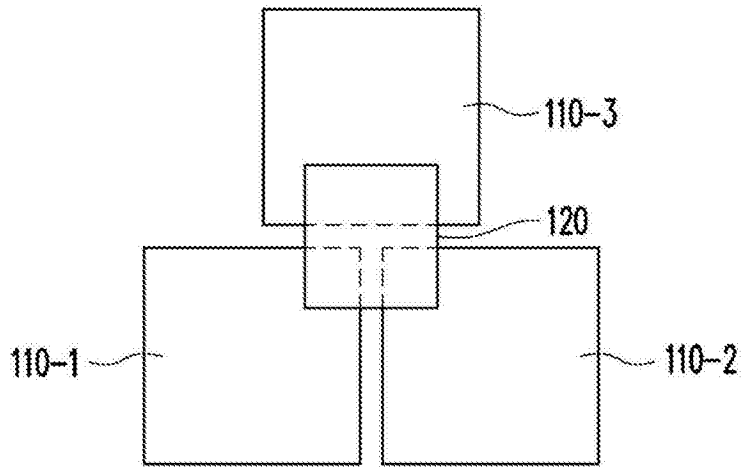


图3A

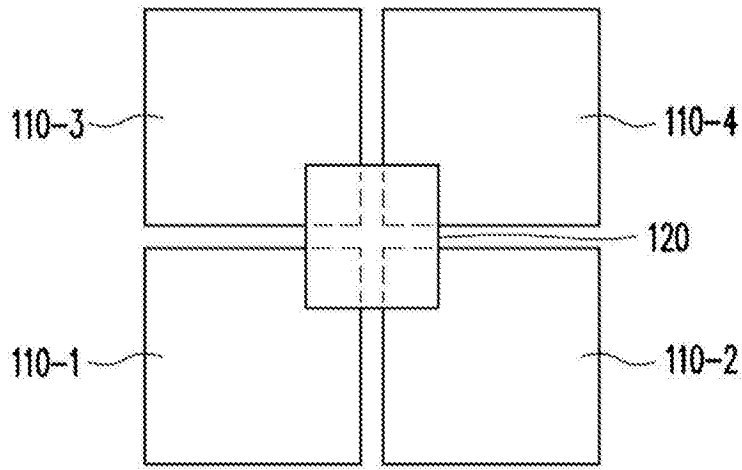


图3B

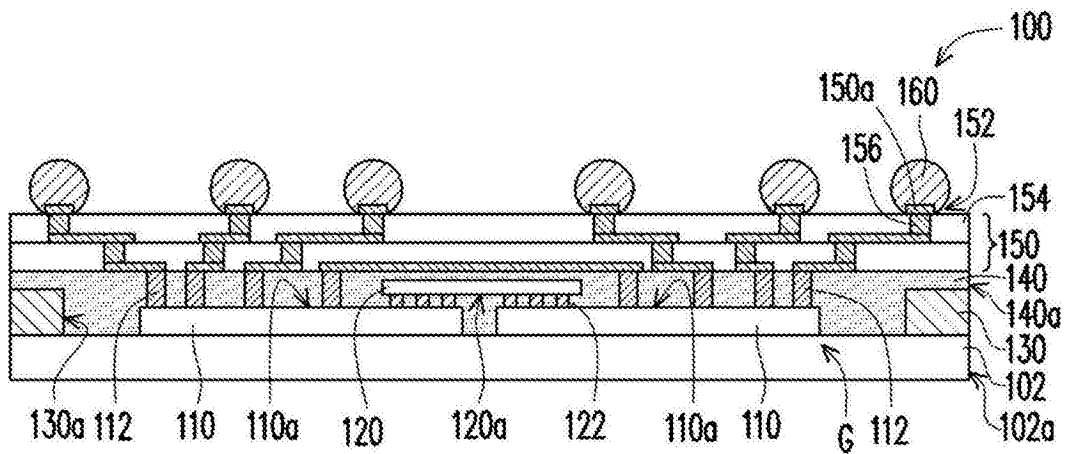


图4

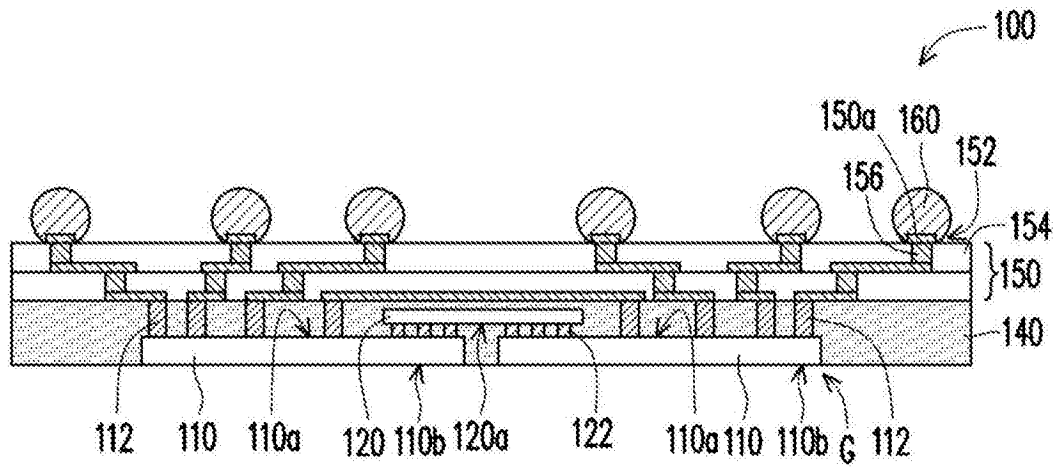


图5

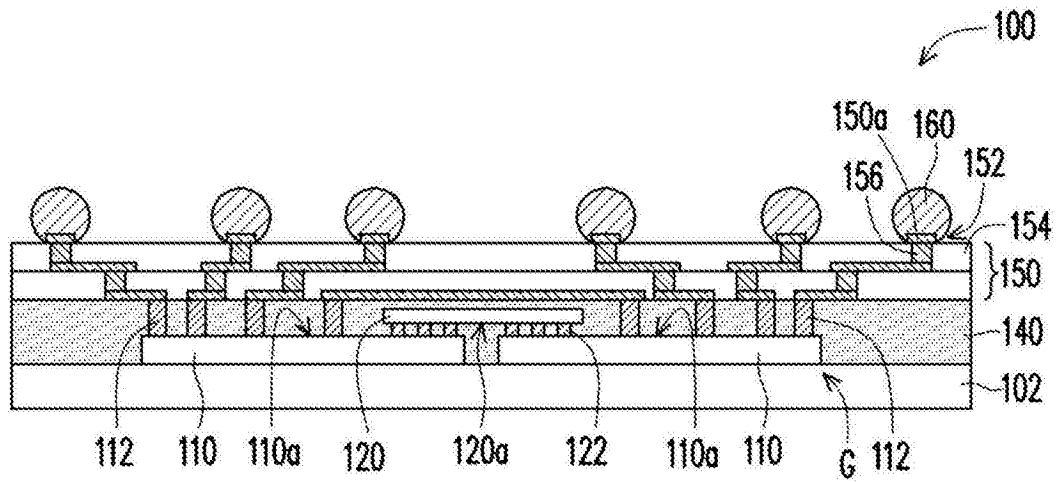


图6