



(12) 发明专利申请

(10) 申请公布号 CN 102035510 A

(43) 申请公布日 2011. 04. 27

(21) 申请号 201010521425. 9

(22) 申请日 2006. 10. 12

(30) 优先权数据

344218/2005 2005. 11. 29 JP

(62) 分案原申请数据

200610132242. 1 2006. 10. 12

(71) 申请人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 道正志郎 崎山史朗 德永祐介

渡边诚司 越田浩旨

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H03K 5/13(2006. 01)

H03K 5/15(2006. 01)

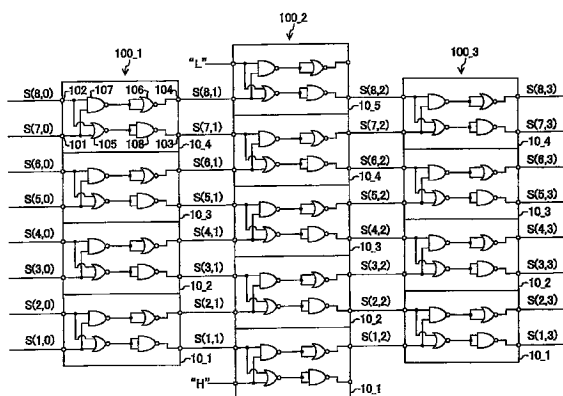
权利要求书 1 页 说明书 7 页 附图 8 页

(54) 发明名称

相位调整电路

(57) 摘要

本发明提供一种相位调整电路,所述相位调整电路具有第 1 至第 n 二相位调整电路。各二相位调整电路包括:计算所输入的 2 个信号的逻辑和的第 1 逻辑电路;计算逻辑积的第 2 逻辑电路;第 1 延迟电路,具有与第 2 逻辑电路相等的信号延迟量,使第 1 逻辑电路的输出信号延迟;以及第 2 延迟电路,具有与第 1 逻辑电路相等的信号延迟量,使第 2 逻辑电路的输出信号延迟。这里,2 个二相位调整电路的输出信号成为次级的二相位调整电路的输入信号。



1. 一种相位调整电路,用于调整所输入的多个信号的相位,上述相位调整电路的特征在于:

具有第 1 至第 n 逻辑电路,其中, n 为自然数,

上述第 m 逻辑电路,接收第 $m-1$ 信号和第 m 信号,将在这些信号都变为预定的逻辑电平时进行预定的逻辑变化的信号,作为新的第 m 信号输出,其中, m 为从 1 到 $n-1$ 的各个整数,

上述第 n 逻辑电路,接收第 n 信号和上述预定的逻辑电平的信号,将在该第 n 信号变为上述预定的逻辑电平时进行上述预定的逻辑变化的信号,作为新的第 n 信号输出。

2. 根据权利要求 1 所述的相位调整电路,其特征在于:

上述第 1 至第 n 逻辑电路都是与门,

上述预定的逻辑电平为“H”。

3. 根据权利要求 1 所述的相位调整电路,其特征在于:

上述第 1 至第 n 逻辑电路都是或门,

上述预定的逻辑电平为“L”。

4. 一种相位调整电路,其特征在于:

多级连接了权利要求 1 所述的相位调整电路。

相位调整电路

[0001] 本申请是申请日为 2006 年 10 月 12 日、申请号为 200610132242.1、发明名称为“相位调整电路”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及调整多个信号的相位的相位调整电路。

背景技术

[0003] 向存储型光盘介质存储信息时,需要生成用于抑制写入信号的干扰的特殊的写入波形。因此,有时需要比写入数据速率的 40 分之 1 更精细的相位信息。例如,在 16 倍的 DVD 系统中,需要分辨率为 50psec 左右的非常短的相位信息。

[0004] 在光盘装置等设备中,通常,由信号处理 LSI 所生成的精细相位的信号群,经由 LVDS 等输出驱动器传送到安装在光拾取器 (optical pickup) 的前端的写入放大器 (例如,参考 Yoshiaki Konno et al., “A COMS 1X ~ 16X-Speed DVD Write Channel IC”, IEEE International Solid-State Circuits Conference, Feb. 9, 2005, pp. 568-569, 618)。

[0005] 当精细相位的信号群被长距离传送时,存在由于信号线中的延迟偏差等,到达写入放大器的信号群的相位关系被破坏这样的问题。即,尽管通过信号处理 LSI 生成了相位单调增加的信号群,但到达了写入放大器的信号群的相位的单调增加性被破坏。结果,例如,虽然进行了增大写入信号的脉冲宽度的控制,但实际的写入信号的脉冲宽度变小,向光盘介质写入的质量变差。今后,随着写入速度的提高,此类问题有可能更为显著。

发明内容

[0006] 鉴于上述问题,本发明的课题在于实现一种相位调整电路,补偿所输入的多个信号的相位,提高这些信号的相位单调增加性。

[0007] 为解决上述课题,本发明所述的装置作为调整所输入的多个信号的相位的相位调整电路,具有第 1 至第 n (n 为自然数) 二相位调整电路 (two-phase adjustment circuit), 上述第 m (m 是从 1 到 n 的各个整数) 二相位调整电路,包括:输入第 $2m-1$ 信号的第 1 输入端子;输入第 $2m$ 信号的第 2 输入端子;输出相位调整后的第 $2m-1$ 信号的第 1 输出端子;输出相位调整后的第 $2m$ 信号的第 2 输出端子;第 1 逻辑电路,从上述第 1 输入端子和第 2 输入端子接收上述第 $2m-1$ 信号和第 $2m$ 信号,生成当这些信号中的任意一个变为上述预定的逻辑电平时进行预定逻辑变化的信号;第 2 逻辑电路,从上述第 1 输入端子和第 2 输入端子接收上述第 $2m-1$ 信号和第 $2m$ 信号,生成当这些信号都变为上述预定的逻辑电平时进行上述预定逻辑变化的信号;第 1 延迟电路,具有与上述第 2 逻辑电路相等的信号延迟量,向上述第 1 输出端子输出使由上述第 1 逻辑电路生成的信号延迟的信号;第 2 延迟电路,具有与上述第 1 逻辑电路相等的信号延迟量,向上述第 2 输出端子输出使由上述第 2 逻辑电路生成的信号延迟的信号。

[0008] 由此,在第 m 二相位调整电路中,对于分别输入到第 1 输入端子和第 2 输入端子的

第 $2m-1$ 信号和第 $2m$ 信号,第 1 逻辑电路和第 2 逻辑电路分别进行预定的逻辑运算而生成进行预定逻辑变化的信号,这些生成的信号分别由具有与第 2 逻辑电路相等的信号延迟量的第 1 延迟电路和具有与第 1 逻辑电路相等的信号延迟量的第 2 延迟电路进行延迟,并输出到第 1 输出电子和第 2 输出电子。因此,无论被输入到第 m 二相位调整电路的第 $2m-1$ 信号和第 $2m$ 信号的相位前后关系如何,都保存这些信号的相位差,这种情况下,从第 m 二相位调整电路输出的第 $2m-1$ 信号和第 $2m$ 信号成为预定的相位前后关系。而且,由于具有第 1 至第 n 二相位调整电路,能够对偶数 ($2n$) 个输入信号进行提高单调增加性这样的相位调整。

[0009] 另外,作为相位调整电路,具有上述相位调整电路以及第 $n+1$ 二相位调整电路。上述第 $n+1$ 二相位调整电路,包括:输入第 $2n+1$ 信号的第 1 输入端子;输入第 $2n+2$ 信号的第 2 输入端子;输出相位调整后的第 $2n+1$ 信号的第 1 输出端子;输出相位调整后的第 $2n+2$ 信号的第 2 输出端子;第 1 逻辑电路,从上述第 1 输入端子和第 2 输入端子接收上述第 $2n+1$ 信号和第 $2n+2$ 信号,生成当这两个信号中的任意一个变为预定的逻辑电平时进行预定的逻辑变化的信号;第 2 逻辑电路,从上述第 1 输入端子和第 2 输入端子接收上述第 $2n+1$ 信号和第 $2n+2$ 信号,生成当这两个信号都变为预定的逻辑电平时进行上述预定的逻辑变化的信号;第 1 延迟电路,具有和上述第 2 逻辑电路相等的信号延迟量,向上述第 1 输出端子输出使由上述第 1 逻辑电路生成的信号延迟的信号;第 2 延迟电路,具有和上述第 1 逻辑电路相等的信号延迟量,向上述第 2 输出端子输出使由上述第 2 逻辑电路生成的信号延迟的信号。这里,上述第 1 信号和第 $2n+2$ 信号中的至少一个是预定的逻辑电平的信号。

[0010] 由此,能够对奇数 ($2n+1$) 个输入信号进行提高单调增加性这样的相位调整。

[0011] 另外,作为调整所输入的多个信号的相位的相位调整电路,包括:第 1 相位调整电路,即上述前者的相位调整电路;第 2 相位调整电路,即上述后者的相位调整电路,上述第 1 相位调整电路中的第 m 二相位调整电路的第 1 输出端子与上述第 2 相位调整电路中的第 m 二相位调整电路的第 2 输入端子连接,上述第 1 相位调整电路中的第 m 二相位调整电路的第 2 输出端子与上述第 2 相位调整电路中的第 $m+1$ 二相位调整电路的第 1 输入端子连接,第 1 逻辑电平信号被输入到上述第 2 相位调整电路中的第 1 二相位调整电路的第 1 输入端子,第 2 逻辑电平信号被输入到上述第 2 相位调整电路中的第 $n+1$ 的二相位调整电路的第 2 输入端子。

[0012] 由此,所输入的偶数 ($2n$) 个信号由第 1 相位调整电路进行相位调整,从第 1 相位调整电路中不同的 2 个二相位调整电路输出的信号由第 2 相位调整电路进行相位调整。由此,进一步提高从第 2 相位调整电路输出的 $2n$ 个信号的单调增加性。

[0013] 另外,作为调整所输入的多个信号的相位的相位调整电路,具有第 1 相位调整电路和第 2 相位调整电路,即上述后者的相位调整电路。第 1 逻辑电平信号被输入到上述第 1 相位调整电路中的第 $n+1$ 二相位调整电路的第 2 输入端子,第 2 逻辑电平信号被输入到上述第 2 相位调整电路中的第 1 二相位调整电路的第 1 输入端子,上述第 1 相位调整电路中的第 k (k 是从 1 到 $n+1$ 的各个整数) 二相位调整电路的第 1 输入端子与上述第 2 相位调整电路中的第 k 二相位调整电路的第 2 输入端子连接,上述第 1 相位调整电路中的第 m 二相位调整电路的第 2 输出端子与上述第 2 相位调整电路中的第 $m+1$ 二相位调整电路的第 1 输入端子连接。

[0014] 由此,所输入的奇数 ($2n+1$) 个信号由第 1 相位调整电路进行相位调整,从第 1 相

位调整电路中不同的 2 个二相位调整电路输出的信号由第 2 相位调整电路进行相位调整。因此,进一步提高从第 2 相位调整电路输出的 $2n+1$ 个信号的单调增加性。

[0015] 另外,本发明所述的装置作为调整所输入的多个信号的相位的相位调整电路,具有第 1 至第 n (n 为自然数) 逻辑电路,上述第 m (m 是从 1 到 $n-1$ 的各个整数) 逻辑电路,接收第 $m-1$ 信号和第 m 信号,将在这些信号都变为在预定的逻辑电平时进行预定的逻辑变化的信号,作为新的第 m 信号输出,上述第 n 逻辑电路,接收第 n 信号和上述预定的逻辑电平的信号,将在该第 n 信号变为上述预定的逻辑电平时进行上述预定的逻辑变化的信号,作为新的第 n 信号输出。

[0016] 由此,输入到第 m 逻辑电路的第 $m-1$ 信号和第 m 信号中相位滞后的一个作为新的第 m 信号输出。因此,能够对所输入的 n 个信号进行提高单调增加性这样的相位调整。

[0017] 另外,本发明所述的装置作为调整所输入的 2 个信号的相位的相位调整电路,包括:计算上述 2 个信号的逻辑和的第 1 逻辑电路;计算上述 2 个信号的逻辑积的第 2 逻辑电路;第 1 延迟电路,具有与上述第 2 逻辑电路相等的信号延迟量,使上述第 1 逻辑电路的输出信号延迟;第 2 延迟电路,具有与上述第 1 逻辑电路相等的信号延迟量,使上述第 2 逻辑电路的输出信号延迟。

[0018] 由此,对于所输入的两个信号,由第 1 逻辑电路和第 2 逻辑电路分别进行预定的逻辑运算,生成进行预定的逻辑变化的信号,这些生成的信号由具有与第 2 逻辑电路相等的信号延迟量的第 1 延迟电路和具有与第 1 逻辑电路相等的信号延迟量的第 2 延迟电路分别延迟并输出。因此,无论所输入的两个信号的相位前后关系如何,都保存这些信号的相位差,从第 1 延迟电路和第 2 延迟电路输出的两个信号成为预定的相位前后关系。

[0019] 如上所述,根据本发明,能够补偿所输入的信号相位,提高这些信号的相位单调增加性。

附图说明

[0020] 图 1 是第 1 实施方式的相位调整电路的结构图。

[0021] 图 2 是图 1 所示的二相位调整电路的时序图。

[0022] 图 3 是与奇数输入相对应的相位调整电路的结构图。

[0023] 图 4 是第 2 实施方式的相位调整电路的结构图。

[0024] 图 5 是第 3 实施方式的相位调整电路的结构图。

[0025] 图 6 是图 5 所示的相位调整电路的时序图。

[0026] 图 7 是第 4 实施方式的相位调整电路的结构图。

[0027] 图 8 是装入了本发明的相位调整电路的光盘装置的结构图。

具体实施方式

[0028] 下面,参照附图说明用于实施本发明的优选方式。

[0029] < 第 1 实施方式 >

[0030] 图 1 表示第 1 实施方式的相位调整电路的结构。该相位调整电路具有 3 个 8 输入 8 输出的相位调整电路 100_1、100_2 以及 100_3 串联连接的结构。相位调整电路 100_j 接收信号 $S(i, j-1)$, 输出相位调整后的信号 $S(i, j)$ 。但是, i 是从 1 到 8 的各个整数, j 是从

1 到 3 的各个整数。相位调整电路 100_1 和相位调整电路 100_3, 都包括 4 个二相位调整电路 10_1、10_2、10_3 以及 10_4。另外, 相位调整电路 100_2 包括 5 个二相位调整电路 10_1、10_2、10_3、10_4 以及 10_5。并且, 在下面的说明中, 当提及各结构要素中的 1 个代表时, 用省略了附加标号的标号表示该结构要素。

[0031] 二相位调整电路 10 包括: 输入第 1 信号的输入端子 101、输入第 2 信号的输入端子 102、输出相位调整后的第 1 信号的输出端子 103、输出相位调整后的第 2 信号的输出端子 104、或非 (NOR) 门 105 和或非门 106、以及与非 (NAND) 门 107 和与非门 108。或非门 105 和与非门 107 各自的两个输入连接到输入端子 101 和输入端子 102 上。另外, 与非门 108 的两个输入被短路, 接收或非门 105 的输出, 并输出运算结果到输出端子 103。同样地, 或非门 106 的两个输入被短路, 接收与非门 107 的输出, 并输出运算结果到输出端子 104。

[0032] 图 2 表示二相位调整电路 10 的时序图。当前, 被输入到输入端子 101 的信号 S1 的上升时刻比被输入到输入端子 102 的信号 S2 的上升时刻滞后了时间 T_d , 即, 信号 S1 的相位比信号 S2 的相位滞后。此时, 从与非门 107 输出的信号比相位滞后的信号 S1 滞后了时间 T_a 。并且, 时间 T_a 是与非门 107 的门延迟。另一方面, 从或非门 105 输出的信号比相位提前的信号 S2 滞后了时间 T_o 。并且, 时间 T_o 是或非门 105 的门延迟。即, 用相位提前的信号 S2 作为基准时, 从与非门 107 输出的信号延迟了时间 $T_d + T_a$, 从或非门 105 输出的信号延迟了时间 T_o 。因此, 这些信号的相位差为时间 $T_d + T_a - T_o$ 。这里, 由于与非门 107 的门延迟 (时间 T_a) 和或非门 105 的门延迟 (时间 T_o) 有一些误差, 所以时间 $T_a - T_o$ 不一定是 0。因此, 从与非门 107 输出的信号与从或非门输出的信号间的相位差偏离了作为原信号 S1 和 S2 的相位差的时间 T_d 。

[0033] 此处, 由或非门 106 和与非门 108 补偿上述偏离。即, 从与非门 107 输出的信号被或非门 106 进一步延迟。或非门 106 的门延迟与或非门 105 的门延迟相等, 为时间 T_o 。结果, 从或非门 106 输出的信号, 即, 从输出端子 104 输出的信号 S2' 比相位提前的信号 S2 延迟时间 $T_d + T_a + T_o$ 。同样地, 从或非门 105 输出的信号被与非门 108 进一步延迟。与非门 108 的门延迟和与非门 107 的门延迟相等, 为时间 T_a 。结果, 从与非门 108 输出的信号, 即从输出端子 103 输出的信号 S1' 比信号 S2 延迟了时间 $T_o + T_a$ 。即, 以相位提前的信号 S2 作为基准时, 信号 S1' 延迟了时间 $T_d + T_a + T_o$, 信号 S2' 延迟了时间 $T_o + T_a$ 。因此, 这些信号的相位差为时间 T_d , 作为原信号 S1 和 S2 的相位差的时间 T_d 被保存。

[0034] 如上所述, 在本实施方式的二相位调整电路 10 中, 无论被输入到输入端子 101、102 的两个信号的相位前后关系如何都保持该相位差地, 分别从输出端子 103 和输出端子 104 输出相位提前的信号和相位滞后的信号。即, 本实施方式的二相位调整电路 10 具有交换两个信号的相位的功能。

[0035] 回到图 1, 相位调整电路 100_2 与相位调整电路 100_1 输入输出相错开地连接,。相位调整电路 100_3 与相位调整电路 100_2 也输入输出相错开地连接。

[0036] 具体地说, 相位调整电路 100_1 中的二相位调整电路 10_m (m 为从 1 到 4 的各个整数) 的输出端子 103 和 104 分别被连接到相位调整电路 100_2 中的二相位调整电路 10_m 的输入端子 102 和二相位调整电路 10_{m+1} 的输入端子 101 上。另外, 相位调整电路 100_2 中的二相位调整电路 10_m 的输出端子 104 和二相位调整电路 10_{m+1} 的输出端子 103 分别被连接到相位调整电路 100_3 中的二相位调整电路 10_m 的输入端子 101 和输入端子 102

上。另外,在相位调整电路 100_2 中的二相位调整电路 10_1 的输入端子 101 和二相位调整电路 10_5 的输入端子 102,分别输入了逻辑电平“H”信号和“L”信号。

[0037] 本实施方式的相位调整电路中所输入的信号 $S(i,0)$,首先,被输入到相位调整电路 100_1。对信号 $S(1,0)$ 和 $S(2,0)$ 、信号 $S(3,0)$ 和 $S(4,0)$ 、信号 $S(5,0)$ 和 $S(6,0)$ 、信号 $S(7,0)$ 和 $S(8,0)$ 这 4 组信号,相位调整电路 100_1 保持各组的相位差地输出按照相位提前的顺序排列的 4 组信号,即、 $S(1,1)$ 和 $S(2,1)$ 、信号 $S(3,1)$ 和 $S(4,1)$ 、信号 $S(5,1)$ 和 $S(6,1)$ 、信号 $S(7,1)$ 和 $S(8,1)$ 。

[0038] 其次,对信号 $S(2,1)$ 和 $S(3,1)$ 、信号 $S(4,1)$ 和 $S(5,1)$ 、信号 $S(6,1)$ 和 $S(7,1)$ 这 3 组,相位调整电路 100_2 保持各组的相位差地输出按照相位提前的顺序排列的 3 组信号,即、信号 $S(2,2)$ 和 $S(3,2)$ 、信号 $S(4,2)$ 和 $S(5,2)$ 、信号 $S(6,2)$ 和 $S(7,2)$ 。虽然将信号 $S(1,1)$ 和逻辑电平“H”的信号输入到二相位调整电路 10_1 中,但是,由于后者的相位必定提前于前者,因此, $S(1,2)$ 成为使信号 $S(1,1)$ 延迟与其他的信号 $(i,1)$ 相同时间的信号并被输出。同样地,虽然将信号 $S(8,1)$ 和逻辑电平“L”的信号输入到二相位调整电路 10_5 中,但是,由于后者的相位必定滞后于前者,因此, $S(8,2)$ 成为使信号 $S(8,1)$ 延迟与其他的信号 $(i,1)$ 相同时间的信号并被输出。

[0039] 接下来,对信号 $S(1,2)$ 和 $S(2,2)$ 、信号 $S(3,2)$ 和 $S(4,2)$ 、信号 $S(5,2)$ 和 $S(6,2)$ 、信号 $S(7,2)$ 和 $S(8,2)$ 这 4 组信号,相位调整电路 100_3 保持各组的相位差地输出按照相位提前的顺序排列的 4 组信号,即, $S(1,3)$ 和 $S(2,3)$ 、信号 $S(3,3)$ 和 $S(4,3)$ 、信号 $S(5,3)$ 和 $S(6,3)$ 、信号 $S(7,3)$ 和 $S(8,3)$ 。

[0040] 如上所述,在每一个相位调整电路 100 中,只是对输入的信号 $S(2m-1,0)$ 和 $S(2m,0)$ 的相位进行了交换。但是,通过 2 级连接相位调整电路 100,信号 $S(i,0)$ 在前后相邻的信号之间进行相位交换。理论上,当所输入的信号的数目取作 N 时,通过 $2N$ 级连接相位调整电路 100,能够得到按相位顺序排列的 N 个信号。换言之,通过 $2N$ 级连接相位调整电路 100,能够补偿 $N \times \text{LSB}$ (LSB 是所输入的信号间的最小相位) 的单调增加性。

[0041] 虽然图 1 的相位调整电路中所输入的信号的数量是偶数,但在所输入的信号为奇数的情况下,优选如下那样改变图 1 的相位调整电路。图 3 表示改变图 1 的相位调整电路而得到的与奇数输入相对应的相位调整电路的结构。在该相位调整电路中,相位调整电路 100_1 和 100_3 分别包括二相位调整电路 10_5。在相位调整电路 100_1 中的二相位调整电路 10_5 的输入端子 101 和输入端子 102,分别输入了信号 $S(9,0)$ 和逻辑电平“L”信号。另外,同样地,在相位调整电路 100_3 中的二相位调整电路 10_5 的输入端子 101 和输入端子 102,分别输入了信号 $S(9,2)$ 和逻辑电平“L”信号。另外,相位调整电路 100_2 中的二相位调整电路 10_5 的输入端子 102 和输出端子 104,分别连接到相位调整电路 100_1 中的二相位调整电路 10_5 的输入端子 103 和相位调整电路 100_3 中的二相位调整电路 10_5 的输入端子 101 上。通过上述结构的相位调整电路,能够调整所输入的 9 个信号的相位。

[0042] 在图 1 与图 3 所示的相位调整电路中,可以设置具有和与非门 107 相等的延迟量的延迟电路代替与非门 108。同样地,也可以设计具有和或非门 105 相等的延迟量的延迟电路代替或非门 106。

[0043] < 第 2 实施方式 >

[0044] 图 4 表示第 2 实施方式的相位调整电路的结构。该相位调整电路是串联连接 3 个

8 输入 8 输出的相位调整电路 200_1、200_2 和 200_3 的结构。相位调整电路 200, 由与图 1 所示的二相位调整电路 10 不同结构的二相位调整电路 20 构成。下面, 仅对二相位调整电路 20 的结构进行说明。

[0045] 二相位调整电路 20 包括: 输入第 1 信号的输入端子 101、输入第 2 信号的输入端子 102、输入相位调整后的第 1 信号的输出端子 103、输出相位调整后的第 2 信号的输出端子 104、或门 205 和 206、以及与门 207 和 208。或门 205 的两个输入连接到输入端子 101 和 102 上, 与门 207 的两个输入连接到输入端子 101 和 102 上。另外, 与门 208 接收或门 205 的输出和逻辑电平“H”信号, 并输出运算结果到输出端子 103。同样地, 或门 206 接收与门 207 的输出和逻辑电平“L”信号, 并输出运算结果到输出端子 104。

[0046] 二相位调整电路 20 的时序图与图 2 中所示的相同。因此, 本实施方式的相位调整电路 200 显示了与图 1 所示的相位调整电路 100 相同的动作特性。

[0047] 如上所述, 该相位调整电路也可以与奇数输入相对应地变更。另外, 可以设置具有和与门 207 相等的信号延迟量的延迟电路代替与门 208。同样地, 也可以设置具有和或门 205 相等的信号延迟量的电路代替或门 206。

[0048] 另外, 在第 1 和第 2 实施方式中, 在以信号下降沿为基准定义相位的前后的情况下, 不言而喻, 成为与上述相反的关系, 即, 分别从二相位调整电路 10 和 20 的输出端子 103 输出相位滞后的信号, 从输出端子 104 输出相位提前的信号。

[0049] < 第 3 实施方式 >

[0050] 图 5 表示第 3 实施方式的相位调整电路的结构。该相位调整电路是 2 个 8 输入 8 输出的相位调整电路 300_1 和 300_2 串联连接的结构。相位调整电路 300_j 接收信号 $S(i, j-1)$, 输出相位调整后的信号 $S(i, j)$ 。

[0051] 相位调整电路 300_1 和 300_2, 都包括 8 个与门 30_1、30_2、30_3、30_4、30_5、30_6、30_7、30_8。相位调整电路 300_1 中的与门 30_m (m 是从 1 到 7 的各个整数) 接收信号 $S(m, 0)$ 和 $S(m+1, 0)$, 输出信号 $S(m, 1)$ 。另外, 与门 30_8 接收信号 $S(8, 0)$ 和逻辑电平“H”信号, 输出信号 $S(8, 1)$ 。同样地, 相位调整电路 300_2 中的与门 30_m 接收信号 $S(m, 1)$ 和 $S(m+1, 1)$, 输出信号 $S(m, 2)$ 。另外, 与门 30_8 接收信号 $S(8, 1)$ 和逻辑电平“H”信号, 输出信号 $S(8, 2)$ 。

[0052] 图 6 表示该相位调整电路的时序图。当前, 取作上升沿按信号 $S(7, 0)$ 、信号 $S(6, 0)$ 、信号 $S(8, 0)$, 信号 $S(5, 0)$ 、信号 $S(4, 0)$ 、信号 $S(3, 0)$ 、信号 $S(2, 0)$ 、信号 $S(1, 0)$ 的顺序出现。当利用相位调整电路 300_1 进行这些信号的相位调整时, 信号 $S(8, 1)$ 和 $S(7, 1)$ 的上升沿在相同时刻出现。这是因为, 作为由与门 307 对信号 $S(8, 0)$ 和 $S(7, 0)$ 进行逻辑运算的结果, 输出了当信号 $S(8, 0)$ 和 $S(7, 0)$ 都变为逻辑电平“H”时上升沿变化的信号 $S(7, 1)$ 。

[0053] 其次, 当由相位调整电路 300_2 进行信号 $S(1, 1) \sim S(8, 1)$ 的相位调整时, 信号 $S(8, 2)$ 、 $S(7, 2)$ 以及 $S(6, 2)$ 的上升沿在相同时刻出现。这是因为, 作为由与门 306 对信号 $S(7, 1)$ 、 $S(6, 1)$ 进行逻辑运算的结果, 输出了当信号 $S(7, 1)$ 和 $S(6, 1)$ 都变为逻辑电平“H”时上升沿变化的信号 $S(6, 2)$ 。

[0054] 如上所述, 虽然在每一个相位调整电路 300 中只能进行 1LSB 大小的相位补偿, 但通过多级连接相位调整电路 300 能进行更多的相位补偿。理论上, 通过 N 级连接相位调整

电路 300,能够补偿 $N \times \text{LSB}$ 的单调增加性。

[0055] 另外,在多级连接与门的情况下,能够进一步简化逻辑结构。例如,众所周知,能够使 2 级连接与非门的逻辑门尺寸比 2 级连接与门的小。

[0056] < 第 4 实施方式 >

[0057] 图 7 表示第 4 实施方式的相位调整电路的结构。该相位调整电路是串联连接了 2 个与图 5 所示的相位调整电路 300 不同结构的相位调整电路 400_1 和 400_2 的结构。下面,仅对相位调整电路 400 的结构进行说明。

[0058] 相位调整电路 400_1 和 400_2 都包括 8 个或门 40_1、40_2、40_3、40_4、40_5、40_6、40_7、以及 40_8。相位调整电路 400_1 中的或门 40_m 接收信号 $S(m, 0)$ 和 $S(m+1, 0)$, 输出信号 $S(m, 1)$ 。另外,或门 40_8 接收信号 $S(8, 0)$ 和逻辑电平“L”信号,输出信号 $S(8, 1)$ 。同样地,相位调整电路 400_2 中的或门 40_m 接收信号 $S(m, 1)$ 和 $S(m+1, 1)$, 输出信号 $S(m, 2)$ 。另外,或门 40_8 接收信号 $S(8, 1)$ 和逻辑电平“L”信号,输出信号 $S(8, 2)$ 。

[0059] 由于当或门 40 的两个输入都变为“L”电平时,输出变为“L”电平,该相位调整电路能够根据所输入的信号的下降沿的时刻进行相位调整。

[0060] 由于本发明的相位调整电路能够补偿所输入的信号的相位的单调增加性,如图 8 所示,在光盘装置中,在补偿用于向光盘介质写入数据时生成脉冲的相位信息的单调增加性方面是有用的。

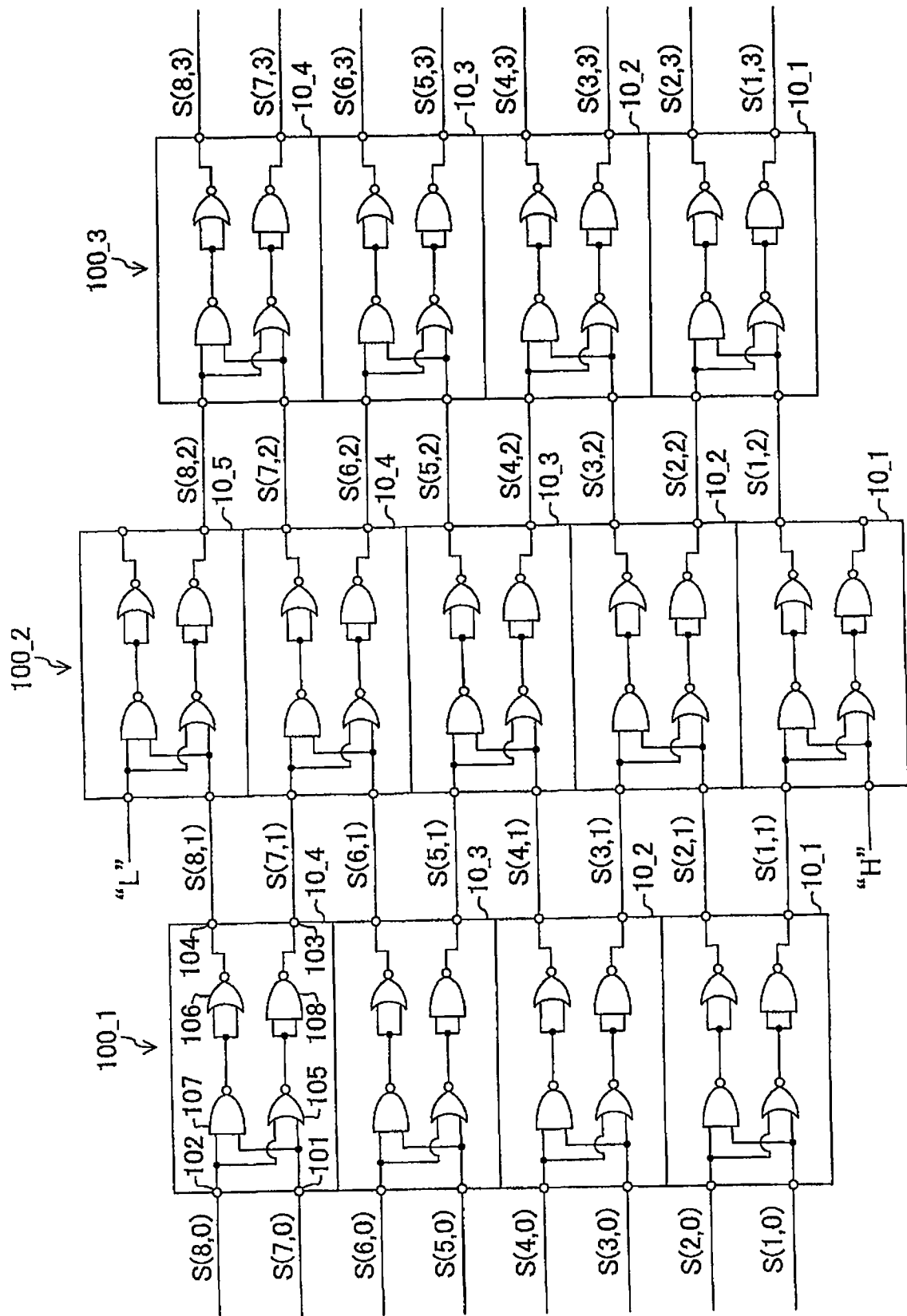


图 1

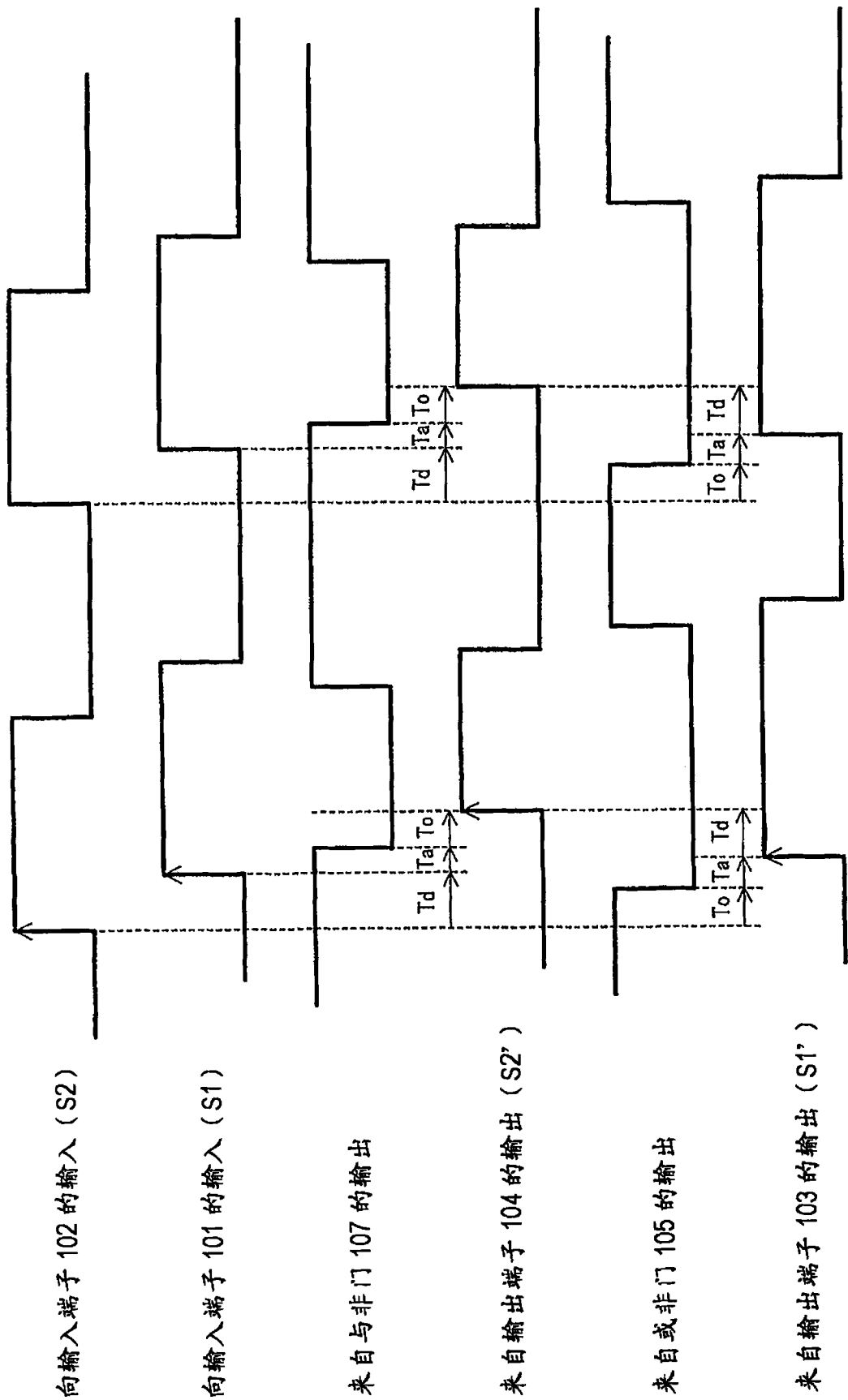


图 2

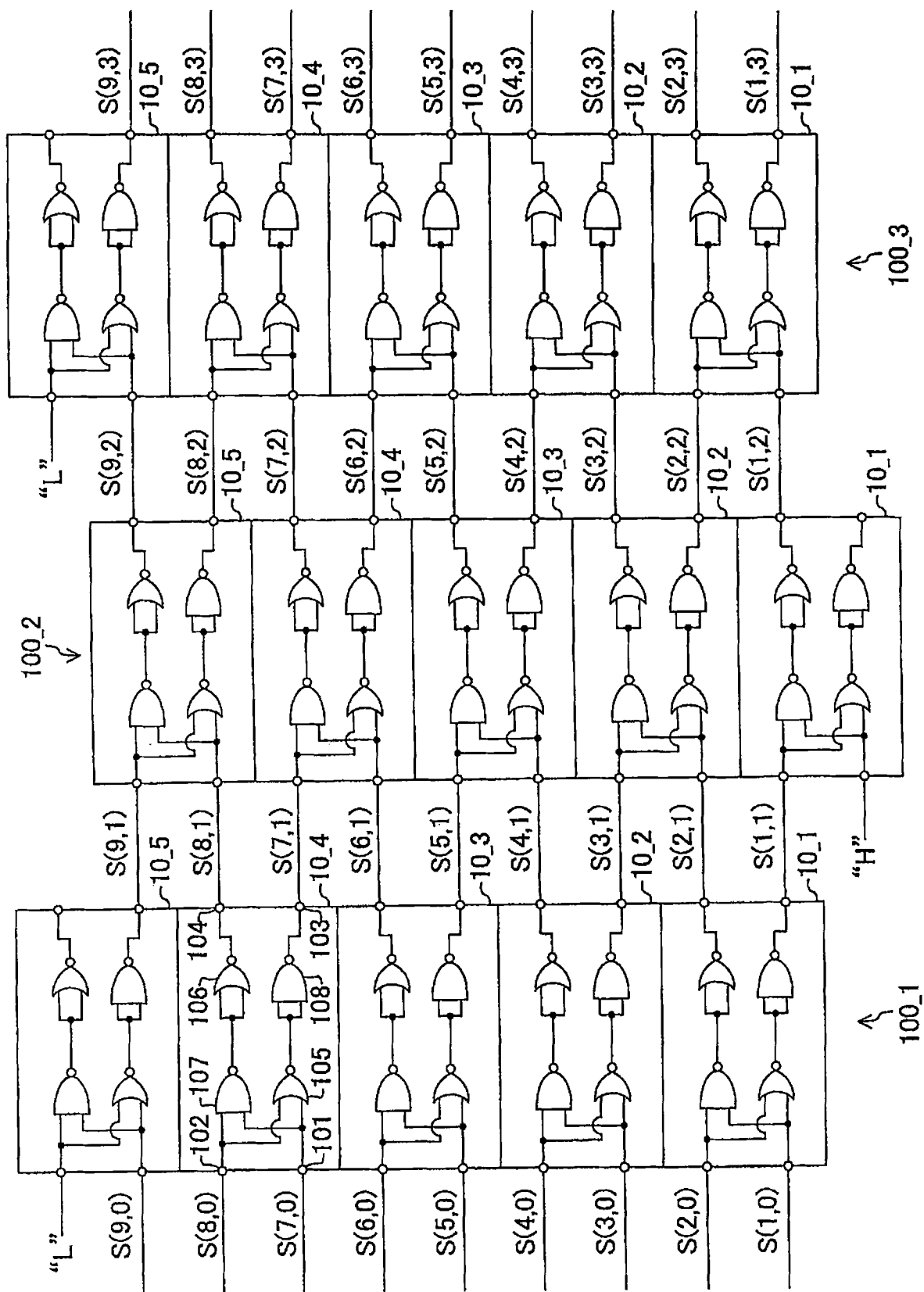


图 3

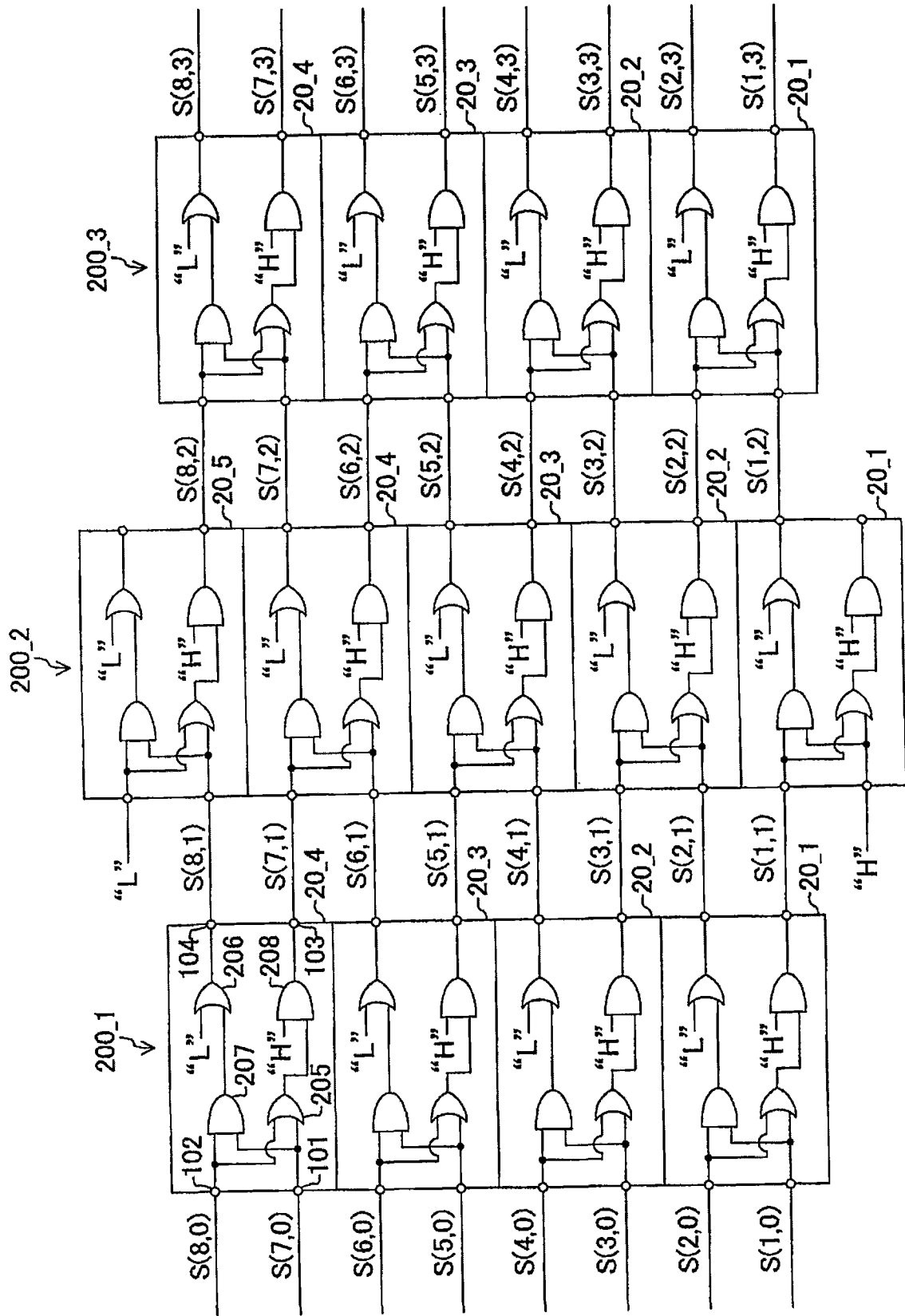


图 4

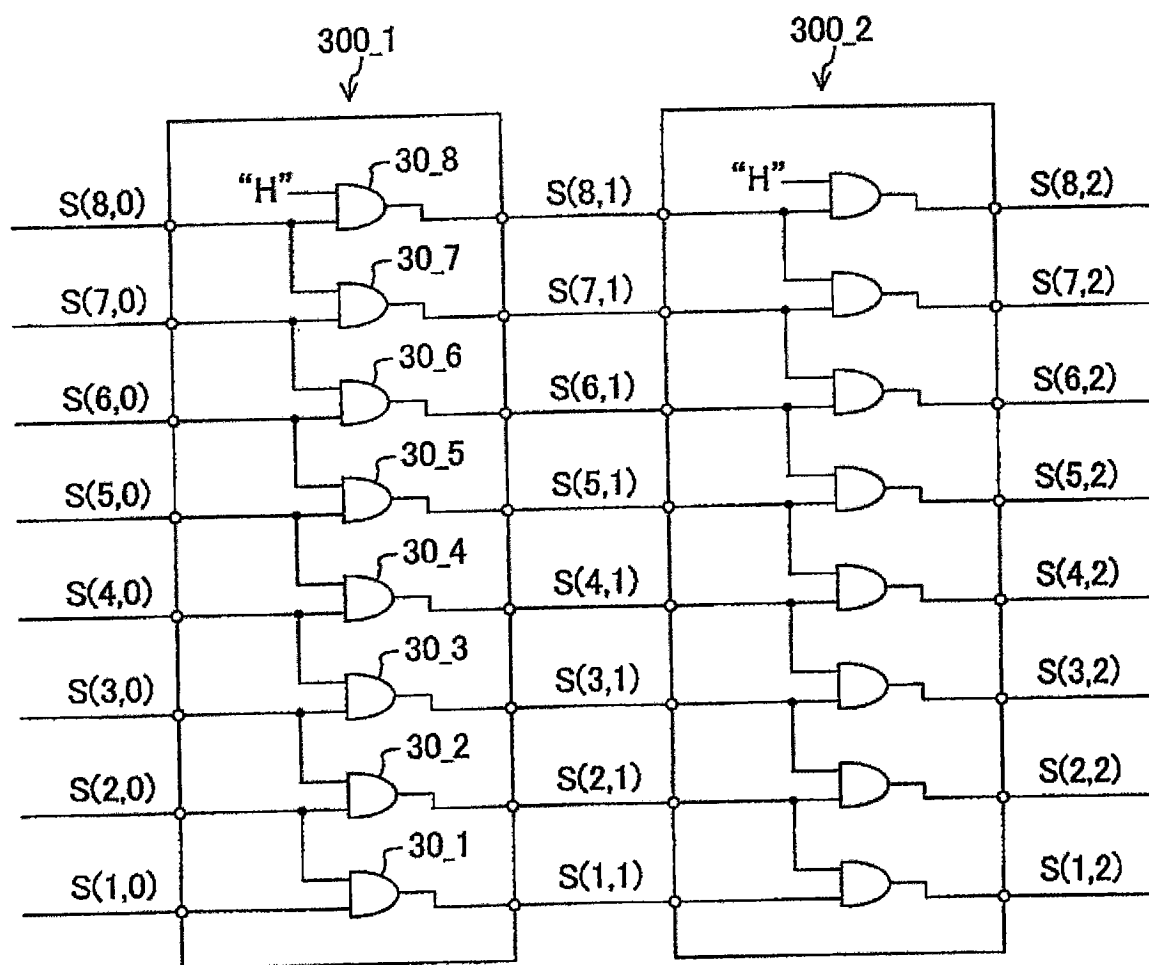


图 5

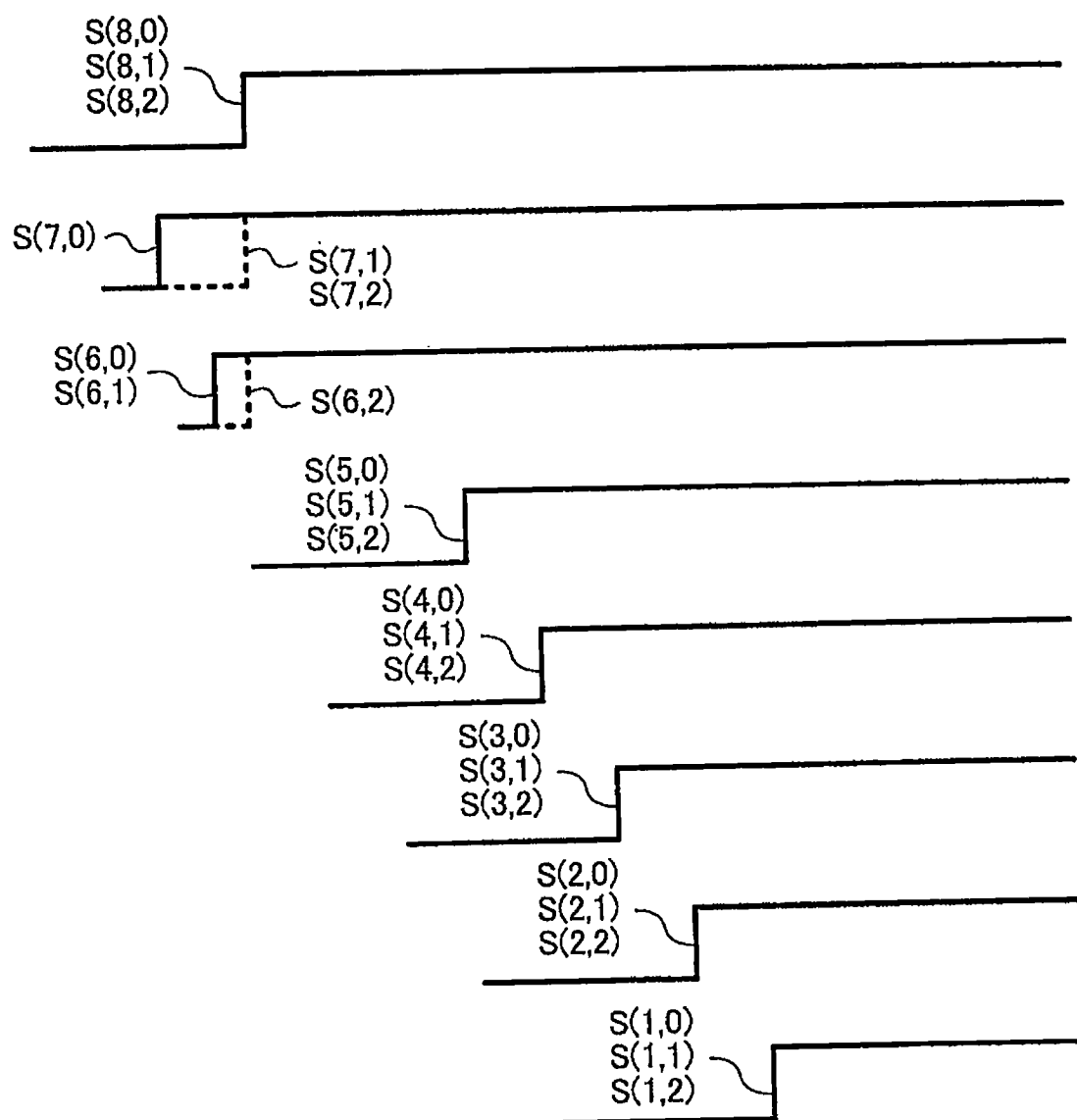


图 6

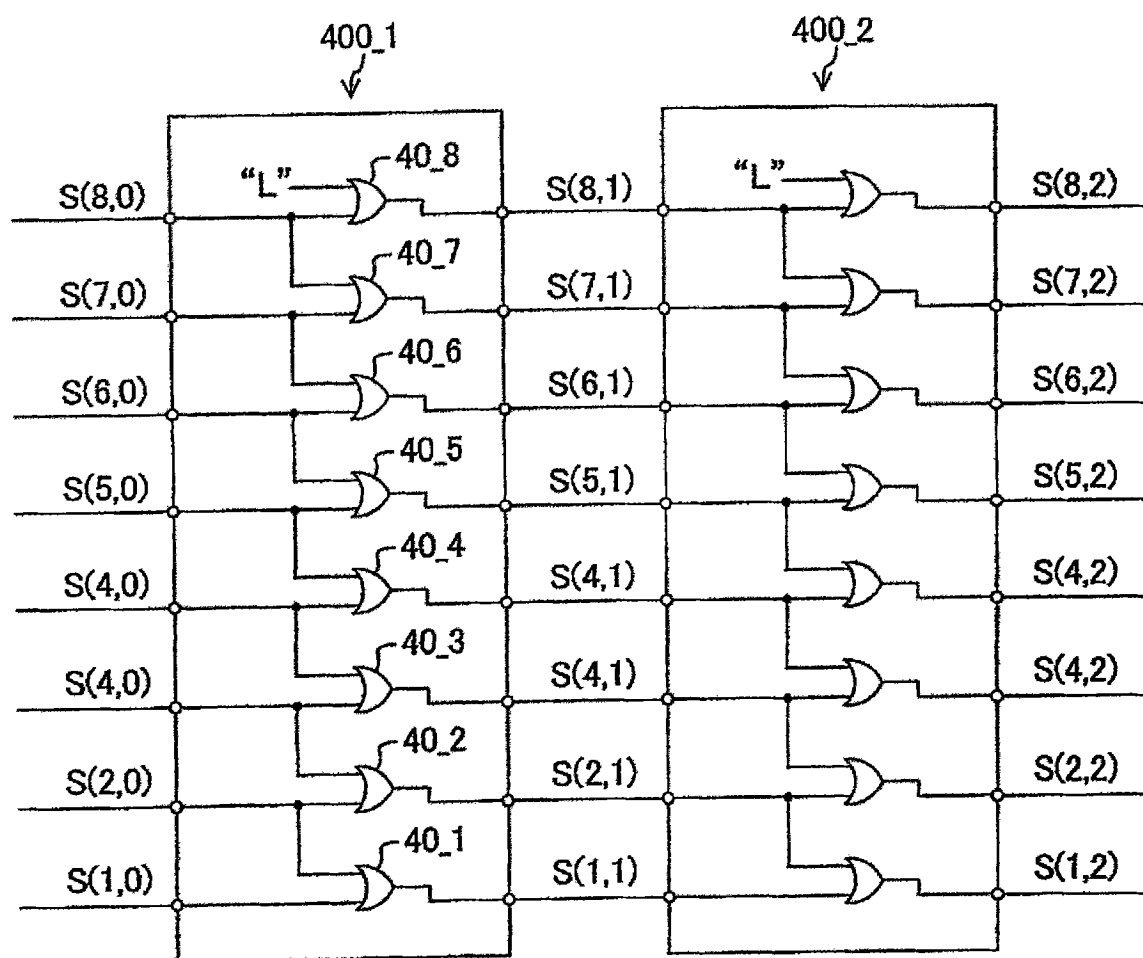


图 7

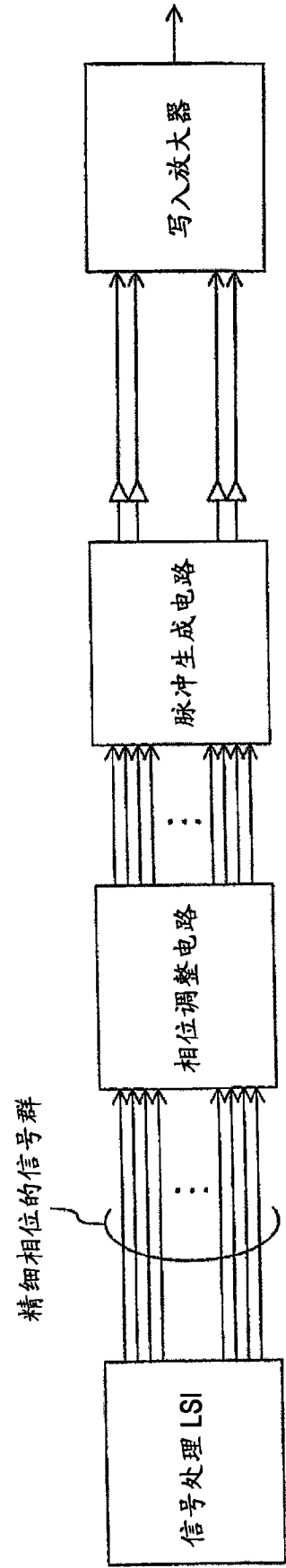


图 8