



(12) 发明专利申请

(10) 申请公布号 CN 102569269 A

(43) 申请公布日 2012. 07. 11

(21) 申请号 201110384864. 4

(22) 申请日 2011. 09. 09

(30) 优先权数据

10-2010-0088560 2010. 09. 09 KR

(71) 申请人 海力士半导体有限公司

地址 韩国京畿道

(72) 发明人 姜泰敏

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邱军

(51) Int. Cl.

H01L 25/00 (2006. 01)

H01L 23/488 (2006. 01)

H01L 23/31 (2006. 01)

H01L 21/60 (2006. 01)

H01L 21/56 (2006. 01)

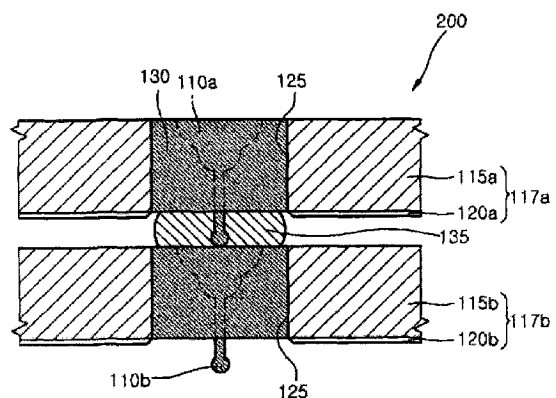
权利要求书 2 页 说明书 4 页 附图 4 页

(54) 发明名称

半导体芯片、包括其的堆叠芯片半导体封装及其制造方法

(57) 摘要

本发明披露了一种半导体芯片、包括其的堆叠芯片半导体封装及其制造方法。该半导体芯片包括形成有通路孔的硅晶片、配置在该通路孔中的金属线、以及填充该通路孔时暴露该金属线的顶部一部分的填料。根据本发明,基本防止在制造半导体芯片的直通硅通道工艺中由于金属膜不完全填充通道孔而导致的焊垫开口失效。



1. 一种具有通路孔的半导体芯片,包括:
金属线,至少一部分位于该通路孔中;以及
填料,填充其中具有该金属线的该通路孔,其中该金属线的第一端部暴露在该填料之外。
2. 如权利要求 1 的半导体芯片,还包括:
电路板,具有形成有金属焊垫的部分,其中该电路板配置在该半导体芯片的一个表面上,以将该金属焊垫电连接至该金属线除该第一端部的部分。
3. 如权利要求 2 的半导体芯片,其中该电路板包括具有弯曲和粘接特性的聚合物层,并且其中在该电路板中形成堆叠通路,以暴露该金属焊垫未与该金属线接触的部分。
4. 如权利要求 1 的半导体芯片,其中该金属线包括铜且具有类似 T 形的剖面形状。
5. 如权利要求 1 的半导体芯片,其中该填料是包括环氧树脂的底部填充材料或者包括聚合物的材料。
6. 一种半导体封装,包括:
第一半导体芯片和第二半导体芯片,每一个芯片都具有在该芯片的第一表面和第二表面之间的通路孔,每一个芯片包括:
金属线,至少一部分位于该通路孔中;以及
填料,填充其中具有该金属线的该通路孔,其中该金属线的第一端部由该第一表面暴露并且第二端部由该第二表面暴露;
其中该第一芯片的该金属线的第一端部电连接至该第二芯片的该金属线的该第二端部。
7. 如权利要求 6 的半导体封装,其中每一个芯片的该第一端部从每一个芯片的该第一表面突出,并且其中该第一芯片的该金属线的突出的该第一端部通过焊球电连接至该第二芯片的该金属线的该第二端部。
8. 如权利要求 7 的半导体封装,其中每一个半导体芯片还包括:
电路板,具有形成有金属焊垫的部分,其中该电路板的一个表面配置在该芯片的该第二表面上,以将该金属焊垫电连接至该金属线的该第二端部;以及
堆叠通路,形成在该电路板的另一表面上,以暴露该金属焊垫的一部分。
9. 如权利要求 7 的半导体封装,其中该金属线包括铜且具有类似 T 形的剖面形状。
10. 如权利要求 7 的半导体封装,其中该填料是包括环氧树脂的底部填充材料或者包括聚合物的材料。
11. 一种制造具有通路孔的半导体芯片的方法,包括:
准备电路板,该电路板包括形成于其中的金属焊垫;
贴附金属线的第二端部至该电路板的该金属焊垫;
将该金属线设置在该通路孔中;以及
利用填料填充该通路孔,以使该金属线的第一端部暴露在该填料之外。
12. 制造具有通路孔的半导体芯片的所述方法,其中该第一端部突出于该半导体芯片的表面之外。
13. 如权利要求 12 的方法,其中该电路板包括具有弯曲和粘接特性的聚合物层。
14. 如权利要求 12 的方法,其中该金属线包括铜且具有类似 T 形的剖面形状。

15. 如权利要求 12 的方法,其中该填料是包括环氧树脂的底部填充材料或者包括聚合物的材料。

16. 如权利要求 12 的方法,还包括:

利用该填料填充该通路孔之后,从该芯片移除该电路板,以使该金属线通过该填料保持在该通路孔中。

17. 如权利要求 12 的方法,还包括:

利用该填料填充该通路孔之后,刻蚀该电路板的一部分以形成堆叠通路,该堆叠通路暴露贯穿的该金属焊垫的一部分。

18. 如权利要求 17 的方法,其中该堆叠通路通过使用激光的刻蚀方法形成。

19. 一种制造半导体封装的方法,包括:

制造第一半导体芯片和第二半导体芯片,其中具有通路孔的每一个芯片的制造方法包括:

准备电路板,该电路板包括形成于其中的金属焊垫;

贴附金属线的第二端部至该电路板的该金属焊垫;

将该金属线设置在该通路孔中;以及

利用填料填充该通路孔,以使该金属线的第一端部暴露于该填料之外,因而该第一端部从该半导体芯片的表面突出;以及

通过焊球将该第一半导体芯片的该金属线的该第一端部连接至该第二半导体芯片的该金属线的该第二端部。

20. 如权利要求 19 的方法,其中每一个半导体芯片还包括:

电路板,具有形成有金属焊垫的部分,该电路板的一个表面配置在该芯片的该第二表面上,以将该金属焊垫电连接至该金属线的该第二端部;以及

堆叠通路,其形成在该电路板的另一表面上,以暴露该金属焊垫的一部分;

其中该第一半导体芯片的该金属线的该第一端部连接至该第二半导体芯片的该金属焊垫通过该堆叠通路暴露的部分。

半导体芯片、包括其的堆叠芯片半导体封装及其制造方法

技术领域

[0001] 本发明的示范性实施例总体涉及一种半导体封装,并且更具体地,涉及一种半导体芯片、包括其的堆叠芯片半导体封装及其制造方法。

背景技术

[0002] 小尺寸、高性能的现代电子产品要求极小型的、高存储容量的半导体存储器。为提高存储容量,半导体存储器可通过具有更高集成度的半导体芯片以及具有多个芯片的半导体封装来制造。与改善集成度相比,封装通常被认为对于增加存储容量而言效率更高且成本更低。

[0003] 多芯片封装包括安装在半导体封装中的多个半导体芯片。随着堆叠更多的更大尺寸的芯片,在封装中电性互连空间不足。也就是说,因为芯片的键合焊垫用引线电连接至导电电路图案,为将多个芯片贴附至板的芯片贴附区,需要引线键合的空间和连接至线的板的电路图案区域。这将增加半导体封装的尺寸。直通硅通道 (through silicon via TSV) 是多芯片封装技术的例子。使用直通硅通道的封装是由具有直通硅通道孔的芯片形成的,这些直通硅通道形成在晶片级的芯片中,并且通过这些直通硅通道在垂直堆叠的芯片之间构成许多物理和电性连接。

[0004] 一般地,一个直通硅通道连接至一个焊垫。当直通硅通道没有合适地形成时(例如由于金属膜没有完全填充该通路孔并造成焊垫开口),修复如此有缺陷的直通硅通道将是不可能的。例如,当直通硅通道通过具有类似问题的许多其它工艺中的镀覆工艺来填充时,由于通道孔的高度增加以及直径减小,金属膜经常不能完全填充通道孔。当封装被测试到包括具有上述有缺陷的直通硅通道的芯片时,封装中的所有其它芯片也将被丢弃,这导致产率降低。

发明内容

[0005] 本发明实施例涉及半导体芯片、包括其的堆叠芯片半导体封装及其制造方法,其基本防止在制造半导体芯片的直通硅通道工艺中由于金属膜不完全填充通道孔而导致的焊垫开口失效,因而基本防止空腔陷阱。

[0006] 在实施例中,半导体芯片包括:形成有通道孔的硅晶片;配置在该通道孔中的金属线;以及暴露该金属线顶部一部分并填充该通道孔的填料。

[0007] 在实施例中,该半导体芯片可还包括:电路板,其配置在该金属线的底部所处的该硅晶片的一个表面上,并且包括该金属线所贴附的金属焊垫;以及堆叠通道,其通过移除该硅晶片的一部分并暴露金属焊垫表面的一部分而形成。

[0008] 该电路板可具有弯曲和粘接特性。

[0009] 该金属线可包括铜,并具有倒 T 形状,并且该填料可为包括环氧树脂的底部填充材料或者包括聚合物的材料。

[0010] 在实施例中,半导体封装可包括:多个堆叠半导体芯片,其包括形成有通道孔的硅

晶片、配置在该通道孔中的金属线、以及填充该通道孔时暴露该金属线顶部一部分的填料；以及焊球，其包括该金属线顶部的暴露部分，并且彼此连接这些半导体芯片。

[0011] 在实施例中，制造半导体芯片的方法包括：准备包含金属焊垫的电路板；贴附金属线至该电路板的金属焊垫；在硅晶片上形成通道孔；贴附该电路板至该硅晶片以使该金属线位于通道孔中；以及利用填料填充该通道孔并暴露该金属线的顶部。

[0012] 在实施例中，制造半导体封装的方法包括：准备第一半导体芯片，其包含形成有第一通道孔的第一硅晶片、配置在该第一通道孔中的第一金属线、以及填充该第一通道孔时暴露出该第一金属线顶部一部分的第一填料；准备第二半导体芯片，其包含形成有第二通道孔的第二硅晶片、配置在该第二通道孔中的第二金属线、以及填充该第二通道孔时暴露出该第二金属线顶部一部分的第二填料；以及使用焊球连接该第一半导体芯片至该第二半导体芯片，以使该第一半导体芯片的该第一金属线的暴露顶部连接至该第二半导体芯片的该第二金属线的底部表面。

附图说明

[0013] 上述以及其它方面、特征及其它优势将从下面结合附图的详细描述中更清楚地理解，其中：

[0014] 图 1A 至 1G 是涉及根据本发明的实施例制造半导体芯片的方法的示意图；

[0015] 图 2 是示出根据实施例的包括图 1a 至 1g 中形成的半导体芯片的半导体封装的剖视图；

[0016] 图 3 是示出根据本发明的实施例的制造半导体芯片的方法的示意图；以及

[0017] 图 4 是示出包括形成有堆叠通道的半导体芯片的半导体封装的剖视图。

具体实施方式

[0018] 在下文中，将参考附图描述本发明的实施例。然而，这些实施例仅是出于示例的目的，并且不是用于限制本发明的范围。

[0019] 图 1A 至 1G 涉及根据本发明实施例的堆叠芯片半导体封装。

[0020] 参见图 1A，柔性电路板 (FCB) 107 包括形成在聚合物层 100 的一部分上的金属焊垫 105，金属焊垫 105 包括诸如铜 (Cu) 的导电金属，其可显示出弯曲的特性。如图 1A 所示，该金属焊垫 105 可形成在聚合物层 100 中以提供平坦的表面，或者该金属焊垫 105 可形成在聚合物 100 中以具有或高于或低于聚合物层 100 的表面的不同表面水平。该柔性电路板 107 可显示出粘接特性，以在随后的步骤中向硅晶片等提供可能的粘附。或者，可单独地提供粘接材料以用于至硅晶片等贴附。

[0021] 参见图 1B，金属线 110 贴附至金属焊垫 105，金属焊垫 105 例如包括柔性的电路板 107 的铜 (Cu)，其可以是柔性的。该金属线 110 可具有与该金属焊垫 105 接触的宽的底部表面和窄的顶部表面，也就是说，形成在该金属焊垫 105 上的该金属线 110 的整体形状看起来是类似的倒“T”形。该金属线 110 可包含导电金属，例如铜 (Cu)，以便于贴附至该金属焊垫 105。该金属线 110 的整个高度可大于半导体芯片的厚度，因此多个半导体芯片可以彼此连接，下面将进行更多解释。

[0022] 参见图 1C，半导体芯片 117 可以形成有直通硅通道。该半导体芯片 117 包括保护

图案 120 以暴露出硅晶片 115 的区域,在硅晶片 115 中形成通道孔。该保护图案 120 可通过在该硅晶片 115 的第一表面上涂覆聚酰亚胺聚酰亚胺异二氢吡啶并喹唑啉 (polyimide isoindro quindzoline PIQ) 而形成。

[0023] 参见图 1D,通过刻蚀利用通道掩模(未示出)由保护图案 120 暴露出的半导体芯片 117 的该部分和该保护图案 120 形成通道孔 125。考虑到在随后的背研磨工艺中的目标,该半导体芯片 117 的该暴露部分可被选择性地刻蚀。

[0024] 参见图 1E,图 1B 中的具有该金属焊垫 105 和该金属线 110 的该电路板 107 被贴附至该半导体芯片 117。根据本发明的实施例,由于该电路板 107 可为柔性并且包括具有粘接特性的该聚合物层 100,如图 1B 所示的具有该金属线 110 的该电路板 107 可轻而易举地被贴附至该半导体芯片 117。该电路板 107 可贴附至该半导体芯片 117,以使该金属线 110 设置在该半导体芯片 117 的通道孔 125 中。

[0025] 参见图 1F,填料 130 被填充在该金属线 110 所插入的通道孔 125 中。填充该通道孔 125 的填料 130 夹紧通道孔 125 中的该金属线 110,并且基本上防止在该通道孔 125 中形成空腔。因此该填料 130 可使用具有流动性的材料,例如包含环氧树脂或者聚合物的底部填充材料。由于该金属线 110 的高度大于该半导体芯片 117 的厚度,该金属线 100 的末端将暴露于该半导体芯片 117 的表面之外。

[0026] 根据本发明的实施例,由于该通道孔 125 填充有包括流动性材料的填料 130,可以基本上防止空腔的产生,而在使用常规电镀工艺用铜 (Cu) 填充通道孔空腔时,可能产生空腔。

[0027] 参见图 1G,从该半导体芯片 117 移除该电路板 107。可为柔性并具有粘接特性的该电路板 107 可被选择性地且容易地与该半导体芯片 117 分离,而将该金属线 110 仍留在通道孔 125 中。然后,暴露第二表面,该第二表面与包括该半导体芯片 117 的该保护图案 120 的第一表面相对。当堆叠多个半导体芯片 117 时,在该半导体芯片 117 的暴露的第二表面用作顶面并且该金属线 110 的暴露的顶部用作底面的状态下,堆叠半导体芯片。

[0028] 图 2 是根据本发明的实施例包括图 1A 至 1G 中形成的半导体芯片的半导体封装的剖视图。

[0029] 参见图 2,根据本发明的实施例,半导体封装 200 具有这样的结构,其中多个半导体芯片例如第一半导体芯片 117a 和第二半导体芯片 117b 被堆叠。该第一和第二半导体芯片 117a,117b 通过焊球 135 彼此连接以形成封装。使用该焊球 135,该第一和第二半导体芯片 117a,117b 通过金属线 110a,110b 彼此连接,其中金属线 110a,110b 位于通道孔 125 中,从而形成贯穿电极。

[0030] 该半导体封装 200 可通过这样的方式形成:准备第一半导体芯片 117a 和第二半导体芯片 117b 两者,其中该第一半导体芯片 117a 包括设置于通道孔 125 中的金属线 110a 并具有暴露的顶部,该第二半导体芯片 117b 包括设置于通道孔 125 中的金属线 110b 并具有暴露的顶部;以及使用焊球 135 将该第一半导体芯片 117a 连接至该第二半导体芯片 117b,以使该第一半导体芯片 117a 的该金属线 110a 的暴露的顶部连接至该第二半导体芯片 117b 的该金属线 110b 的底面。

[0031] 为了防止从该半导体芯片 117 移除该柔性电路板 107 时贴附至柔性电路板 107 的金属线 110 受到破坏,可以不用去除柔性电路板 107 而堆叠半导体芯片。在下文中,这将参

照图 3 和 4 进行描述。

[0032] 图 3 涉及根据本发明实施例的半导体芯片,其可以不用去除柔性电路板而被封装。

[0033] 参见图 3,填料 130 填充在其中配置有金属线 110 的通道孔 125 中,并且选择性地刻蚀柔性电路板 107 的聚合物层 100 以形成暴露金属焊垫 105 表面一部分的堆叠通道 140。该堆叠通道 140 作为连接通路,通过该连接通路使多个半导体芯片随后被堆叠时能彼此连接。该堆叠通道 140 可通过使用激光对该聚合物层 100 选择性地刻蚀而形成。半导体芯片 117c 的第二表面被该柔性电路板 107 覆盖,并且该金属焊垫 105 的表面只有一部分被暴露。

[0034] 图 4 是示出包括形成有堆叠通道的半导体芯片的半导体封装的剖视图。

[0035] 参见图 4,根据本发明的实施例,半导体封装 300 包括多个半导体芯片,例如垂直堆叠的第一和第二半导体芯片 117c,117d。该半导体芯片 117c,117d 通过焊球 145 彼此连接以形成封装。使用焊球 145,该第一和第二半导体芯片 117c,117d 通过金属线 110 彼此连接,金属线 110 设置在通道孔 125 中,从而形成直通硅通道。

[0036] 该半导体封装 300 可以这样的方式形成:准备第一半导体芯片 117c 和第二半导体芯片 117d 两者,其中该第一半导体芯片 117c 包括设置于通道孔 125 中的金属线 110 并具有暴露的顶部,该第二半导体芯片 117d 包括设置于通道孔 125 中的金属线 110 并具有暴露的顶部;以及使用焊球 145 将该第一半导体芯片 117c 连接至该第二半导体芯片 117d,以使该第一半导体芯片 117c 的金属线 110 的暴露的顶部连接至该第二半导体芯片 117d 的金属线 110 的底面。当填充该堆叠通道 140 的空的空间时,该焊球 145 将该第一半导体芯片 117c 连接至该第二半导体芯片 117d。

[0037] 根据实施例的该半导体芯片和该半导体封装,直通硅通道 (TSV) 的通道孔使用引线键合技术来填充,因而可以基本防止空腔缺陷,而该空腔缺陷发生在使用镀覆工艺填充通道孔时。另外,使用引线键合技术使得可以低成本地填充直通硅通道 (TSV) 的通道孔。

[0038] 根据本发明的实施例,将该引线键合技术应用到直通硅通道 (TSV) 的通道孔填充方法,因而基本防止了在使用镀覆工艺填充通道孔时会产生空腔缺陷。另外,使用引线键合技术使得可以低成本地填充直通硅通道 (TSV) 的通道孔。

[0039] 出于示例的目的,以上披露了本发明的实施例。本领域的技术人员将意识到,在不背离如所附权利要求所披露的本发明的范围和精神的情况下,各种修改、增加和替换是可能的。

[0040] 本申请要求于 2010 年 9 月 9 日在韩国知识产权局提交的韩国专利申请 No. 10-2010-0088560 的优先权,其全部内容通过引用合并于此。



图 1A

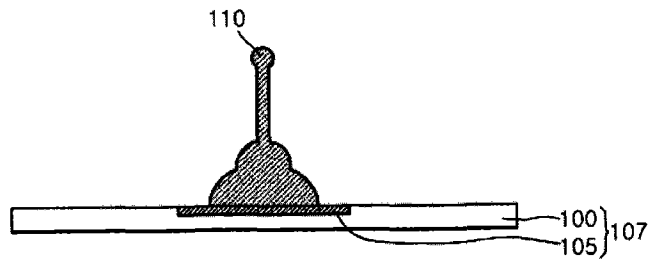


图 1B

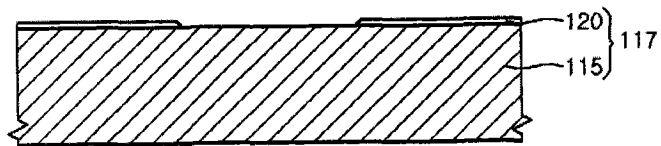


图 1C

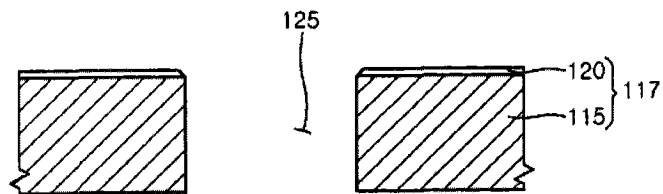


图 1D

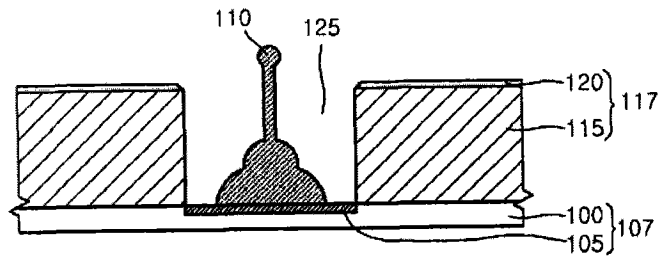


图 1E

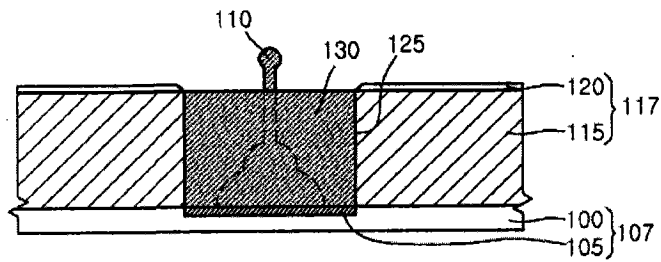


图 1F

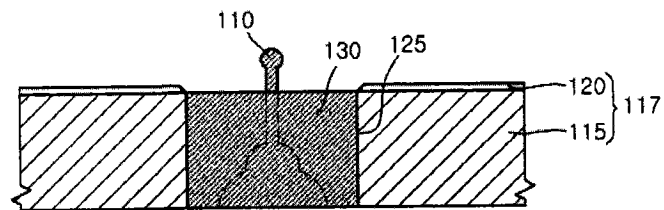


图 1G

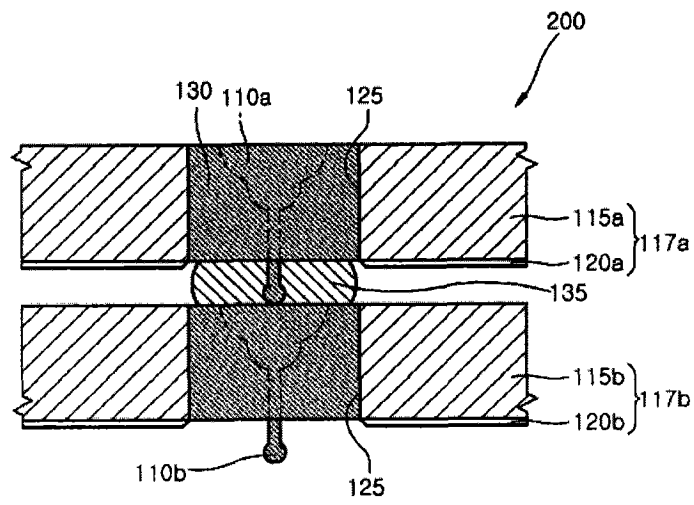


图 2

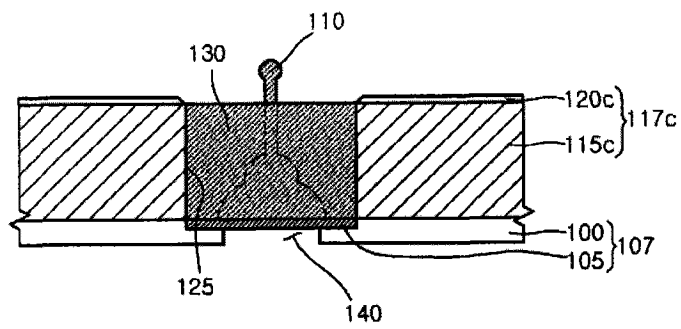


图 3

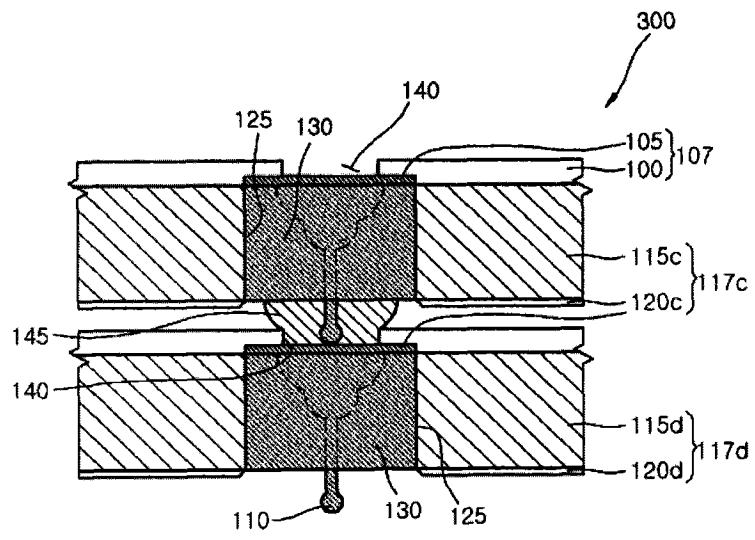


图 4