



(12) 发明专利

(10) 授权公告号 CN 103081064 B

(45) 授权公告日 2015. 07. 29

(21) 申请号 201180042743. X

G23C 14/16(2006. 01)

(22) 申请日 2011. 08. 30

C01B 33/06(2006. 01)

(30) 优先权数据

审查员 聂一琴

10-2010-0086963 2010. 09. 06 KR

(85) PCT国际申请进入国家阶段日

2013. 03. 05

(86) PCT国际申请的申请数据

PCT/KR2011/006389 2011. 08. 30

(87) PCT国际申请的公布数据

W02012/033299 K0 2012. 03. 15

(73) 专利权人 株式会社 EUGENE 科技

地址 韩国京畿道龙仁市

(72) 发明人 金海元 禹相浩 赵星吉 张吉淳

(74) 专利代理机构 北京北翔知识产权代理有限公司

11285

代理人 王媛 钟守期

(51) Int. Cl.

H01L 21/24(2006. 01)

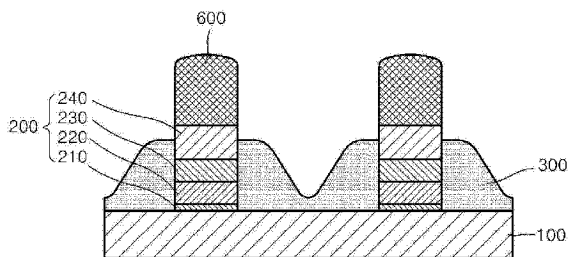
权利要求书1页 说明书7页 附图5页

(54) 发明名称

半导体器件的制备方法

(57) 摘要

本发明提供了一种包含金属硅化物层的半导体器件制备方法。本发明一个实施例的半导体器件的制备方法包括以下步骤：在形成有多晶硅图案的基底上形成绝缘层使得多晶硅图案露出；相对于绝缘层，在露出的多晶硅图案上选择性地形成硅晶种层；在形成有硅晶种层的基底上形成金属层；以及通过对形成有金属层的基底进行热处理，形成金属硅化物层。



1. 一种半导体器件的制备方法,所述方法包括如下步骤:
 - (a) 在基底上形成多晶硅图案;
 - (b) 在所述基底上形成绝缘材料以覆盖所述多晶硅图案,所述绝缘材料形成为二氧化硅膜或氮化硅膜;
 - (c) 移除覆盖多晶硅图案的绝缘材料以形成绝缘层,使得多晶硅图案露出;
 - (d) 用含有氢基的溶液预处理所述基底以将氢原子键合在露出于基底上的绝缘层和多晶硅图案上;
 - (e) 通过向装载有所述基底的腔室内部提供选自 SiH_4 、 Si_2H_6 、 Si_3H_8 和 Si_4H_{10} 中的一种或多种原料气,并通过调节加工条件使硅原子取代键合在所述多晶硅图案上的氢原子,从而仅在多晶硅图案上形成硅晶种层;
 - (f) 在所述硅晶种层和绝缘层上形成金属层;以及
 - (g) 通过进行热处理,仅在多晶硅图案上形成金属硅化物层,其中步骤 (a)、(b)、(c)、(d)、(e)、(f) 和 (g) 依此顺序进行。
2. 权利要求 1 的半导体器件的制备方法,其特征在于,所述含有氢基的溶液为选自 HF、稀释的氢氟酸 (DHF)、以及缓冲的氧化物刻蚀剂 (BOE) 溶液中的一种或多种溶液。
3. 权利要求 1 的半导体器件的制备方法,其特征在于,在形成所述硅晶种层的步骤中,将所述基底保持在 500°C 至 650°C 的温度。
4. 权利要求 1 的半导体器件的制备方法,其特征在于,在形成所述硅晶种层的步骤中,所述腔室内部的压力保持为 5Torr 至 20Torr。
5. 权利要求 1 的半导体器件的制备方法,其特征在于,所述金属层为选自 Ti、Co 和 Ni 中的一种或多种金属。
6. 权利要求 1 的半导体器件的制备方法,其特征在于,还包括如下步骤:在形成所述金属硅化物层的步骤之后,移除残留的金属层。
7. 权利要求 1 的半导体器件的制备方法,其特征在于,所述调节加工条件包括向腔室的内部提供能量,所述能量大于氢和硅之间的键能并小于氢和氧或氢和氮之间的键能。

半导体器件的制备方法

技术领域

[0001] 本发明涉及一种半导体器件的制备方法,并且更具体而言,涉及一种包括金属硅化物层的半导体器件的制备方法。

背景技术

[0002] 近来,根据半导体行业的发展和用户的需求,电子仪器需要更高的集成化和性能化,因此作为电子仪器核心部件的半导体器件也需要高集成化和性能化。然而,很难实现高集成化的半导体器件的精细结构。

[0003] 例如,如果降低设计规则以实现精细结构,就难以获得所需的特性,因为导电图案(pattern)的电阻增加。

发明内容

[0004] 技术问题

[0005] 本发明的一个目的在于通过提供包括金属硅化物层的半导体器件的制备方法来解决上述常见问题。

[0006] 本发明的其他目的从以下详细描述和附图而变得更清晰。

[0007] 技术方案

[0008] 根据一个实施例,半导体器件的制备方法包括如下步骤:在形成有多晶硅图案的基底上形成绝缘层使得多晶硅图案露出;相对于绝缘层,在露出的多晶硅图案上选择性地形成硅晶种(seed)层;在形成有所述硅晶种层的基底上形成金属层;以及通过对形成有金属层的基底进行热处理,形成金属硅化物层。

[0009] 在形成所述硅晶种层的步骤之前,所述制备方法还可以包括:用含有氢基(hydrogen radical)的溶液对形成有所述绝缘层的基底进行预处理。

[0010] 在所述进行预处理的步骤中,可以将氢原子键合在露出于基底上的绝缘层和多晶硅图案上。

[0011] 含有氢基的溶液可以为选自HF、稀释的氢氟酸(DHF, diluted hydrogen fluoride)、缓冲的氧化物刻蚀剂(BOE, Buffered Oxide Etchant)溶液中的一种或多种溶液。

[0012] 形成所述绝缘层的步骤可以包括如下步骤:在基底上形成多晶硅图案;在所述基底上形成绝缘材料以覆盖所述多晶硅图案;以及移除部分所述绝缘材料以使所述多晶硅图案露出。

[0013] 在形成所述硅晶种层的步骤中,可以向装载有所述基底的腔室内部提供选自 SiH_4 、 Si_2H_6 、 Si_3H_8 和 Si_4H_{10} 中的一种或多种原料气(source gas)。

[0014] 在形成所述硅晶种层的步骤中,可以将所述基底保持在 500°C 至 650°C 的温度。

[0015] 在形成所述硅晶种层的步骤中,腔室内部的压力可以保持为5Torr至20Torr。

[0016] 所述金属层可以为选自Ti、Co和Ni中的一种或多种金属。

[0017] 在形成所述金属硅化物层的步骤之后,所述制备方法还可以包括移除残留的金属层的步骤。

[0018] 所述绝缘层可以由氧化物或氮化物形成。

[0019] 在形成所述硅晶种层的步骤中,在键合在所述绝缘层和多晶硅图案上的氢原子中,可以用硅原子选择性地仅取代键合在所述多晶硅上的氢原子。

[0020] 在形成所述硅晶种层的步骤中,可以通过利用氢和氧或氢和氮、与氢和硅之间的键能之差,在所述露出的多晶硅图案上选择性地形成所述硅晶种层。

[0021] 有益效果

[0022] 根据本发明一个实施例的半导体器件的制备方法,可以使电压损失最小化以使半导体器件具有稳定的特性。特别地,当半导体器件是包括闪存单元(flash cell)的非易失性存储器件,则其通过将具有最小功率降(power down)的电压提供至闪存单元而使得能够具有稳定的数据编程/擦除特性。

[0023] 为此,形成金属硅化物层使得其更多地覆盖多晶硅图案的上面,由此更能够使由金属硅化物层和多晶硅图案制备的导电图案中可能产生的功率降最小化。

附图说明

[0024] 图 1 是表示本发明一个实施例的半导体器件的制备方法的流程图。

[0025] 图 2 是示意性的剖视图,其表示用于制备本发明一个实施例的半导体器件的半导体制备装路。

[0026] 图 3 是剖视图,其表示本发明一个实施例的多晶硅图案形成的步骤。

[0027] 图 4 是剖视图,其表示本发明一个实施例的绝缘材料形成的步骤。

[0028] 图 5 是剖视图,其表示本发明一个实施例的绝缘层形成的步骤。

[0029] 图 6 是剖视图,其表示预处理基底的步骤,在该基底上形成有本发明一个实施例的绝缘层。

[0030] 图 7 是表示预处理的基底断面的概念图,在该基底上形成有本发明一个实施例的绝缘层。

[0031] 图 8 是剖视图,其表示形成本发明一个实施例的硅晶种层的步骤。

[0032] 图 9 是概念图,其表示形成有本发明一个实施例的硅晶种层的断面。

[0033] 图 10 是剖视图,其表示形成本发明一个实施例的金属层的步骤。

[0034] 图 11 是剖视图,其表示形成本发明一个实施例的金属硅化物层的步骤。

[0035] 图 12 是剖视图,其表示移除本发明一个实施例的残留金属层的步骤。

[0036] 实施方式

[0037] 下面,参考附图详细描述根据本发明技术实质的实施例。但是,本发明可以以多种不同的形式实施并且不应理解为限于本发明阐述的实施例;而是,提供这些实施例以使本公开更充分和完全,并且将本发明的概念完全地传达至本领域技术人员。在附图中,相同的参考数字始终表示相同的元件。此外,在附图中的各种元件和区域均为示意性地绘制。因此,本发明不限于附图中所绘的相对尺寸或间隔。

[0038] 图 1 是表示本发明一个实施例的半导体器件的制备方法的流程图。

[0039] 参考图 1,准备基底(S10)。上述基底还可以包括用于形成半导体器件的个别结构

元件。例如,在上述基底上可以包括阱区(well region)、被器件分离膜限定的活化区域等。

[0040] 多晶硅图案在基底上形成(S110)。其他层可以在上述多晶硅图案的下部形成以形成图案。即包括多晶硅的多层结构图案可以在上述基底上形成。多层结构的图案例如可以包括隧道(tunneling)绝缘层图案、电荷储存层图案、阻挡绝缘层图案,和多晶硅图案。

[0041] 为形成上述多层结构的图案,将隧道绝缘层、电荷储存层、阻挡绝缘层和多晶硅层依次层叠在基底上,然后可以进行光刻过程和刻蚀过程。

[0042] 在上述基底上形成绝缘层以使上述多晶硅图案露出(S120)。为露出多晶硅图案,形成覆盖多晶硅图案的绝缘材料并且然后,移除某些绝缘材料以使多晶硅图案露出。在该情况下,绝缘材料可以保留以使其他层即基底、阻挡绝缘层图案等除多晶硅图案之外的层不露出。

[0043] 随后,将形成有用于露出上述多晶硅图案的绝缘层的基底用含有氢基的溶液预处理(S130)。上述含有氢基的溶液可以是HF溶液、稀释的氟化氢(DHF)溶液或缓冲的氧化物刻蚀剂(BOE)溶液。如果用含有上述氢基的溶液进行预处理,则氢原子可以键合在上述多晶硅图案和上述绝缘层上。

[0044] 随后,在上述多晶硅图案上形成硅晶种层(S140)。为形成上述硅晶种层,可以只将键合在多晶硅图案的氢原子选择性地被硅原子取代。

[0045] 在形成有上述硅晶种层的基底上形成金属层(S150)。金属层例如可以由耐火金属形成。

[0046] 通过对形成有金属层的基底进行热处理,将上述金属层与上述硅晶种层和上述多晶硅图案进行反应,由此形成金属硅化物层(S160)。随后,转变为金属硅化物层后移除残留金属层(S170)。结果,在上述多晶硅图案上形成上述金属硅化物层。

[0047] 随后,通过选择性的二次热处理,能够使上述金属硅化物层更致密化(S180)。

[0048] 图2是示意性的剖视图,其表示用于制备本发明一个实施例的半导体器件的半导体制备装路。

[0049] 参考图2,在半导体制备装路10的腔室11中形成有用于导入反应气体的导入口12。通过导入口12导入的反应气体,其可以通过喷头13而喷射至腔室11内部。

[0050] 将作为沉积目标的基底100置于卡盘14上,该卡盘14通过卡盘支座16支撑。如果需要,卡盘14通过对基底100加热可以使基底100保持在规定的温度。沉积通过该装路进行,并且反应气体可以通过排出口17排出。

[0051] 半导体制备装路10可以用于图1中所述的晶种层的形成(S140)和金属层的形成(S150)。或者,半导体制备装路10可以用于图1中所述的晶种层的形成(S140)。

[0052] 例如半导体制备装路10可以为化学气相沉积(CVD,Chemical Vapor Deposition)装路。

[0053] 图3是剖视图,其表示本发明一个实施例的多晶硅图案形成的步骤。

[0054] 参考图3,在基底100上形成多晶硅图案240。例如,基底100可以包括半导体基底例如硅或化合物半导体晶片。或者,基底100可以包括不同于半导体的基底材料等,例如玻璃、金属、陶瓷和石英。

[0055] 在基底100上与多晶硅图案240一起形成隧道绝缘层图案210、电荷储存层图案220、和阻挡绝缘层图案230使得这些配路在基底100和多晶硅图案240之间,由此能够形

成多层结构 200。

[0056] 例如隧道绝缘层图案 210 可以为二氧化硅膜、具有高介电常数的绝缘膜、具有高介电常数的金属氧化物膜或其组合。在电荷储存层图案 220 中待储存的电荷,其可以从基底 100 通过隧道绝缘层图案 210 转移。在该情况下,在电荷储存层图案 220 中待储存的电荷可以通过热电子或 F-N 隧道而通过隧道绝缘层图案 210。

[0057] 电荷储存层图案 220 可以为导体或捕获型 (trap-type) 绝缘层。如果电荷储存层图案 220 是导体,则随后待形成的半导体器件可以为通常的闪存。如果电荷储存层图案为导体,则电荷储存层图案 220 可以由多晶硅形成。如果电荷储存层图案 220 为捕获型绝缘层,则随后待形成的半导体器件可以为电荷捕获闪存 (CTF, Charge Trap Flash)。如果电荷储存层图案为捕获型绝缘层,则电荷储存层图案 220 可以包括氮化物。

[0058] 阻挡绝缘层图案 230 可以阻挡电荷使得储存在电荷储存层图案 220 中的电荷不流出至多晶硅图案 240。阻挡绝缘层图案 230 可以考虑与隧道绝缘层图案 210 的电容器偶合和绝缘特性而确定其材料和厚度。阻挡绝缘层图案 230 可以为具有高介电常数的绝缘膜、二氧化硅膜、具有高介电常数的金属氧化物膜、或其组合。

[0059] 如果随后待形成的半导体器件为非易失性存储器件,则多晶硅图案 240 可以起到门电极的作用。

[0060] 为形成隧道绝缘层图案 210、电荷储存层图案 220、阻挡绝缘层图案 230、和多晶硅图案 240,可以在形成隧道绝缘层图案(未图示)、电荷储存层(未图示)、阻挡绝缘层(未图示)、和多晶硅层(未图示)之后进行光刻过程和刻蚀过程。

[0061] 图 4 是剖面图,其表示形成本发明一个实施例的绝缘材料的步骤。

[0062] 参考图 4,在形成有多晶硅图案 240 的基底 100 上形成绝缘材料 300a,使得其完全覆盖多晶硅图案 240。例如绝缘材料 300a 可以形成为二氧化硅膜或氮化硅膜。

[0063] 图 5 是剖视图,其表示本发明一个实施例的绝缘层形成的步骤。

[0064] 参考图 4 和图 5,移除部分绝缘材料 300a 以形成绝缘层 300。为形成绝缘层 300,可以在形成绝缘材料 300a 后进行回蚀 (etch-back) 过程。或者,为形成绝缘层 300,可以在形成绝缘材料 300a 后进行平面化过程例如化学机械抛光 (CMP, Chemical Mechanical Polishing)。

[0065] 如果进行回蚀过程以形成绝缘层 300,则绝缘层 300 可以根据位路具有不同的厚度。例如绝缘层 300 可以形成为:与多层结构 200 相邻的部分与多层结构 200 之间的中间部分相比更厚。此外,多晶硅图案 240 的顶部和侧面的一部分可以从绝缘层 300 中露出。

[0066] 如果进行化学机械抛光 (CMP) 以形成绝缘层 300,则绝缘层 300 可以相对于基底 100 的顶部具有相同的厚度(虽未图示)。例如绝缘层 300 可以具有与多层结构 200 相同或类似的厚度。此外,仅多晶硅图案 240 的顶部可以从绝缘层 300 中露出。

[0067] 图 6 是剖视图,其表示预处理基底的步骤,在该基底上形成有本发明一个实施例的绝缘层。

[0068] 参考图 6,将形成有绝缘层 300 的基底 100 用含有氢基的溶液预处理。上述含有氢基的溶液可以为 HF、DHF 或 BOE 溶液。

[0069] 图 7 是表示预处理的基底断面的概念图,在该基底上形成有本发明一个实施例的绝缘层。

[0070] 参考图 7, 如果将形成有绝缘层 300 而使得多晶硅图案 240 露出的基底用含有氢自由基的溶液预处理使得多晶硅图案 240 露出, 氢原子 (H) 键合在多晶硅图案 240 和绝缘层 300 露出的表面上。

[0071] 即, 氢原子 (H) 键合是为了使在多晶硅图案 240 包含的硅原子 (Si) 中露出在表面的那些满足四价键。此外, 绝缘层 300 包含的氧原子 (O) 或氮原子 (N) 中露出在表面的那些与氢原子 (H) 键合。如上所述, 可以将露出的表面上键合氢原子 (H) 称为 H 基钝化处理。

[0072] 为使氢原子 (H) 键合在多晶硅图案 240 和绝缘层 300 的露出的表面, 可以通过含有氢基的溶液来移除多晶硅 240 和绝缘层 300 的一部分。或者, 在多晶硅图案 240 上形成的自然氧化物膜可以通过含有氢基的溶液而移除。

[0073] 图 8 是剖视图, 其表示形成本发明一个实施例的硅晶种层的步骤。

[0074] 参考图 8, 在从绝缘层 300 中露出的多晶硅图案 240 的表面上选择性地形成硅晶种层 400。即, 硅晶种层 400 在多晶硅图案 240 的露出的表面上形成, 但是并没有在绝缘层 300 的露出的表面上形成。

[0075] 然而, 尽管可以在与多晶硅图案 240 相邻的绝缘层 300 的表面上形成部分硅晶种层 400, 但这不过是在多晶硅图案 240 上形成的晶种层 400 覆盖绝缘层 300 表面的一部分, 并且其可以不是从绝缘层 300 的表面形成的。

[0076] 如图 6 所述的预处理可以在硅晶种层 400 前的约两个小时内进行以使键合的氢原子 (H) 可以保持, 该预处理在形成有绝缘层 300 的基底 100 上用含有氢基的溶液进行。

[0077] 图 9 是概念图, 其表示形成有本发明一个实施例的硅晶种层的截面。

[0078] 参考图 7 和图 9, 键合在多晶硅图案 240 上的氢原子 (H) 被硅原子 (Si) 取代, 由此在多晶硅图案 240 上形成硅晶种层 400。如图所示, 硅晶种层 400 可以包含: 取代键合在多晶硅图案 240 上的氢原子 (H) 的硅原子 (Si) 和在取代氢原子 (H) 的硅原子 (Si) 上的硅原子 (未图示)。

[0079] 硅晶种层 400 可以只形成在多晶硅图案 240 上, 而不在绝缘层 300 上形成。即, 如果形成硅晶种层 400, 则键合在多晶硅图案 240 上的氢原子 (H) 可以被硅原子 (Si) 取代, 但是键合在绝缘层 300 上的氢原子 (H) 可以保持原样。因此, 硅晶种层 400 可以相对于绝缘层 300 选择性地形成在多晶硅图案 240 上。

[0080] 例如, 绝缘层 300 可以形成为二氧化硅膜或氮化硅膜。根据键合而结合的原子种类, 氢原子 (H) 可以具有不同的用于结合的键能。例如, 氢和氧 (H-O)、氢和氮 (H-N)、以及氢和硅 (H-Si) 的结合键能分别为 4.8eV、4.0eV 和 3.3eV。

[0081] 因此, 如果调节用于形成硅晶种层的加工条件, 则可以选择性地移除键合的氢原子 (H)。即, 如果在合适的加工条件下提供硅前体以形成硅晶种层 400, 则可以分离具有最低键能的氢和硅 (H-Si) 之间的键, 同时可以保持具有相对高键能的氢和氮 (H-N) 之间或氢和硅 (H-O) 之间的键。

[0082] 通过以上, 如果在只分离具有最低键能的氢和硅 (H-Si) 之间的键的加工条件下提供硅前体, 则只可以在多晶硅图案 240 上选择性地形成硅晶种层 400。

[0083] 为形成硅晶种层 400, 例如基底 100 的温度可以保持在 500°C 至 650°C。此外, 为了形成硅晶种层 400, 腔室内部的压力可以保持在 5 至 20Torr。

[0084] 为形成硅晶种层 400, 硅基 (Silicon-based) 气体可以用作硅前体。例如上述硅前体可以包含硅基气体例如 SiH_4 、 Si_2H_6 、 Si_3H_8 或 Si_4H_{10} 。上述硅前体可以以 5 至 20sccm 的流量提供 20 至 160 秒。氮气 (N_2) 或氢气 (H_2) 可以作为载气同时提供以提供上述硅前体。上述载气可以以 5000 至 30000sccm 的流量提供。

[0085] 如果增加形成硅晶种层 400 期间的腔室内部压力, 则可以降低上述硅前体的提供时间。即, 腔室内部压力和上述硅前体的供给时间可以形成反比。

[0086] 图 10 是剖视图, 其表示形成本发明一个实施例的金属层的步骤。

[0087] 参考图 10, 可以形成金属层 500 以覆盖形成有硅晶种层 400 的基底 100。金属层 500 可以由耐火金属形成。例如金属层 500 可以为 Ti、Co 或 Ni。

[0088] 图 11 是剖视图, 其表示形成本发明一个实施例的金属硅化物层的步骤。

[0089] 参考图 11, 通过对形成有金属层 500 的基底 100 进行热处理, 在多晶硅图案 240 上形成金属硅化物层 600。金属硅化物层 600 可以通过包含于金属层 500 的金属原子与图 10 所述的包含于多晶硅晶种层 400 和多晶硅图案 240 的硅原子结合而形成。

[0090] 为了形成金属硅化物层 600, 可以进行热处理过程例如快速热处理过程 (RTP, Rapid Thermal Processing)。例如金属硅化物层 600 可以由 TiSi_2 、 CoSi_2 或 NiSi 形成。

[0091] 如果金属层 500 由 Ti 形成, 则可以形成具有电阻率低于 C49- TiSi_2 的 C54- TiSi_2 相的金属硅化物层 600。此外, 如果金属层由 Co 形成, 则可以形成具有电阻率低于 Co_2Si 或 CoSi 的 CoSi_2 的金属硅化物层 600。另外, 如果金属层由 Ni 形成, 则可以形成具有电阻率低于 NiSi_2 的 NiSi 的金属硅化物层 600。

[0092] 如果形成图 10 中所示的硅晶种层 400, 则可以形成更多地覆盖多晶硅图案 400 的顶部的金属硅化物层 600。如果闪存单元例如多层结构 200 包含在多晶硅图案 400 和基底 100 之间, 则需要高电压。因此, 如果金属硅化物层 600 更多地覆盖多晶硅图案 400 的顶部, 则可以使电压降最小化。通过该方法, 对通过相同的多晶硅图案 400 来连接有多个闪存单元的半导体器件 (例如 NAND 闪存) 而言, 可以具有稳定的数据编程 / 擦除特性。

[0093] 图 12 是剖视图, 其表示移除本发明一个实施例的残留金属层的步骤。

[0094] 参考图 11 和图 12, 移除形成金属硅化物层 600 后残留的金属层 500。为移除残留的金属层 500, 可以对金属硅化物层 600 和绝缘层 300 使用具有刻蚀选择比的刻蚀过程。

[0095] 通过该过程, 相对于绝缘层 300, 可以在基底 100 上仅露出金属硅化物层 600 和多晶硅图案 400。

[0096] 随后, 视需要选择性地二次热处理。二次热处理可以用于更大地降低已形成的金属硅化物层 600 的电阻率。例如, 如果金属硅化物层 600 为 Ti- 硅化物, 则为了将如 C49- TiSi_2 的非 C54- TiSi_2 的相全部转变为 C54- TiSi_2 相, 可以进行二次热处理。在该情况下, 二次热处理可以在高于图 11 所述的热处理过程的温度下进行。

[0097] 此外, 如果金属硅化物层 600 例如为 Co- 硅化物, 则为了将如 Co_2Si 或 CoSi 的非 CoSi_2 的相全部转变为 CoSi_2 相, 可以进行二次热处理。在该情况下, 二次热处理可以在高于图 11 所述的热处理过程的温度下进行。

[0098] 然而, 如果金属硅化物层 600 例如为 Ni- 硅化物, 当如 Ni_3Si 、 $\text{Ni}_3\text{Si}_{12}$ 、 Ni_5Si_2 、 Ni_2Si 、 Ni_3Si_2 的非 NiSi 的相残留时, 为了将这些转变为 NiSi 相, 可以进行二次热处理。但是, 在该情况下, 为了不形成 NiSi_2 相, 可以在与上述 Ti- 硅化物或 Co- 硅化物的情况相比

相对低的温度下进行热处理。

[0099] 尽管本发明通过示例的实施例而详细地描述,但是其他形式的实施例也是可以的。因此,以下所述的权利要求的技术实质和范围不限于示例的实施例。

[0100] 工业应用

[0101] 本发明可适用于如沉积过程的各种形式的半导体制备方法。

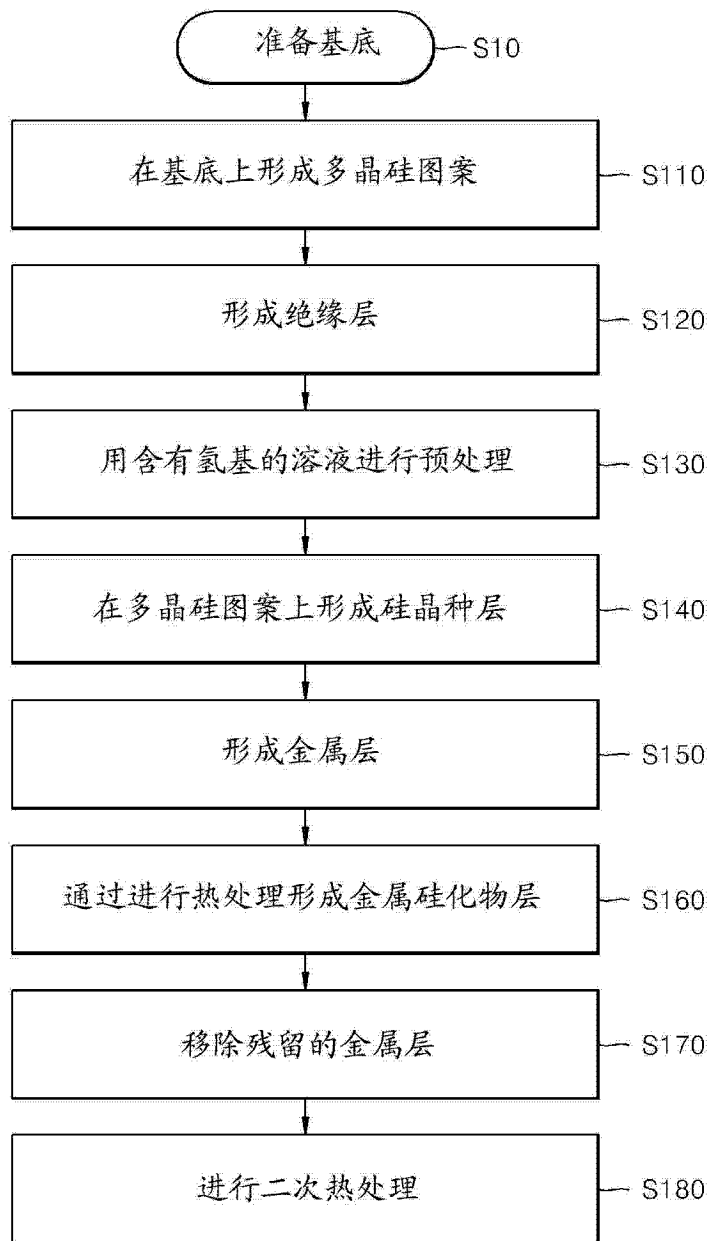


图 1

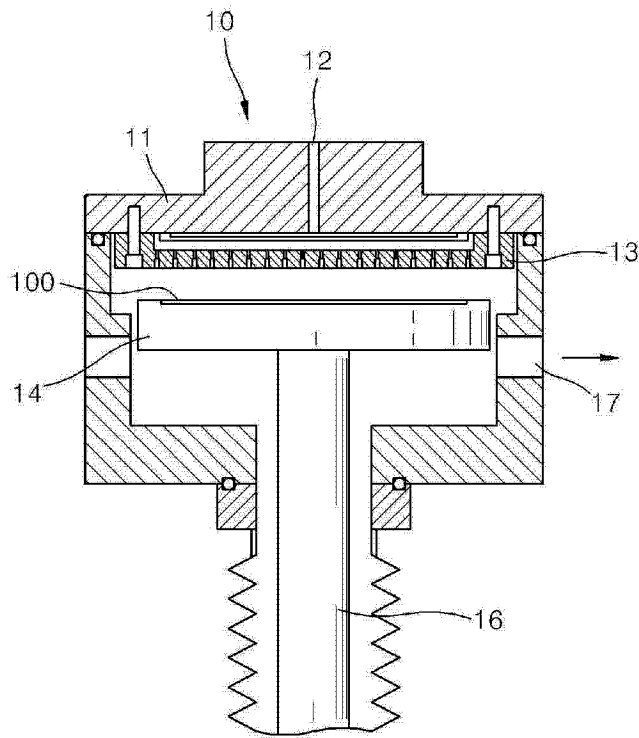


图 2

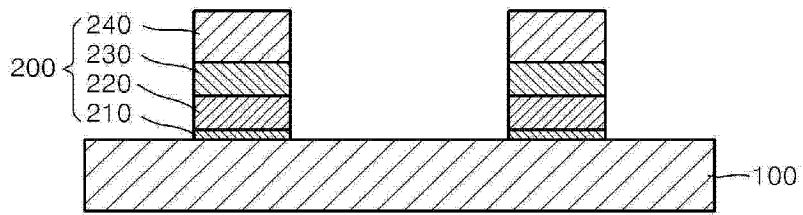


图 3

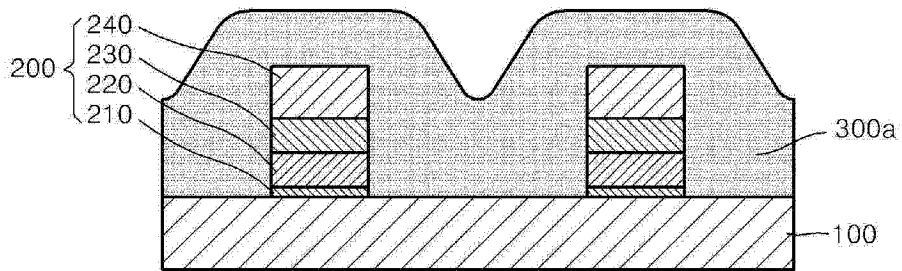


图 4

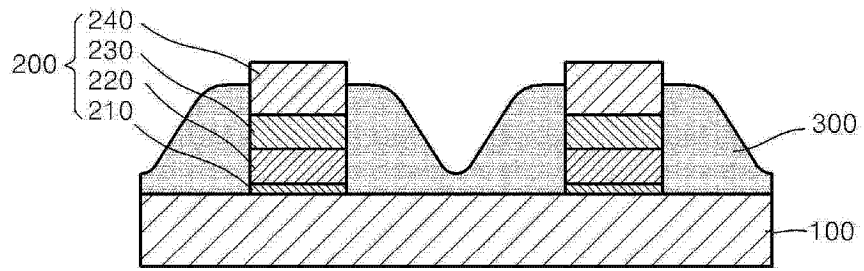


图 5

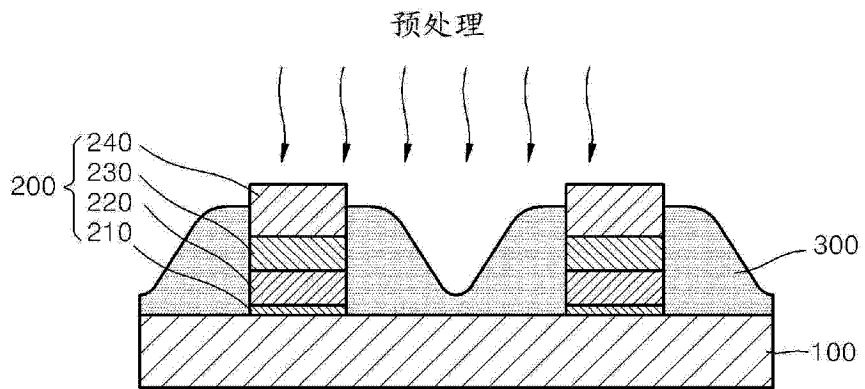


图 6

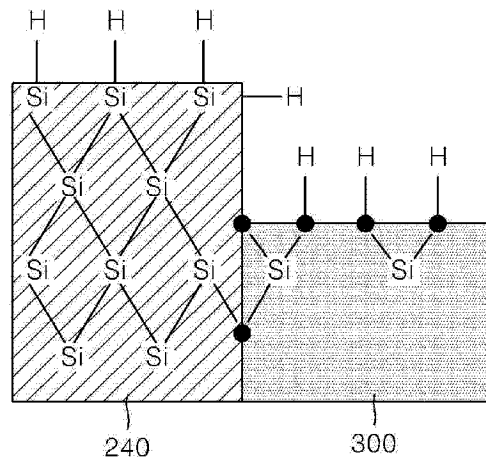


图 7

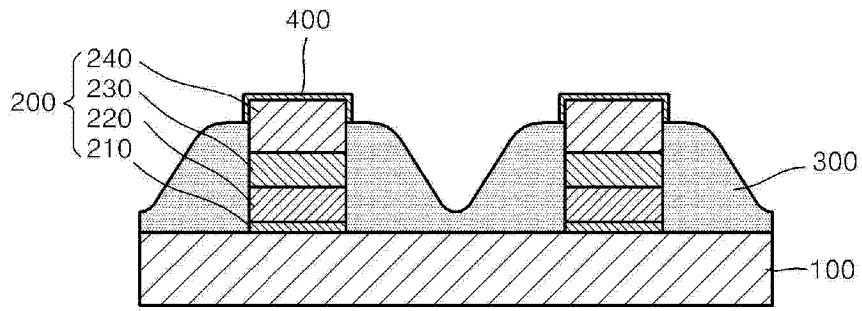


图 8

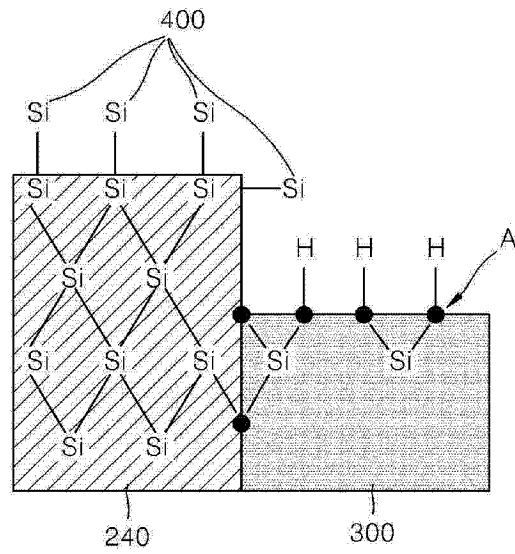


图 9

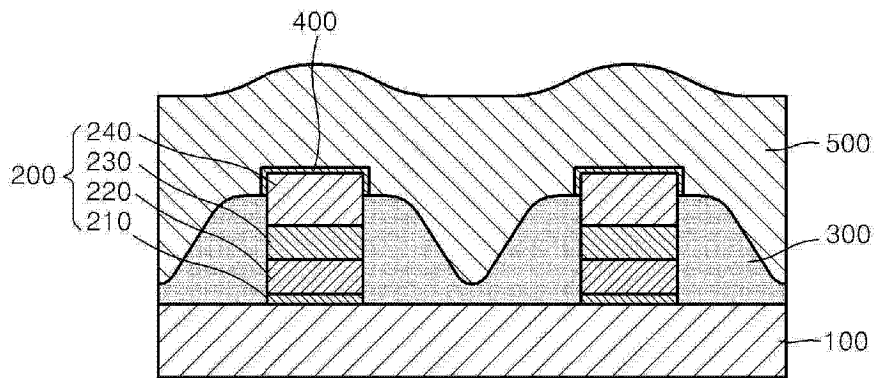


图 10

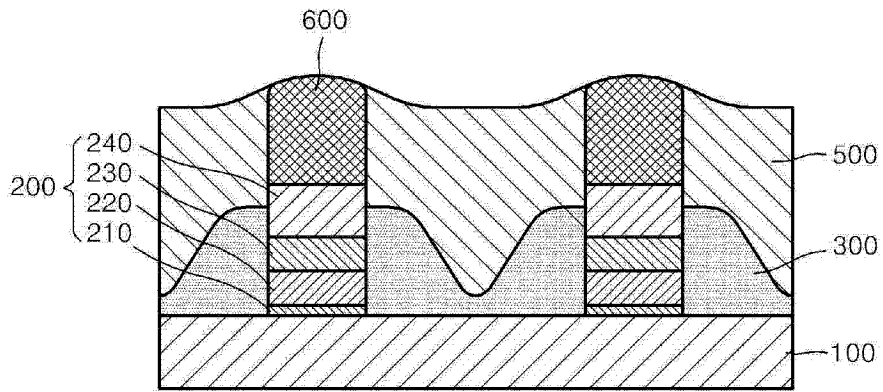


图 11

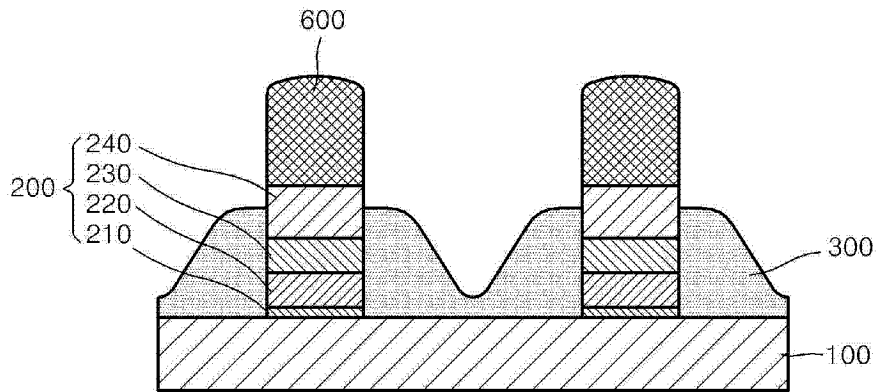


图 12