



(12) 发明专利申请

(10) 申请公布号 CN 103634263 A

(43) 申请公布日 2014. 03. 12

(21) 申请号 201310667947. 3

(22) 申请日 2013. 12. 07

(71) 申请人 天津光电通信技术有限公司

地址 300211 天津市河西区泰山路六号

(72) 发明人 张鹏泉 张波 马彪 李柬

范玉进 曹晓冬 褚孝鹏 李羚梅

李光

(74) 专利代理机构 天津中环专利商标代理有限公司

公司 12105

代理人 王凤英

(51) Int. Cl.

H04L 27/38 (2006. 01)

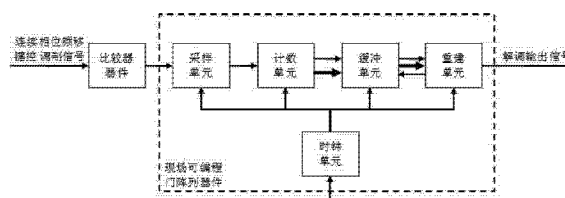
权利要求书1页 说明书3页 附图1页

(54) 发明名称

一种连续相位频移键控数字解调装置及其解调方法

(57) 摘要

本发明涉及数字解调装置, 尤其涉及一种连续相位频移键控数字解调装置及其解调方法。本解调装置包括比较器器件和现场可编程门阵列器件, 现场可编程门阵列器件内部电路包括时钟单元、采样单元、计数单元、缓冲单元和重建单元, 时钟单元与采样单元、计数单元、缓冲单元和重建单元连接; 比较器器件连接采样单元; 采样单元连接计数单元; 计数单元连接缓冲单元; 缓冲单元连接重建单元。本解调装置具有电路简单, 易于实现, 可编程逻辑资源消耗少及信号适应性强等特点。本解调方法可替代传统连续相位频移键控数字解调方法, 从而避免了采用传统连续相位频移键控数字解调方法存在的实现复杂, 消耗资源多以及不能适应数据速率与载波频率接近的缺陷。



1. 一种连续相位频移键控数字解调装置,其特征在于:包括比较器器件和现场可编程门阵列器件,现场可编程门阵列器件内部电路包括时钟单元、采样单元、计数单元、缓冲单元和重建单元,所述的时钟单元与采样单元、计数单元、缓冲单元和重建单元连接;所述的比较器器件连接采样单元;采样单元连接计数单元;计数单元连接缓冲单元;缓冲单元连接重建单元。

2. 一种根据权利要求1所述的连续相位频移键控数字解调装置的解调方法,其特征在于:时钟单元根据连续相位频移键控信号载波频率和调制度确定系统工作时钟频率值,由外部时钟频率源分频产生系统工作时钟,若外部时钟源频率与工作时钟频率比值为 n ,则最大分频计数值为 $(n/2)-1$,时钟单元初始状态工作时钟信号为低电平,分频计数值为0,时钟单元在每个外部时钟源上升沿判断分频计数值,如果小于最大分频计数值,则分频计数值加1,否则工作时钟信号翻转,并且分频计数值清零。

3. 根据权利要求1所述的一种连续相位频移键控数字解调装置的解调方法,其特征在于:采样单元在每个工作时钟上升沿判断连续时间二值信号电平,如果连续两个信号电平都为高电平或者都为低电平,则输出为低电平;如果连续两个信号电平不相同,则输出为高电平;所输出的信号即为过零脉冲信号。

4. 根据权利要求1所述的一种连续相位频移键控数字解调装置的解调方法,其特征在于:计数单元在每个工作时钟上升沿判断过零脉冲信号是否为高电平,如果过零脉冲信号为高电平,则从0开始计数过程,如果没有过零脉冲信号,或者即使有过零脉冲信号,但计数值小于最小计数限制值,则计数值加1,计数过程直到计数值超出最小计数限制值之后的第一个过零脉冲信号到来,或者计数值超出最大计数限制值时结束,计数过程结束时输出计数数值,并且输出计数完成标志位高电平,计数完成标志位高电平持续一个工作时钟周期,之后计数完成标志位恢复低电平。

5. 根据权利要求1所述的一种连续相位频移键控数字解调装置的解调方法,其特征在于:缓冲单元在每个工作时钟上升沿判断计数完成标志位是否为高电平,如果为高电平,读入计数数值,将计数数值按地址顺序存储到循环数据储存空间中的一个,并且更新当前存储空间占用情况,当系统刚开始运行时,缓冲单元积累计数数值数据到循环数据储存空间被占用一半时,将数据有效标志位输出高电平持续一个工作时钟周期,并且从循环数据储存空间中按地址顺序提取一个计数数值输出;此后系统持续运行,在每个工作时钟上升沿,判断重建完成标志位是否为高电平,如果为高电平则从循环数据储存空间中按地址顺序提取一个计数数值输出。

6. 根据权利要求1所述的一种连续相位频移键控数字解调装置的解调方法,其特征在于:重建单元在每个工作时钟上升沿判断数据有效标志位是否为高电平,如果为高电平,则进入重建状态,读取一个计数数值,将计数数值与预设阈值相比较,如果计数数值大于阈值,解调输出信号为高电平,否则解调输出信号为低电平;此后以计数数值为最大值进行倒计数,每个工作时钟上升沿如果倒计数值不为0,则解调输出信号不变,倒计数值减1,否则重建完成标志位输出高电平持续一个工作时钟周期,进入下一个重建过程,重新读取新的计数数值,与阈值比较,输出新解调信号,再次进行倒计数。

一种连续相位频移键控数字解调装置及其解调方法

技术领域

[0001] 本发明涉及数字解调装置,尤其涉及一种连续相位频移键控数字解调装置及其解调方法。

背景技术

[0002] 传统连续相位频移键控数字解调方法一般有相干解调法、鉴频法、过零检测法、匹配滤波法等。其中相干解调法实现复杂,鉴频法、匹配滤波法消耗资源多,过零检测法不能适应数据速率与载波频率接近的情况。

发明内容

[0003] 鉴于现有技术存在的不足,本发明提供了一种连续相位频移键控数字解调装置及其解调方法。

[0004] 本发明为实现上述目的所采取的技术方案是:一种连续相位频移键控数字解调装置,其特征在于:包括比较器器件和现场可编程门阵列器件,现场可编程门阵列器件内部电路包括时钟单元、采样单元、计数单元、缓冲单元和重建单元,所述的时钟单元与采样单元、计数单元、缓冲单元和重建单元连接;所述的比较器器件连接采样单元;采样单元连接计数单元;计数单元连接缓冲单元;缓冲单元连接重建单元。

[0005] 本发明所述的解调方法在于:时钟单元根据连续相位频移键控信号载波频率和调制制度确定系统工作时钟频率值,由外部时钟频率源分频产生系统工作时钟,若外部时钟源频率与工作时钟频率比值为 n ,则最大分频计数值为 $(n/2)-1$,时钟单元初始状态工作时钟信号为低电平,分频计数值为0,时钟单元在每个外部时钟源上升沿判断分频计数值,如果小于最大分频计数值,则分频计数值加1,否则工作时钟信号翻转,并且分频计数值清零。

[0006] 本发明所述的采样单元在每个工作时钟上升沿判断连续时间二值信号电平,如果连续两个信号电平都为高电平或者都为低电平,则输出为低电平;如果连续两个信号电平不相同,则输出为高电平;所输出的信号即为过零脉冲信号。

[0007] 本发明所述的计数单元在每个工作时钟上升沿判断过零脉冲信号是否为高电平,如果过零脉冲信号为高电平,则从0开始计数过程,如果没有过零脉冲信号,或者即使有过零脉冲信号,但计数值小于最小计数限制值,则计数值加1,计数过程直到计数值超出最小计数限制值之后的第一个过零脉冲信号到来,或者计数值超出最大计数限制值时结束,计数过程结束时输出计数数值,并且输出计数完成标志位高电平,计数完成标志位高电平持续一个工作时钟周期,之后计数完成标志位恢复低电平。

[0008] 本发明所述的缓冲单元在每个工作时钟上升沿判断计数完成标志位是否为高电平,如果为高电平,读入计数数值,将计数数值按地址顺序存储到循环数据储存空间中的一个,并且更新当前存储空间占用情况,当系统刚开始运行时,缓冲单元积累计数数值数据到循环数据储存空间被占用一半时,将数据有效标志位输出高电平持续一个工作时钟周期,并且从循环数据储存空间中按地址顺序提取一个计数数值输出;此后系统持续运行,在每

个工作时钟上升沿,判断重建完成标志位是否为高电平,如果为高电平则从循环数据储存空间中按地址顺序提取一个计数数值输出。

[0009] 本发明所述的重建单元在每个工作时钟上升沿判断数据有效标志位是否为高电平,如果为高电平,则进入重建状态,读取一个计数数值,将计数数值与预设阈值相比较,如果计数数值大于阈值,解调输出信号为高电平,否则解调输出信号为低电平;此后以计数数值为最大值进行倒计数,每个工作时钟上升沿如果倒计数不为 0,则解调输出信号不变,倒计数减 1,否则重建完成标志位输出高电平持续一个工作时钟周期,进入下一个重建过程,重新读取新的计数数值,与阈值比较,输出新解调信号,再次进行倒计数。

[0010] 本发明的特点及有益效果是:本解调装置具有电路简单,易于实现,可编程逻辑资源消耗少及信号适应性强等特点。本解调方法可替代传统连续相位频移键控数字解调方法,从而避免了采用传统连续相位频移键控数字解调方法存在的实现复杂,消耗资源多以及不能适应数据速率与载波频率接近的缺陷。

附图说明

[0011] 图 1 为本发明的电路连接框图。

具体实施方式

[0012] 以下结合附图对本发明作进一步说明:如图 1 所示,时钟单元根据连续相位频移键控信号载波频率和调制度确定系统工作时钟频率值,由外部时钟频率源分频产生系统工作时钟,提供给采样单元、计数单元、缓冲单元和重建单元,若外部时钟源频率与工作时钟频率比值为 n ,则最大分频计数值为 $(n/2)-1$,时钟单元初始状态工作时钟信号为低电平,分频计数值为 0,时钟单元在每个外部时钟源上升沿判断分频计数值,如果小于最大分频计数值,则分频计数值加 1,否则工作时钟信号翻转,并且分频计数值清零。

[0013] 模拟连续相位频移键控调制信号通过比较器器件产生连续时间二值信号。

[0014] 连续时间二值信号通过采样单元产生过零脉冲信号。本发明的采样单元在每个工作时钟上升沿判断连续时间二值信号电平,如果连续两个信号电平都为高电平或者都为低电平,则输出为低电平;如果连续两个信号电平不相同,则输出为高电平;所输出的信号即为过零脉冲信号。

[0015] 过零脉冲信号通过计数单元产生计数数值和计数完成标志位。本发明的计数单元在每个工作时钟上升沿判断过零脉冲信号是否为高电平,如果过零脉冲信号为高电平,则从 0 开始计数过程,如果没有过零脉冲信号,或者即使有过零脉冲信号,但计数值小于最小计数限制值,则计数值加 1,计数过程直到计数值超出最小计数限制值之后的第一个过零脉冲信号到来,或者计数值超出最大计数限制值时结束,计数过程结束时输出计数数值,并且输出计数完成标志位高电平,计数完成标志位高电平持续一个工作时钟周期,之后计数完成标志位恢复低电平。

[0016] 本发明的缓冲单元根据计数完成标志位读入、存储计数数值,并产生数据有效标志位。缓冲单元在每个工作时钟上升沿判断计数完成标志位是否为高电平,如果为高电平,读入计数数值,将计数数值按地址顺序存储到循环数据储存空间中的一个,并且更新当前存储空间占用情况,当系统刚开始运行时,缓冲单元积累计数数值数据到循环数据储存空

间被占用一半时,将数据有效标志位输出高电平持续一个工作时钟周期,并且从循环数据储存空间中按地址顺序提取一个计数数值输出;此后系统持续运行,在每个工作时钟上升沿,判断重建完成标志位是否为高电平,如果为高电平则从循环数据储存空间中按地址顺序提取一个计数数值输出。

[0017] 本发明的重建单元根据数据有效标志位由空闲状态进入重建状态。在重建状态产生解调输出信号和重建完成标志位,并读取缓冲单元提供的重建数值,解调输出信号输出给后续电路处理。重建单元在每个工作时钟上升沿判断数据有效标志位是否为高电平,如果为高电平,则进入重建状态,读取一个计数数值,将计数数值与预设阈值相比较,如果计数数值大于阈值,解调输出信号为高电平,否则解调输出信号为低电平;此后以计数数值为最大值进行倒数,每个工作时钟上升沿如果倒计数值不为0,则解调输出信号不变,倒计数值减1,否则重建完成标志位输出高电平持续一个工作时钟周期,进入下一个重建过程,重新读取新的计数数值,与阈值比较,输出新解调信号,再次进行倒数。

[0018] 本装置的灵活性在于,通过分析连续相位频移键控调制信号载波频率和调制度,简单调整工作时钟频率、循环数据储存空间大小、最小计数限制和最大计数限制以及计数数值阈值,便可以适应各种信号的解调。

[0019] 本解调装置有外部时钟接口、调制信号输入接口和解调信号输出接口。

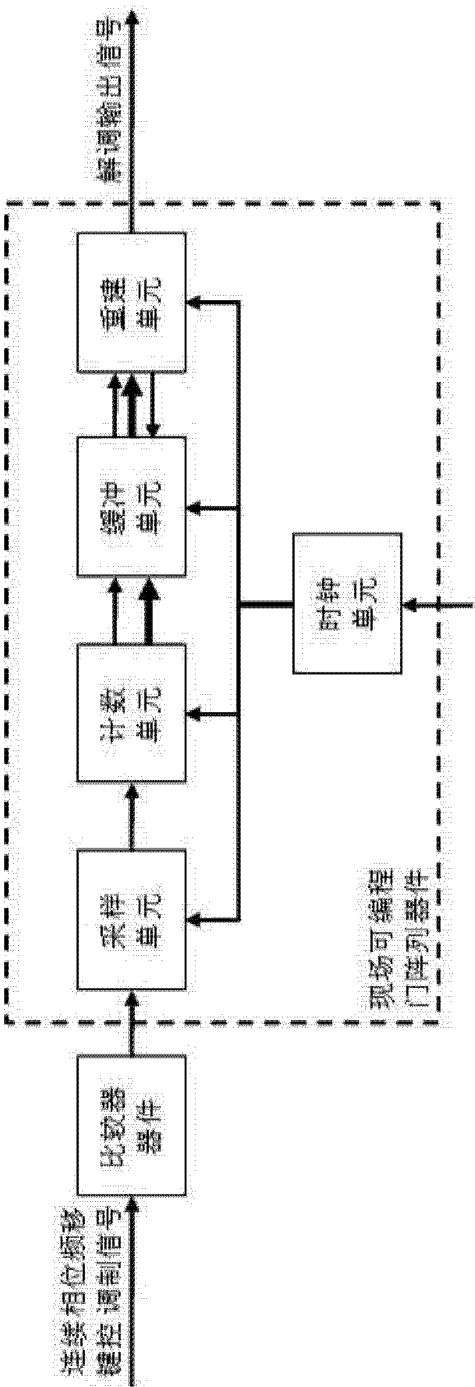


图 1