



(12) 发明专利申请

(10) 申请公布号 CN 103678770 A

(43) 申请公布日 2014. 03. 26

(21) 申请号 201310562603. 6

(22) 申请日 2013. 11. 13

(71) 申请人 北京工业大学

地址 100124 北京市朝阳区平乐园 100 号

(72) 发明人 侯立刚 梁翔 汪金辉 路博

彭晓宏 耿淑琴

(74) 专利代理机构 北京思海天达知识产权代理

有限公司 11203

代理人 张慧

(51) Int. Cl.

G06F 17/50 (2006. 01)

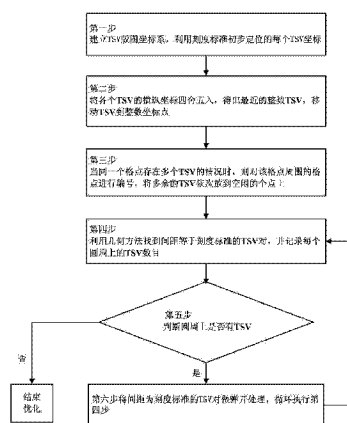
权利要求书2页 说明书5页 附图6页

(54) 发明名称

一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法

(57) 摘要

本发明涉及一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法,输入单元,用于建立 3D 集成电路直角坐标系,初步确定 TSV 所在坐标;移动单元,用于移动信号 TSV 到整数坐标点;调整单元,用于调整多余 TSV 的位置;存储单元,用于利用画圆的方法找到间距等于刻度标准的 TSV 对;判断单元,用于判断是否进行优化;弹开单元,用于将间距等于刻度标准的 TSV 对做弹开处理。本发明不破坏原始电路结构,对初步布局后的 TSV 版图做简单的重新布局,规范了 3D 集成电路版图中 TSV 的位置,减少了互连线的长度,合理地增加了各 TSV 的间距,达到了减小容性噪声的目的,同时优化了 TSV 自动布局。



1. 一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法,其特征在于:本发明中的 3D 集成电路是一种三维立体式的芯片结构,整个芯片包括 TSV (1)、刻度标准(2)、顶层芯片(5)、底层芯片(6)、标准单元(7)、金属互联线(8)、衬底(9)、坐标点(10);本发明包括六个单元,分别为输入单元、移动单元、调整单元、存储单元、判断单元、弹开单元,这六个单元构成了芯片的整体,3D 芯片中每一层都是 2D 芯片,并由 TSV (1) 在竖直方向连接起来,其主要由顶层芯片(5)和底层芯片(6)两部分构成;标准单元(7)是集成电路中实现信号互联的基本组成部分,标准单元(7)的互联由金属互联线(8)完成;顶层芯片(5)和底层芯片(6)相连接需要通过 TSV (1),这种 TSV (1)是穿过相邻两层芯片的硅通孔;本发明的布局方法通过建立直角坐标系(3),坐标系(3)的单位长度为刻度标准(2),虚线为坐标的坐标线(11),而由各坐标线相交而成的为坐标点(10),把 TSV (1) 移动到最近的整数坐标点(10),找到可能存在容性噪声的 TSV 对对其做弹开处理完成优化 TSV (1) 布局过程;

输入单元包括 TSV (1)和坐标系(3),其用于确定 TSV (1)所在位置,第一步建立 3D 集成电路直角坐标系(3),初步确定各个 TSV (1)所在坐标;横、纵坐标轴分别沿版图的水平、竖直方向生成;建立刻度标准(2),并用刻度标准(2)均分横纵轴,则整数坐标点(10)表示为(nR, nR),初步计算各个 TSV (1)的坐标;依据坐标轴上的刻度标准(2)计算每个 TSV (1)所在位置距离横纵坐标的距离,确定每个 TSV (1)的坐标;

移动单元包括 TSV (1)、刻度标准(2)以及坐标系(3),其用于将 TSV1 移动到整数坐标点,初步对版图中的 TSV (1)进行布局;第二步移动 TSV (1)到整数坐标点(10);将 TSV (1)所在坐标的横纵坐标四舍五入,确定一个离其最近的整数坐标点(10),移动到该坐标点(10)的位置,即将 TSV (1)的坐标更改为与其坐标点(10)距离最近坐标点(10)的坐标;

调整单元包括 TSV (1)、刻度标准(2)、坐标系(3)、坐标点(10)、坐标线(11),其用于调整位置重合 TSV (1)的位置;第三步将所有 TSV (1)移动到最近的坐标点(10)后会存在多个 TSV (1)被移动到同一坐标点(10)的问题;调整版图中出现的这种情况,首先将某个 TSV (1)个数大于“1”的点临近一周的坐标点(10)顺时针编号;然后将多余的 TSV (1)移动到临近的已经编号的坐标点(10)上,如果该点已经存在其他 TSV (1)时,则跳过该点,将此 TSV (1)顺时针移动到下一个坐标点(10);如果原始 TSV (1)临近一周已经编号的位置全被占用时,就将此外围的一周坐标点(10)按照上述方式处理;最后重复此过程,直至每个坐标点(10)上的 TSV (1)个数至多为“1”,完成调整后的版图;

存储单元包括 TSV (1)、刻度标准(2)、坐标系(3),其利用画圆的方法找到间距等于刻度标准的 TSV 对并存储下来;判断单元包括 TSV (1)、刻度标准(2)、坐标系(3),其用于判断是否进行弹开处理;第四步利用几何方法找到间距等于刻度标准的 TSV (1)对;在版图的坐标系(3)中,依次以每一个 TSV (1)所在的整数坐标点(10)为圆心,并以刻度标准(2)为半径做圆,坐标系(3)中圆周上的 TSV (1)为可能产生容性噪声的情况,将每个圆周上存在的 TSV (1)数目记录下来;

第五步,若坐标系(3)中的所有圆周上都没有 TSV (1)存在,则说明此 TSV (1)版图并不需要优化,直接结束整理过程;而当版图中任意一个圆周上存在 TSV (1)时,继续执行第六步;

弹开单元包括 TSV (1)、刻度标准(2)、坐标系(3)、移动方向(4)、坐标点(10)、坐标线(11),此单元用于通过拉开间距降低 TSV (1)间的容性噪声;第六步逐个将间距等于刻度

标准(2)的 TSV (1) 对做弹开处理 ; 由记录的每个圆周上 TSV (1) 的数目中找到存在 TSV (1) 数目最多的圆周, 出现在圆周上的 TSV (1) 即为可能出现噪声的 TSV (1) 对, 为了减小噪声影响, 需要进行弹开一定距离的处理 ; 将圆周上的 TSV (1) 外围临近间隔(1)个刻度标准(2)的坐标点(11) 顺时针依次编号, 然后将圆周上的所有 TSV (1) 移动到圆外距离圆周一个刻度标准(2)的临近空闲坐标点(10), 假如圆外临近坐标点(11)被占用时, 就将该 TSV (1) 移动到距离圆周两个刻度标准(2)的次外层空闲点。

2. 根据权利要求 1 所述的一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法, 其特征在于 : 若存在有多个圆周存在相同的最多的 TSV (1) 数目的情况, 则任选其中一个圆周进行弹开处理 ; 循环执行第四、五、六步, 直至满足最后所有圆周上都没有 TSV (1) 存在, 跳出循环, 完成整个优化过程。

3. 根据权利要求 1 所述的一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法, 其特征在于 : 其中所述移动一定距离指从版图中找到存在 TSV (1) 数目最多的圆周, 将圆上的 TSV (1) 逐个移动到圆外距离一个刻度标准的临近空闲坐标点。

4. 根据权利要求 1 所述的一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法, 其特征在于 : 其中所述方式移动后的版图即为降噪声的 TSV (1) 布局优化后的版图。

5. 根据权利要求 1 所述的一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法, 其特征在于 : 所述 TSV (1) 指 3D-IC 中处于不同芯片层的同一线网用于跨层互连的硅穿孔。

6. 根据权利要求 1 所述的一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法, 其特征在于 : 其中所述降噪声是通过建立一定的 TSV (1) 间距降低电容在互连线中带来的容性噪声的影响。

一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法

技术领域

[0001] 本发明涉及一种 3D 集成电路中 TSV 位置自动布局方法,属于电路设计领域,尤其涉及一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法。

背景技术

[0002] 随着集成电路设计及制造水平飞速发展,单个芯片可以集成数亿个晶体管。然而,随着集成度不断提高,每片上的器件单元数量急剧增加,芯片面积增大,单元间连线的增长既影响电路工作速度又占用很多面积,严重影响集成电路进一步提高集成度和工作速度。在这种情况下,三维芯片集成技术成为一个新的发展思路。另外,全新的器件结构,比如碳纳米管、自旋电子或者分子开关等,在若干年内还不能准备好,新型的组装方法,如 3D 集成技术再次被提了出来。存储器速度滞后问题是 3D 集成的另一个推动因素,众所周知,相对于处理器速度,存储器存取速度的发展较慢,导致处理器在等待存储器获取数据的过程中被拖延。在多核处理器中,这一问题更加严重,可能需要将存储器与处理器直接键合在一起。

[0003] 3D 集成被定义为一种系统级集成结构,在这一结构中,多层平面器件被堆叠起来,并经由 TSV 在竖直方向连接起来。3D 集成电路可以有效的减少线路长度,提高运算速度,降低功耗,在减少芯片面积的同时缓解互连延迟的问题。同时,多层芯片之间则可以通过 TSV 使其单元进行层间的互联。与此同时,3D 集成电路还面临着一些技术挑战,首先是散热问题,由于电路系统拥有了更高的集成程度,热功耗是一个不可忽视的问题,热功耗增加使表面积体积比下降,而传统的平面散热技术不再能满足三维集成电路的散热要求;其次是测试问题,传统的测试技术只是针对于单层系统,而现在并未提出一种测试方法针对多层芯片集成后的整体系统测试技术。

[0004] 硅通孔技术(TSV)是通过在芯片与芯片之间、晶圆和晶圆之间制作垂直导通,实现芯片之间互连的最新技术。由于 TSV 能够使芯片在三维方向堆叠的密度最大、芯片之间的互连线最短、外形尺寸最小,并且大大改善芯片速度和低功耗的性能,成为目前电子封装技术中最为引人注目的一种技术。但是以 TSV 技术为主的第四代封装技术还面临着不少的困难,首先是价格和成本之间存在着极大的障碍,TSV 会使每片晶片增加不少的成本花费,所以如何定价就是一个比较值得商榷的问题,现在唯一的解决办法就是削减成本。其次,新技术的不确定性所带来的风险,是每一个公司都不可以回避的。最后,实际量产的需求问题将直接影响这项新技术能否在日新月异的市场中生存下来,目前的市场并没有太多公司批量引进这种由 TSV 技术制作的芯片。这些潜在的问题是使 TSV 技术广泛应用于市场必须要解决的,而目前的工程师们在解决 TSV 堆叠所面临的挑战方面已经有了很大的进步。

[0005] 集成电路进入深亚微米以后,噪声问题越来越成为人们关注的一个问题:互连线的布线密度变大、层数增多、高宽比变大以及耦合电容在互连线总电容中所占的比例增大等因素使容性噪声影响趋于明显,容性噪声的产生是由于相邻的网络的电场延伸到周围空间而产生的边缘场,若在此边缘场中布线,便会产生耦合噪声,而噪声限制了电路能够正确

处理的最小电平信号,它与功耗、速度和线性度相互制约,是进行模拟电路设计时要考虑的重要因素。目前,芯片电源电压的不断减小影响了数字电路的耐噪性,而更多高性能模块的加入使得对电路的噪声分析难度越来越大。为解决上述目的,本发明提出一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法,本发明结合坐标排布法,合理的优化了版图的同时又通过拉开 TSV 间距从而有效地降低了电路中的容性噪声。

发明内容

[0006] 本发明的目的在于提供了一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法,该 3D 集成电路中降噪的 TSV 位置自动布局系统包括输入单元、移动单元、调整单元;存储单元、判断单元、弹开单元;其中输入单元用于建立 3D 集成电路直角坐标系,初步确定 TSV 所在坐标;移动单元用于移动信号 TSV 到整数坐标点;调整单元用于调整多余 TSV 的位置;存储单元用于利用画圆的方法找到间距等于刻度标准的 TSV 对;判断单元用于判断是否进行优化;弹开单元用于将间距等于刻度标准的 TSV 对做弹开处理;本发明方法未破坏原始电路结构,并对初步布局后的 TSV 版图做简单的重新布局,通过建立一定 TSV 间距达到降低电路中容性噪声的目的。

[0007] 为实现上述目的本发明采用的技术方案为一种基于降噪目的的 3D 集成电路中 TSV 位置自动布局方法,3D 集成电路中降噪的 TSV 自动布局首先对版图内的 TSV 移动到整数坐标点并作布局调整,刻度标准为衡量是否产生噪声的标准,小于等于刻度标准可能会产生容性噪声,故利用刻度标准为半径画圆的方法找到圆周上可能存在噪声 TSV 对;若圆周上不存在 TSV 则结束优化否则进行弹开处理,直至集合内 TSV 对数目为零,完成整个自动布局过程。

[0008] 以下为实现本发明方法的具体步骤。

[0009] S_1 . 建立 3D 集成电路直角坐标系,初步确定信号 TSV 所在坐标;在版图中建立平面直角坐标系 A,其坐标轴沿版图边缘生成;坐标系 A 的横轴沿版图水平方向边缘建立,纵轴沿版图的垂直方向边缘建立;建立刻度标准 R,使坐标横轴和纵轴以 n 个 R 来划分,n 为整数,则整数坐标点表示为 (nR, nR) ,根据建立的刻度标准,通过计算每个信号 TSV 距离横纵轴的距离确定每个 TSV 所在的坐标点。

[0010] S_2 . 移动信号 TSV 到整数坐标点;分别将信号 TSV 所在坐标的横纵坐标四舍五入,找出离其最近的整数坐标点,并将 TSV 移动到四舍五入后坐标点的位置。

[0011] S_3 . 当一个坐标点存在多个 TSV 时,对其进行如下处理首先对其周围的整数坐标点顺时针进行编号,然后将多余的 TSV 依次顺时针放到空闲的坐标点;当外围坐标点被全部占用时,就将多余的 TSV 依次放置到其周围坐标点的次外围坐标点,循环执行 S_3 ,直至每个整数坐标点 TSV 的个数至多为 1。

[0012] S_4 . 利用画圆的方法找到间距等于刻度标准的 TSV 对;在初步整理后的版图中,依次以每一个 TSV 所在的整数坐标点为圆心,刻度标准为半径做圆,圆周上的 TSV 为可能产生容性噪声的情况,随后逐个记录所有圆周上 TSV 的数目。

[0013] S_5 . 若所有圆周上都没有 TSV 存在,则说明此 TSV 版图并不需要优化;而当任意一个圆周上存在 TSV 时,继续执行 S_6 。

[0014] S_6 . 将间距等于刻度标准的 TSV 对做弹开处理;从版图中找到存在 TSV 数目最多的

圆周,此圆周做优先处理,将圆上的 TSV 逐个移动到圆外距离一个刻度标准的临近空闲坐标点,当圆外临近坐标点被占用时,就将该 TSV 移动到距离圆周两个刻度标准的次外层空闲点;若存在有多个圆周存在最多的 TSV 数目的情况,则任选其中一个圆周进行弹开处理;循环执行 S_4 、 S_5 、 S_6 ,直至满足所有圆周上都没有 TSV 存在跳出循环,完成整个优化过程。

[0015] 坐标系 A 的坐标轴刻度与实际的版图的大小相符,并精确到纳米级。

[0016] 3D 集成电路中降噪声的 TSV 位置自动布局装置,其包括有:

[0017] 输入单元,用于建立 3D 集成电路直角坐标系,初步确定 TSV 所在坐标:在版图建立直角坐标系 A,其坐标轴沿版图边缘生成。坐标系的横轴沿版图水平方向边缘建立,纵轴沿版图的垂直方向边缘建立;建立刻度标准 R,使坐标横轴和纵轴以 n 个 R 来划分, n 为整数,则整数坐标点表示为 (nR, nR),根据建立的刻度标准,通过计算每个 TSV 距离横纵轴的距离确定每个 TSV 所在的坐标点。

[0018] 移动单元,用于移动信号 TSV 到整数坐标点。分别将信号 TSV 所在坐标的横纵坐标四舍五入,找出离其最近的整数坐标点,并将 TSV 移动到四舍五入后坐标点的位置。

[0019] 调整单元,用于调整多余 TSV 的位置。当一个坐标点存在多个 TSV 时,则对其周围的整数坐标点进行编号,将多余的 TSV 依次放到空闲的坐标点,当外围坐标点被全部占用时,就将多余的 TSV 依次放置到其周围坐标点的次外围坐标点,循环执行 S_3 ,直至每个整数坐标点 TSV 的个数至多为 1。

[0020] 存储单元,用于利用画圆的方法找到间距等于刻度标准的 TSV 对。在初步整理后的版图中,依次以每一个 TSV 所在的整数坐标点为圆心,刻度标准为半径做圆,圆周上的 TSV 为可能产生容性噪声的情况,随后逐个记录所有圆周上 TSV 的数目。

[0021] 判断单元,用于判断是否进行优化。若所有圆周上都没有 TSV 存在,则说明此 TSV 版图并不需要优化;而当任意一个圆周上存在 TSV 时,继续执行 S_6 。

[0022] 弹开单元,用于将间距等于刻度标准的 TSV 对做弹开处理。找到存在 TSV 数目最多的圆周,将圆上的 TSV 移动到圆外距离一个刻度标准的临近空闲坐标点,当圆外临近坐标点被占用时,就将该 TSV 移动到距离圆周两个刻度标准的次外层空闲点;若存在有多个圆周存在最多的 TSV 数目的情况,则任选其中一个圆周进行弹开处理;循环执行 S_4 、 S_5 、 S_6 ,直至满足所有圆周上都没有 TSV 存在,跳出循环,完成整个优化过程。

[0023] 与现有技术相比,本发明可以获得如下有益效果。

[0024] 本发明以简单的方法直接解决电路间存在的容性噪声问题,不破坏原始电路结构,对初步布局后的 TSV 版图做简单的重新布局,规范了 3D 集成电路版图中 TSV 的位置,满足工艺加工的约束,调整了拥挤 TSV 的位置,减少了互连线的长度,合理的增加了各 TSV 的间距,达到了减小容性噪声的目的,同时优化了 TSV 的自动布局。

附图说明

[0025] 图 1 为 3D 集成电路芯片的剖面示意图;

[0026] 图 2 为 TSV 原版图;

[0027] 图 3 为移动 TSV 示意图;

[0028] 图 4 为移动后 TSV 版图;

[0029] 图 5 为初步优化后 TSV 版图;

[0030] 图 6 为拥挤 TSV 移动示意图；

[0031] 图 7 为 TSV 画圆示意图；

[0032] 图 8 为 TSV 弹开示意图；

[0033] 图 9 为弹开处理后 TSV 版图；

[0034] 图 10 为本发明的 3D 集成电路中降噪声的 TSV 位置自动布局方法的流程图。

[0035] 图中：1、TSV，2、刻度标准，3、坐标系，4、移动方向，5、顶层芯片，6、底层芯片，7、标准单元，8、金属互联线，9、衬底，10、坐标点，11、坐标线。

具体实施方式

[0036] 以下将结合附图对本发明作进一步说明。

[0037] 如图 1 所示为 3D 集成电路芯片的剖面示意图，本发明中的 3D 集成电路是一种三维立体式的芯片结构，整个芯片包括 TSV1、刻度标准 2、顶层芯片 5、底层芯片 6、标准单元 7、金属互联线 8、衬底 9、坐标点 10；本发明包括六个单元，分别为输入单元、移动单元、调整单元、存储单元、判断单元、弹开单元，这 6 个单元构成了芯片的整体，3D 芯片中每一层都是 2D 芯片，并由 TSV1 在竖直方向连接起来，其主要由顶层芯片 5 和低层芯片 6 两部分构成；标准单元 7 是集成电路中实现信号互联的基本组成部分，标准单元 7 的互联由金属互联线 8 完成；顶层芯片 5 和底层芯片 6 相连接需要通过 TSV1，这种 TSV1 是穿过相邻两层芯片的硅通孔；本发明的布局方法通过建立直角坐标系 3，坐标系 3 的单位长度为刻度标准 2，虚线为坐标的坐标线 11，而由各坐标线相交而成的为坐标点 10，把 TSV1 移动到最近的整数坐标点 10，找到可能存在容性噪声的 TSV 对其做弹开处理完成优化 TSV1 布局过程；本发明致力于对已经初步确定 TSV 位置的 3D 集成电路版图进行优化，规范了 3D 集成电路版图中的 TSV1 位置减少了所需互连线的长度，通过合理的增加各个 TSV1 之间的距离达到减小容性噪声的目的。

[0038] 以下是本发明的具体实施步骤。

[0039] 如图 2 所示为 TSV 原版图，输入单元包括 TSV1 和坐标系 3，其用于确定 TSV1 所在位置，第一步建立 3D 集成电路直角坐标系 3，初步确定各个 TSV1 所在坐标；图中黑色实心圆圈为 TSV1，横、纵坐标轴分别沿版图的水平、竖直方向生成；建立刻度标准 2，并用刻度标准 2 均分横纵轴，则整数坐标点 10 表示为 (nR, nR) ，初步计算各个 TSV1 的坐标；依据坐标轴上的刻度标准 2 计算每个 TSV1 所在位置距离横纵坐标的距离，确定每个 TSV1 的坐标。

[0040] 如图 3 所示为移动 TSV 示意图，移动单元包括 TSV1、刻度标准 2、以及坐标系 3，其用于将 TSV1 移动到整数坐标点，初步对版图中的 TSV1 进行布局；第二步移动 TSV1 到整数坐标点 10；将 TSV1 所在坐标的横纵坐标四舍五入，确定一个离其最近的整数坐标点 10，移动到该坐标点 10 的位置，即将 TSV1 的坐标更改为与其坐标点 10 距离最近坐标点 10 的坐标。

[0041] 如图 4 所示为移动后 TSV 版图，图 5 为初步优化后 TSV 版图，图 6 为拥挤 TSV 移动示意图，调整单元包括 TSV1、刻度标准 2、坐标系 3、坐标点 10、坐标线 11，其用于调整位置重合 TSV1 的位置；第三步将所有 TSV1 移动到最近的坐标点 10 后会存在多个 TSV1 被移动到同一坐标点 10 的问题；调整版图出现的这种情况，首先将某个 TSV1 个数大于“1”的点临近一周的坐标点 10 顺时针编号，如图 6a 所示；然后将多余的 TSV1 移动到临近的已经编号

的坐标点 10 上,如果该点已经存在其他 TSV1 时,则跳过该点,将此 TSV1 顺时针移动到下一个坐标点 10,如图 6b;如果原始 TSV1 临近一周已经编号的位置全被占用时,就将此外围的一周坐标点 10 按照上述方式处理;最后重复此过程,直至每个坐标点 10 上的 TSV1 个数至多为“1”,完成调整后的版图如图 5 所示。

[0042] 如图 7 所示为 TSV 画圆示意图,存储单元包括 TSV1、刻度标准 2、坐标系 3,其利用画圆的方法找到间距等于刻度标准的 TSV 对并存储下来;如图 7 判断单元包括 TSV1、刻度标准 2、坐标系 3,其用于判断是否进行弹开处理;第四步利用几何方法找到间距等于刻度标准的 TSV1 对;在版图的坐标系 3 中,依次以每一个 TSV1 所在的整数坐标点 10 为圆心,并以刻度标准 2 为半径做圆,坐标系 3 中圆周上的 TSV1 为可能产生容性噪声的情况,将每个圆周上存在的 TSV1 数目记录下来。

[0043] 第五步,若坐标系 3 中的所有圆周上都没有 TSV1 存在,则说明此 TSV1 版图并不需要优化,直接结束整理过程;而当版图中任意一个圆周上存在 TSV1 时,继续执行第六步。

[0044] 如图 8 所示为 TSV 弹开示意图,弹开单元包括 TSV1、刻度标准 2、坐标系 3、移动方向 4、坐标点 10、坐标线 11,此单元用于通过拉开间距降低 TSV1 间的容性噪声;第六步逐个将间距等于刻度标准 2 的 TSV1 对做弹开处理;由记录的每个圆周上 TSV1 的数目中找到存在 TSV1 数目最多的圆周,出现在圆周上的 TSV1 即为可能出现噪声的 TSV1 对,为了减小噪声影响,需要进行弹开一定距离的处理;如图 8 所示,将圆周上的 TSV1 外围临近间隔 1 个刻度标准 2 的坐标点 11 顺时针依次编号,然后将圆周上的所有 TSV1 移动到圆外距离圆周一个刻度标准 2 的临近空闲坐标点 10,假如圆外临近坐标点 11 被占用时,就将该 TSV1 移动到距离圆周两个刻度标准 2 的次外层空闲点;若存在有多个圆周存在相同的最多的 TSV1 数目的情况,则任选其中一个圆周进行弹开处理;循环执行第四、五、六步,直至满足最后所有圆周上都没有 TSV1 存在,跳出循环,完成整个优化过程。

[0045] 如图 9 所示为弹开处理后 TSV 版图,图中 TSV 位置排列整齐,满足工艺规定条件,各个 TSV 间距合理,达到减小容性噪声的目的,能够投产制造。

[0046] 如图 10 所示为本发明的 3D 集成电路中降噪声的 TSV 位置自动布局方法的流程图。

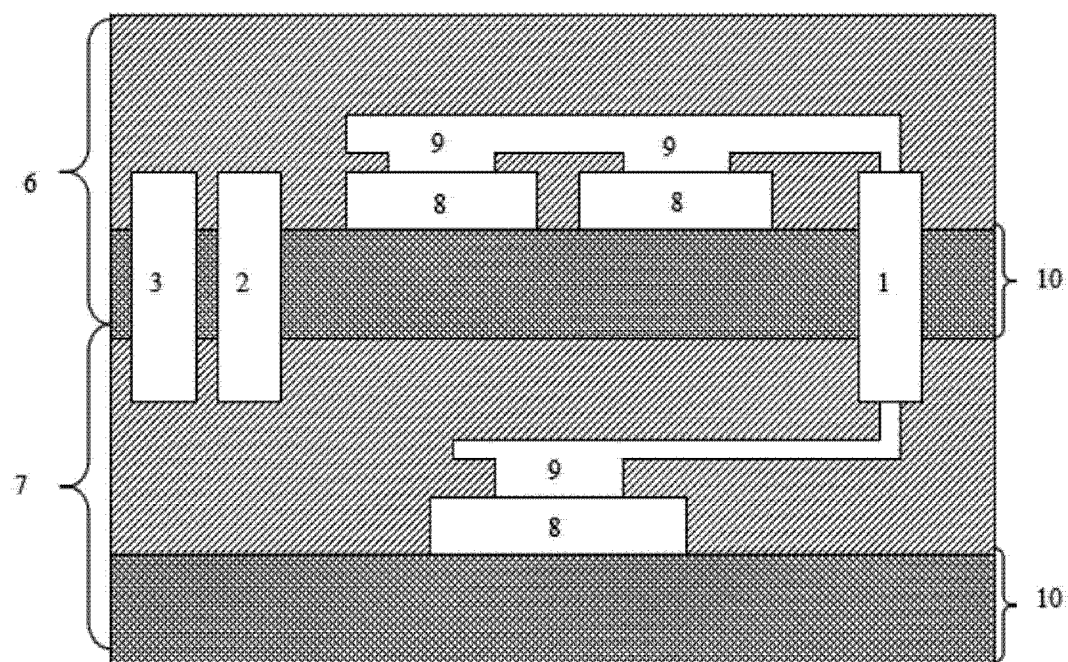


图 1

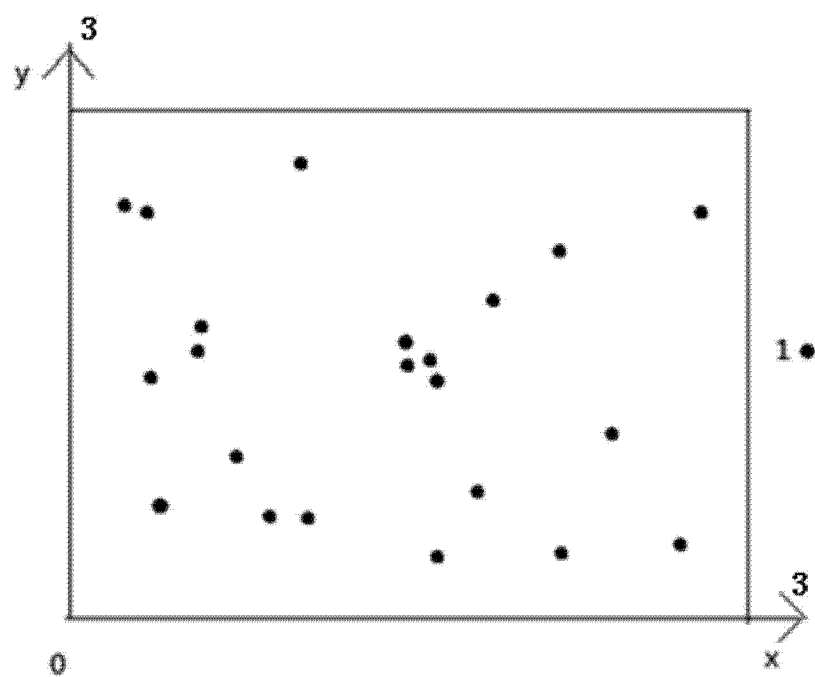


图 2

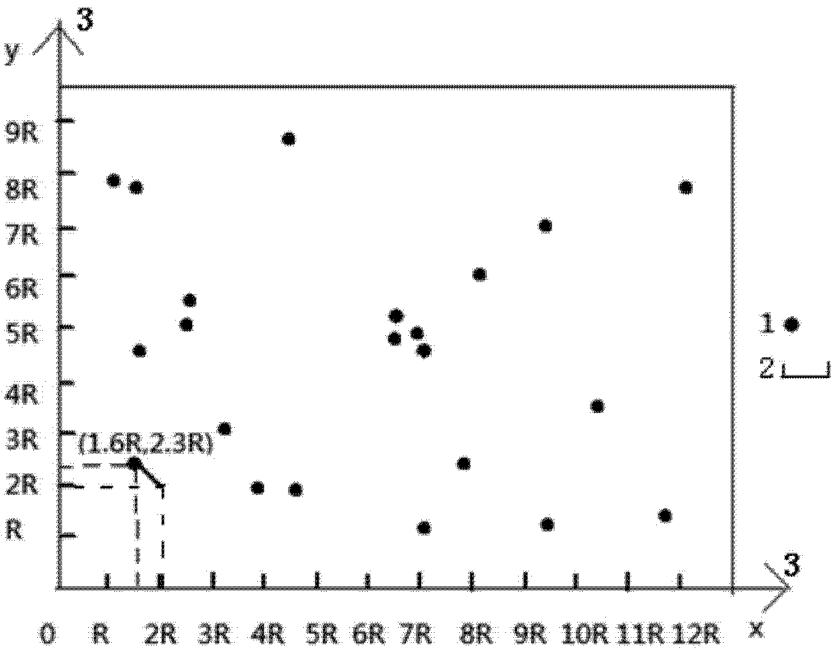


图 3

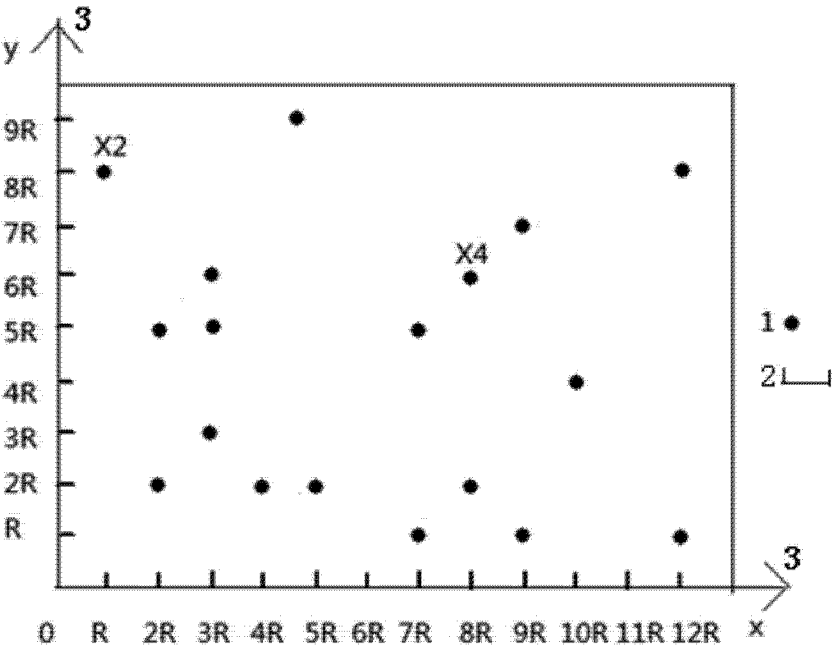


图 4

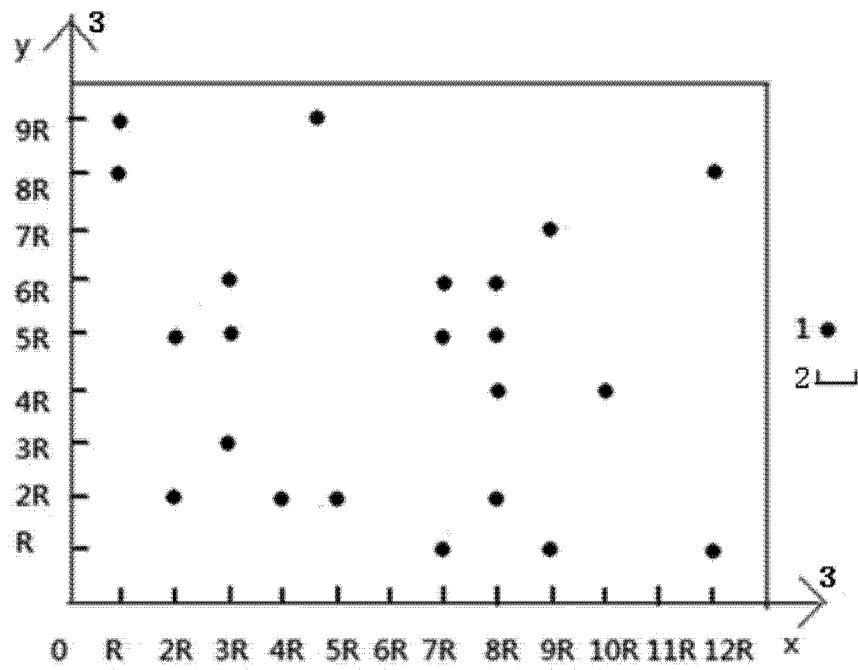


图 5

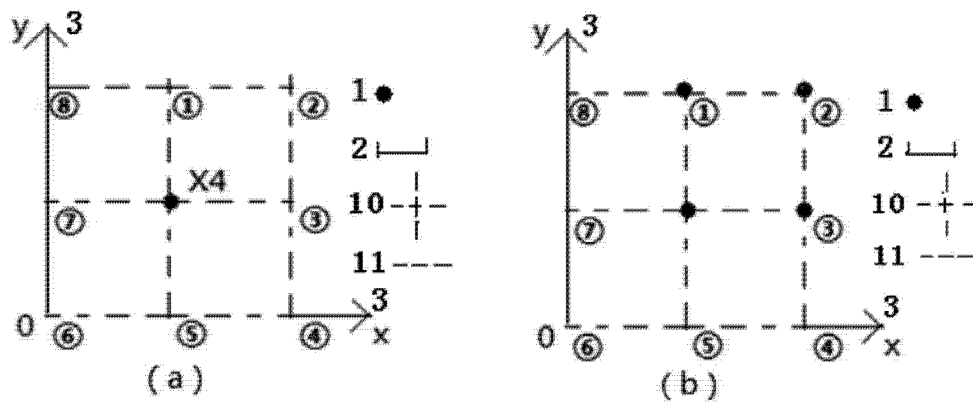


图 6

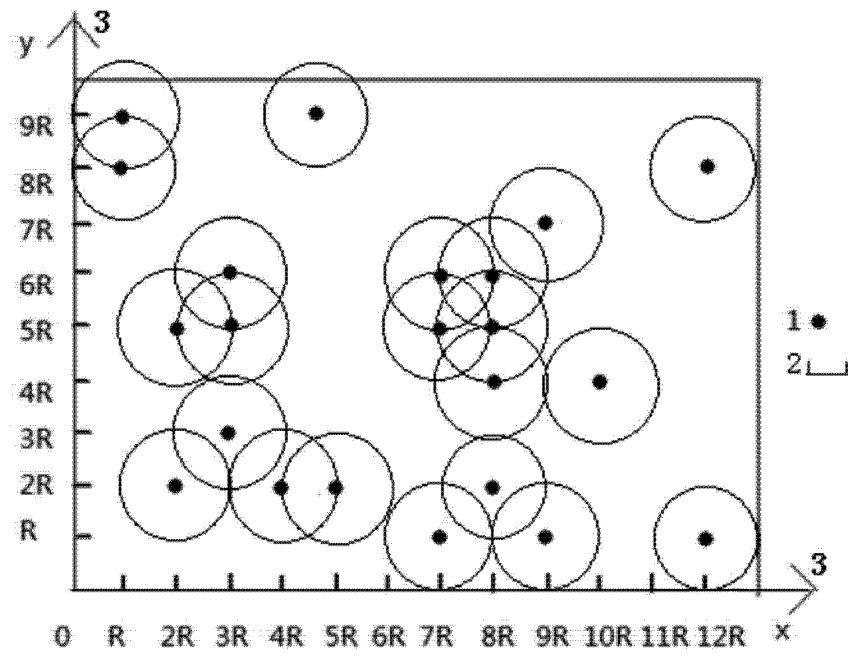


图 7

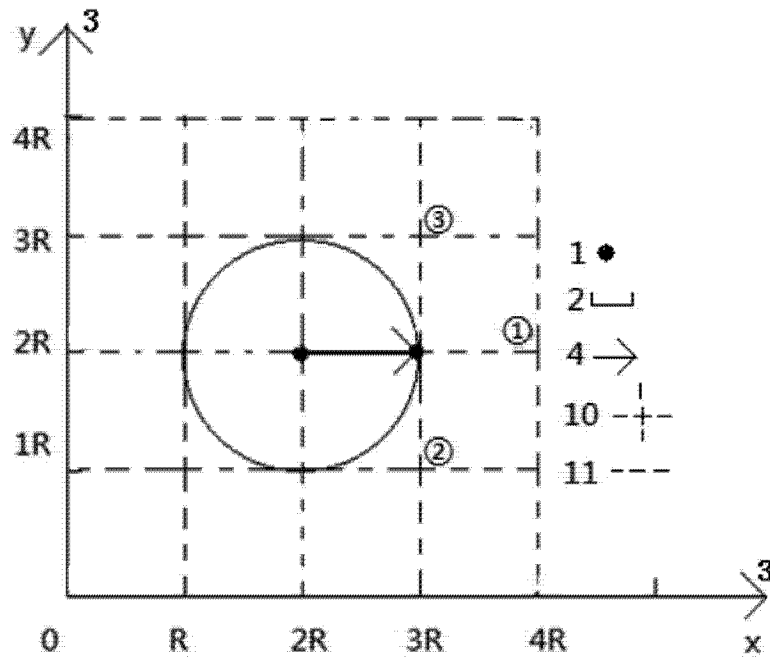


图 8

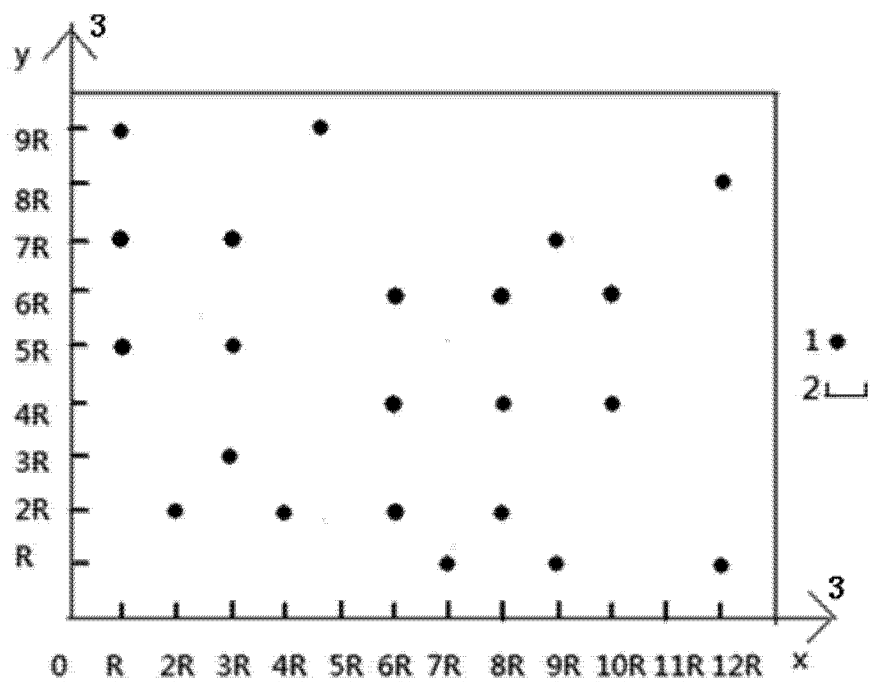


图 9

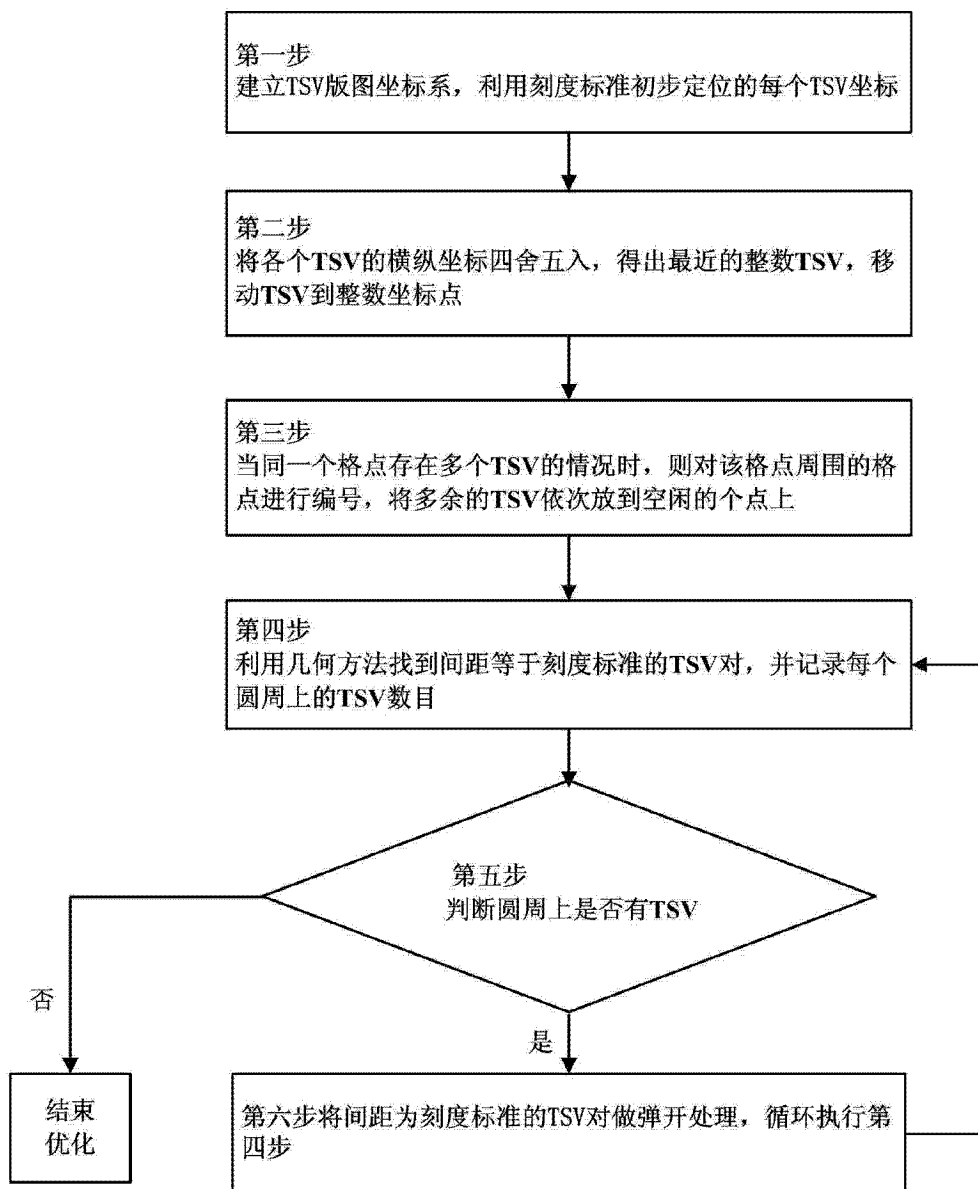


图 10