



(12)发明专利申请

(10)申请公布号 CN 107924878 A

(43)申请公布日 2018.04.17

(21)申请号 201680047840.0

(22)申请日 2016.07.05

(30)优先权数据

14/796,381 2015.07.10 US

(85)PCT国际申请进入国家阶段日

2018.02.12

(86)PCT国际申请的申请数据

PCT/US2016/041000 2016.07.05

(87)PCT国际申请的公布数据

W02017/011228 EN 2017.01.19

(71)申请人 英帆萨斯公司

地址 美国加利福尼亚州95134圣荷西市果
树公园大道3025号

(72)发明人 塞普里昂·艾米卡·乌卓

(74)专利代理机构 北京寰华知识产权代理有限公司 11408

代理人 林柳岑 贺亮

(51)Int.Cl.

H01L 23/00(2006.01)

H01L 23/12(2006.01)

H01L 21/324(2006.01)

H01L 23/485(2006.01)

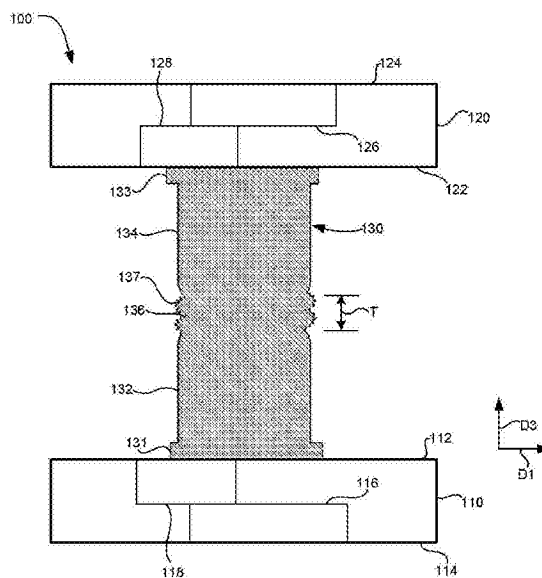
权利要求书3页 说明书19页 附图8页

(54)发明名称

用于低温接合的结构和方法

(57)摘要

一种制造一组件的方法可包含在第一构件的一基板的一第一表面形成一第一导电的元件;藉由曝露到一无电的电镀浴以在所述导电的元件的一表面形成导电的纳米粒子;并列所述第一导电的元件的所述表面以及在一第二构件的一基板的一主要的表面的一第二导电的元件的一对应的表面;以及至少在所述并列的第一及第二导电的元件的介面升高一温度至一接合温度,所述导电的纳米粒子在所述接合温度下使得冶金接合点形成在所述并列的第一及第二导电的元件之间。所述导电的纳米粒子可被设置在所述第一及第二导电的元件的表面之间。所述导电的纳米粒子可以具有小于100纳米的长度尺寸。



1. 一种制造一组件的方法,其包括:

在一第一构件的一基板的一第一表面形成一第一导电的元件,所述第一导电的元件延伸在一远离所述第一表面的方向上;

藉由曝露到一无电的电镀浴以在所述导电的元件的一表面形成导电的纳米粒子,所述导电的纳米粒子具有小于100纳米的长度尺寸;

并列所述第一导电的元件的所述表面以及在一第二构件的一基板的一主要的表面的一第二导电的元件的一对应的表面,其中所述导电的纳米粒子被设置在所述第一及第二导电的元件的表面之间;以及

至少在所述并列的第一及第二导电的元件的介面升高一温度至一接合温度,所述导电的纳米粒子在所述接合温度下使得冶金接合点形成在所述并列的第一及第二导电的元件之间。

2. 如权利要求1所述的方法,其中所述第一导电的元件是在所述第一表面的多个第一导电的元件中之一,并且所述第二导电的元件是在所述主要的表面的多个第二导电的元件中之一,所述第一及第二导电的元件的对应的表面是与彼此并列的,所述方法进一步包括在所述并列的步骤期间,在所述并列的第一及第二导电的元件的不同的并列的第一及第二导电的元件之间压缩所述接合区域的厚度不同的距离,所述接合区域的厚度在所述并列的第一及第二导电的元件的所述不同的并列的第一及第二导电的元件之间变化高达3微米,以便于考量所述第一导电的元件的所述至少某些个的顶表面的非共面性。

3. 如权利要求1所述的方法,其中所述第一导电的元件是一实质刚性柱,并且所述第一导电的元件的所述表面是一顶表面,所述顶表面在所述第一构件的所述第一表面之上突出一高度以使得所述顶表面是在所述第一表面的远端,所述柱具有以大角度远离所述顶表面来延伸的边缘表面,以及

其中所述导电的纳米粒子的形成为沉积所述导电的纳米粒子到所述柱的所述边缘表面之上,所述纳米粒子实质完全地覆盖所述柱的所述顶表面以及所述边缘表面。

4. 如权利要求1所述的方法,其中在所述升高温度的步骤之后,所述并列的第一及第二导电的元件的介面包含微孔,每一个微孔具有一低于0.5微米的最大宽度。

5. 如权利要求1所述的方法,其中所述第一或第二构件中的至少一个是一包含主动半导体装置的微电子元件,并且所述接合温度不超过150°C。

6. 如权利要求1所述的方法,其中所述第一及第二导电的元件中的至少一个包括一导电的垫或是一导电的线路。

7. 一种制造一组件的方法,其包括:

在一第一构件的一基板的一第一表面的一第一导电的元件的一表面形成导电的纳米粒子,其藉由以一大于所述电镀浴的质量传输限制的电流密度的电流密度来将所述第一导电的元件曝露至一电解浴,所述导电的纳米粒子具有小于100纳米的长度尺寸;

并列所述第一导电的元件的所述表面以及在一第二构件的一基板的一主要的表面的一第二导电的元件的一对应的表面,其中所述导电的纳米粒子被设置在所述第一及第二导电的元件的表面之间;以及

至少在所述并列的第一及第二导电的元件的介面升高一温度至一接合温度,所述导电的纳米粒子在所述接合温度下使得冶金接合点形成在所述并列的第一及第二导电的元

件之间。

8. 如权利要求7所述的方法,其进一步包括在形成所述导电的纳米粒子之前形成所述多个第一导电的元件,其藉由将一晶种层沉积到所述第一构件的所述基板的所述第一表面之上、以及形成从所述晶种层延伸的所述第一导电的元件。

9. 如权利要求8所述的方法,其进一步包括在形成所述导电的纳米粒子之后,形成一覆盖所述导电的纳米粒子的介电遮罩、以及从所述第一表面移除所述晶种层的相邻所述第一导电的元件的一部分。

10. 如权利要求7所述的方法,其进一步包括在形成所述导电的纳米粒子之前,在所述第一构件的一基板的所述第一表面上形成所述第一导电的元件,所述第一导电的元件延伸在一远离所述第一表面的方向上。

11. 如权利要求10所述的方法,其中所述第一导电的元件是一实质刚性柱,并且所述第一导电的元件的所述表面是一项表面,所述顶表面在所述第一构件的所述第一表面之上突出一高度以使得所述顶表面是在所述第一表面的远端,所述柱具有以大角度远离其的顶表面来延伸的边缘表面。

12. 如权利要求11所述的方法,其中所述第二导电的元件是一实质刚性柱,并且所述第二导电的元件的所述表面是一项表面,所述顶表面在所述第二构件的所述主要的表面之上突出一高度以使得所述顶表面是在所述主要的表面的远端,所述第二构件的所述柱具有以大角度远离其的顶表面来延伸的边缘表面。

13. 如权利要求7所述的方法,其中所述第一及第二导电的元件中的至少一个包括一导电的垫或是一导电的线路。

14. 一种组件,其包括:

一第一构件,其包含一具有一第一表面的基板、以及多个在所述第一表面的实质刚性第一柱,所述第一柱在一第一方向上远离所述第一表面来延伸,每一个第一柱具有一大致面向在所述第一方向上的顶表面,所述第一柱的每一个的所述顶表面在所述第一表面之上突出一高度以使得所述顶表面是在所述第一表面的远端,每一个第一柱具有以大角度远离其的顶表面来延伸的边缘表面;以及

一第二构件,其包含一具有一主要的表面的基板以及在所述主要的表面的多个第二导电的元件,每一个第二导电的元件具有一大致面向在一第二方向上的顶表面,

所述第一柱和所述第二导电的元件连结,使得所述第一柱的顶表面至少部分地面对所述第二导电的元件的顶表面,所述第一柱的至少某些个的顶表面相对于彼此非共平面的,

每一个第一柱藉由一包含杂质的接合区域来电性互连接至所述第二导电的元件中的对应的一个,所述杂质展示具有小于100纳米的长度尺寸的金属纳米粒子在所述接合制程中的使用的结构证据,每一个接合区域至少部分地贯穿到所述第一柱以及所述第二导电的元件中,每一个接合区域包含多个微孔,每一个微孔具有一低于0.5微米的最大宽度,

所述接合区域的不同者的厚度变化高达3微米,以便于考量所述第一柱的所述至少某些个的顶表面的非共面性。

15. 如权利要求14所述的组件,其进一步包括一实质完全地覆盖每一个第一柱的所述顶表面以及所述边缘表面的阻障层,每一个接合区域位于所述第一柱中的一个别的第一柱的所述阻障层以及所述第二导电的元件中对应的一个的顶表面之间。

16. 如权利要求14所述的组件,其中所述多个第二导电的元件是在所述第二方向上远离所述主要的表面来延伸的实质刚性第二柱,并且所述第二柱的每一个的顶表面在所述第二构件的所述主要的表面之上突出一高度以使得所述顶表面是在所述主要的表面的远端,每一个第二柱具有以大角度远离其顶表面来延伸的边缘表面。

17. 如权利要求16所述的组件,其中所述第一柱以及第二柱的每一个的所述边缘表面具有一至少3.0纳米的表面粗糙度。

18. 如权利要求14所述的组件,其中所述第一或第二构件中的至少一个是一包含主动半导体装置的微电子元件。

19. 如权利要求14所述的组件,其中所述第一柱以及所述第二导电的元件分别实质由相同的材料所组成,并且所述接合区域包含至少一种从一由铜、金、银、镍、锡、铝、一包含银的合金、一包含铟的合金、以及一包含锡的合金所构成的群组选出的金属。

20. 如权利要求14所述的组件,其中所述第一柱以及第二导电的元件中的至少一个包括一导电的垫或是一导电的线路。

21. 如权利要求14所述的组件,其中所述第一构件是一包含多个微电子元件部分的微电子元件晶圆,每一个微电子元件部分包含在所述第一表面的所述第一柱的一个别的子集合,并且所述第二构件是一包含多个基板部分的基板面板的至少一部分,每一个基板部分包含在所述主要的表面的所述第二导电的元件的一个别的子集合。

22. 一种系统,其包括一根据权利要求14所述的组件、以及一或多个电连接至所述组件的其它的电子构件。

23. 如权利要求22所述的系统,其进一步包括一壳体,所述组件以及所述其它的电子构件被安装至所述壳体。

用于低温接合的结构和方法

技术领域

[0001] 本发明是关于微电子封装、用于微电子封装的制造中的构件，以及制造所述封装及构件的方法。

背景技术

[0002] 微电子装置一般是包括一薄板的一种例如是硅或砷化镓的半导体材料，其通常被称为一晶粒或是一半导体晶片。半导体晶片通常是以个别经封装的单元来加以提供的。在某些单元设计中，所述半导体晶片被安装到一基板或是晶片载体，而所述基板或晶片载体接着被安装在一例如是印刷电路板的电路板之上。

[0003] 在所述半导体晶片的一面中被制造主动电路。为了使得电连接至所述主动电路变得容易，所述晶片在相同的面上被设置有焊垫。所述焊垫通常是以一规则的阵列而被置放在所述晶粒的边缘周围、或是对于许多记忆体装置而言，其被置放在所述晶粒中心。所述焊垫一般是由一种约0.5 μm 厚的例如是铜、金或铝的导电的金属所做成的。所述焊垫的尺寸将会随着所述装置类型而变化，但通常在一侧边上将会量测到数十到数百微米。

[0004] 覆晶的互连是一种用于将所述半导体晶片上的焊垫导电地连接至在一基板上的接点垫或是一或多个其它半导体晶片的普遍使用的设计。在覆晶的互连中，金属块通常是被设置或形成在每一个焊垫上。所述晶粒接着被倒置，因而所述金属块提供在所述焊垫与所述基板之间的电性路径以及所述晶粒至所述基板的机械式附接两者。

[0005] 所述覆晶的制程有许多种变化，但是一种常见的配置是使用用于金属块的焊料以及所述焊料的熔融，以作为将其固定至所述焊垫以及所述基板的方法。当其熔化时，所述焊料流动以形成截头的球体。

[0006] 用其中所述晶片的接点是面对一封装基板的对应的接点的覆晶的方式来封装半导体晶片正变得是更加困难的。增大密度的晶片接点使得在接点之间的间距缩减。因此，可利用于将每一个晶片接点接合至对应的封装接点的焊料体积被缩减。使用一相对小体积的焊料以用于接点接合的风险是整个体积的焊料可能会与所述接点的金属被转换为一种脆性的金属间化合物，其可能会危害所述焊料接合点的可靠度。

[0007] 再者，较小的焊料接合点使得在所述承载接点的晶片表面与所述封装基板的相邻的面间隔开的高度被降低。然而，当所述接点密度是非常高的时候，所述间隔开的高度可能会需要大于一简单的焊料接合点的高度，以便于在所述晶片以及封装基板的相邻的表面之间形成一适当的底胶填充。此外，要求一最小的间隔开的高度可能是必要的，以便于容许所述封装基板的接点能够相对于所述晶片的接点稍微地移动，以便于补偿在所述晶片以及所述基板之间的有差异的热膨胀。

[0008] 一种已经被提出以解决这些问题的方法牵涉到藉由直接在所述晶片接点上电镀一种例如是铜的金属以形成金属柱，其利用一覆盖所述晶片前表面的光阻遮罩以界定所述柱的位置及高度。具有所述柱从其上的焊垫延伸的晶片接着可以接合至所述封装基板的对应的接点。或者是，一类似的方法可被采用，以在所述基板的露出的垫上形成金属柱。具有

所述柱从其上的接点延伸的基板接着可以接合至所述晶片的对应的接点。

[0009] 然而,藉由电镀来形成所述柱的制程当同时在一例如是一晶圆的整个区域(其具有一从约200毫米到约300毫米的直径)的大区域之上、或是在一基板面板的整个区域(其通常具有约500平方毫米的尺寸)之上被执行时,其可能是有问题的。横跨所述基板来达成具有均匀的高度、尺寸及形状的金属柱是困难的。当所述柱的尺寸及高度是非常小的,例如是在约75微米或更小的柱直径以及约50微米或更小的柱高度时,这些全部都是非常难以达成的。在所述光阻遮罩的厚度上的变化、所述图案布局的均匀度、在垫密度上的局部的变化、在所述电解液的质量传递上的局部的变化、在所述电镀电流分布上的局部的变化、或是在一例如是晶圆或基板面板的大区域之上的图案的的形状的尺寸上的变化可能会干扰到获致具有均匀的高度、尺寸及形状的柱。

[0010] 在另一种方法中,焊料膏或是其它填入金属的膏的凸块可以被模印到一基板面板的一露出的表面上的导电的垫之上。所述凸块接着可以藉由后续的精压(coining)来加以拉平,以改善平面性。然而,为了形成具有均匀焊料体积的凸块,尤其当所述间距是非常小的,例如约50微米或更小的时候,严格的制程控制可能是必要的。当所述间距是非常小的,例如约50微米或更小的时候,亦可能是非常难以消除在凸块之间焊料桥接的可能性。

[0011] 尽管在覆晶互连线上已经有所进步,但仍有需要进一步的改良。

发明内容

[0012] 一种制造一组件的方法可包含在一第一构件的一基板的一第一表面形成一第一导电的元件,所述第一导电的元件延伸在一远离所述第一表面的方向上;以及藉由曝露到一无电的电镀浴(bath)以在所述导电的元件的一表面形成导电的纳米粒子,所述导电的纳米粒子具有小于100纳米的长度尺寸。所述方法亦可包含并列所述第一导电的元件的表面以及在一第二构件的一基板的一主要的表面的一第二导电的元件的一对应的表面,其中所述导电的纳米粒子被设置在所述第一及第二导电的元件的表面之间。所述方法可进一步包含至少在所述并列的第一及第二导电的元件的介面升高一温度至一接合温度,所述导电的纳米粒子在所述接合温度下使得冶金接合点形成在所述并列的第一及第二导电的元件之间。

[0013] 在一例子中,所述第一导电的元件可以是在所述第一表面的多个第一导电的元件中之一,并且所述第二导电的元件可以是在所述主要的表面的多个第二导电的元件中之一,所述第一及第二导电的元件的对应的表面是与彼此并列的。所述方法亦可包含在所述并列的步骤期间,在所述并列的第一及第二导电的元件之不同的并列的第一及第二导电的元件之间压缩所述接合区域的厚度不同的距离,所述接合区域的厚度在所述并列的第一及第二导电的元件的所述不同的并列的第一及第二导电的元件之间变化高达3微米,以便于考量所述第一导电的元件的所述至少某些个的顶表面的非共面性。

[0014] 在一特定的实施例中,所述第一导电的元件可以是一实质刚性柱,并且所述第一导电的元件的所述表面可以是一项表面,所述项表面在所述第一构件的所述第一表面之上突出一高度以使得所述项表面是在所述第一表面的远端,所述柱具有以大角度远离所述项表面来延伸的边缘表面。所述导电的纳米粒子的形成可以将所述导电的纳米粒子沉积到所述柱的所述边缘表面之上,所述纳米粒子实质完全地覆盖所述柱的所述项表面以及所述边

缘表面。

[0015] 在一实施例中,在所述升高温度的步骤之后,所述并列的第一及第二导电的元件的介面可包含微孔(microvoid),每一个微孔具有一低于0.5微米的最大宽度。在一特定的例子中,所述第一或第二构件中的至少一个可以是一包含主动半导体装置的微电子元件,并且所述接合温度可以是不超过150℃。在一范例实施例中,所述第一及第二导电的元件中的至少一个可包括一导电的垫或是一导电的线路。

[0016] 另一种制造一组件的方法可包含在一第一构件的一基板的一第一表面的一第一导电的元件的一表面形成导电的纳米粒子,其藉由以一大于所述电镀浴的质量传输限制的电流密度的电流密度来将所述第一导电的元件曝露至一电解浴,所述导电的纳米粒子具有小于100纳米的长度尺寸。所述方法亦可包含并列所述第一导电的元件的所述表面以及在一第二构件的一基板的一主要的表面的一第二导电的元件的一对应的表面,其中所述导电的纳米粒子被设置在所述第一及第二导电的元件的表面之间。所述方法可进一步包含至少在所述并列的第一及第二导电的元件的介面升高一温度至一接合温度,所述导电的纳米粒子在所述接合温度下使得冶金接合点形成在所述并列的第一及第二导电的元件之间。

[0017] 在一例子中,所述方法亦可包含在形成所述导电的纳米粒子之前形成所述多个第一导电的元件,其藉由将一晶种层沉积到所述第一构件的所述基板的所述第一表面之上、以及形成从所述晶种层延伸的所述第一导电的元件。在一特定的实施例中,所述方法亦可包含在形成所述导电的纳米粒子之后,形成一覆盖所述导电的纳米粒子的介电遮罩、以及从所述第一表面移除所述晶种层的相邻所述第一导电的元件的一部分。在一实施例中,所述方法亦可包含在形成所述导电的纳米粒子之前,在所述第一构件的一基板的所述第一表面上形成所述第一导电的元件,所述第一导电的元件延伸在一远离所述第一表面的方向上。

[0018] 在一特定的例子中,所述第一导电的元件可以是一实质刚性柱,并且所述第一导电的元件的所述表面可以是一顶表面,所述顶表面在所述第一构件的所述第一表面之上突出一高度以使得所述顶表面是在所述第一表面的远端,所述柱具有以大角度远离其的顶表面来延伸的边缘表面。在一范例实施例中,所述第二导电的元件可以是一实质刚性柱,并且所述第二导电的元件的所述表面可以是一顶表面,所述顶表面在所述第二构件的所述主要的表面之上突出一高度以使得所述顶表面是在所述主要的表面的远端,所述第二构件的所述柱具有以大角度远离其的顶表面来延伸的边缘表面。在一例子中,所述第一及第二导电的元件中的至少一个可包括一导电的垫或是一导电的线路。

[0019] 一种组件可包含一第一构件,所述第一构件包含一具有一第一表面的基板、以及多个在所述第一表面的实质刚性第一柱,所述第一柱在一第一方向上远离所述第一表面来延伸,每一个第一柱具有一大致面向在所述第一方向上的顶表面,所述第一柱的每一个的所述顶表面在所述第一表面之上突出一高度以使得所述顶表面是在所述第一表面的远端,每一个第一柱具有以大角度远离其的顶表面来延伸的边缘表面。所述组件亦可包含一第二构件,所述第二构件包含一具有一主要的表面的基板以及在所述主要的表面的多个第二导电的元件,每一个第二导电的元件具有一大致面向在一第二方向上的顶表面。

[0020] 所述第一柱可以和所述第二导电的元件连结,使得所述第一柱的顶表面至少部分地面对所述第二导电的元件的顶表面。所述第一柱的至少某些个的顶表面可能是相对于彼

此非共平面的。每一个第一柱可以藉由一包含杂质的接合区域来电性互连接至所述第二导电的元件中的对应的一个，所述杂质展示具有小于100纳米的长度尺寸的金属纳米粒子在所述接合制程中的使用的结构证据。每一个接合区域可以至少部分地贯穿到所述第一柱以及所述第二导电的元件之中。每一个接合区域可包含多个微孔。每一个微孔可以具有一低于0.5微米的最大宽度。所述接合区域的不同的接合区域的厚度可能会变化达到3微米，以便于考量所述第一柱的所述至少某些个的顶表面的非共面性。

[0021] 在一例子中，所述组件亦可包含一实质完全地覆盖每一个第一柱的所述顶表面以及所述边缘表面的阻障层，每一个接合区域位于所述第一柱中的一个别的第一柱的所述阻障层以及所述第二导电的元件中的对应的一个的顶表面之间。在一特定的实施例中，所述多个第二导电的元件可以是在所述第二方向上远离所述主要的表面来延伸的实质刚性第二柱，并且所述第二柱的每一个的顶表面可以在所述第二构件的所述主要的表面之上突出一高度以使得所述顶表面是在所述主要的表面的远端，每一个第二柱具有以大角度远离其的顶表面来延伸的边缘表面。在一实施例中，所述第一柱以及第二柱的每一个的所述边缘表面可以具有一至少3.0纳米的表面粗糙度。在一特定的例子中，所述第一或第二构件中的至少一个可以是一包含主动半导体装置微电子元件。

[0022] 在一范例实施例中，所述第一柱以及所述第二导电的元件分别可以实质由相同的材料所组成，并且所述接合区域可包含至少一种从一由铜、金、银、镍、锡、铝、一包含银的合金、一包含钢的合金、以及一包含锡的合金所构成的群组选出的金属。在一例子中，所述第一柱以及第二导电的元件中的至少一个可包括一导电的垫或是一导电的线路。在一特定的实施例中，所述第一构件可以是一包含多个微电子元件部分的微电子元件晶圆，每一个微电子元件部分包含在所述第一表面的所述第一柱的一个别的子集合，并且所述第二构件可以是一包含多个基板部分的基板面板的至少一部分，每一个基板部分包含在所述主要的表面的所述第二导电的元件的一个别的子集合。

[0023] 在一实施例中，一种系统可包含一如上所述的组件以及一或多个电连接至所述组件的其它电子构件。在一特定的例子中，所述系统亦可包含一壳体，所述组件以及所述其它电子构件被安装至所述壳体。本发明的进一步特点可以提供纳入根据本发明的前述特点的组件、根据本发明的前述特点的复合的晶片、或是两者结合其它电连接至其的电子构件的系统。例如，所述系统可被设置在单一壳体中、且/或安装到单一壳体，所述壳体可以是一可携式的壳体。根据在本发明的此特点中的较佳实施例的系统可以是比相当的现有系统更小型的。

附图说明

[0024] 图1是根据本发明的一实施例的一种组件的概略的侧截面图。

[0025] 图2A-2F是描绘根据在图1中描绘的实施例的制造阶段的侧截面图。

[0026] 图3是根据在图1中所示的组件的一替代实施例的一种组件的概略的侧截面图。

[0027] 图4A-4C是描绘根据在图3中描绘的实施例的制造阶段的侧截面图。

[0028] 图5是根据在图1中所示的组件的另一替代实施例的一种组件的概略的侧截面图。

[0029] 图6A-6D是描绘根据在图5中描绘的实施例的制造阶段的侧截面图。

[0030] 图7是根据在图5中所示的组件的一替代实施例的一种组件的概略的侧截面图。

[0031] 图8A及8B是描绘根据在图7中描绘的实施例的制造阶段的侧截面图。

[0032] 图9是根据本发明的一实施例的一种系统的概要的绘图。

具体实施方式

[0033] 如同在此揭露内容参照到一基板所用的,一导电的元件是“在”一基板的一表面的一项陈述是指出当所述基板并未与任何其它元件组装时,所述导电的元件是可利用于与一理论的点接触,所述理论的点是从所述基板的外部,在一垂直于所述基板的表面的方向上朝向所述基板的表面移动。因此,在一基板的一表面的一端子或是其它导电的元件可以是从此种表面突出的;可以是与此种表面齐平的;或者可以是相对于此种表面而凹陷在所述基板内的一孔洞或是凹处中。在某些实施例中,所述导电的元件可以附接至所述表面、或是可被设置在所述表面上的一或多层的介电涂层中。

[0034] 如同在图1中所绘的,一种组件100可包含一第一基板110,其具有一延伸在一第一方向D1上以及在一与所述第一方向正交的第二方向上的主要的表面112;一第二基板120,其具有一延伸在所述第一及第二方向上的主要的表面122;以及一导电柱130,其延伸在一与所述第一及第二方向正交的第三方向D3上,所述柱提供介于分别在所述主要的表面112以及主要的表面122的导电的元件131及133之间的一电连接。尽管只有单一柱130是参考图1而被展示及叙述的,但将了解到的是,所述第一及第二基板110、120可以藉由一 $m \times n$ 阵列的导电柱来加以连结, m 及 n 的一或两者是大于1。所述柱130(以及在此所述的其它导电柱)例如可被使用来在所述第一基板110与所述第二基板120之间载有信号或资讯、电源、热、或是一参考电位。

[0035] 在图1中,平行于所述主要的表面112以及主要的表面122的第一及第二方向在此被称为“水平的”或“横向的”方向,而例如是所述第三方向D3的垂直于所述主要的表面的方向在此被称为向上或向下的方向,并且在此亦被称为“垂直的”方向。在此所参照到的方向是在所参照到的结构的参考座标中。因此,这些方向可以位于相对正常或重力参考座标的任何方位上。一特点为“在一表面之上”被设置于一比另一特点更大的高度处的一项陈述是表示所述一特点是在远离所述表面的相同的正交方向上位于一比所述另一特点更大的距离处。相反地,一特点为“在一表面之上”被设置于一比另一特点较小的高度处的一项陈述是表示所述一特点是在远离所述表面的相同的正交的方向上位于一比所述另一特点较小的距离处。

[0036] 在某些实施例中,所述基板110及120的一或两者可以是一半导体晶片、一晶圆、玻璃、陶瓷、玻璃陶瓷、一聚合物、复合材料、一平板、或类似者。所述基板110及120的一或两者可以是实质由一种例如是硅的无机材料所组成的。所述基板110及120的一或两者的在其主要的表面以及与所述主要的表面相对的一个别的第二表面114或124之间的厚度可以是小于 $500\mu\text{m}$,并且可以是显著更小的,例如是 $130\mu\text{m}$ 、 $70\mu\text{m}$ 、或甚至是更小的。

[0037] 所述基板110及120的一或两者可以在所述基板的一平面中具有一小于每摄氏度10百万分率(“ppm/°C”)的热膨胀系数(“CTE”)。在一特定的实施例中,所述基板110及120的一或两者可以具有一小于 $7\text{ppm}/^\circ\text{C}$ 的CTE。在其它实施例中,所述基板110及120的一或两者的CTE可以是小于 $20\text{ppm}/^\circ\text{C}$ 。在一例子中,所述基板110及120的一或两者的CTE可以是大于 $22\text{ppm}/^\circ\text{C}$ 。

[0038] 在某些实施例中,所述基板110及120的一或两者可以是由一种例如是半导体材料、陶瓷、玻璃、液晶材料、一例如是玻璃-环氧树脂或纤维强化的复合材料的复合材料、一积层结构、或是其的一组合的材料所做成的。在某些实施例中,所述基板110及120的一或两者可以是一支撑的介电元件,例如是一用在带式自动化的接合("TAB")的带。在一例子中,所述基板110及120的一或两者可以是实质由一具有在基板的平面中的小于10ppm/°C的热膨胀系数的介电元件所组成的。在一特定的实施例中,所述基板102可以是实质由一具有在基板的平面中的介于约10到约20ppm/°C之间的热膨胀系数的介电元件所组成的。在一特定的实施例中,所述基板110及120的一或两者可以是实质由一具有在基板的平面中的介于约10到约20ppm/°C之间的热膨胀系数以及一介于约15到约60ppm/°C之间的平面外的热膨胀系数的介电元件所组成的。在一例子中,所述基板110及120的一或两者可以具有一小于4GPa的杨氏系数。

[0039] 所述基板110及120的一或两者可进一步包含一绝缘的介电层(未显示),其覆盖所述个别的主要的表面112或122及/或个别的第二表面114或124。当所述基板包括一种导电材料或是一种半导体材料时,此种介电层可以电性隔离例如是所述柱130的导电的元件与所述基板。这些介电层可被称为所述基板的"钝化层"。此种介电层可包含一种无机或有机的介电材料、或是两者。此种介电层可包含一电沉积保形的涂层或是其它介电材料,例如是一种光可成像的聚合的材料、例如是一种焊料遮罩材料。

[0040] 所述基板110及120的一或两者可以进一步于其中包含导电的结构116或126。此种导电的结构可包含沿着所述主要的表面以及第二表面的一或两者延伸的线路、延伸在所述个别的主要的表面112或122及/或所述个别的第二表面114或124之间或是在一介于其之间的方向上的导电的互连或导电贯孔、以及在所述个别的第二表面以用于和一在所述组件100外部的构件电连接的端子118或128。

[0041] 在其中所述基板110及120的一或两者包含一例如由硅所做成的半导体基板的实施例中,一或多个半导体装置(例如,电晶体、二极体、等等)可被设置在其的一主动装置区域中,所述主动装置区域位于所述个别的主要的表面112或122之处及/或之下。

[0042] 所述导电柱130可包含一第一导电的元件或部分132以及一第二导电的元件或部分134。所述第一部分132可以电连接而且连结至在所述第一基板110的主要的表面112的一或多个导电的元件131,并且所述第二部分134可以电连接而且连结至在所述第二基板120的主要的表面122的一或多个导电的元件133。所述第一及第二部分132、134的每一个可以是一从所述个别的主要的表面112、122在所述第三方向D3上、或是在一与所述第三方向相反的方向上延伸的金属柱,此种金属柱包含例如是金属的垂直延伸的部分的实质刚性元件。

[0043] 所述第一及第二部分132、134分别可包含一种导电材料,例如是铜、铝、钨、焊料、金、镍、钨、银、一包含铜的合金、一包含镍的合金、一包含钨的合金、或是前述材料中的一或多种的一组合、以及其它导电材料。在一例子中,所述第一及第二部分132、134的每一个可以是实质由铜所组成的。所述第一及第二部分132、134分别可包括相同的金属、或是所述第一部分可包括一不同于所述第二部分的金属。

[0044] 所述导电柱130亦可包含一在所述第一基板110的主要的表面112的第一导电的元件131、及/或一在所述第二基板112的主要的表面122的第二导电的元件133。此种导电的元

件131或133可以是一薄且平坦的例如是铜、铝、镍、或者其它适当的材料的金属的垫。此种导电的元件131或133可包括和所述第一及第二部分132、134的一或两者相同的金属、或是其可包括一不同于所述第一及第二部分的一或两者的金属。在某些实施例中,所述第一及第二导电的元件131、133的一或两者可包括一阻障层或是阻障材料。在一例子中,所述第一及第二导电的元件131、133的一或两者可以与所述第一及第二部分132、134的一或两者一体地加以形成。

[0045] 所述导电柱130可包含一接合区域136,其可包含已经在一先前的接合操作中接合在一起的纳米粒子的结构证据。如同在此所用的,所述术语“纳米粒子”包含具有任意形式的纳米材料,其例如包含具有通常小于约100纳米的长度尺寸的纳米粒子的丛集(cluster)、悬浮在一液体中的纳米粒子、或是悬浮在一包含介面活性剂的膏中的纳米粒子。所述接合区域可以包括、或者可以不包括任何剩余的例如是介面活性剂或溶剂的液体。所述纳米粒子的实际尺寸可以是显著更小的,例如,其具有从约1纳米到更大的尺寸。在一例子中,所述接合区域136可以至少部分地贯穿到所述第一及第二部分132、134的每一个之中。此种纳米粒子亦可被配置为在可以构成所述导电柱130的第一及第二部分132、134的金属柱的一或多个表面的树枝状(dendritic)沉积物。

[0046] 在一例子中,所述接合区域136可包含一层实质由铜、金、镍、银、包含银的合金、镓、铟、镓或铟的合金、锡、铋、共晶金属合金、其它金属、或是金属的一组合中的至少一种所组成的纳米粒子。所述纳米粒子可被涂覆一非常薄的保护或是非保护层材料(例如,镓、铟、锡、镍),并且所述保护层可以是连续的、或者是断续的。此种保护或是非保护层材料可以降低所述纳米粒子的熔点。在一例子中,沉积到所述第一部分132之上的纳米粒子可被涂覆镓,并且沉积到所述第二部分134之上的纳米粒子可被涂覆铟,此可以降低所述纳米粒子的熔点。此种保护或是非保护层材料例如可以具有一5-10纳米的厚度。有关此种在纳米粒子上的保护或是非保护层材料的进一步的细节可见于美国专利号9,024,205中,所述美国专利藉此被纳入在此作为参考。

[0047] 纳米粒子可能会遭受到熔点降低,其中纳米尺度材料可能会在远低于基体(bulk)材料的温度下熔化。在一例子中,纳米粒子的熔点可以是低于一具有由所述纳米粒子所组成的相同材料的基体区域的熔点数百摄氏度(°C)。金属纳米粒子的熔点降低在所述金属具有一低于约50nm的粒子直径时最明显。具有一实质由纳米粒子所组成的接合区域136可以容许所述接合区域具有一在室温、或是在高于室温数百摄氏度下的熔点。

[0048] 相较于现有的接合技术的温度,在一较低的温度下(例如,小于200°C)将所述第一及第二基板110、120(以及其它在此所述的第一及第二基板310/510/710以及320/520/720)接合一起可以改善最终的组件100的结构,并且亦可以有益于制造所述组件的制程,此可以改善良率及效率,藉此降低制造成本。通常,每一个基板110、120的第一及第二部分132、134(例如,具有导电柱的形式)在一刚好低于所述接合温度的温度下,与彼此对齐地加以并列。接着,所述对齐的柱被移动来和彼此接触,并且所述组件被加热至所述接合温度,在所述个别的第一及第二部分132、134上的纳米粒子在当下接合,使得所述柱130形成。在某些实施例中,在所述基板之间的纳米粒子区域可以在所述配接的区域碰触时,在室温下熔化。后续较高温的处理可以作用来改善所述室温的接合的机械及电性的完整度。所述基板接合环境环境可以是惰性的、还原的、或是一真空。在某些应用中,金属氧化物还原的流体可以在所

述接合操作期间流动在所述基板的周围。在一实施例中,在所述接合室中的流体可以包括一种强化在金属上的颗粒生长或是颗粒成长率的化合物,例如是分散在一例如是氮的惰性气体中的乙醇。

[0049] 相对于现有在约250℃的温度的焊料接合制程,基板110及120(其可以具有实质不同的热膨胀系数)的降低温度的纳米粒子接合可以在最终组装的产品(例如,所述组件100)中产生显著较少的应变及翘曲。降低的基板翘曲在后续的组件制程中可能是有利的。这是因为在所述结构被接合所在的温度与所述组件被储存或操作所在的温度之间的差值远小于现有的制程。以此种方式,所述组装的结构(例如,所述组件100)具有较小的倾向会由于所述组装过程而变成翘曲的。

[0050] 再者,在每一个柱130的个别的部分132、134之间的在一较低的温度下所形成的连接并不需要如同在现有结构中的相当强的,因为在较低的温度下进行所述组装过程可以施加较小的应力给每一个连接,这是由于在所述接合温度以及所述产品被使用或储存所在的温度之间较小的温度差异的缘故。所述利用较低的热预算的用于组装的制程的组装后的封装可以在较低的温度下使得所述封装变硬。所述较硬的封装可以具有降低的翘曲。再者,降低所述接合温度可以使得将较大的基板对齐及接合在一起更为容易,藉此改进效率。上述的这些益处可以适用于在此所述的组件100/300/500/700的全部实施例。

[0051] 在所述第一及第二部分132、134是藉由具有任意形式的纳米粒子或纳米材料而被接合在一起之后,将所述第一及第二部分接合在一起的接合区域136可能会展现已被用来接合所述第一及第二部分的纳米粒子的结构证据。例如,在所述第一及第二部分132、134的接合期间,纳米粒子可以扩散到所述第一及第二部分中。在接合之后,先前构成所述纳米粒子的金属不再具有通常小于约100纳米的长度尺寸的纳米粒子的丛集的形式。

[0052] 将所述第一及第二部分132、134接合在一起的接合区域136可能会展现已被用来接合所述第一及第二部分的纳米粒子的其它结构证据,其包含所述接合区域的表面轮廓。如同在图1中所示,所述接合区域136可能会具有一齿痕或是锯齿状的表面137,其大致延伸在一绕着所述柱130的圆周方向上。所述接合区域136的表面137可以具有一高于所述第一及第二部分132、134的表面粗糙度。例如,所述表面137可以具有一大于30纳米的表面粗糙度。在一例子中,所述表面137可以具有一大于3.0纳米的表面粗糙度。

[0053] 纳米粒子已被用来接合所述第一及第二部分132、134的结构证据的另一个例子可能是在所述接合区域136之内的微孔的存在。例如,所述接合区域136可包含多个微孔,所述微孔分别小于0.5微米、或是所述接合区域可包含分别小于0.2微米的微孔。此种微孔例如可被填入空气或是介电材料。在一实施例中,在所述接合区域之内的每一个空孔的横截面可以是小于所述接合的区域的横截面的10%。在特定的例子中,在所述接合区域之内的每一个空孔的横截面可以是小于所述接合的区域的横截面的5%、或是小于1%。在一实施例中,在所述接合区域的一给定的横截面之内的空孔的横截面的总面积可以是小于所述接合的区域的横截面的10%。在特定的例子中,在所述接合区域的一给定的横截面之内的空孔的横截面的总面积可以是小于所述接合的区域的横截面的5%、或是小于1%。

[0054] 在其中所述第一及第二基板110、120藉由一阵列的导电柱130而被接合的实施例中,所述接合区域136在所述第三方向D3上的厚度T例如可能会在阵列的导电柱之间变化高达3微米、或是介于0.5微米到3微米之间。如同将会在以下加以描述的,在对应的第一及第

二部分接合至彼此之前,在所述导电柱130之间的接合区域的厚度136上的变化可能会是由于在一系列的第一部分132的顶表面之间的非平面性、及/或在一对应的阵列的第二部分134的顶表面之间的非平面性所引起的。在一实施例中,所述第一及第二部分132、134中之一可以是一导电的线路或是一导电的垫(例如,具有一圆圈、椭圆形、方形、或是矩形的形状的一扁平片的金属)。因此,纳米材料可被利用以将一导电柱附接至位于所述主要的表面112或122之处的一导电的线路或是一导电的垫。

[0055] 一种制造所述组件100(图1)的方法现在将会参考图2A-2F来加以描述。参照图2A,一连续的金属晶种层140(例如,铜)可加以沉积到所述第一基板110的主要的表面112之上、或是若所述基板包括一种导电材料或是一种半导体材料时,则是沉积到一覆盖所述主要的表面的介电层之上。所述晶种层140可以藉由各种的方法来加以沉积,其包含原子层沉积(ALD)、物理气相沉积(PVD)、或是无电或电解的沉积方法。所述晶种层例如可包括铜。所述晶种层亦可包含一黏着层、一阻障层、或是两者。

[0056] 在所述晶种层140沉积到所述主要的表面112之上后,例如是一光阻层142的光可成像的层可加以沉积及图案化,以只有覆盖所述主要的表面112的部分。所述光阻层142可以在沿着所述主要的表面112的其中希望形成柱130的位置处具有开口144。

[0057] 接着,如同在图2B中所示,所述柱130的第一部分132可以藉由沉积一或多种导电材料(例如,铜)到所述开口144以接触所述晶种层140来加以形成。在此例子中,所述第一部分132是藉由电解的沉积来加以沉积的。所述第一部分132可以从所述晶种层140延伸在所述第三方向D3上。

[0058] 接着,如同在图2C中所示,所述第一部分132可以部分被蚀刻,其界定所述第一部分的一大致面对在所述第三方向D3上的顶表面146,所述顶表面146可以具有一圆弧的周边边缘148。此部分或轻微的蚀刻步骤可以露出高折射率的金属平面,以允许所述纳米粒子能够成核(nucleate)。所述第一部分132可以是单一的实质刚性金属柱,并且所述顶表面146可以在所述主要的表面112之上突出一高度H,使得所述顶表面是在所述主要的表面的远端。所述第一部分132可以界定以大角度远离所述顶表面146来延伸的边缘表面或侧壁154。

[0059] 接着,如同在图2D中所示,纳米粒子150沉积到所述第一部分132的顶表面146之上。在此例子中,所述纳米粒子150是藉由电解的沉积来加以沉积,其中所述第一部分132是在一大于 $50\text{mA}/\text{cm}^2$ 的电流密度下被曝露到一电解浴,以便于在所述电镀步骤期间,在所述顶表面146之处造成金属离子的局部的空乏。

[0060] 在一实施例中,在将所述第一部分132电镀到所述晶种层140之上后,所述电镀的电流密度或是电压可以短暂地被增大为超过所述电镀浴配方的质量传输限制。高电流脉冲的电镀可被利用以形成所述纳米粒子150。所述电镀条件可被选择以产生一层或区域的纳米粒子150,而且并不将非所要的杂质纳入在所述层或区域之内。

[0061] 例如,为了将所述第一部分132电镀到所述晶种层140之上,一包含有机添加剂、抑制剂、光亮剂、整平剂、或是其之各种组合的铜电镀浴可被利用,其中电流密度是介于10到 $40\text{mA}/\text{cm}^2$ 之间。较佳的是,电镀可以在低于所述浴配方的质量传输限制的电流密度下被执行一段充分的时间,以允许所述第一部分能够被电镀到达在图2C中所示的高度H。

[0062] 为了开始所述纳米粒子150到所述顶表面146之上的沉积,所述电镀的电流密度接着可以短暂地被增大为超过所述浴的质量传输限制。所述纳米粒子150可以藉由循环所述

电镀的电流密度在超过以及低于所述电镀浴化学的质量传输限制之间,来加以沉积到所述顶表面146之上。在一例子中,将所述纳米粒子150沉积到所述顶表面146之上的制程可包括3到15毫秒超过所述质量传输限制来电镀、以及20到50毫秒低于所述电镀浴的质量传输限制来电镀。

[0063] 被用来将所述纳米粒子150沉积到所述第一部分132的顶表面146之上的电解的沉积浴可以是和被用来沉积所述第一部分132的金属到所述晶种层140之上者相同的浴、或是一不同的浴。

[0064] 在另一实施例中,所述第一部分132可以利用一种添加剂的金属电镀浴而被电镀到所述晶种层140之上,而所述纳米粒子150可以利用一种不包含有机添加剂的金属电镀浴而被沉积到所述第一部分的顶表面146之上。在某些例子中,金属晶粒细化剂可以内含在所述电镀浴中,其假设所述晶粒细化剂并未在纳米粒子150的电镀的层或区域中带来大量的非所要的杂质。

[0065] 在某些实施例中,构成所述第一部分132的金属可以是不同于构成所述纳米粒子150的金属。例如,所述第一部分132可包括利用一种铜、金、或镍的电镀浴沉积的一金属或合金,而所述纳米粒子150可包括一种较低熔点的材料,例如是镓、铟、锡、及/或其个别的合金。

[0066] 在另一实施例中,沉积在所述第一及第二部分132、134的相对的顶表面146及146'上的纳米粒子150可包括相同的金属或是不同的金属。例如,包括锡或锡合金的纳米粒子150可加以沉积或涂覆到所述第一部分132的顶表面146之上,而包括铟、镓、或是其个别的合金的纳米粒子150可加以沉积或涂覆到所述第二部分134的顶表面146'之上。

[0067] 在一特定的实施例中,在利用一电解的制程来将所述第一部分132沉积到所述晶种层140之上后,所述第一基板110例如可被清洗及转移到一无电的电镀浴中,以将所述纳米粒子150沉积到所述第一部分的顶表面146之上。例如,在所述纳米粒子150的无电的电镀期间,所述纳米粒子的一最初沉积的层或区域可以是平滑且非微粒的,但是所述无电的电镀的金属还原阶段可以被催化地强化,以开始一非平面的层或区域的纳米粒子到所述最初沉积的层或区域之上的沉积。所述纳米粒子150的非平面的沉积可以持续一段充分的时间,以沉积所要的总厚度的纳米粒子。

[0068] 在某些应用中,所述无电的浴可以部分被分解,以产生所关注的一种金属的纳米粒子150。所产生的纳米粒子150可以选择性地涂覆及附着至所述第一部分132的顶表面146。非所要的微粒可以在另一溢流的制程中的室内催化或是氧化地加以溶解,并且所述浴可以再循环以沉积更多的纳米粒子。

[0069] 接着,如同在图2E中所示,所述光阻层142可被移除,并且接着一介电保护遮罩152(例如,一光阻层)接着可以选择性地沉积在所述纳米粒子150以及所述第一部分132的侧壁154的至少一部分之上,以在所述晶种层140的部分的移除期间保护所述纳米粒子以及所述第一部分。所述保护遮罩152亦可以延伸在所述晶种层140的其中希望具有导电路径沿着所述第一基板110的主要的表面延伸的部分之上。

[0070] 接着,所述晶种层140可以在沿着所述第一基板110的主要的表面112的其中并不希望具有导电材料的位置处(例如,在相邻的第一部分132之间)加以移除。在所述晶种层140的过多的部分被移除之后,所述保护遮罩152可被移除。所述晶种层140的未被移除的部

分可以形成所述导电柱130的延伸在所述主要的表面112及122之间的部分。

[0071] 接着,如同在图2F中所示,从所述第一基板110的主要的表面112延伸的第一部分132可以和从所述第二基板120的主要的表面122延伸的第二部分134连结。所述第二部分134可以利用和参考图2A-2E所展示及叙述的相同的包含所述纳米粒子150施加于其上的方法步骤来加以形成、或者替代的是,所述纳米粒子可以只被施加至所述第一及第二部分132、134中之一,而并未被施加至另一部分。

[0072] 为了将所述第一部分132以及所述第二部分134彼此接合,至少所述组件100的并列的第一及第二部分的介面可被加热至一接近所述接合或烧结温度的温度。接着,所述第一部分132以及所述第二部分134加以彼此并列,并且所述第一及第二部分可以在所述第一及第二横向的方向上彼此对齐。

[0073] 接着,可以使得所述第一部分132以及所述第二部分134彼此接触,使得已经被施加至所述个别的第一及第二部分的表面146、146'的一或两者的纳米粒子150接着可以接合在一起,以形成一在所述第三方向D3上具有一例如达到3微米、或是介于0.02微米到3微米之间、或是介于0.05微米到3微米之间的厚度T之层。因此,所述纳米粒子150可以补偿在所述个别的第一及第二部分132、134的面对的对应的表面146、146'之间的间隙或非平面性。在一例子中,所述第一部分132的表面146可以至少部分地面对所述第二部分134的表面146',所述第一部分的至少某些个的表面相对于彼此为非共平面的,且/或所述第二部分的至少某些个的表面相对于彼此为非共平面的。

[0074] 此种在所述面对的对应的顶表面146、146'之间的间隙可能是由于在多个或阵列的第一部分132的顶表面之间的非平面性、及/或在对应的多个或阵列的第二部分134的顶表面之间的非平面性所造成的。在一例子中,在此并列的步骤期间,由于在所述第一及第二部分的顶表面之间的非平面性,所述层的纳米粒子150可能会在所述并列的第一及第二部分132、134的不同的并列的第一及第二部分132、134之间被压缩不同的距离。在此种例子中,所产生的接合区域136的厚度可能会变化达到3微米,以便于考量所述第一及第二部分132、134的至少某些个的顶表面146、146'的非共面性。

[0075] 接着,在一相当低的压力下,至少所述并列的第一及第二部分132、134的介面可被加热至一接合或烧结温度,所述接合或烧结温度较佳的是低于200°C、更佳的是低于180°C、或者进一步更佳的是低于150°C。在所述并列的第一及第二部分132、134的接合期间,在进一步于较高温的热处理之前,一最初的接合温度可以是低于100°C。在所述接合温度以及充分的压力下,所述纳米粒子150可以扩散到所述第一部分132以及所述第二部分134两者中,藉此形成一冶金接合并且将所述第一及第二部分接合在一起成为一导电柱130,即如同在图1中可见者。

[0076] 尽管在此的接合方法被描述为使得所述第一及第二部分132、134的顶表面146、146'是和彼此连结,但并不必要是如此的。在某些例子中,所述第一及第二部分132、134的边缘表面或侧壁154可以彼此接合、或是所述第一及第二部分中之一的一边缘表面可以和所述第一及第二部分中之另一个的一顶表面连结。再者,尽管所述接合的顶表面146、146'或是边缘表面154被展示为平的,但并不必要是如此的。待被接合的第一及第二部分132、134的一或两者的此种顶表面146、146'或是边缘表面154的任一个或是全部可以是平面的、或是非平面的(例如,凸面的、凹面的、非线性的、倾斜的、多面的、等等)。

[0077] 在一例子中,所述第一及第二部分132、134的一或两者可被形成在所述主要的表面112及/或122的一导电的线路或是一导电的垫上。在一特定的实施例中,所述第一及第二基板110、120的一或两者可以于其中包含主动及/或被动装置(例如,电容器、电阻器、等等)。在某些实施例中,机械或光学元件(例如,一光学覆盖)可被设置在所述第一及第二基板110、120的一或两者之上。所述所形成的导电柱130可被利用以执行电性功能(例如,载有信号或是一参考电位)、机械功能(例如,吸收在所述第一及第二基板之间的机械应力)、及/或热功能(例如,传热的目的)。

[0078] 图3是展示一种组件300,其为以上参考图1所展示及叙述的组件100的一变化。除了所述导电柱330具有一或多个遍及所述柱的高度的齿痕或锯齿状的侧壁表面337,其显现纳米粒子沉积于其上的结构证据,而不是只有位于所述接合区域336中或是相邻所述接合区域336的一齿痕或锯齿状的侧壁表面之外,所述组件300与上述的组件100是相同的。再者,如同将会在以下参考图4B及4C加以描述的,所述纳米粒子350藉由无电或电解的沉积而被沉积到所述第一及第二部分332、334之上。

[0079] 在图3至4C所示的实施例中,所述纳米粒子350是沿着所述第一及第二部分332、334的部分或是整个侧壁354沉积的。再者,被形成在所述接合区域336以及在所述侧壁354的锯齿状的表面337可以具有一大于30纳米的表面粗糙度。

[0080] 一种制造所述组件300(图3)的方法现在将会参考图4A-4C来加以描述。制造所述组件300的方法可以用和以上参考图2A-2C所述的方法步骤相同的方式来开始。接着,参照图4A,在所述第一部分332被形成之后,所述光阻层142(图2C)可被移除。

[0081] 接着,所述晶种层340可以在沿着所述第一基板310的主要的表面312的其中并不希望具有导电材料的位置处(例如,在相邻的第一部分332之间)加以移除。所述晶种层340的未被移除的部分可以形成延伸在所述主要的表面312及322之间的导电柱330的部分。

[0082] 接着,如同在图4B中所示,纳米粒子350被沉积到所述第一部分332的顶表面346以及侧壁354之上。在一例子中,所述纳米粒子350可以完全或实质完全地覆盖所述第一部分332的顶表面346以及边缘表面或侧壁354。在此实施例中,所述第一部分332可以是单一的实质刚性金属柱或是导电的垫或导电的线路,并且所述顶表面346可以在所述主要的表面312之上突出一高度H(图4A),使得所述顶表面是在所述主要的表面的远端。所述第一部分332可以界定以大角度远离所述顶表面346来延伸的边缘表面或侧壁354。

[0083] 在此例子中,所述纳米粒子350是藉由无电或电解的沉积来加以沉积的,其中所述第一部分332被曝露到一无电的电镀浴以沉积所述纳米粒子350。被用来将所述纳米粒子350沉积到所述第一部分332的顶表面346以及侧壁354之上的无电的沉积浴可以是和被用来将所述第一部分332的金属沉积到所述晶种层340之上的浴相同的浴、或是一不同的浴。

[0084] 接着,如同在图4C中所示,从所述第一基板310的主要的表面312延伸的第一部分332可以和从所述第二基板320的主要的表面322延伸的第二部分334连结。所述第二部分334可以利用和参考图4A及4B所展示及叙述的相同的包含所述纳米粒子350施加于其上的方法步骤来加以形成、或者替代的是,所述纳米粒子可以只被施加至所述第一及第二部分332、334中之一,而并未被施加至另一部分。

[0085] 为了将所述第一部分332以及所述第二部分334彼此接合,至少所述组件300的并列的第一及第二部分的介面可被加热至一接近所述接合或烧结温度的温度。接着,所述第

一部分332以及所述第二部分334加以彼此并列,并且所述第一及第二部分可以在所述第一及第二横向的方向上彼此对齐。

[0086] 接着,可以使得所述第一部分332以及所述第二部分334彼此接触,使得已经被施加至所述个别的的第一及第二部分的表面346、346'的一或两者的纳米粒子350接着可以接合在一起,以形成一在所述第三方向D3上具有一例如达到3微米、或是介于0.02微米到3微米之间、或是介于0.05微米到3微米之间的厚度T之层。因此,所述纳米粒子350可以补偿在所述个别的的第一及第二部分332、334的面对的对应的顶表面346、346'之间的间隙。

[0087] 接着,在一相当低的压力下,至少所述并列的第一及第二部分332、334的介面可被加热至一接合或烧结温度,所述接合或烧结温度较佳的是低于200°C、更佳的是低于180°C、或者进一步更佳的是低于150°C。在所述并列的第一及第二部分332、334的接合期间,在进一步于较高温的热处理之前,一最初的接合温度可以是低于100°C。在所述接合温度以及充分的压力下,所述纳米粒子350可以扩散到所述第一部分332以及所述第二部分334两者中,藉此形成一冶金的接合并且将所述第一及第二部分接合在一起成为一导电柱330,即如同在图3中可见者。

[0088] 在以上相关图4A及4B所述的制程的一部分的一变化中,在所述第一部分332的形成之后,所述光阻层142(图2C)可以保留在适当的地方,而不是被移除。在此种实施例中,所述第一部分332或是所述光阻层142的部分可以被稍微蚀刻或移除,以在所述第一部分的侧壁354与所述光阻层之间形成一个小间隙(例如,像是在图6A中所示的间隙G)。在所述形成间隙的步骤之后,所述纳米粒子350可以藉由稍早叙述的无电或电解的方法而被沉积到所述第一部分332的顶表面346以及侧壁354之上。在所述纳米粒子350沉积之后,一遮罩(例如,一像是光阻层的遮罩)可以沉积在所述纳米粒子之上,并且所述光阻层142以及所述晶种层340的部分可被移除,藉此产生在图4B中所示的结构。

[0089] 在使得纳米粒子350沉积到所述第一及第二部分332、334的顶表面346、346'以及边缘表面或侧壁354之上的此实施例中,所述第一及第二部分的边缘表面可能是较容易彼此接合的、或是所述第一及第二部分中之一的一边缘表面较容易和所述第一及第二部分中之另一个的一顶表面连结。因此,相较于在无纳米粒子沉积到所述第一及第二部分的侧壁之上的实施例中,使得纳米粒子350沉积到所述第一及第二部分332、334的顶表面346、346'以及边缘表面或侧壁354之上可以容许对应的第一及第二部分能够在所述接合制程期间与彼此更不对齐的,因为接合点可被形成在所述第一及第二部分的边缘表面之间、或是在所述第一及第二部分中之一的一边缘表面以及所述第一及第二部分中之另一个的一顶表面之间。

[0090] 图5是展示一种组件500,其为以上参考图1所展示及叙述的组件100的一变化。除了一黏着层及/或一阻障层560是沉积在所述第一及第二部分532、534的顶表面546、546'以及侧壁554之上,并且在所述纳米粒子550沉积之前,一接合层562以及一润湿(wetting)层564沉积以覆盖所述第一及第二部分的顶表面以外,所述组件500与上述的组件100相同的。所述阻障层560例如可以具有一小于100纳米的厚度。

[0091] 在此实施例中,所述纳米粒子550可包括焊料,因而所述第一及第二部分532、534的接合可以发生在一例如是小于120°C的非常低的温度以及在一相当低的压力下。焊料作为所述纳米粒子550的使用可以允许所述组件500的再加工。例如,若所述组件500被加热超

过120℃,则所述焊料可能会充分地烧结以容许所述第一及第二部分532、534能够和彼此分开,同时所述第一及第二部分的金属、以及所述阻障层560及接合层562的金属可以保持固体的。新的纳米粒子550接着可被施加至所述第一及第二部分532、534,并且所述第一及第二部分可以被再接合。

[0092] 一种制造所述组件500(图5)的方法现在将会参考图6A-6D来加以描述。制造所述组件500的方法可以用和以上参考图2A及2B所述的方法步骤相同的方式来开始。接着,参照图6A,所述第一部分532或是所述遮罩或光阻层542的一部分可以被部分地蚀刻,其为界定一大致面对在所述第三方向(图1)上的顶表面546,所述顶表面546可以具有一圆弧的周边边缘548。

[0093] 所述第一部分532的蚀刻亦可以从所述顶表面546至所述晶种层540,沿着所述侧壁554来进行,此为在所述侧壁与所述光阻层542之间界定一间隙G。在一例子中,所述间隙G可以沿着所述侧壁554的整个高度来延伸,此为露出所述晶种层540的一在所述间隙之内的部分。在另一例子中,所述间隙G可以只沿着所述侧壁554的高度的一部分来延伸,而不向下延伸至所述晶种层540。在又一例子中,所述间隙G可以沿着所述侧壁554的整个高度并且部分或完全地穿过所述晶种层540来延伸。在此实施例中,所述第一部分532可以是单一的实质刚性金属柱或是导电的垫或导电的线路,并且所述顶表面546可以在所述主要的表面512之上突出一高度H,以使得所述顶表面是在所述主要的表面的远端。所述第一部分532可以界定以大角度远离所述顶表面546来延伸的边缘表面或侧壁554。

[0094] 接着,如同在图6B中所示,一阻障层560沉积在所述光阻层542的开口544之内、在所述第一部分532的顶表面546以及侧壁554之上。在一例子中,所述阻障层560可以完全地覆盖所述第一部分532的顶表面546以及边缘表面或侧壁554。

[0095] 可以是适合用于所述阻障层560的金属的例子可包含镍、钨、氮化钛、氮化钽、氮化硅钽、钽、氮化硅钨、一包含镍的合金、以及其之组合。所述阻障层560可以避免来自所述纳米粒子550(例如,焊料)的金属扩散到所述第一部分532的金属材料(例如,铜)中。

[0096] 接着,参照图6C,一接合层562以及一润湿层564可加以沉积来覆盖所述第一部分532的顶表面546。所述接合层562可加以沉积到所述阻障层560的一表面之上。所述接合层562例如可包括金。所述润湿层564可加以沉积,其覆盖所述接合层562。所述润湿层例如可包括焊料。在某些例子中,所述接合层562以及所述润湿层564可以是相同的材料、或是可包括类似的材料或类似的材料合金。

[0097] 接着,纳米粒子550沉积到所述润湿层564之上。在此例子中,所述纳米粒子550藉由电解的沉积来加以沉积的,其中所述第一部分532在一大于 $50\text{mA}/\text{cm}^2$ 的电流密度下被曝露到一电解浴,以便于造成所述电镀浴的空乏。如上所述,所述纳米粒子550可包括焊料、或是一或多种例如是锡、铟、铋的接合金属、或是两种或多种的此类接合金属的一组合。

[0098] 接着,所述光阻层542可被移除,并且接着以一介电保护遮罩接着可以选择性地沉积在所述第一部分532之上,以在所述晶种层540的部分的移除期间保护所述纳米粒子以及第一部分,即如同以上参考图2E所展示及叙述者。接着,所述晶种层540可以在沿着所述第一基板510的主要的表面512的其中并不希望具有导电材料的位置处(例如,在相邻的第一部分532之间)加以移除。在所述晶种层540的过多的部分被移除之后,所述保护遮罩可被移除。

[0099] 接着,如同在图6D中所示,从所述第一基板510的主要的表面512延伸的第一部分532可以和从所述第二基板520的主要的表面522延伸的第二部分534连结。所述第二部分534可以利用和参考图6A-6C所展示及叙述的相同的包含所述纳米粒子550施加于其上的方法步骤来加以形成、或者替代的是,所述纳米粒子可以只被施加至所述第一及第二部分532、534中之一,而并未被施加至另一部分。

[0100] 为了将所述第一部分532以及所述第二部分534彼此接合,至少所述组件500的并列的第一及第二部分的介面可被加热至一接近所述接合或烧结温度的温度。接着,所述第一部分532以及所述第二部分534加以彼此并列,并且所述第一及第二部分可以在所述第一及第二横向的方向上彼此对齐。

[0101] 接着,可以使得所述第一部分532以及所述第二部分534彼此接触,使得已经被施加至所述个别的第一及第二部分的顶表面546、546'的一或两者的纳米粒子550接着可以接合在一起,以形成一在所述第三方向D3上具有一例如达到3微米、或是介于0.5微米到3微米之间的厚度T之层。因此,所述纳米粒子550可以补偿在所述个别的第一及第二部分532、534的面对的对应的顶表面546、546'之间的间隙。

[0102] 接着,在一相当低的压力下,至少所述并列的第一及第二部分532、534的介面可被加热至一接合或烧结温度,所述接合或烧结温度较佳的是低于120°C。在所述接合温度以及充分的压力下,所述纳米粒子550可以扩散到所述第一部分532以及所述第二部分534两者的润湿层564中,藉此从所述纳米粒子以及所述润湿层形成一接合区域536,并且形成一冶金接合,其将所述第一及第二部分接合在一起成为一导电柱530,即如同在图5中可见者。在一例子中,所述接合区域536可以是位于所述第一部分532的阻障层560与对应的第二部分534的顶表面546'之间。

[0103] 图7是展示一种组件700,其为以上参考图5所展示及叙述的组件500的一变化。除了所述接合层被省略,并且在所述纳米粒子750沉积之前,所述润湿层764直接沉积到所述阻障层760之上以外,所述组件700与上述的组件500相同的。在此实施例中,所述润湿层764以及所述纳米粒子750例如分别可包括金。

[0104] 一种制造所述组件700(图7)的方法现在将会参考图8A及8B来加以描述。制造所述组件700的方法可以用和以上参考图2A、2B、6A及6B所述的方法步骤相同的方式来开始。接着,参照图8A,一润湿层764可加以沉积,其覆盖所述第一部分732的顶表面746。所述润湿层564可加以沉积,其覆盖所述接合层562。所述润湿层例如可包括金及/或钯。

[0105] 接着,纳米粒子750沉积到所述润湿层764之上。在此例子中,所述纳米粒子750是藉由电解的沉积来加以沉积的,其中所述第一部分732是在一大于50mA/cm²的电流密度下被曝露到一电解浴,以便于造成所述电镀浴的空乏。如上所述,所述纳米粒子750可包括金。

[0106] 接着,所述光阻层742可被移除,并且接着以一介电保护遮罩接着可以选择性地沉积在所述第一部分732之上,即如同以上参考图2E所述者。接着,所述晶种层740可以在沿着所述第一基板710的主要的表面712的其中并不希望具有导电材料的位置处(例如,在相邻的第一部分732之间)加以移除。在所述晶种层740的过多的部分被移除之后,所述保护遮罩可被移除。

[0107] 接着,如同在图8B中所示,从所述第一基板710的主要的表面712延伸的第一部分732可以和从所述第二基板720的主要的表面722延伸的第二部分734连结。所述第二部分

734可以利用和参考图2A、2B、6A、6B及8A所展示及叙述的相同的包含所述纳米粒子750施加于其上的方法步骤来加以形成、或者替代的是,所述纳米粒子可以只被施加至所述第一及第二部分732、734中之一,而并未被施加至另一部分。

[0108] 为了将所述第一部分732以及所述第二部分734彼此接合,至少所述组件700的并列的第一及第二部分的介面可被加热至一接近所述接合或烧结温度的温度。接着,所述第一部分732以及所述第二部分734加以彼此并列,并且所述第一及第二部分可以在所述第一及第二横向的方向上彼此对齐。

[0109] 接着,可以使得所述第一部分732以及所述第二部分734彼此接触,使得已经被施加至所述个别的第一及第二部分的顶表面746、746'的一或两者的纳米粒子750接着可以接合在一起,以形成一在所述第三方向D3上具有一例如达到3微米、或是介于0.5微米到3微米之间的厚度T之层。因此,所述纳米粒子750可以补偿在所述个别的第一及第二部分732、734的面对的对应的顶表面746、746'之间的间隙。

[0110] 接着,在一相当低的压力下,至少所述并列的第一及第二部分732、734的介面可被加热至一接合或烧结温度,所述接合或烧结温度较佳的是低于200°C、更佳的是低于180°C、或者进一步更佳的是低于150°C。在所述并列的第一及第二部分732、734的接合期间,在进一步于较高温的热处理之前,一最初的接合温度可以是低于100°C。在所述接合温度以及充分的压力下,所述纳米粒子750可以扩散到所述第一部分732以及所述第二部分734两者的润湿层764中,藉此从所述纳米粒子以及所述润湿层来形成一接合区域736,并且形成一冶金接合以及将所述第一及第二部分接合在一起成为一导电柱730,即如同在图7中可见者。在一例子中,所述接合区域736可以是位于所述第一部分732的阻障层760与对应的第二部分734的顶表面746'之间。

[0111] 相较于现有的组件,在此所述的组件100、300、500及700可以具有某些潜在的优点。在此所述的纳米粒子层可以补偿所述个别的第一及第二基板的第一及第二导电的部分之面对的顶表面的一相当大程度的非平面性。例如是如上所述的,由于在所述第一及第二部分的顶表面之间的非平面性,所述层的纳米粒子150在所述并列的第一及第二部分的不同的并列的第一及第二部分之间可能会被压缩不同的距离,因而所产生的接合区域136的厚度可能会变化达到3微米,以便于考量所述第一及第二部分132、134的至少某些个的并列的顶表面的非共面性。此种用以补偿所述面对的顶表面的非平面性的能力可以容许具有第一及第二导电的部分的一较大程度的非平面性之较不昂贵的导电元件的形成制程能够被使用。

[0112] 在此所述的组件100、300、500及700相较于现有的组件的另一潜在的优点可以是当利用具有一低接合或烧结温度(例如,低于200°C)的纳米粒子来接合如同在此所述的第一及第二基板时,上述较低的翘曲度可以容许具有一较小的顶表面积的第一及第二导电的部分的使用。因此,此种具有一较小的顶表面积的第一及第二导电的部分可以形成较薄而且更为挠性的导电柱,因而具有此种较薄的导电柱之组件可以在由于所述组件随着时间过去的使用而重复许多次热循环之后,仍具有在所述第一及第二基板之间的电连接之较佳的长期的可靠度。

[0113] 尽管图1、3、5及7的实施例是被展示及叙述为具有分别是单一的实质刚性金属柱之第一及第二导电的部分132/332/532/732以及134/334/534/734,其是界定一顶表面以及

以大角度远离所述顶表面来延伸的边缘表面或侧壁,但并不必要是如此的。

[0114] 在某些例子中,在上述的实施例的任一个中,所述第一及第二导电的部分132/332/532/732以及134/334/534/734的任一或是两者可以是一薄的平坦的金属垫、或是一金属线路,其包括一种例如是铜、铝、金、镍、或钨的材料,所述材料在其之一底表面面对所述个别的第一或第二基板的主要的表面之下加以沉积的、或是所述第一及第二导电的部分132/332/532/732以及134/334/534/734的任一或两者可加以沉积到一凹处内,所述凹处延伸在所述个别的第一或第二基板的主要的表面之下,并且所述纳米粒子150/350/550/750可加以沉积到一背对所述个别的主要的表面的顶表面之上。例如,参照图1,所述第一导电的部分132可以是具有所述第一导电的元件131的形式,并且所述纳米粒子150可加以直接沉积到所述第一导电的元件的一项表面之上,且/或所述第二导电的部分134可以是具有所述第二导电的元件133的形式,并且所述纳米粒子可加以直接沉积到所述第二导电的元件的一项表面之上。

[0115] 尽管图2A-2F、图4A-4C、6A-6D以及8A-8B的方法步骤在以上是参照到从单一第一部分132/332/532/732以及单一第二部分134/334/534/734形成单一导电柱130/330/530/730所述的,但将了解到的是,上述的方法步骤亦可被利用以从多个或一阵列的从单一第一基板110/310/510/710延伸的第一部分以及多个或一阵列的从单一第二基板120/320/520/720延伸的对应的第二部分来形成多个导电柱或是一个 $m \times n$ 阵列的导电柱, m 及 n 中的一或两者是大于1。

[0116] 上述的图2A-2F、图4A-4C、6A-6D以及8A-8B的方法步骤亦可被利用以在复数组对应的第一及第二基板110/310/510/710、120/320/520/720上形成多个或阵列的导电柱130/330/530/730,其中所述第一基板最初是单一第一晶圆的部分,并且所述第二基板最初是单一第二晶圆的部分,并且在对应的第一及第二部分132/332/532/732、134/334/534/734的接合之后,所述接合后的第一及第二晶圆可被切割成为个别的组件100/300/500/700。

[0117] 例如,在一实施例中,多个第一基板最初是单一包含多个微电子元件部分的微电子元件晶圆的部分,每一个微电子元件部分在个别的主要的表面包含所述第一导电的部分的一个别的子集合,并且多个所述第二基板最初是单一包含多个基板部分的基板面板的部分,每一个基板部分在个别的主要的表面包含所述第二导电的部分的一个别的子集合。

[0118] 尽管图1、3、5及7的实施例是被展示及叙述为具有第一及第二导电的部分132/332/532/732以及134/334/534/734,其分别是从小别的主要的表面112/312/512/712以及122/322/522/722延伸离开的单一的实质刚性金属柱,但并不必要是如此的。在某些实施例中,所述第一部分132/332/532/732及/或所述第二部分134/334/534/734可以是一导电层或区域,其保形地或是非保形地沉积到一凹处(未显示)内,所述凹处延伸在个别的主要的表面112/312/512/712及/或122/322/522/722之下,并且所述第一及/或第二导电的部分132/332/532/732以及134/334/534/734可以填入、或者可以不填入其个别的凹处。所述纳米粒子150/350/550/750可加以沉积到此种沉积的层或区域的一露出的表面之上。类似于图5至6D的实施例,一黏着层及/或一阻障层可加以沉积到此种沉积的层或区域之上,并且所述纳米粒子150/350/550/750可加以沉积到所述黏着层及/或所述阻障层之上。

[0119] 在一个其中所述第一部分132/332/532/732以及所述第二部分134/334/534/734沉积到一延伸在个别的主要的表面112/312/512/712及/或122/322/522/722之下的凹处内

之特定的例子中,所述第一及第二部分分别可以大致延伸到所述个别的主要的表面的平面,并且所述纳米粒子150/350/550/750可加以沉积到所述第一部分及/或第二部分的一顶表面之上。在此种例子中,当所述第一及第二基板110/310/510/710、120/320/520/720藉由所述纳米粒子而被接合在一起时,所述主要的表面112/312/512/712以及122/322/522/722可以是触及到彼此的、或是几乎触及到彼此的。

[0120] 在此例子中,给定所述主要的表面112/312/512/712以及122/322/522/722彼此紧密的间隔下,在所述接合后的导电柱130/330/530/730的相邻的导电柱之间沉积底胶填充(underfill)可能是不可行的。底胶填充在此种例子中可以是不必要的,因为所述接合后的第一部分132/332/532/732以及所述第二部分134/334/534/734、以及可以触及到彼此的主要的表面112/312/512/712以及122/322/522/722可以在不利用底胶填充下,提供所述接合后的组件充分的结构完整性。

[0121] 在其中所述导电柱130/330/530/730的局部区域密度是至少30%的区域中,底胶填充可能不是必需的,其表示在一透过所述导电柱延伸并且平行于所述主要的表面112/312/512/712以及122/322/522/722之给定的平面中,所述平面的区域的至少30%由所述导电柱所占有。若所述导电柱的局部区域密度是至少30%,则所述导电柱可以提供充分的结构完整性给所述接合后的组件,因而底胶填充不是必需的。在一例子中,在其中所述导电柱的局部区域密度是至少50%的情形中,底胶填充可以不是必需的。

[0122] 在所述导电柱的相邻的导电柱之间不具有底胶填充的此种实施例中,所述第一及第二基板110/310/510/710、120/320/520/720可以利用一种包覆成型的化合物来加以密封在一起,且/或具有接合后的导电柱130/330/530/730的区域之一外部的周边边界可以利用例如一像是聚对二甲苯或二氧化硅的介电材料之密封剂、或是利用底胶填充来加以密封,以将湿气隔绝在具有接合的导电柱之区域外。然而,此种密封剂可能只需要被施加在具有接合的导电柱130/330/530/730之区域之一外部的周边边界周围,使得所述密封剂并不延伸在所述接合的导电柱130/330/530/730的相邻导电柱之间。

[0123] 相较于若底胶填充被使用所将会是的情形,在接合的导电柱130/330/530/730的相邻的导电柱之间并无底胶填充下将所述第一及第二基板110/310/510/710、120/320/520/720接合在一起的此种组件可以是更能对抗翘曲的。相较于所述基板110/310/510/710、120/320/520/720的材料,底胶填充可能具有一相当高的CTE(例如,15-25ppm/°C),因而当两者由于一温度改变而进行有差异的热膨胀时,底胶填充的使用可能会翘曲所述基板。在接合的导电柱130/330/530/730的相邻的导电柱之间不利用底胶填充下,所述接合后的组件可以是较平坦的,并且具有一较低的由于有差异的热膨胀而翘曲的风险。此种不具有底胶填充的接合结构类型例如可被使用于晶片至晶圆、或是晶圆至晶圆的接合。

[0124] 以上参考图1至8B所述的组件可被利用在例如是图9中所示的系统900的各式各样的电子系统的结构中。例如,根据本发明的另一实施例的系统900包含多个例如是如上所述的组件的模组或构件906,结合其它的电子构件908、910及911。

[0125] 在所展示的范例的系统900中,所述系统可包含一电路板、主机板、或者例如是挠性印刷电路板的竖式面板902,并且所述电路板可包含许多的导体904,其中只有一导体904被描绘在图9中,其将所述模组或构件906、908、910彼此相互连接。此种电路板902可以传输信号往返于内含在所述系统900中的微电子封装及/或微电子组件的每一个。然而,此仅仅

是范例的而已；任何用于做成在所述模组或构件906之间的电连接的适当的结构都可被利用。

[0126] 在一特定的实施例中，所述系统900亦可包含一例如是半导体晶片908的处理器，使得每一个模组或构件906可被配置以在一时脉周期中平行地传输一数量N的资料位元，并且所述处理器可被配置以在一时脉周期中平行地传输一数量M的资料位元，M大于或等于N。

[0127] 在图9描绘的例子中，所述构件908是一半导体晶片，并且构件910是一显示器荧幕，但是任何其它的构件都可被利用在所述系统900中。当然，尽管为了清楚描绘起见，只有两个额外的构件908及911被描绘在图9中，但是所述系统900可包含任意数量的此种构件。

[0128] 模组或构件906以及构件908与911可被安装在一以虚线概要地描绘的共同的壳体901中，并且可以依必要性来与彼此电性互连以形成所要的电路。所述壳体901被描绘为一具有例如可用于一行动电话或是个人数位助理中的类型的可携式的壳体，并且荧幕910可以在所述壳体的表面处被露出。在其中一结构906包含一例如是成像晶片的光敏元件的实施例中，一透镜911或是其它光学元件亦可被设置以用于将光指定路由至所述结构。同样地，在图9中所示的简化的系统仅仅是范例的而已；包含通常被视为固定结构的系统（例如是桌上型电脑、路由器与类似者）的其它的系统亦可以利用以上论述的结构来加以做成。

[0129] 尽管本发明在此已经参考特定实施例来加以叙述，但将了解到的是，这些实施例仅仅是举例说明本发明的原理及应用而已。因此，欲被理解的是，对于所述举例说明的实施例可以做成许多的修改，并且其它的配置可被设计出，而不脱离所附的权利要求书所界定的本发明的精神与范畴。

[0130] 将会体认到的是，各种的从属权利要求以及阐述于其中的特点都可以用不同于在最初的权利要求书中所呈现的方式来加以组合。亦将会体认到的是，相关个别的实施例所叙述的特点可以与所述实施例的其它实施例共享。

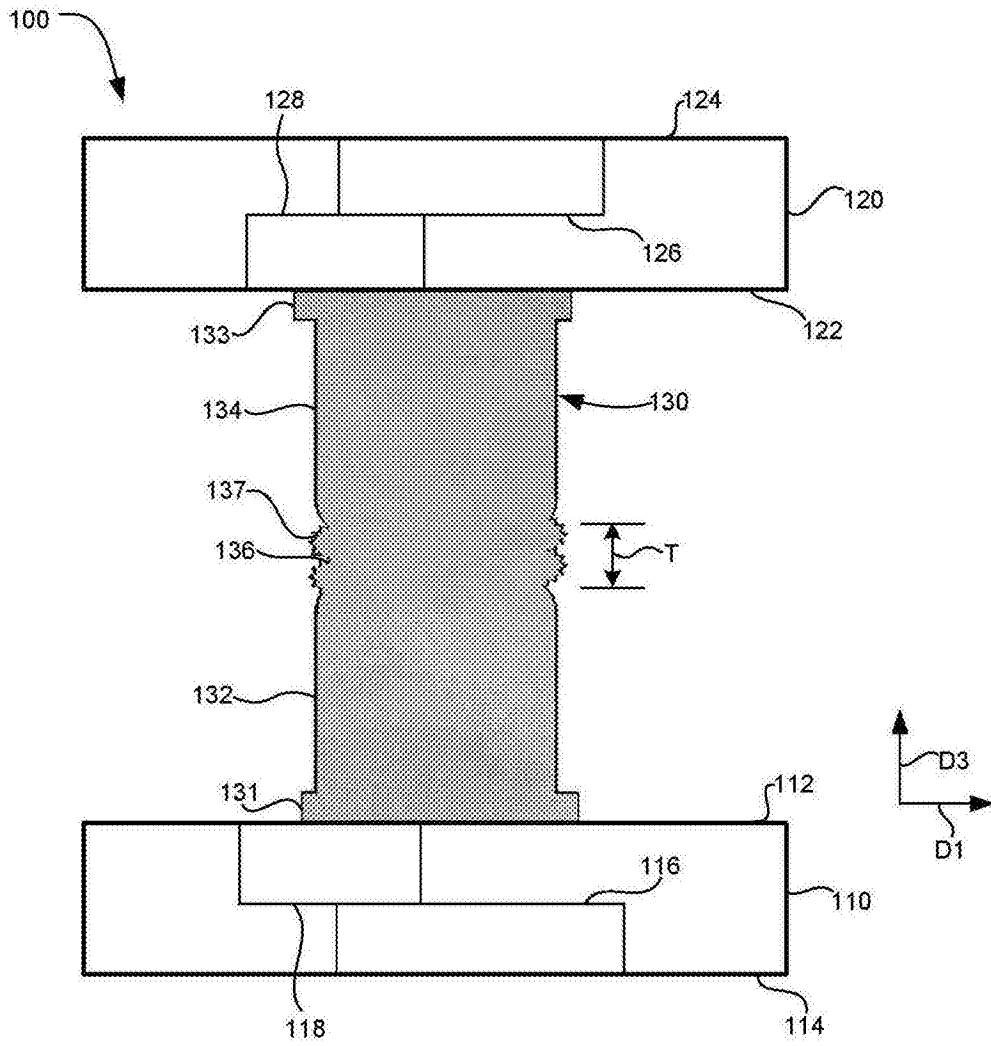


图1

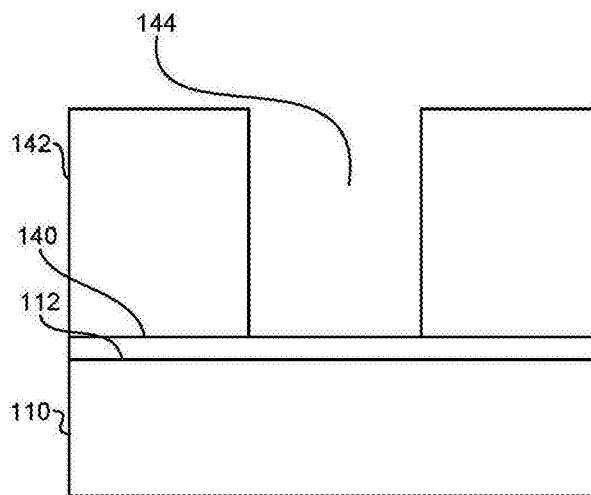


图2A

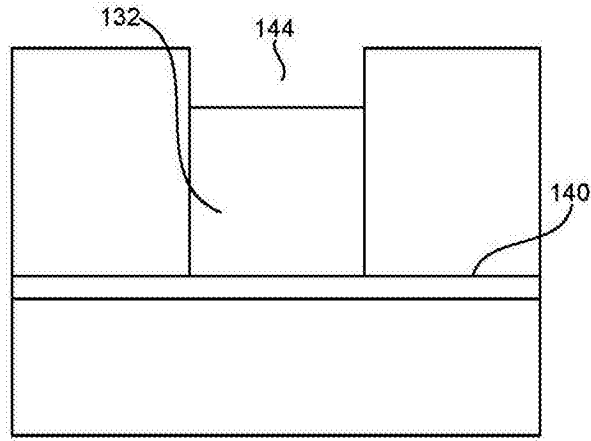


图2B

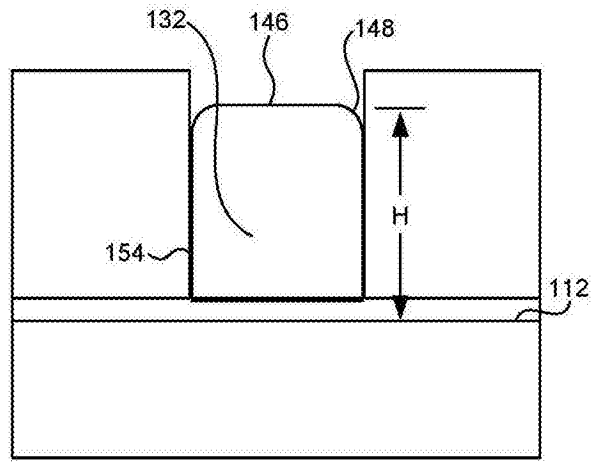


图2C

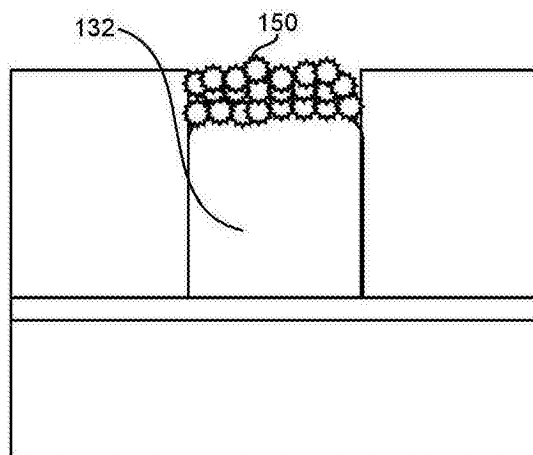


图2D

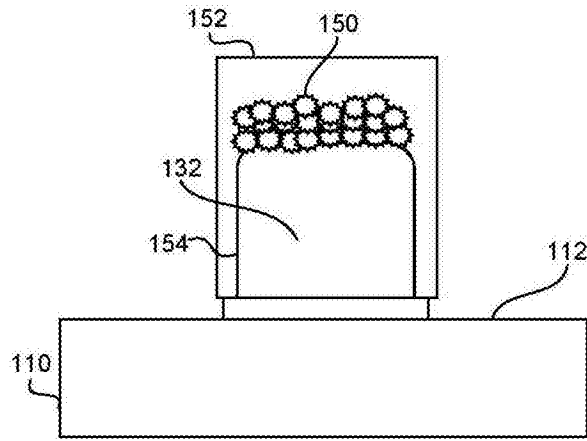


图2E

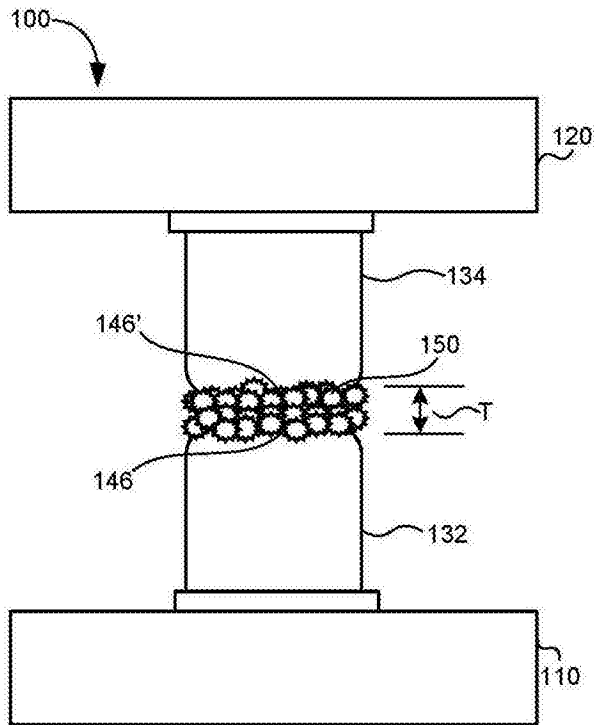


图2F

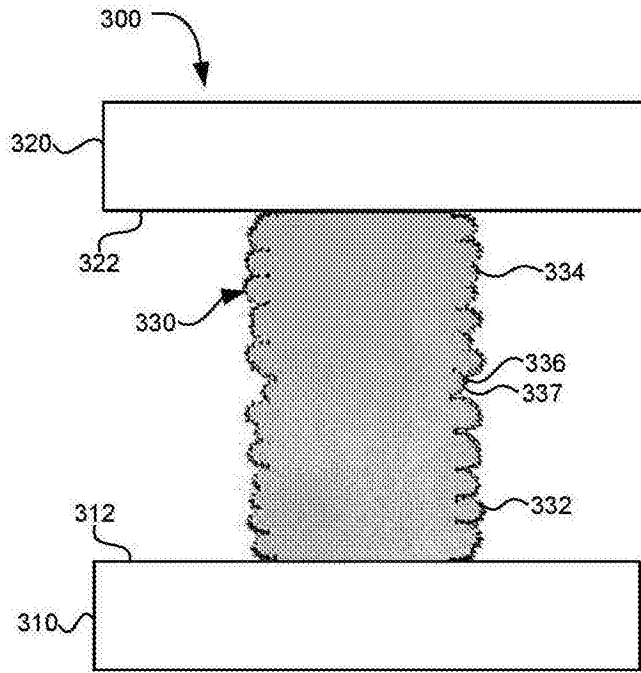


图3

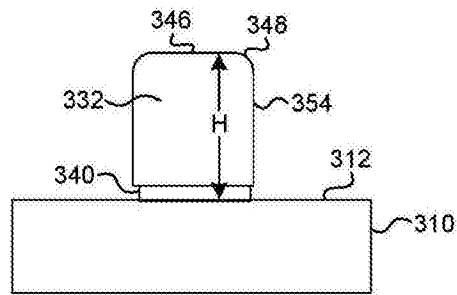


图4A

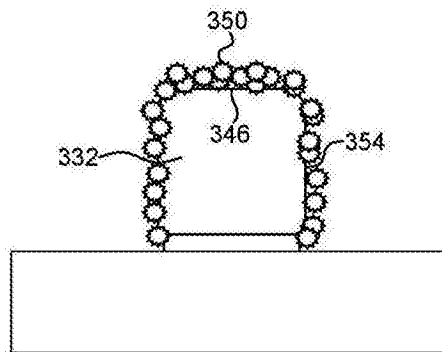


图4B

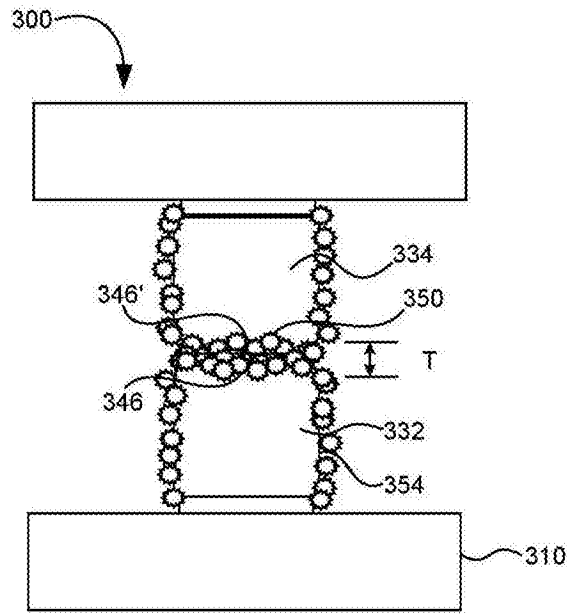


图4C

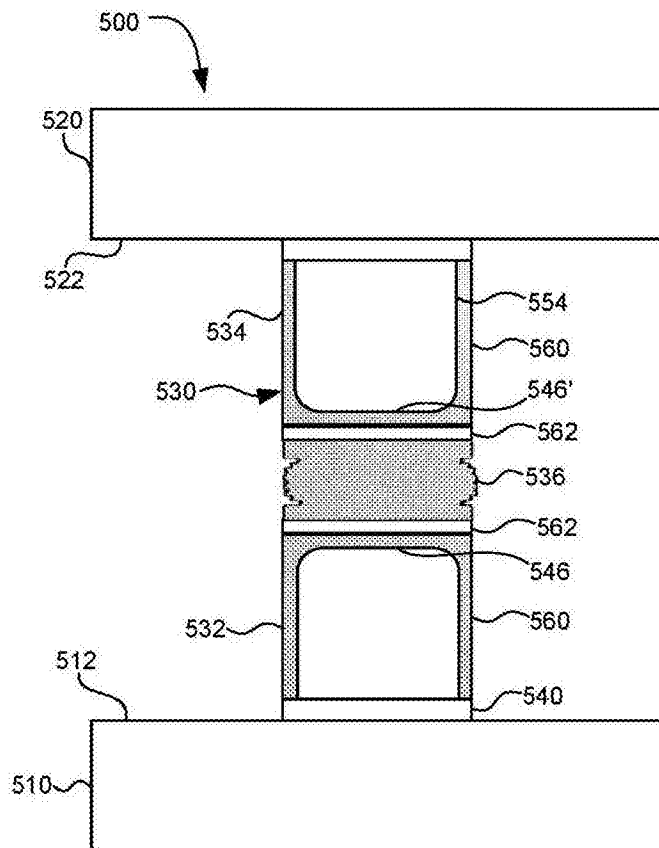


图5

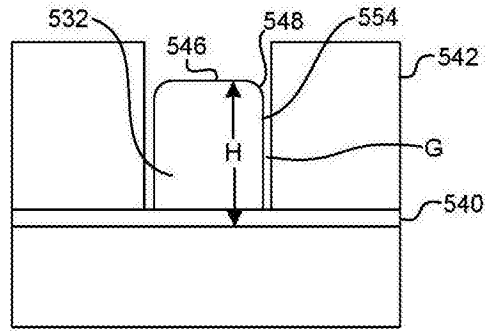


图6A

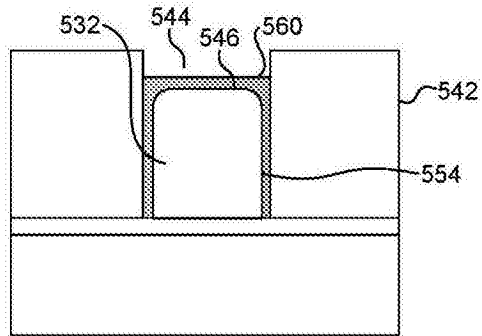


图6B

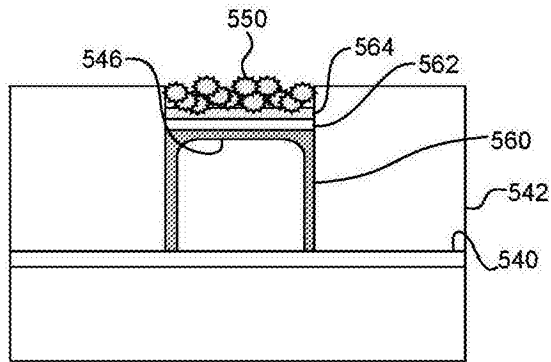


图6C

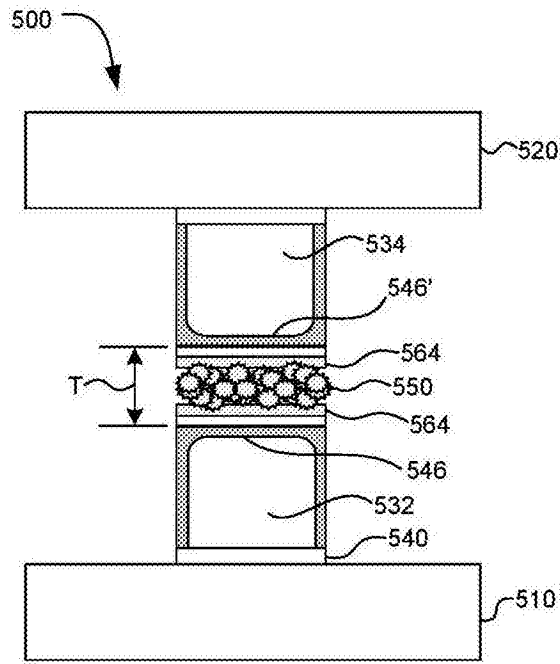


图6D

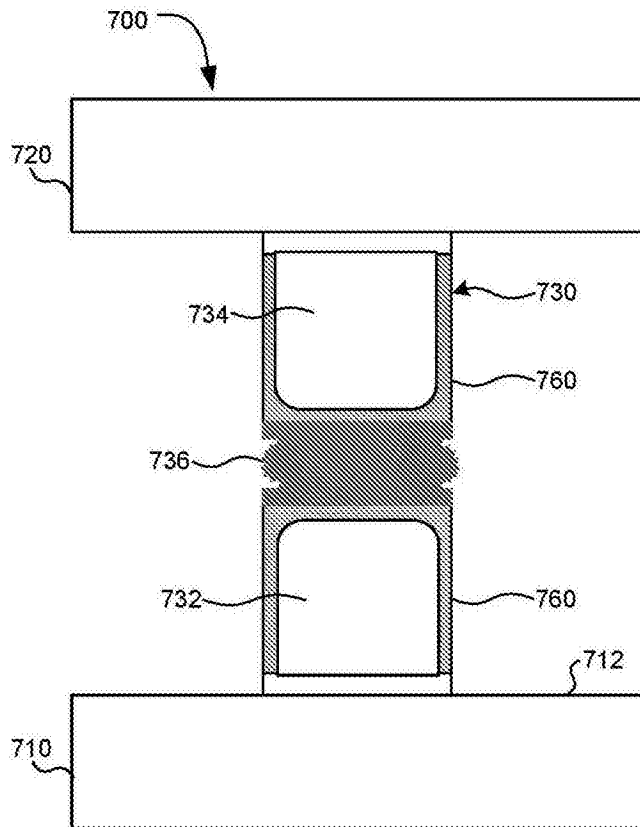


图7

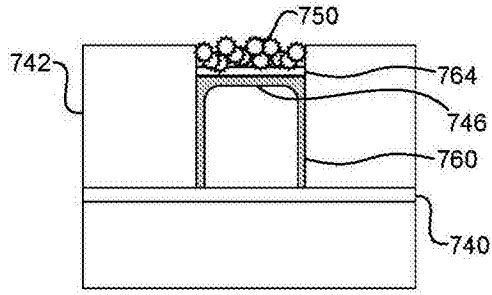


图8A

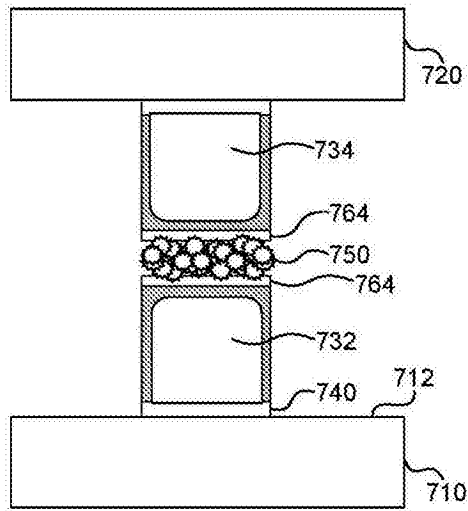


图8B

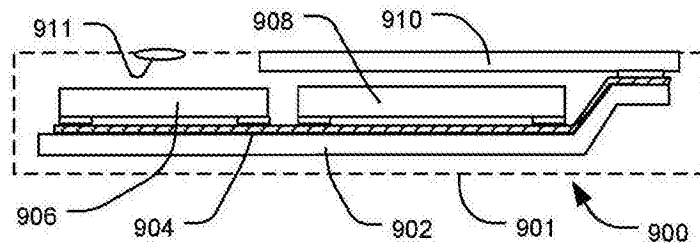


图9