



(12)发明专利申请

(10)申请公布号 CN 111094174 A

(43)申请公布日 2020.05.01

(21)申请号 201880060056.2

(74)专利代理机构 北京律诚同业知识产权代理有限公司 11006

(22)申请日 2018.08.08

代理人 徐金国 赵静

(30)优先权数据

62/561,962 2017.09.22 US

16/049,749 2018.07.30 US

(51)Int.Cl.

B81B 1/00(2006.01)

B81C 1/00(2006.01)

B82Y 5/00(2006.01)

(85)PCT国际申请进入国家阶段日
2020.03.16

(86)PCT国际申请的申请数据
PCT/US2018/045758 2018.08.08

(87)PCT国际申请的公布数据
W02019/060052 EN 2019.03.28

(71)申请人 应用材料公司
地址 美国加利福尼亚州

(72)发明人 菲利普·艾伦·克劳斯
约瑟夫·R·约翰逊

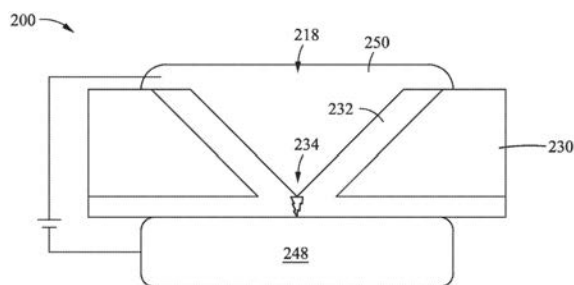
权利要求书2页 说明书6页 附图7页

(54)发明名称

在衬底中的孔形成

(57)摘要

提供了用于制造受良好地控制的固态纳米孔及固态纳米孔阵列的方法。一方面,用于制造纳米孔及纳米孔阵列的方法利用物理接缝。在衬底的顶侧中形成一个或多个蚀坑,并且在衬底的背侧中形成与所述一个或多个蚀坑对准的一个或多个沟槽。在所述一个或多个蚀坑与所述一个或多个沟槽之间形成开口。然后,在所述衬底上方形成介电材料以填充所述开口。然后,在所述衬底的所述顶侧和所述背侧上设置触点,并且从所述顶侧穿过所述介电材料向所述背侧施加电压,反之亦然,从而形成纳米孔。另一方面,在形成在所述介电材料中的接缝处的所述开口的所述中心处或附近形成所述纳米孔。



1. 一种形成纳米孔的方法,包括:

提供衬底,所述衬底在顶侧上具有至少一个特征并在背侧上具有与在所述顶侧上的所述至少一个特征对准的至少一个特征,以及介于在所述顶侧上的所述至少一个特征与在所述背侧上的所述至少一个特征之间的至少一个开口;

在所述衬底上方形成介电材料以填充所述至少一个开口,所述介电材料具有形成在所述介电材料中的至少一个接缝或间隙;以及

利用所述至少一个接缝或间隙以形成至少一个纳米孔。

2. 如权利要求1所述的方法,其中在所述衬底上方形成所述介电材料以填充所述至少一个开口包括:

氧化所述衬底。

3. 如权利要求1所述的方法,其中在所述衬底上方形成所述介电材料以填充所述至少一个开口包括:

通过原子层沉积、物理气相沉积或化学气相沉积在所述衬底上方沉积所述介电材料。

4. 如权利要求1所述的方法,其中利用所述至少一个接缝或间隙以形成至少一个纳米孔包括:

在所述衬底的所述顶侧上方设置顶部触点;

在所述衬底的所述背侧上方设置底部触点;以及

在所述至少一个接缝或间隙两端从所述顶部触点向所述底部触点施加电压。

5. 如权利要求4所述的方法,其中在所述衬底的所述顶侧上方设置第一电解质,并且在所述衬底的所述背侧上方设置第二电解质,并且其中所述顶部触点设置在所述第一电解质中,并且所述底部触点设置在所述第二电解质中。

6. 如权利要求1所述的方法,其中在所述至少一个开口的中心处或附近形成所述纳米孔。

7. 一种形成纳米孔的方法,包括:

在衬底的顶侧上形成蚀坑;

在所述衬底的背侧上形成沟槽,所述沟槽与所述蚀坑对准;

在所述蚀坑与所述沟槽之间形成开口,所述开口连接所述蚀坑和所述沟槽;

在所述衬底上方形成介电材料以填充所述开口,所述介电材料具有形成在所述介电材料中的接缝或间隙;以及

利用所述接缝或间隙以形成纳米孔。

8. 如权利要求7所述的方法,其中在所述衬底上方形成介电材料以填充所述开口包括:

氧化所述衬底。

9. 如权利要求7所述的方法,其中在所述衬底上方形成所述介电材料以填充所述开口包括:

通过原子层沉积、物理气相沉积或化学气相沉积在所述衬底上方沉积所述介电材料。

10. 如权利要求7所述的方法,其中利用所述接缝或间隙以形成所述纳米孔包括:

在所述衬底的所述顶侧上方设置顶部触点;

在所述衬底的所述背侧上方设置底部触点;以及

在所述接缝或间隙两端从所述顶部触点向所述底部触点施加电压。

11. 如权利要求10所述的方法,其中在所述衬底的所述顶侧上方设置第一电解质,并且在所述衬底的所述背侧上方设置第二电解质,并且其中所述顶部触点设置在所述第一电解质中,并且所述底部触点设置在所述第二电解质中。

12. 如权利要求7所述的方法,其中在所形成的所述介电材料的第一部分与所形成的所述介电材料的第二部分之间形成所述接缝或间隙。

13. 一种衬底,包括:

多个顶侧特征,所述多个顶侧特征在所述衬底的顶侧上;

多个背侧特征,所述多个背侧特征在所述衬底的背侧上,所述多个顶侧特征中的每个与所述多个背侧特征中的每个对准;

多个开口,所述多个开口将所述多个顶侧特征中的每个连接到所述多个背侧特征中的每个;以及

介电材料,所述介电材料形成在所述衬底上方,所述顶侧特征中的每个中的所述介电材料在所述多个开口中的每个的中心处或附近具有纳米孔。

14. 如权利要求13所述的衬底,其中所述纳米孔的直径小于或等于100纳米。

15. 如权利要求13所述的衬底,其中所述多个顶侧特征是平截头形蚀坑,并且其中所述多个背侧特征是沟槽或平截头形蚀坑。

在衬底中的孔形成

背景技术

[0001] 领域

[0002] 本文所公开的方面涉及在衬底中制造受良好地控制的固态纳米孔和受良好地控制的固态纳米孔阵列的方法。

[0003] 相关技术描述

[0004] 纳米孔被广泛地用于诸如脱氧核糖核酸 (DNA) 和核糖核酸 (RNA) 测序的应用。在一个示例中,使用电检测方法执行纳米孔测序,所述方法一般包括运输未知样品通过浸入在导电液体中的纳米孔,并且在纳米孔两端施加电位。测量因离子传导通过纳米孔而产生的电流。跨纳米孔表面的电流密度的幅值取决于纳米孔尺寸和样品组成,诸如当时占据纳米孔的DNA或RNA。不同的核苷酸会导致跨纳米孔表面的电流密度的特性变化。测量这些电流变化并将这些电流变化用于对DNA或RNA样品进行测序。

[0005] 已经使用各种方法进行生物测序。通过合成的测序、或第二代测序用于鉴定哪些碱基已连结到DNA单链。一般包括使整个DNA链穿过单个孔的第三代测序用于直接地读取DNA。一些测序方法要求将DNA或RNA样品切碎并然后重组。另外地,一些测序方法使用生物隔膜和生物孔,这些生物隔膜和生物孔具有保质期并且在使用之前必须冷藏。

[0006] 最近,已经使用作为形成在自支撑隔膜(诸如氮化硅或氧化硅)上的纳米级孔的固态纳米孔进行测序。然而,当前固态纳米孔制造方法,诸如使用隧穿电子显微镜、聚焦的离子束、或电子束,不能容易地且廉价地实现制造纳米孔阵列必需的大小和位置控制要求。另外地,当前纳米孔制造方法是耗时的。

[0007] 因此,本领域中需要的是制造受良好地控制的固态纳米孔和受良好地控制的固态纳米孔阵列的改进的方法。

发明内容

[0008] 提供了用于制造受良好地控制的固态纳米孔和受良好地控制的固态纳米孔阵列的方法。一方面,用于制造纳米孔和纳米孔阵列的方法利用物理接缝。在衬底的顶侧中形成一个或多个蚀坑,并且在衬底的背侧中形成与所述一个或多个蚀坑对准的一个或多个沟槽。在所述一个或多个蚀坑与所述一个或多个沟槽之间形成开口。然后,例如通过氧化或原子层沉积在所述衬底上方形成介电材料以填充所述开口。然后,在所述衬底的所述顶侧和所述背侧上形成或放置触点,并且从所述衬底的所述顶侧穿过所述介电材料向所述背侧施加电压,反之亦然,从而形成纳米孔。另一方面,在形成在所述介电材料中的接缝处的所述开口的所述中心处或附近形成所述纳米孔。

[0009] 一方面,提供了一种用于形成纳米孔的方法。所述方法一般包括:提供衬底,所述衬底在顶侧上具有至少一个特征并在背侧上具有与在所述顶侧上的所述至少一个特征对准的至少一个特征,以及介于在所述顶侧上的所述至少一个特征与在所述背侧上的所述至少一个特征之间的至少一个开口;在所述衬底上方形成介电材料以填充所述至少一个开口,所述介电材料具有形成在所述介电材料中的至少一个接缝;以及利用所述至少一个接

缝以形成至少一个纳米孔。

[0010] 另一方面,提供了一种用于形成纳米孔的方法。所述方法一般包括:在衬底的顶侧上形成蚀坑;在所述衬底的背侧上形成沟槽,所述沟槽与所述蚀坑对准;在所述蚀坑与所述沟槽之间形成开口,所述开口连接所述蚀坑和所述沟槽;在所述衬底上方形成介电材料以填充所述开口,所述介电材料具有形成在所述介电材料中的接缝;以及利用所述接缝以形成纳米孔。

[0011] 另一方面,公开了一种衬底。所述衬底一般包括:多个顶侧特征,所述多个顶侧特征在所述衬底的顶侧上;多个背侧特征,所述多个背侧特征在所述衬底的背侧上,在所述顶侧上的所述多个特征中的每个与在所述背侧上的所述多个特征中的每个对准;多个开口,所述多个开口将所述多个顶侧特征中的每个连接到所述多个背侧特征中的每个;以及介电材料,所述介电材料形成在所述衬底上方,所述顶侧特征中的每个中的所述介电材料在所述多个开口中的每个的中心处或附近具有纳米孔。

[0012] 又一方面,提供了一种用于形成纳米孔的方法。所述方法一般包括:在衬底的背侧上形成沟槽;在所述衬底的顶侧上形成蚀坑,所述蚀坑形成在蚀刻停止层上方,所述蚀刻停止层在所述沟槽与所述蚀坑之间形成阻挡层;从所述阻挡层形成介电材料;在所述衬底的所述顶侧和所述背侧上设置一个或多个触点;以及从顶侧触点穿过所述介电材料向背侧触点施加电压,反之亦然,从而形成纳米孔。

[0013] 又一方面,提供了一种用于形成纳米孔的方法。所述方法一般包括:提供衬底,所述衬底在顶侧上具有至少一个特征并在背侧上具有与在所述顶侧上的所述至少一个特征对准的至少一个特征,以及介于在所述顶侧上的所述至少一个特征与在所述背侧上的所述至少一个特征之间的至少一个开口;在所述衬底上方形成介电材料以填充所述至少一个开口;以及从所述顶侧穿过所述介电材料向所述背侧施加电压,从而形成至少一个纳米孔。

附图说明

[0014] 为了能够详细地理解本公开的上述特征的方式,可以参考各方面来提供以上简要地概述的本公开的更特定的描述,其中一些示例在附图中示出。然而,应注意,附图仅示出了示例性方面,并且因此不应视为对本公开范围的限制,并且可以允许其他等效方面。

[0015] 图1是根据本公开的用于形成一个或多个纳米孔的方法的工艺流程。

[0016] 图2A至图20描绘了在本文所公开的工艺流程的各个阶段的衬底中形成一个或多个纳米孔的衬底的剖视图。

[0017] 图3A至图3C描绘了在本文所公开的另一个工艺流程的各个阶段的衬底中形成一个或多个纳米孔的衬底的剖视图。

[0018] 为了便于理解,已经尽可能地使用相同的附图标记标示各图共有的相同元件。设想的是,一个方面的要素和特征可以有益地并入其他方面,而不进一步叙述。

具体实施方式

[0019] 提供了用于制造受良好地控制的固态纳米孔和受良好地控制的固态纳米孔阵列的方法。一方面,用于制造纳米孔和纳米孔阵列的方法利用物理接缝。在衬底的顶侧中形成一个或多个蚀坑,并且在衬底的背侧中形成与所述一个或多个蚀坑对准的一个或多个沟

槽。在所述一个或多个蚀坑与所述一个或多个沟槽之间形成开口。然后,例如通过氧化或原子层沉积在所述衬底上方形成介电材料以填充所述开口。然后,在所述衬底的所述顶侧和所述背侧上形成或放置触点,并且从所述衬底的所述顶侧穿过所述介电材料向所述背侧施加电压,反之亦然,从而形成纳米孔。另一方面,在形成在所述介电材料中的接缝处的所述开口的所述中心处或附近形成所述纳米孔。

[0020] 作为示例,本文所公开的方法涉及在半导体衬底上形成固态纳米孔。还设想所公开的方法可有用于在各种材料上形成其他孔状结构,所述各种材料包括固态和生物材料。作为示例,本文所公开的方法涉及形成平截头形蚀坑和沟槽;然而,还设想其他蚀刻特征和它们的任何组合。出于说明目的,描述了具有氧化硅介电层的绝缘体上硅(SOI)衬底;然而,还设想任何合适的衬底材料和介电材料。另外地,本文所公开的方法涉及衬底的顶侧和背侧。顶侧和背侧一般是指衬底的相对侧并且不一定要求向上或向下取向。因此,设想的是,本文所描述的方法也可有用于通过利用在竖直隔膜上的接缝来形成穿过竖直隔膜的纳米孔。另外地,尽管本文所公开的方法一般涉及利用接缝,但是还设想了所公开的方法可有用于利用间隙以形成纳米孔。

[0021] 图1是根据本公开的用于形成一个或多个纳米孔的方法100的工艺流程。

[0022] 在方法100之前,提供衬底。衬底一般是任何合适的半导体衬底,诸如掺杂或未掺杂硅(Si)衬底。方法100在操作110处通过在衬底的顶侧中形成一个或多个蚀坑开始。在操作120处,在衬底的背侧中形成与在衬底的顶侧中的一个或多个蚀坑对准的一个或多个沟槽。在操作130处,在一个或多个蚀坑中的每个与一个或多个沟槽之间形成开口。在操作140处,在衬底上方形成介电材料以填充开口并在所述开口的中心处或附近形成接缝。一般在形成在侧壁中的每个上的介电材料的相交处形成接缝。在操作150处,通过从衬底的顶侧向背侧施加电压(反之亦然)以打开接缝并形成受良好地控制的纳米孔,利用接缝以形成纳米孔。

[0023] 一方面,操作140和操作150是在已处理的衬底中具有开口的已处理的衬底上执行的独立工艺的一部分。

[0024] 操作120、操作130和操作140一般以任何合适的次序执行。一方面,在操作120处在衬底的背侧中形成一个或多个沟槽发生于在操作110中在衬底的顶侧中形成一个或多个蚀坑之前,并且在操作140处沉积介电材料一般在方法100的任何合适的阶段执行。

[0025] 一方面,氧化衬底以填充开口,并且在在一个或多个蚀坑中的每个中的开口的中心处或附近形成接缝。另一方面,将介电材料沉积在衬底上方,并且在在一个或多个蚀坑中的每个中的开口的中心处或附近形成接缝。介电材料一般通过任何合适的沉积方法来沉积,包括但不限于原子层沉积(ALD)、物理气相沉积(PVD)或化学气相沉积(CVD)。另外地,尽管一些示例包括在沉积的介电材料中形成接缝,但是还设想了介电材料不具有接缝,并且以足以引起介电击穿的电压在介电材料两端施加电压将在介电材料内形成纳米孔。

[0026] 另一方面,方法100还包括例如在氧化衬底或沉积介电材料之前,在衬底的顶侧中的一个或多个蚀坑的底部处形成蚀刻停止层。

[0027] 图2A至图20描绘了根据本文所公开的方法(诸如在方法100的各个阶段)的在衬底200中形成纳米孔的衬底200的剖视图。尽管以特定顺序示出了图2A至图20,但是还设想以任何合适的次序执行图2A至图20所描绘的方法100的各个阶段。

[0028] 如图2A所示,顶侧硬掩模210设置在衬底200的顶侧上方,顶侧底部抗反射涂层(BARC)层212设置在顶侧硬掩模210上方,并且顶侧光刻胶214设置在顶侧BARC层212上方。然后,执行顶侧图案化工艺以在顶侧硬掩模210和顶侧BARC层212中形成一个或多个沟槽216。一般地,顶侧图案化工艺包括将顶侧光刻胶214图案化,如图2B所示,并且然后例如通过反应离子蚀刻(RIE)蚀刻未掩蔽的顶侧硬掩模210和顶侧BARC层212,如图2C所示。任选地去除顶侧光刻胶214。然后,执行顶侧蚀刻工艺,诸如KOH蚀刻或其他合适的蚀刻工艺,以在衬底200中形成一个或多个平截头形蚀坑218,如图2D所示。其他合适的蚀刻工艺包括但不限于各向异性蚀刻工艺。

[0029] 然后,将衬底200翻转以用于进行背侧处理。如图2E所示,背侧硬掩模220沉积在衬底200的背侧上方,背侧BARC层222沉积在背侧硬掩模220上方,并且背侧光刻胶224沉积在背侧BARC层222上方。然后,执行背侧图案化工艺以在背侧硬掩模220和背侧BARC层222中形成一个或多个背侧沟槽226。一般,背侧图案化工艺包括将背侧光刻胶224图案化,如图2F所示,并且然后蚀刻未掩蔽的背侧硬掩模220、背侧BARC层222以及衬底200的一部分以形成一个或多个背侧沟槽226,如图2G所示。任选地去除旋涂的背侧光刻胶224。

[0030] 在图2A至图2G的方面中,作为示例,衬底200是在SOI衬底中具有掩埋氧化物层202的SOI衬底,其中在所述SOI衬底的顶侧上具有150纳米(nm) Si器件层230;然而,还设想任何合适的衬底或SOI衬底。顶侧硬掩模210是低压力化学气相沉积(LPCVD)氮化物,并且顶侧光刻胶214是旋涂的光刻胶。基于所述衬底的大小,一个或多个平截头形蚀坑218一般是任何合适的大小。例如,在其中使用在SOI衬底的顶侧上具有150nm Si器件层的SOI衬底的方面中,一个或多个平截头形蚀坑218是以5毫米(mm)间距间隔的212纳米(nm) × 212nm方形开口。KOH蚀刻一般以约54.7度的角度蚀刻Si。因此,当在SOI衬底200上执行顶侧KOH蚀刻达预定时段时,一个或多个平截头形蚀坑218一般就会终止,此时平截头形蚀坑218的尖端在掩埋氧化物层202上并与掩埋氧化物层202接触。预定时段一般被确定来减少或消除相对于掩模开口的横向蚀刻。一般,图2I中所示的Si的<100>平面229将以对应于溶液的温度和KOH在H₂O中的浓度的蚀刻速率进行蚀刻。对于大多数情景,KOH将以约0.4nm/s至约20nm/s的速率蚀刻Si的<100>平面。可以通过冷却或加热溶液来加速或延缓所述速率。

[0031] 图案化背侧光刻胶224包括形成具有任何合适的大小和形状的开口图案,所述开口图案与一个或多个平截头形蚀坑218对准。例如,在其中使用在SOI衬底的顶侧上具有150nm Si器件层的SOI衬底的方面中,背侧光刻胶224被图案化为具有间距为5mm的100微米(μm) × 100μm方形开口,100微米(μm) × 100μm方形开口与在衬底200的顶侧上的一个或多个平截头形蚀坑218对准。一方面,然后使用深反应离子蚀刻(DRIE)来形成一个或多个背侧沟槽226。一个或多个背侧沟槽226被蚀刻直到掩埋氧化物层202的背侧表面,使得一个或多个背侧沟槽226中的每个的底部对应于掩埋氧化物层202的顶部,如图2G所示。然后,使用局部去除工艺(诸如氢氟酸(HF)浸渍)以去除一个或多个背侧沟槽226中的掩埋氧化物层202,使得一个或多个背侧沟槽226中的每个的底部在器件层230上并与器件层230接触,并且开口228形成在一个或多个平截头形蚀坑218的尖端处,如图2I所示,所述图2I是图2H的放大和倒置部分。在进一步方面,使用湿法刻蚀工艺来形成一个或多个背侧沟槽226。

[0032] 一般,通过在蚀刻工艺期间控制化学物质、温度、浓度梯度和副产物去除梯度来控制开口228的大小。一方面,开口在约5nm × 5nm与约10nm × 10nm之间。所述开口的大小一般

使用扫描电子显微镜 (SEM) 或透射电子显微镜 (TEM) 进行测量。

[0033] 然后,在衬底200上方形成介电材料232以填充开口228,如图2J所示。介电材料232的厚度一般在约0.5nm与约10nm之间,例如在约1nm与约5nm之间,诸如约1nm。一方面,例如通过将SOI衬底200暴露于氧或水(H₂O)来氧化所述衬底的硅器件层以形成介电材料232。另一方面,通过ALD沉积介电材料232。另一方面,介电材料232是通过沉积金属或半导体层(例如通过ALD、CVD或PVD)并然后氧化所述金属或半导体层以形成介电材料而形成。如图2K所示,所述图2K是图2J的放大部分,接缝234形成在开口228的中心处或附近的介电材料232中,其中形成在平截头形蚀坑218的侧壁236a、236b上的介电材料232聚在一起。当使用硅器件层的氧化时,例如,开口228当硅(Si)被转化为二氧化硅(SiO₂)时通过体积膨胀而被封闭。接缝234是介电材料232中的弱点。

[0034] 然后,利用接缝234以形成受良好地控制的纳米孔236。一般,利用接缝234包括从在衬底200的顶侧上的介电材料232上方的顶部触点穿过接缝234向在衬底200的背侧上的介电材料232上方的底部触点施加电压,反之亦然。所施加的电压在接缝234处引起氧化物的介电击穿,从而在接缝234的位置处形成受良好地控制的、局部化的且稳固的纳米孔,所述接缝的位置一般在开口228的中心处或附近。所施加的电压一般例如通过降解介电材料232的一部分来去除介电材料232的至少一部分以形成纳米孔。所施加的电压一般包括高于介电材料的击穿电压的典型电压。例如, SiO₂的击穿电压一般在材料的约2兆伏(MV)/cm与约6MV/cm之间、或在约200毫伏(mV)/nm至600mV/nm之间。一方面,所施加的电压略低于介电材料的击穿电压,并且施加更长时间的电流以缓慢地击穿隔膜。另一方面,所施加的电压高于介电材料的击穿电压,使得纳米孔从中爆开。

[0035] 一方面,顶部触点248设置在衬底200的顶侧上的第一电解质中,并且底部触点250设置在衬底200的背侧上的第二电解质中,如图2L所示。在一个示例中,顶部触点252和/或底部触点254是导电钨(W)层,如图2M所示。在进一步方面,顶部触点和底部触点是任何合适的导电材料,诸如一种或多种金属或它们的组合。

[0036] 一旦电压已经传导通过接缝234,就在开口228的中心处或附近形成纳米孔240,如图2N所示。由于纳米孔240已经根据本文所公开的方法形成,因此纳米孔240的大小和位置受到良好地控制。受良好地控制的纳米孔240的大小一般是适合于对一定大小的样品进行测序的直径。一方面,纳米孔240的大小为约100nm或更小。一方面,纳米孔240的大小在约0.5nm与约5nm之间,例如在约1nm与约3nm之间,诸如2nm。另一方面,纳米孔240的大小在约1.5nm与约1.8nm之间,诸如约1.6nm,大致是DNA单链的大小。另一方面,纳米孔240的大小在约2nm与约3nm之间,诸如约2.8nm,大致是DNA双链的大小。纳米孔240的受良好地控制的位置一般是在衬底上的适合于一个或多个纳米孔的配置的任何位置。一方面,衬底200包括纳米孔240阵列,如图20所示。本文所公开的方法一般用于控制一个或多个纳米孔240中的每个的位置,使得形成用于进行测序或其他工艺的期望配置的纳米孔阵列。

[0037] 在使用钨层的一方面,一般将钨图案化以使钨可寻址到每个纳米孔,使得形成纳米孔阵列以用于进行测序。另一方面,将电压顺序地施加到每个特征以形成纳米孔阵列以用于进行测序。

[0038] 如上文所公开,图2A至图20所描绘的阶段一般以任何合适的次序执行。一方面,形成一个或多个蚀坑218,并且然后在一个或多个蚀坑218上方保形地沉积薄介电材料层232。

然后,形成一个或多个背侧沟槽226,并且优先地去除掩埋氧化物层202,使得保留自支撑介电层。然后,在介电材料232两端施加电压以形成一个或多个纳米孔240,如上文所公开。

[0039] 在此方面,保形介电材料232的厚度在约0.5nm与约10nm之间,例如在约0.5nm与约5nm之间,例如在约1nm与约2nm之间,诸如约1nm。介电材料232一般是蚀刻速率相对于SiO₂低的任何合适的介电材料。合适的介电材料的示例包括但不限于Al₂O₃、Y₂O₃、TiO₂和SiN。与SiO₂的蚀刻速率相比,介电材料232的蚀刻速率一般大于约10:1,例如约100:1,例如约1,000:1,例如约10,000:1。在蚀坑218的底部处的开口228的中心处可以形成或可以不形成接缝。然而,仍然可以在介电材料232两端施加电压,使得在介电材料232的弱点处形成纳米孔240。

[0040] 图3A至图3C描绘了根据本文所公开的工艺流程(诸如在方法100的各个阶段)的在衬底300中形成纳米孔的衬底300的剖视图。图3A至图3B中描绘的阶段是在衬底中形成纳米孔的另选阶段,所述另选阶段可以被替换为图2A至图20所描绘的和上文所公开的各个阶段。

[0041] 在图3A至图3C所描绘的方面中,蚀刻停止层350设置在一个或多个蚀坑218的底部处,如图3A所示。蚀刻停止层350致使KOH蚀刻以受良好地控制的厚度停止在蚀坑218的底部处。在蚀坑218的底部处的薄的、暴露的蚀刻停止层350处仍然存在开口228。然后,例如通过快速热处理(RTF)氧化来氧化衬底300以形成受良好地控制的氧化物层(诸如介电材料层232),从而封闭开口228,如图3B所示。然后,在介电材料232两端施加电压,从而在开口228的在蚀坑218的基部处的区域内引起介电击穿,使得在开口228内形成纳米孔240,如图3C所示。根据这个方面,在介电材料232中可以形成或可以不形成接缝;然而,在蚀坑218的基部处的介电材料232中的弱点处的介电击穿仍将形成纳米孔240。

[0042] 通过任何合适的方法在本文所公开的工艺流程的任何合适的阶段沉积蚀刻停止层350。一方面,通过在SOI衬底制造期间将掺杂剂注入或扩散到硅器件层中并与SOI衬底的掩埋氧化物层202接触来形成蚀刻停止层350。另一方面,在一个或多个背侧沟槽226形成在衬底300的背侧中之后并在一个或多个蚀坑218形成在衬底300中之前形成蚀刻停止层350。蚀刻停止层的厚度是任何合适的厚度,诸如小于或等于10nm,例如小于或等于2nm,例如小于或等于1nm。蚀刻停止层350一般包括任何合适的掺杂剂,包括但不限于硼(B)。

[0043] 氧化的厚度是任何合适的厚度,诸如在约0.5nm与约10nm之间,例如在约1nm与约5nm之间,例如约1nm。

[0044] 本公开的益处包括快速地形成一般可单独地寻址的受良好地控制的纳米孔和纳米孔阵列的能力。所公开的方法一般提供穿过薄膜隔膜的在大小和位置上受良好地控制的纳米孔。制造受良好地控制的纳米孔的方法提供改进的信噪比,因为纳米孔的大小与被传输通过纳米孔的样品(诸如DNA单链)的大小类似,这增加了通过纳米孔的电流的变化。另外地,制造具有受良好地控制的纳米孔的方法使得样品(诸如DNA)能够自由地通过纳米孔。另外地,隔膜的厚度(例如,约1mm)提供用于DNA序列的改进的读取。

[0045] 尽管前述内容针对的是本公开的各方面,但是在不脱离本公开的基本范围的情况下,可以设想本公开的其他和进一步方面,并且本公开的范围由所附权利要求书确定。

100

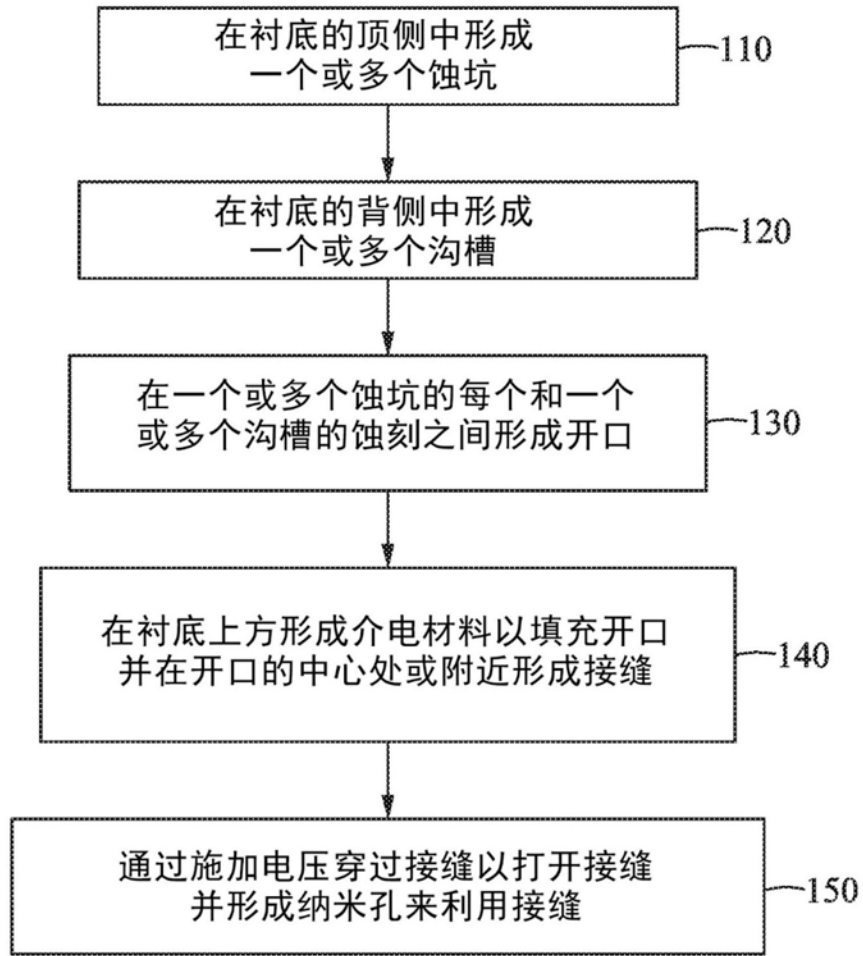


图1

200

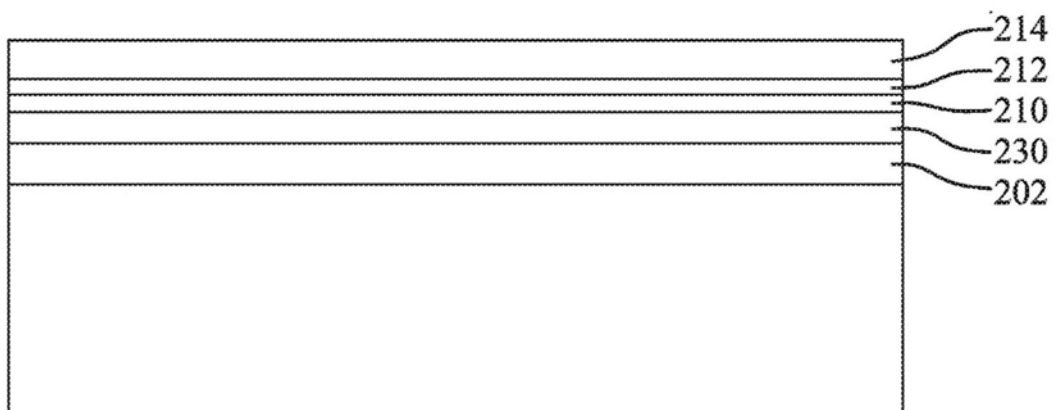


图2A

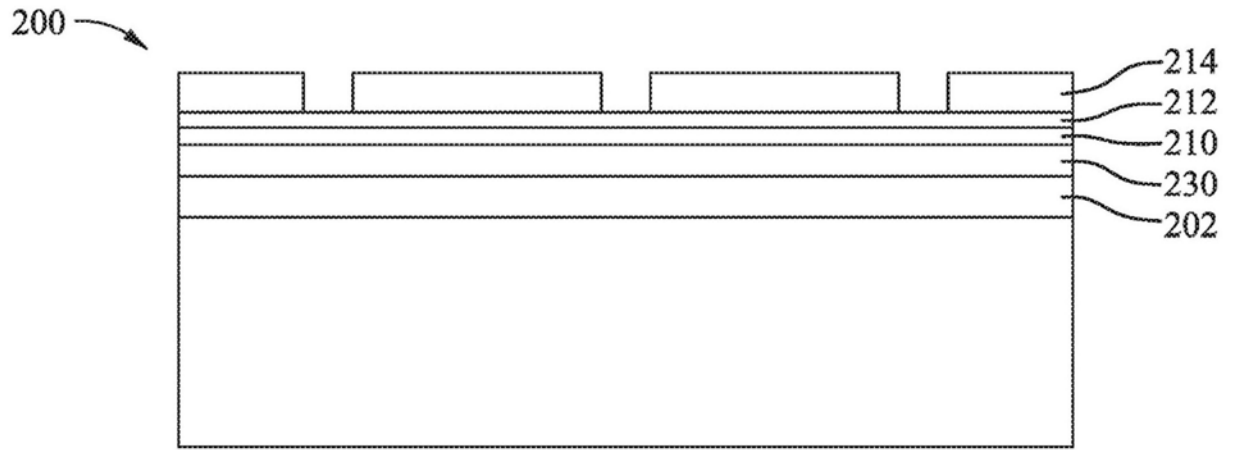


图2B

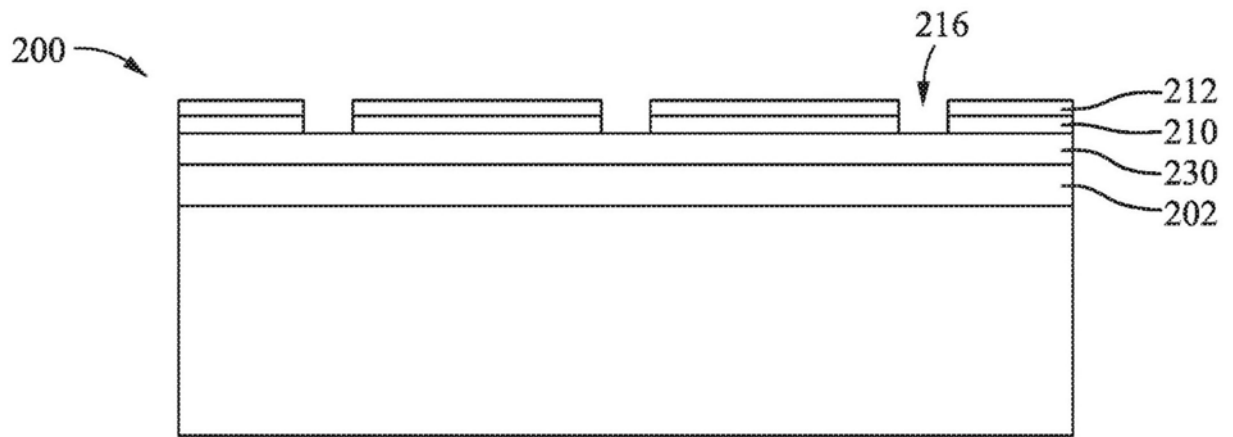


图2C

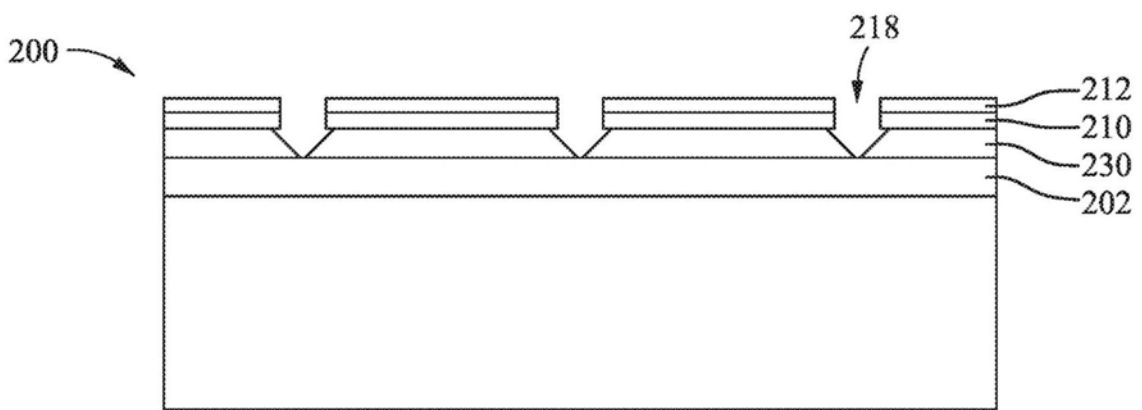


图2D

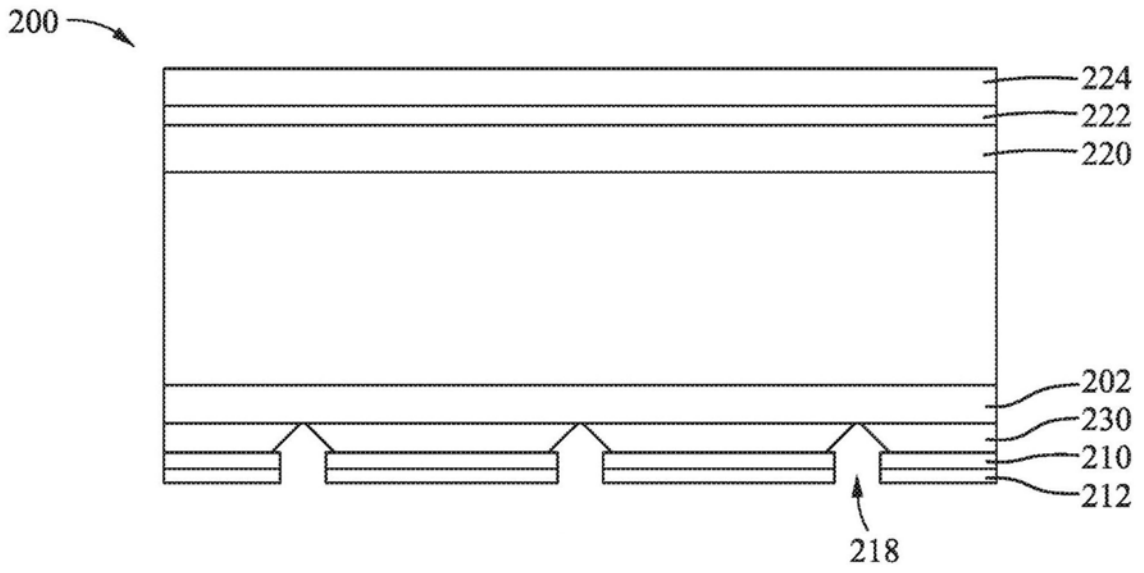


图2E

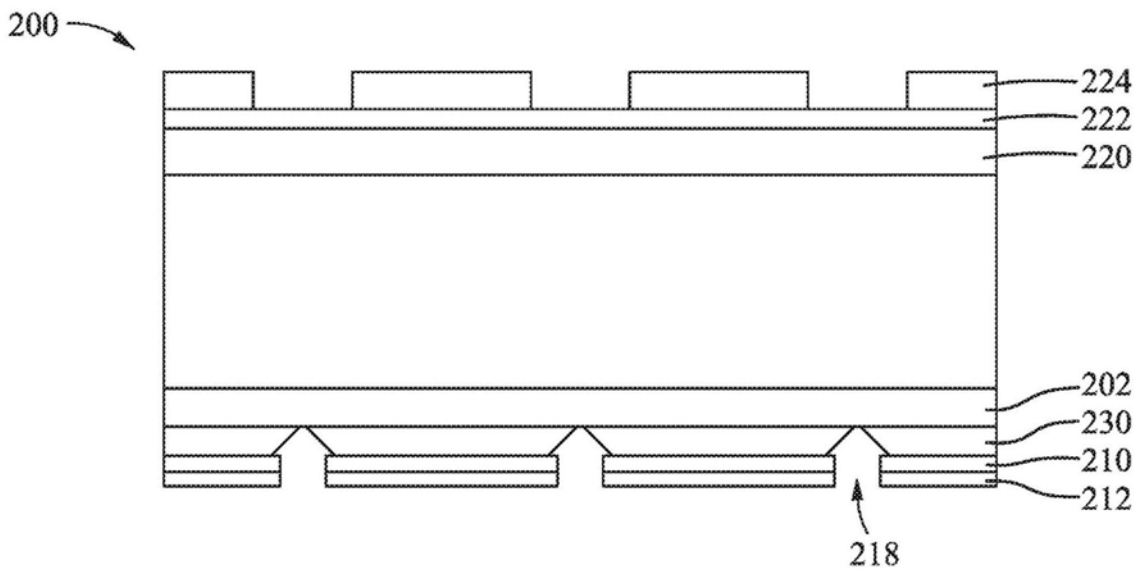


图2F

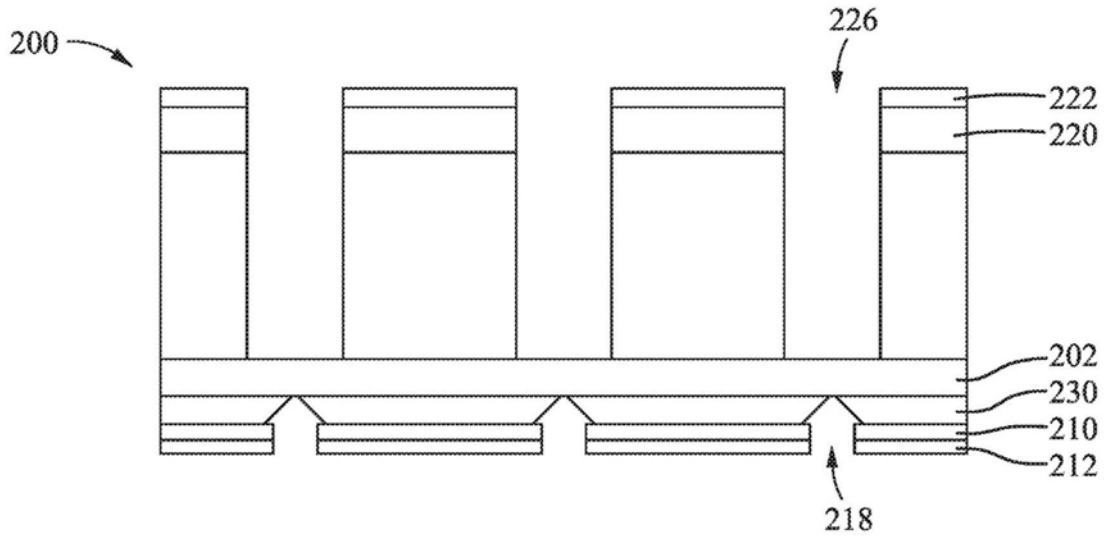


图2G

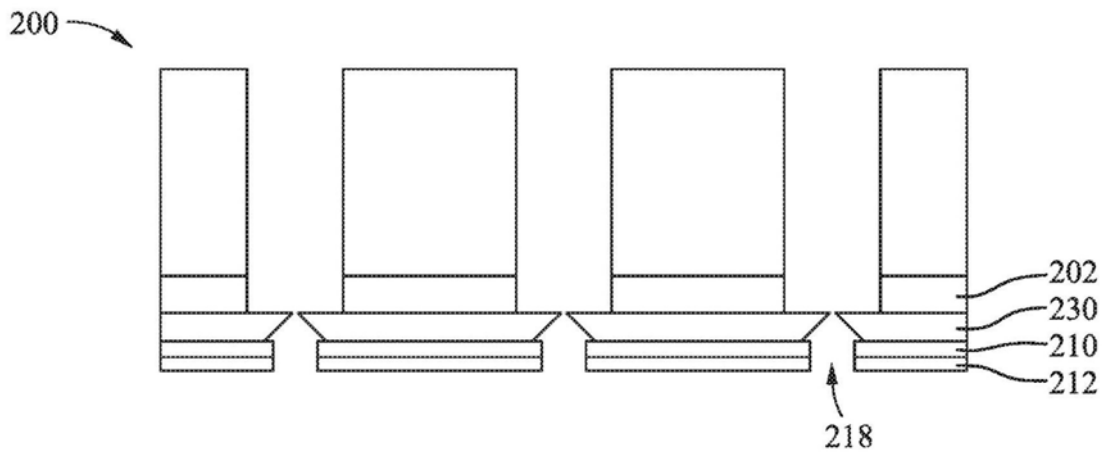


图2H

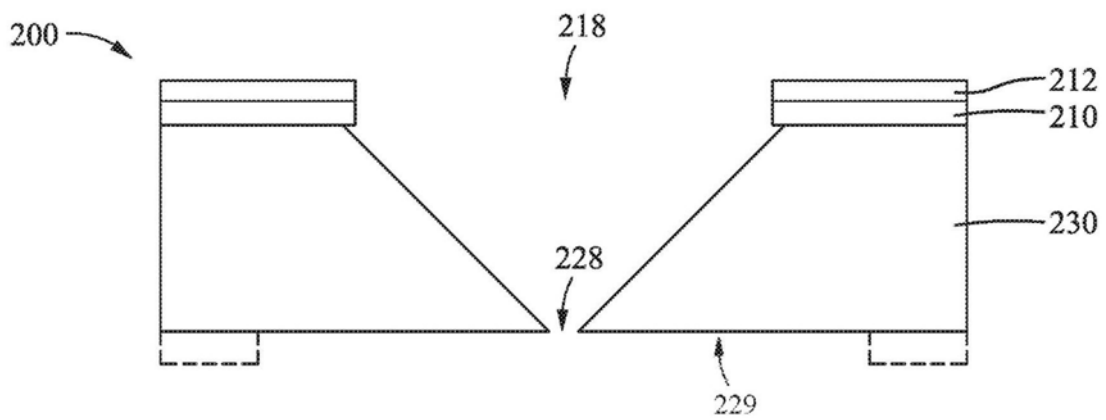


图2I

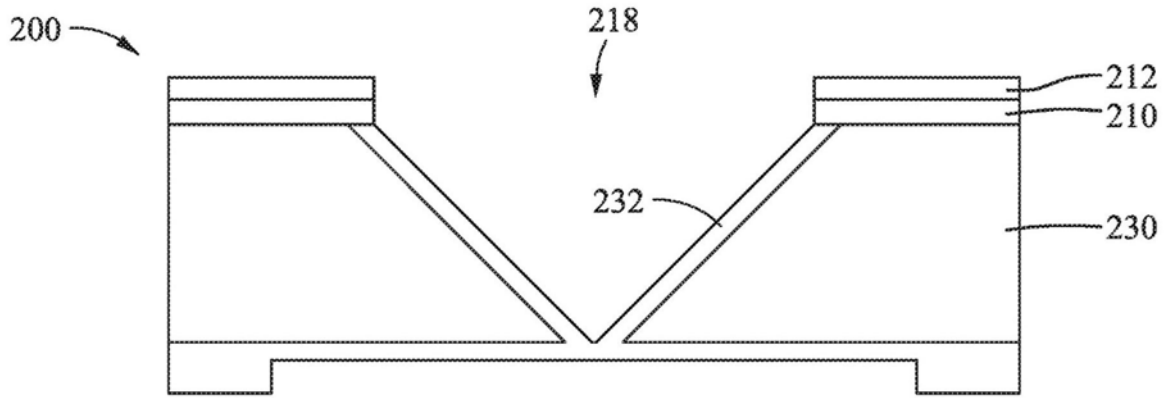


图2J

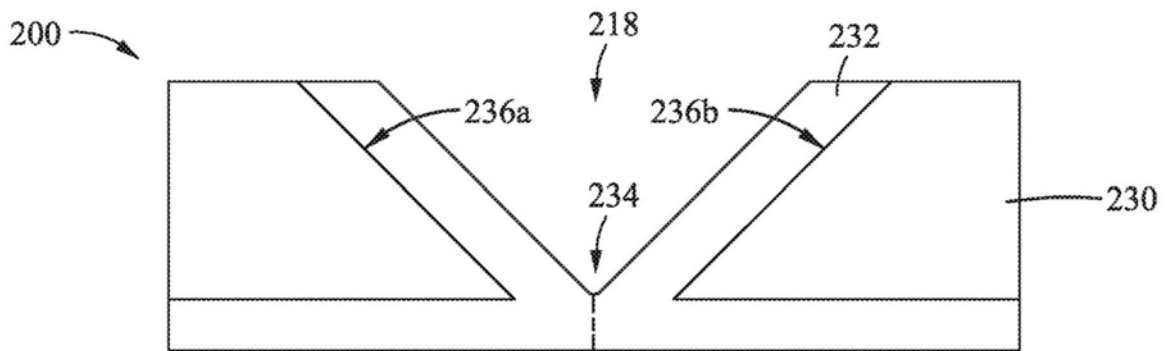


图2K

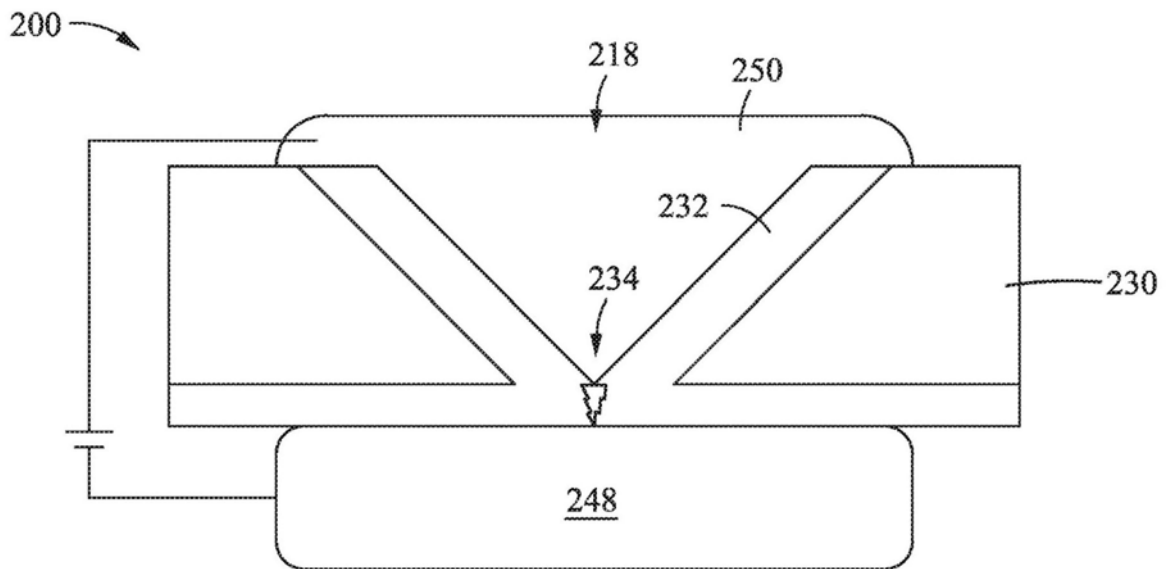


图2L

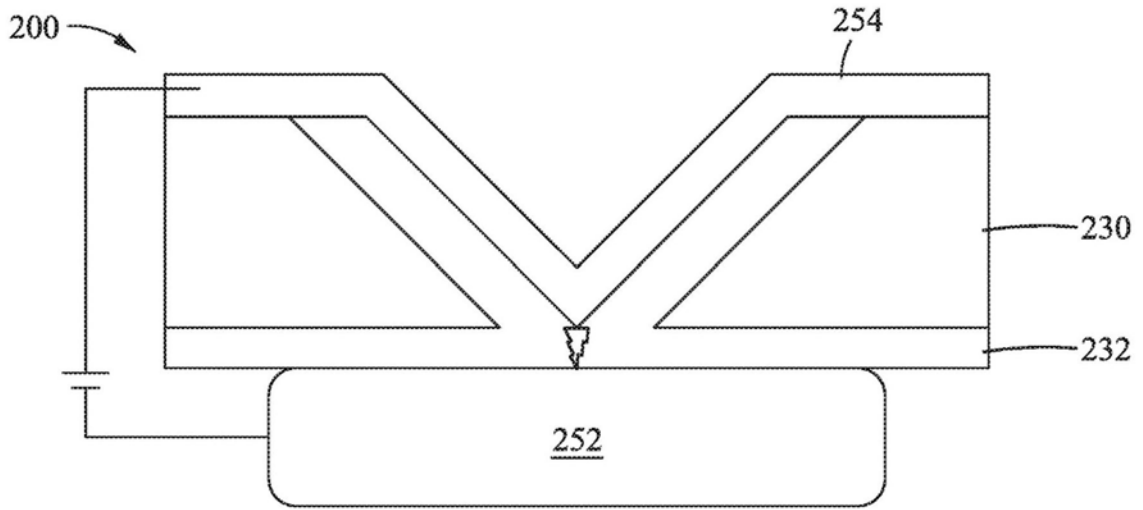


图2M

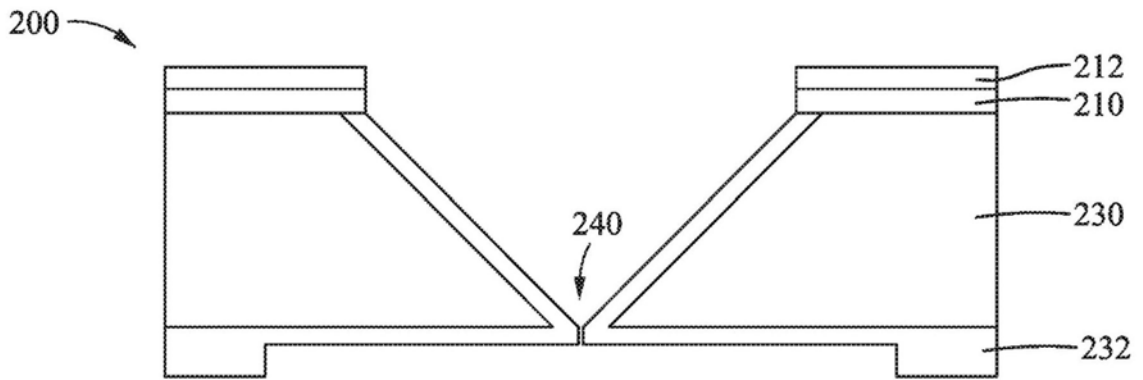


图2N

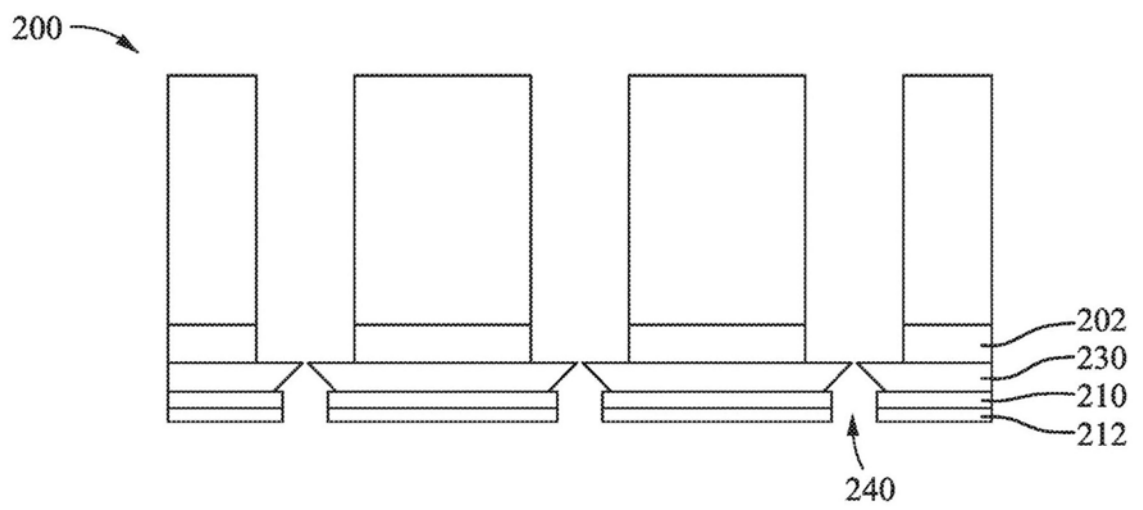


图20

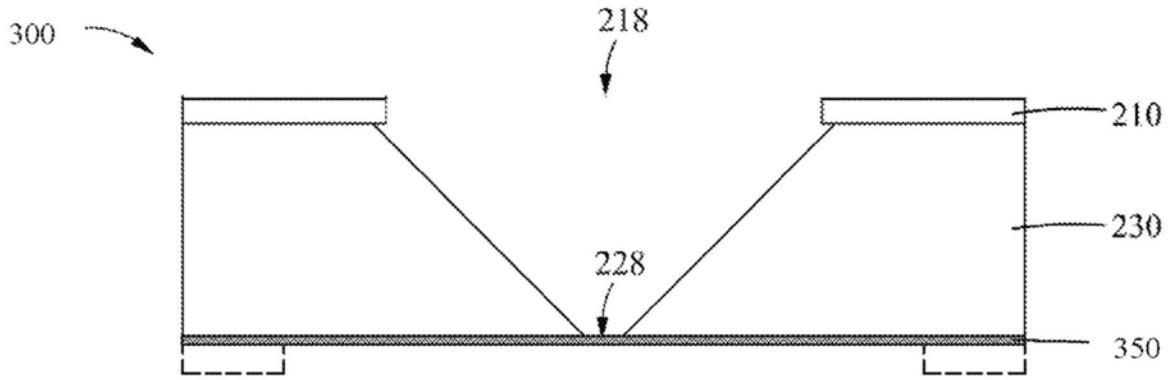


图3A

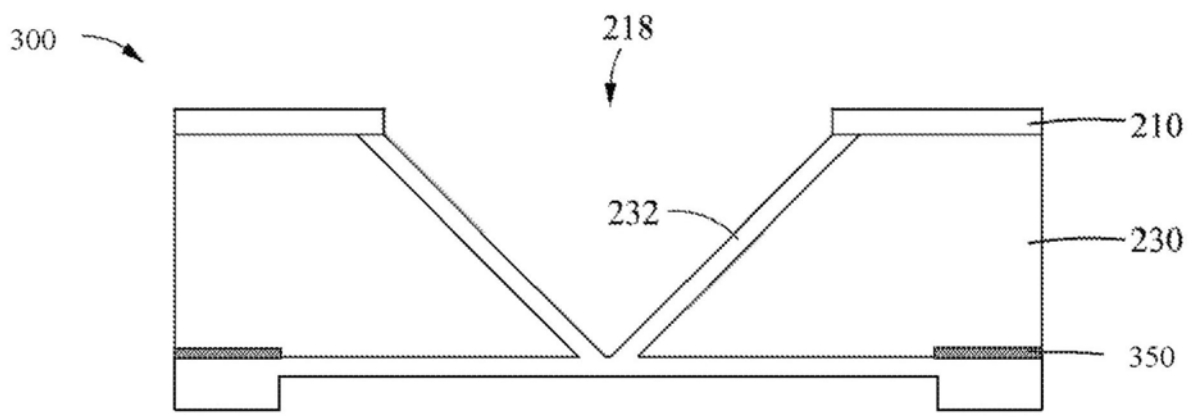


图3B

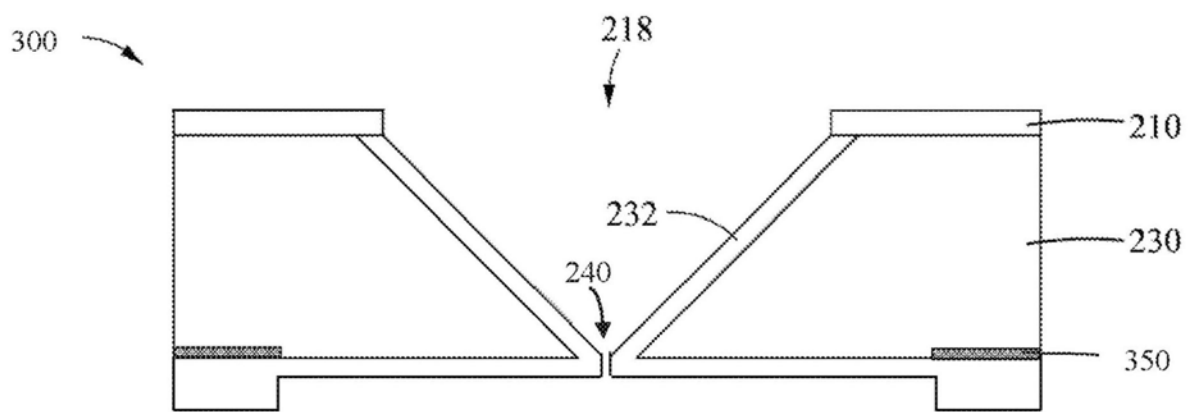


图3C