



(12) 发明专利申请

(10) 申请公布号 CN 114496968 A

(43) 申请公布日 2022.05.13

(21) 申请号 202110589669.9

(22) 申请日 2021.05.28

(30) 优先权数据

10-2020-0150994 2020.11.12 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 朴永焕 金钟燮 吴在浚 丁秀真

黄瑄珪

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 程丹辰

(51) Int. Cl.

H01L 23/495 (2006.01)

H01L 23/488 (2006.01)

H01L 21/60 (2006.01)

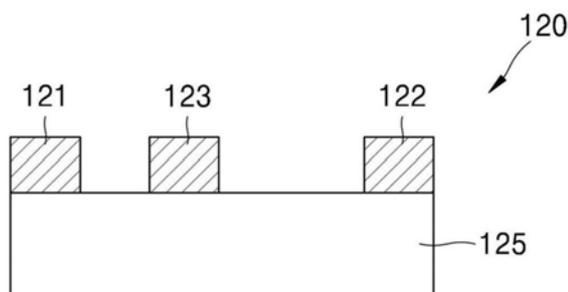
权利要求书3页 说明书9页 附图22页

(54) 发明名称

半导体器件封装和制造其的方法

(57) 摘要

提供了一种半导体器件封装和/或制造该半导体器件封装的方法。该半导体器件封装可以包括：半导体器件，包括在半导体器件的上表面上的多个电极焊盘；引线框架，包括接合到所述多个电极焊盘的多个导电构件；以及模制件，在所述多个导电构件之间。



1. 一种半导体器件封装,包括:
具有水平沟道结构的半导体器件,所述半导体器件包括在所述半导体器件的上表面上的多个电极焊盘;
引线框架,包括接合到所述多个电极焊盘的多个导电构件;以及
在所述多个导电构件之间的模制件。
2. 根据权利要求1所述的半导体器件封装,其中所述模制件覆盖所述引线框架的侧表面和所述半导体器件的侧表面。
3. 根据权利要求2所述的半导体器件封装,其中所述模制件进一步覆盖所述半导体器件的下表面。
4. 根据权利要求1所述的半导体器件封装,还包括:
半导体衬底,其中
所述半导体器件在所述半导体衬底的上表面上。
5. 根据权利要求4所述的半导体器件封装,其中所述模制件覆盖所述引线框架的侧表面、所述半导体器件的侧表面和所述半导体衬底的侧表面。
6. 根据权利要求5所述的半导体器件封装,其中所述半导体衬底的下表面被暴露而不被所述模制件覆盖。
7. 根据权利要求5所述的半导体器件封装,其中所述模制件覆盖所述半导体衬底的下表面。
8. 根据权利要求1所述的半导体器件封装,还包括在所述多个导电构件上的焊料凸块。
9. 根据权利要求1所述的半导体器件封装,还包括:
在所述半导体器件上的热沉。
10. 根据权利要求1所述的半导体器件封装,其中所述半导体器件包括基于GaN的功率器件。
11. 根据权利要求1所述的半导体器件封装,其中所述多个电极焊盘包括源电极焊盘、漏电极焊盘和栅电极焊盘。
12. 一种制造半导体器件封装的方法,所述方法包括:
准备半导体衬底,所述半导体衬底包括具有水平沟道结构的多个半导体器件;
在所述半导体衬底中形成凹槽,所述凹槽具有深度以将所述多个半导体器件彼此分隔开;
将引线框架结构接合到所述多个半导体器件,所述引线框架结构包括多个引线框架;
处理所述半导体衬底,以将所述半导体衬底从第一厚度改变为小于所述第一厚度的第二厚度;以及
在处理所述半导体衬底之后,由包括所述多个半导体器件的所述半导体衬底制造多个半导体器件封装。
13. 根据权利要求12所述的方法,其中
在处理所述半导体衬底之前,所述半导体衬底包括硅晶片,以及
所述引线框架结构具有对应于所述硅晶片的形状。
14. 根据权利要求12所述的方法,其中
所述多个半导体器件中的每个的上表面在其上包括多个电极焊盘,以及

所述多个引线框架中的每个相应的引线框架包括与所述多个半导体器件当中的相应半导体器件的所述多个电极焊盘接合的多个导电构件。

15. 根据权利要求14所述的方法,其中在所述半导体衬底中的所述凹槽通过蚀刻、激光切割或刀片切割来形成。

16. 根据权利要求14所述的方法,其中处理所述半导体衬底通过部分地去除所述半导体衬底或完全去除所述半导体衬底来执行。

17. 根据权利要求14所述的方法,还包括:

在所述多个导电构件之间以及在所述凹槽中填充模制件,其中填充所述模制件在接合所述引线框架结构之后执行。

18. 根据权利要求17所述的方法,其中制造所述多个半导体器件封装包括切割填充在所述多个半导体器件之间的所述模制件。

19. 根据权利要求14所述的方法,其中所述引线框架结构附接到支撑衬底并由该支撑衬底支撑。

20. 根据权利要求19所述的方法,其中处理所述半导体衬底之后,所述方法还包括:

在所述多个导电构件之间以及在所述凹槽中填充模制件;以及去除所述支撑衬底。

21. 根据权利要求20所述的方法,其中所述模制件覆盖所述半导体衬底的下表面或所述多个半导体器件的下表面。

22. 根据权利要求20所述的方法,其中制造所述多个半导体器件封装包括切割填充在所述多个半导体器件之间的所述模制件。

23. 根据权利要求14所述的方法,其中所述引线框架结构包括填充在所述多个引线框架中的每个的所述多个导电构件之间的模制件。

24. 根据权利要求23所述的方法,其中制造所述多个半导体器件封装包括切割填充在所述多个引线框架之间的所述模制件。

25. 一种半导体器件封装,包括:

半导体器件,包括在所述半导体器件的上表面上彼此间隔开的源电极焊盘、漏电极焊盘和栅电极焊盘;

引线框架,包括接合到所述源电极焊盘的第一导电构件、接合到所述漏电极焊盘的第二导电构件和接合到所述栅电极焊盘的第三导电构件,所述第一导电构件至所述第三导电构件彼此间隔开;以及

模制件,围绕所述第一导电构件的侧表面、所述第二导电构件的侧表面和所述第三导电构件的侧表面。

26. 根据权利要求25所述的半导体器件,其中

所述模制件围绕所述源电极焊盘的侧表面、所述漏电极焊盘的侧表面和所述栅电极焊盘的侧表面,使得所述模制件沿着所述半导体器件的所述上表面填充所述源电极焊盘、所述漏电极焊盘和所述栅电极焊盘之间的间隙。

27. 根据权利要求25所述的半导体器件,其中所述模制件围绕所述半导体器件的侧表面。

28. 根据权利要求25所述的半导体器件,还包括:

连接到所述半导体器件的热沉。

29. 根据权利要求25所述的半导体器件,其中所述半导体器件包括基于GaN的功率器件。

半导体器件封装和制造其的方法

技术领域

[0001] 本公开涉及半导体器件封装和/或制造半导体器件封装的方法。

背景技术

[0002] 氮化物半导体器件(诸如基于GaN的功率器件)可以通过一系列半导体工艺形成在硅衬底上。半导体器件封装可以通过执行布线工艺和模制工艺来制造,在布线工艺中,半导体器件的电极通过金属布线连接到引线框架,在模制工艺中,使用绝缘树脂。在如上所述制造的半导体器件封装中,从半导体器件产生的热可以通过金属线、模制件和硅衬底消散到外部,因此半导体器件封装可能具有差的散热特性。此外,由于许多布线工艺,成本和工艺时间会增加。

发明内容

[0003] 提供了半导体器件封装和制造该半导体器件封装的方法。

[0004] 另外的方面将在以下描述中被部分地阐述,并将部分地自该描述明显,或者可以通过实践本公开的所呈现的实施方式而获悉。

[0005] 根据实施方式,一种半导体器件封装可以包括:具有水平沟道结构的半导体器件,半导体器件包括在半导体器件的上表面上的多个电极焊盘;引线框架,包括接合到所述多个电极焊盘的多个导电构件;以及在所述多个导电构件之间的模制件。

[0006] 在一些实施方式中,模制件可以覆盖引线框架的侧表面和半导体器件的侧表面。模制件可以进一步覆盖半导体器件的下表面。

[0007] 在一些实施方式中,半导体器件封装还可以包括半导体衬底,半导体器件可以在半导体衬底的上表面上。

[0008] 在一些实施方式中,模制件可以覆盖引线框架的侧表面、半导体器件的侧表面和半导体衬底的侧表面。半导体衬底的下表面可以被暴露而不被模制件覆盖。模制件可以覆盖半导体衬底的下表面。

[0009] 在一些实施方式中,半导体器件封装还可以包括在所述多个导电构件上的焊料凸块。

[0010] 在一些实施方式中,半导体器件封装还可以包括在半导体器件上的热沉。

[0011] 在一些实施方式中,半导体器件可以包括基于GaN的功率器件。

[0012] 在一些实施方式中,所述多个电极焊盘可以包括源电极焊盘、漏电极焊盘和栅电极焊盘。

[0013] 根据实施方式,一种制造半导体器件封装的方法可以包括:准备半导体衬底,半导体衬底包括具有水平沟道结构的多个半导体器件;在半导体衬底中形成凹槽,凹槽具有深度以将所述多个半导体器件彼此分隔开;将引线框架结构接合到所述多个半导体器件,引线框架结构包括多个引线框架;处理半导体衬底以将半导体衬底从第一厚度改变为小于第一厚度的第二厚度;以及在处理半导体衬底之后,由包括所述多个半导体器件的半导体衬

底制造多个半导体器件封装。

[0014] 在一些实施方式中,半导体衬底在处理半导体衬底之前可以包括硅晶片,引线框架结构可以具有对应于硅晶片的形状。

[0015] 在一些实施方式中,所述多个半导体器件中的每个的上表面可以在其上包括多个电极焊盘,来自所述多个引线框架的每个相应的引线框架可以包括与所述多个半导体器件当中的相应半导体器件的所述多个电极焊盘接合的多个导电构件。

[0016] 在一些实施方式中,在半导体衬底中的凹槽可以通过蚀刻、激光切割或刀片切割来形成。

[0017] 在一些实施方式中,处理半导体衬底可以通过部分地去除半导体衬底或完全去除半导体衬底来执行。

[0018] 在一些实施方式中,在将所述多个引线框架接合到所述多个半导体器件之后,该方法还可以包括在所述多个导电构件之间以及在凹槽中填充模制件。制造所述多个半导体器件封装可以包括切割填充在所述多个半导体器件之间的模制件。

[0019] 在一些实施方式中,引线框架结构可以附接到支撑衬底并由该支撑衬底支撑。

[0020] 在一些实施方式中,在处理半导体衬底之后,该方法还可以包括:在所述多个导电构件之间以及在凹槽中填充模制件;以及去除支撑衬底。

[0021] 在一些实施方式中,模制件可以覆盖半导体衬底的下表面或所述多个半导体器件的下表面。

[0022] 在一些实施方式中,制造所述多个半导体器件封装可以包括切割填充在所述多个半导体器件之间的模制件。

[0023] 在一些实施方式中,引线框架结构可以包括填充在所述多个引线框架中的每个的所述多个导电构件之间的模制件。

[0024] 在一些实施方式中,制造所述多个半导体器件封装可以包括切割填充在所述多个引线框架之间的模制件。

[0025] 根据实施方式,一种半导体器件封装可以包括:半导体器件,包括在半导体器件的上表面上彼此间隔开的源电极焊盘、漏电极焊盘和栅电极焊盘;引线框架,包括接合到源电极焊盘的第一导电构件、接合到漏电极焊盘的第二导电构件和接合到栅电极焊盘的第三导电构件,第一导电构件至第三导电构件彼此间隔开;以及模制件,围绕第一导电构件的侧表面、第二导电构件的侧表面和第三导电构件的侧表面。

[0026] 在一些实施方式中,模制件可以围绕源电极焊盘的侧表面、漏电极焊盘的侧表面和栅电极焊盘的侧表面,使得模制件沿着半导体器件的上表面填充源电极焊盘、漏电极焊盘和栅电极焊盘之间的间隙。

[0027] 在一些实施方式中,模制件可以围绕半导体器件的侧表面。

[0028] 在一些实施方式中,模制件还可以包括连接到半导体器件的热沉。

[0029] 在一些实施方式中,半导体器件可以包括基于GaN的功率器件。

附图说明

[0030] 本公开的某些实施方式的以上及其他方面、特征和效果将由以下结合附图的描述更加明显,附图中:

- [0031] 图1是示出根据示例实施方式的半导体器件封装的平面图；
- [0032] 图2是图1所示的半导体器件的示意性截面图；
- [0033] 图3A是沿着图1的线II-II' 截取的截面图；
- [0034] 图3B是沿着图1的线III-III' 截取的截面图；
- [0035] 图4是示出其中图1所示的半导体器件封装被附接到印刷电路板的状态的视图；
- [0036] 图5是示出根据另一示例实施方式的半导体器件封装的视图；
- [0037] 图6是示出根据另一示例实施方式的半导体器件封装的视图；
- [0038] 图7是示出根据另一示例实施方式的半导体器件封装的视图；
- [0039] 图8是示出根据另一示例实施方式的半导体器件封装的视图；
- [0040] 图9是示出根据另一示例实施方式的半导体器件封装的视图；
- [0041] 图10至图19是示出根据示例实施方式的制造半导体器件封装的方法的视图；
- [0042] 图20至图26是示出根据另一示例实施方式的制造半导体器件封装的方法的视图；
- [0043] 图27至图31是示出根据另一示例实施方式的制造半导体器件封装的方法的视图；
- [0044] 图32至图35是示出根据另一示例实施方式的制造半导体器件封装的方法的视图；
- 以及
- [0045] 图36是根据实施方式的电子器件的示意图。

具体实施方式

[0046] 现在将详细参照实施方式,其示例在附图中示出,其中,相同的附图标记始终指代相同的元件。就此而言,实施方式可以具有不同的形式,并且不应被解释为限于这里阐述的描述。因此,实施方式仅在下面通过参照附图被描述以解释方面。如这里所使用的,术语“和/或”包括一个或多个相关所列举项目的任何和所有组合。诸如“中的至少一个”的表达当在一列元件之后时,修饰整列元件而不修饰该列中的个别元件。例如,“A、B和C中的至少一个”、“A、B或C中的至少一个”、“A、B、C或其组合中的一个”和“A、B、C和其组合中的一个”可以分别被解释为涵盖以下组合中的任何一种:A;B;A和B;A和C;B和C;以及A、B和C。

[0047] 在下文中,将参照附图描述示例实施方式。在附图中,相同的附图标记指代相同的元件,并且为了图示的清楚,元件的尺寸可以被夸大。这里描述的实施方式仅出于说明的目的,并且可以在其中进行各种修改。

[0048] 在以下描述中,当元件被称为“在”另一元件“之上”或“上”时,它可以直接在该另一元件的上侧、下侧、左侧或右侧同时与该另一元件接触,或者可以在该另一元件的上侧、下侧、左侧或右侧之上,而不与该另一元件接触。单数形式的术语可以包括复数形式,除非另有提及。还将理解,这里使用的术语“包括”和/或“包含”指明所陈述的特征或元件的存在,但不排除一个或多个另外的特征或元件的存在或添加。

[0049] 用定冠词或指示代词指代的元件可以被解释为一个元件或多个元件,即使它具有单数形式。方法的操作可以按适当的顺序执行,除非在顺序方面被明确描述或被相反地描述,并且不限于其陈述的顺序。

[0050] 在本公开中,诸如“单元”或“模块”的术语可以用来表示具有至少一个功能或操作并用硬件、软件或硬件和软件的组合来实现的单元。

[0051] 此外,附图中描绘的元件之间的线路连接或连接构件通过示例的方式代表功能连

接和/或物理或电路连接,并且在实际应用中,它们可以用各种附加的功能连接、物理连接或电路连接来代替或体现。

[0052] 示例或示例术语在此仅用于描述技术思想,并且不应被认为是出于限制的目的,除非由权利要求限定。

[0053] 当术语“约”或“基本上”在本说明书中结合数值使用时,意图是相关的数值包括围绕所陈述的数值的制造或操作公差(例如,±10%)。此外,当词语“大体上”和“基本上”与几何形状结合使用时,意图是不要求几何形状的精确,而是该形状的宽容余地(latitude)在本公开的范围内。此外,无论数值或形状被修饰为“约”还是“基本上”,将理解,这些值和形状应被解释为包括围绕所陈述的数值或形状的制造或操作公差(例如,±10%)。

[0054] 图1是示出根据示例实施方式的半导体器件封装100的平面图。图2是图1所示的半导体器件的示意性截面图。图3A是沿着图1的线II-II'截取的截面图,图3B是沿着图1的线III-III'截取的截面图。

[0055] 参照图1至图3B,半导体器件封装100包括半导体器件120、引线框架140和模制件150。模制件150也可以被称为模结构。

[0056] 半导体器件120可以具有水平沟道结构。在具有水平沟道结构的半导体器件120中,沟道层125可以在水平方向上延伸,并且源电极121、漏电极122和栅电极123可以布置在沟道层的上表面上。

[0057] 半导体器件120可以包括例如基于GaN的半导体功率器件,但不限于此。例如,半导体器件120可以包括具有水平沟道结构的高电子迁移率晶体管(HEMT)。

[0058] 具有上述水平沟道结构的半导体器件120可以提供在半导体衬底110的上表面上。这里,半导体衬底110可以包括例如硅衬底,但不限于此。

[0059] 多个电极焊盘131、132和133可以提供在具有水平沟道结构的半导体器件120上。这里,多个电极焊盘131、132和133可以提供在半导体器件120的表面上,例如,在半导体器件120的上表面上。多个电极焊盘131、132和133可以包括源电极焊盘131、漏电极焊盘132和栅电极焊盘133。源电极焊盘131、漏电极焊盘132和栅电极焊盘133可以分别电连接到半导体器件120的源电极121、漏电极122和栅电极123。

[0060] 引线框架140可以提供在多个电极焊盘131、132和133的上表面上。引线框架140可以包括分别直接接合到多个电极焊盘131、132和133的多个导电构件141、142和143。多个导电构件141、142和143与多个电极焊盘131、132和133之间的接合可以通过例如金属到金属接合或焊料接合来执行。然而,这些接合方法是示例,各种其他接合方法可以被使用。

[0061] 多个导电构件141、142和143中的每个可以包括具有导热性和导电性的材料。例如,多个导电构件141、142和143可以包括铜(Cu),但不限于此。

[0062] 多个导电构件141、142和143可以包括第一导电构件141、第二导电构件142和第三导电构件143。这里,第一导电构件141可以接合到源电极焊盘131,第二导电构件142可以接合到漏电极焊盘132,第三导电构件143可以接合到栅电极焊盘133。第一导电构件141、第二导电构件142和第三导电构件143可以具有分别对应于源电极焊盘131、漏电极焊盘132和栅电极焊盘133的形状。包括多个导电构件141、142和143的引线框架140可以提供在半导体器件120的内侧。例如,引线框架140的外边缘可以位于半导体器件120的内部区域中。然而,这是非限制性的示例。

[0063] 模制件150可以提供在半导体衬底110、半导体器件120和引线框架140周围。例如，模制件150可以被提供为填充引线框架140的多个导电构件141、142和143之间的间隙，并覆盖引线框架140的侧表面。模制件150可以围绕多个电极焊盘131、132和133的侧表面，使得模制件150沿着半导体器件120的上表面填充多个电极焊盘131、132和133之间的间隙。此外，模制件150可以被提供为覆盖半导体器件120的上表面和侧表面以及半导体衬底110的侧表面。引线框架140的上表面和半导体衬底110的下表面可以被暴露而不被模制件150覆盖。

[0064] 模制件150可以包括电绝缘树脂，例如环氧树脂。例如，模制件150可以包括环氧模塑料(EMC)或液体模塑料(LMC)，但不限于此。

[0065] 在本实施方式的半导体器件封装100中，多个电极焊盘131、132和133以及引线框架140(多个导电构件141、142和143)彼此直接接合而不使用金属布线，从而使得可以有效地将从半导体器件120产生的热排出到外部，并减小由金属布线引起的寄生电感。此外，因为模制件150保护引线框架140、半导体器件120和半导体衬底110，所以可以提高半导体器件封装100的耐久性以抵抗电冲击和机械冲击，并且可以容易地对半导体衬底110执行处理工艺(稍后描述)。

[0066] 如图4所示，上述半导体器件封装100可以安装在印刷电路板2000上。这里，引线框架140的多个导电构件141、142和143可以通过焊料2050接合到印刷电路板2000的电路图案(未示出)。

[0067] 图5是示出根据另一示例实施方式的半导体器件封装200的视图。除了焊料凸块260分别提供在引线框架140的导电构件141、142和143的上表面上以外，图5所示的半导体器件封装200与图1所示的半导体器件封装100相同。图5所示的焊料凸块260可以用于将半导体器件封装200接合到印刷电路板2000(参照图4)。

[0068] 图6是示出根据另一示例实施方式的半导体器件封装300的视图。除了热沉370提供在半导体衬底110的下表面上以外，图6所示的半导体器件封装300与图1所示的半导体器件封装100相同。

[0069] 参照图6，从半导体器件120产生的热可以通过半导体衬底110和热沉370有效地排出到外部。热沉370可以包括具有高导热性的材料。热沉370还可以包括辐射翅片，以促进散热。

[0070] 图7是示出根据另一示例实施方式的半导体器件封装400的视图。除了模制件450还覆盖半导体衬底110的下表面以外，图7所示的半导体器件封装400与图1所示的半导体器件封装100相同。

[0071] 参照图7，模制件450可以被提供为填充引线框架140的导电构件141、142和143之间的间隙，并覆盖引线框架140的侧表面。此外，模制件450还可以覆盖半导体器件120的上表面和侧表面以及半导体衬底110的侧表面和下表面。模制件450可以进一步提高半导体器件封装400的耐久性。

[0072] 图8是示出根据另一示例实施方式的半导体器件封装500的视图。除了半导体器件120没有被提供半导体衬底(参照图3A中的110)以外，图8所示的半导体器件封装500与图1所示的半导体器件封装100相同。

[0073] 参照图8，模制件550可以被提供为填充引线框架140的导电构件141、142和143之

间的间隙,并覆盖引线框架140的侧表面。此外,模制件550可以覆盖半导体器件120的上表面和侧表面。引线框架140的上表面和半导体器件120的下表面可以暴露于外部而不被模制件550覆盖。然而,尽管未在图8中示出,但是模制件550可以被提供为额外地覆盖半导体器件120的下表面。此外,尽管未在图8中示出,但是热沉370可以提供在半导体器件120下表面上。

[0074] 图9是示出根据另一示例实施方式的半导体器件封装600的视图。除了模制件650仅提供在引线框架140上以外,图9所示的半导体器件封装600与图1所示的半导体器件封装100相同。

[0075] 参照图9,提供在半导体器件120的上表面上的多个电极焊盘131、132和133接合到引线框架140的导电构件141、142和143。这里,模制件650可以被提供为填充引线框架140的导电构件141、142和143之间的间隙,并覆盖引线框架140的侧表面。这里,半导体器件120的侧表面以及半导体衬底110的侧表面和下表面可以被暴露。

[0076] 在下文中,将描述使用晶片级封装工艺来制造半导体器件封装的方法。

[0077] 图10至图19是示出根据示例实施方式的制造半导体器件封装的方法的视图。

[0078] 参照图10,准备其上提供多个半导体器件120的半导体衬底110。当使用晶片级封装工艺时,半导体衬底110可以是硅晶片。

[0079] 图11示出了其上提供半导体器件120的半导体衬底(即操纵部分)110是硅晶片的情况。例如,硅晶片可以具有约8英寸的直径和约750 μm 或更大的厚度。然而,这仅是示例,硅晶片的直径和厚度可以被各种各样地修改。半导体器件120提供在半导体衬底110的上表面上。

[0080] 每个半导体器件120可以具有如上所述的水平沟道结构。半导体器件120可以包括例如基于GaN的半导体功率器件,但不限于此。例如,半导体器件120可以包括具有水平沟道结构或垂直沟道结构的HEMT。

[0081] 在每个半导体器件120的上表面上提供包括多个电极焊盘131、132和133的电极焊盘结构130。多个电极焊盘131、132和133可以包括源电极焊盘131、漏电极焊盘132和栅电极焊盘133。

[0082] 参照图12,在半导体衬底110中形成用于分隔半导体器件120的凹槽170至期望的和/或替代地预定的深度。凹槽170可以通过蚀刻、激光切割或刀片切割来形成。凹槽170可以穿过半导体器件120之间的材料层(未示出)形成,并且可以具有从半导体衬底110的上表面起的期望的和/或替代地预定的深度。

[0083] 参照图13,将引线框架结构140'接合到半导体器件120的上表面。图14是示出图13所示的引线框架结构140'的平面图。参照图14,引线框架结构140'可以包括多个引线框架140以及将引线框架140彼此连接的连接构件145。

[0084] 每个引线框架140可以包括多个导电构件141、142和143。多个导电构件141、142和143可以包括具有高的导热性和导电性的材料,诸如铜。多个导电构件141、142和143包括第一导电构件141、第二导电构件142和第三导电构件143。这里,第一导电构件141、第二导电构件142和第三导电构件143可以具有分别对应于源电极焊盘131、漏电极焊盘132和栅电极焊盘133的形状。

[0085] 将引线框架140彼此连接的连接构件145可以与导电构件141、142和143形成为一

体。连接构件145可以包括与导电构件141、142和143相同的材料。然而,本公开不限于此,连接构件145可以不与导电构件141、142和143形成为一体。在晶片级封装工艺中,如图15所示,可以以对应于上述硅晶片的形状来提供引线框架结构140'。

[0086] 引线框架结构140'直接接合到提供在半导体器件120的上表面上的多个电极焊盘131、132和133。例如,第一导电构件141可以接合到源电极焊盘131,第二导电构件142可以接合到漏电极焊盘132,第三导电构件143可以接合到栅电极焊盘133。这里,导电构件141、142和143与多个电极焊盘131、132和133之间的接合可以通过例如金属到金属接合或焊料接合来执行。然而,这仅是示例,各种其他接合方法可以被使用。

[0087] 参照图16和图17(图17的俯视图),对图13所示的结构执行模制工艺。在模制工艺中,可以用模制件150填充图13所示的结构的空的空间。例如,模制件150可以被提供为填充引线框架140之间的间隙以及每个引线框架140的导电构件141、142和143之间的间隙。此外,模制件150可以被提供为覆盖半导体器件120的上表面和侧表面以及半导体衬底110的侧表面。此外,引线框架140的上表面暴露于外部。

[0088] 模制件150可以包括电绝缘树脂,例如环氧树脂。例如,模制件150可以包括EMC或LMC,但不限于此。

[0089] 参照图18,处理半导体衬底110,使得半导体衬底110基本上可以具有期望的和/或替代地预定的厚度。半导体衬底110的处理可以通过研磨半导体衬底110的下部以部分地去除半导体衬底110来执行。在该工艺中,凹槽170可以通过半导体衬底110的下表面被暴露。在一些实施方式中,不同于研磨的工艺(诸如去除半导体衬底110的底部区域的干蚀刻或注入离子切割工艺)可以替代地用于处理半导体衬底110以减小半导体衬底110的厚度。

[0090] 参照图19,通过切割填充在半导体器件120之间的模制件150来制造多个半导体器件封装100。模制件150的切割可以例如通过激光切割或刀片切割来执行。在该工艺中,可以去除连接引线框架140的连接构件145。

[0091] 在每个半导体器件封装100中,模制件150可以填充引线框架140的导电构件141、142和143之间的间隙,并且可以覆盖引线框架140的侧表面。此外,模制件150可以覆盖每个半导体器件120的上表面和侧表面以及半导体衬底110的侧表面。

[0092] 在以上描述中,通过处理半导体衬底110来部分地去除半导体衬底110,直到使得半导体衬底110可以具有期望的和/或替代地预定的厚度。然而,半导体衬底110可以通过处理工艺被完全去除。在这种情况下,半导体器件120的下表面可以暴露于外部。

[0093] 图20至26是示出根据另一示例实施方式的制造半导体器件封装的方法的视图。

[0094] 参照图20和图21,在准备其上提供多个半导体器件120的半导体衬底110之后,在半导体衬底110中形成用于分隔半导体器件120的凹槽170至期望的和/或替代地预定的深度。这已经参照图10至12进行了描述。

[0095] 参照图22,将引线框架结构140'接合到半导体器件120的上表面。因为引线框架结构140'已经在上面进行了描述,所以这里不再给出其描述。引线框架结构140'可以被配置为附接到支撑衬底180。支撑衬底180支撑引线框架结构140',因此可以促进半导体衬底110的处理工艺(稍后描述)。

[0096] 参照图23,从图22所示的状态处理半导体衬底110,使得半导体衬底110可以具有期望的和/或替代地预定的厚度。半导体衬底110的处理可以通过研磨半导体衬底110的下

部以部分地去除半导体衬底110来执行。在该工艺中,凹槽170可以通过半导体衬底110的下表面被暴露。因此,由于形成在半导体衬底110中的凹槽170,半导体器件120可以以规则的间隔彼此隔开。

[0097] 参照图24,对图23所示的结构执行模制工艺。在模制工艺中,可以用模制件450填充图23所示的结构的空的空间。例如,模制件450可以填充引线框架140之间的间隙以及每个引线框架140的导电构件141、142和143之间的间隙。此外,模制件450可以覆盖半导体器件120的上表面和侧表面以及半导体衬底110的侧表面和下表面。

[0098] 参照图25,去除支撑引线框架结构140'的支撑衬底180。因此,引线框架140的上表面可以暴露于外部。

[0099] 参照图26,通过切割填充在半导体器件120之间的模制件450来制造多个半导体器件封装400。在每个半导体器件封装400中,模制件450可以填充引线框架140的导电构件141、142和143之间的间隙,并且可以覆盖引线框架140的侧表面。此外,模制件450可以覆盖每个半导体器件120的上表面和侧表面以及半导体衬底110的侧表面和下表面。

[0100] 在上面,已经描述了通过处理半导体衬底110而部分地去除半导体衬底110的情况。然而,半导体衬底110可以通过处理工艺被完全去除。在这种情况下,模制件450可以覆盖半导体器件120的上表面、侧表面和下表面。

[0101] 图27至图31是示出根据另一示例实施方式的制造半导体器件封装的方法的视图。

[0102] 参照图27和28,在准备其上提供多个半导体器件120的半导体衬底110之后,在半导体衬底110中形成用于分隔半导体器件120的凹槽170至期望的和/或替代地预定的深度。这已经参照图10至12进行了描述。

[0103] 参照图29,将预模制引线框架结构640'接合到半导体器件120的上表面。预模制引线框架结构640'可以通过对如上所述的引线框架结构执行模制工艺来制造。在预模制引线框架结构640'中,模制件650可以填充引线框架140之间的间隙以及每个引线框架140的导电构件141、142和143之间的间隙。

[0104] 参照图30,从图29所示的状态处理半导体衬底110,使得半导体衬底110可以具有期望的和/或替代地预定的厚度。半导体衬底110的处理可以通过研磨半导体衬底110的下部以部分地去除半导体衬底110来执行。在该工艺中,凹槽170可以通过半导体衬底110的下表面被暴露。由于形成在半导体衬底110中的凹槽170,半导体器件120可以以规则的间隔彼此隔开。

[0105] 参照图31,通过切割填充在引线框架140之间的模制件650来制造多个半导体器件封装600。在每个半导体器件封装600中,模制件650可以填充引线框架140的导电构件141、142和143之间的间隙,并且可以覆盖引线框架140的侧表面。

[0106] 在上面,已经描述了通过处理半导体衬底110而部分地去除半导体衬底110的情况。然而,半导体衬底110可以通过处理工艺被完全去除。

[0107] 图32至35是示出根据另一示例实施方式的制造半导体器件封装的方法的视图。

[0108] 参照图32至图34,在准备其上提供多个半导体器件120的半导体衬底110之后,在半导体衬底110中形成用于分隔半导体器件120的凹槽170至期望的和/或替代地预定的深度。此外,将引线框架结构140'接合到半导体器件120的上表面。这已经参照图10至15进行了描述。

[0109] 参照图35, 通过从图34所示的状态处理半导体衬底110使得半导体衬底110可以具有期望的和/或替代地预定的深度来制造多个半导体器件封装700。半导体衬底110的处理可以通过研磨半导体衬底110的下部以部分地去除半导体衬底110来执行。在该工艺中, 凹槽170可以通过半导体衬底110的下表面被暴露。在上面, 已经描述了通过处理半导体衬底110而部分地去除半导体衬底110的情况。然而, 半导体衬底110可以通过处理工艺被完全去除。

[0110] 根据示例实施方式, 通过使用晶片级封装工艺来制造半导体器件封装, 可以减少工艺时间和成本。此外, 可以制造具有高散热特性、低寄生电感和提高的耐久性的半导体器件封装。

[0111] 如上所述, 在以上示例实施方式的半导体器件封装的每个中, 半导体器件的电极焊盘和引线框架的导电构件彼此直接接合而不使用金属布线, 使得从半导体器件产生的热可以有效地排出到外部, 并且可以减小由金属布线引起的寄生电感。此外, 由于被提供为保护引线框架、半导体器件和半导体衬底的模制件, 可以提高耐久性以抵抗电冲击和机械冲击。此外, 通过使用晶片级封装工艺来制造半导体器件封装, 可以减少工艺时间和成本。

[0112] 图36是根据实施方式的电子器件的示意图。

[0113] 如所示出的, 电子器件3600包括一个或多个电子器件部件, 包括经由总线3610通信地联接在一起的处理器(例如, 处理电路)3620和存储器3630。

[0114] 处理电路3620可以包括诸如以下的处理电路和/或可以由该处理电路来实现: 包括逻辑电路的硬件; 硬件/软件组合, 诸如运行软件的处理器; 或其组合。例如, 处理电路3620可以包括但不限于中央处理单元(CPU)、应用处理器(AP)、算术逻辑单元(ALU)、图形处理单元(GPU)、数字信号处理器、微型计算机、现场可编程门阵列(FPGA)、片上系统(SoC)、可编程逻辑单元、微处理器或专用集成电路(ASIC)等。在一些示例实施方式中, 存储器3630可以包括存储指令程序的非暂时性计算机可读存储器件, 例如固态驱动器(SSD), 处理电路3620可以配置为运行指令程序以实现电子器件3600的功能。

[0115] 在一些示例实施方式中, 电子器件3600可以包括联接到总线3610的一个或多个附加部件3640, 其可以包括例如电源、光传感器、发光器件、其任何组合等。在一些示例实施方式中, 处理电路3620、存储器3630或者一个或多个附加部件3640中的一个或多个可以包括这里描述的在图1至图9中的上述半导体器件封装100、200、300、400、500和600中的任何一种, 以提供具有改善的散热和/或减小的由金属布线引起的寄生电感的电子器件3600。

[0116] 应理解, 这里描述的实施发生应仅在描述性的意义上被考虑, 而不是出于限制的目的。对每个实施方式内的特征或方面的描述通常应被认为可用于其他实施方式中的其他类似特征或方面。虽然已经参照附图描述了一个或多个实施方式, 但是本领域普通技术人员将理解, 在不背离由所附权利要求限定的发明构思的精神和范围的情况下, 可以在其中进行形式和细节上的各种改变。

[0117] 本申请是基于2020年11月12日在韩国知识产权局提交的韩国专利申请第10-2020-0150994号并要求其优先权, 该韩国专利申请的公开内容通过引用全文合并于此。

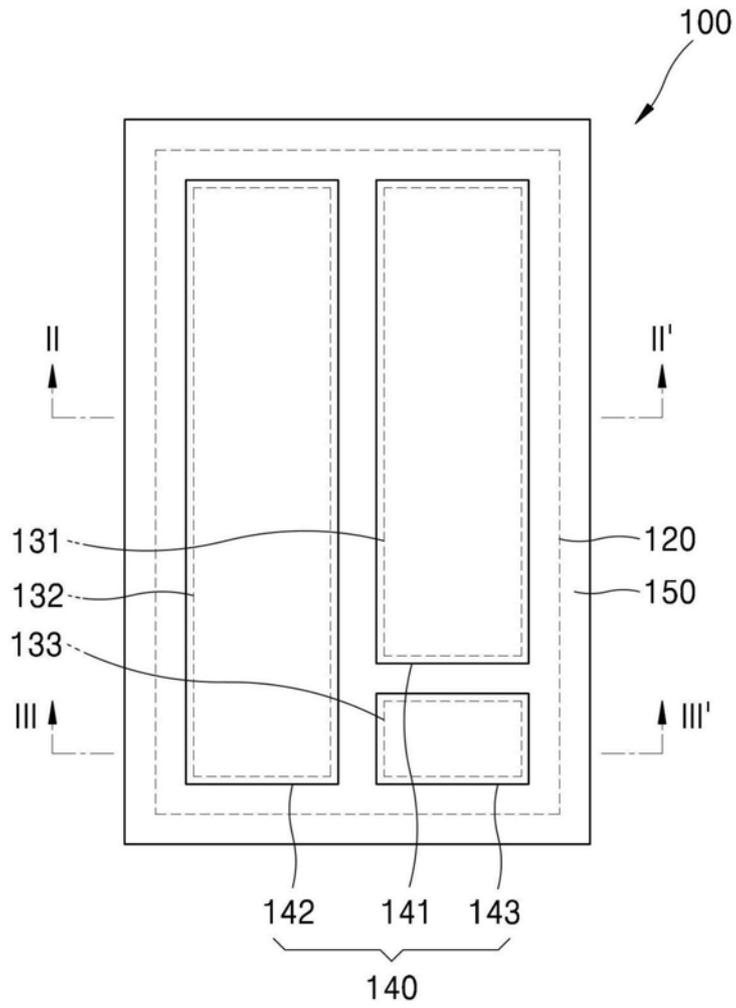


图1

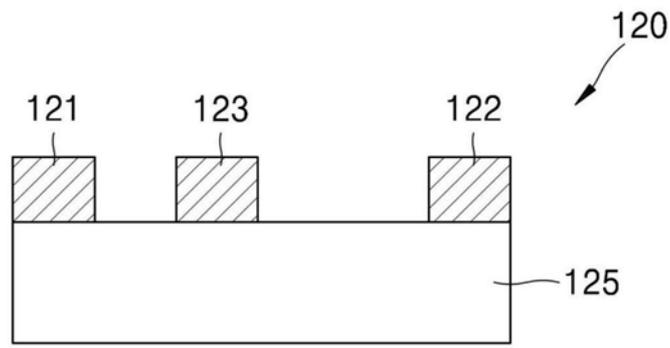


图2

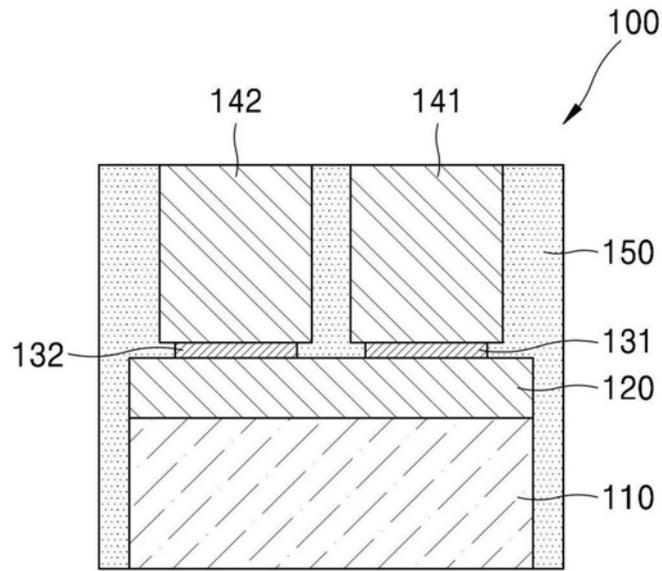


图3A

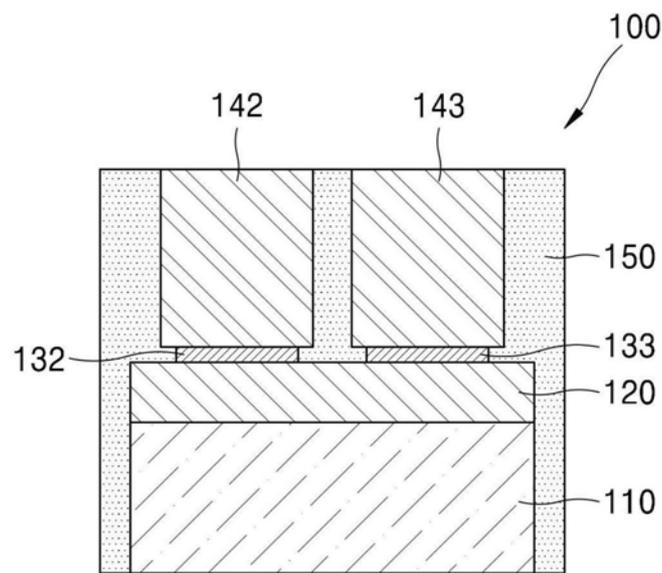


图3B

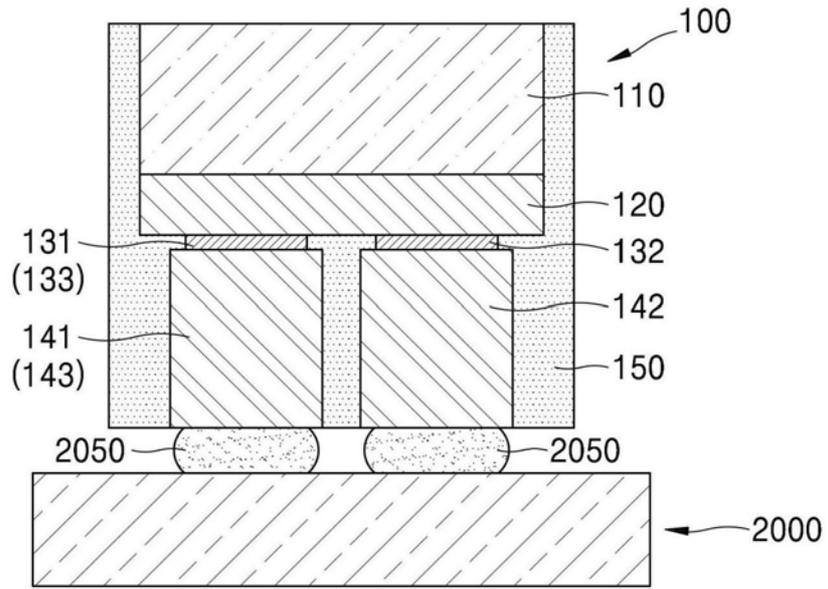


图4

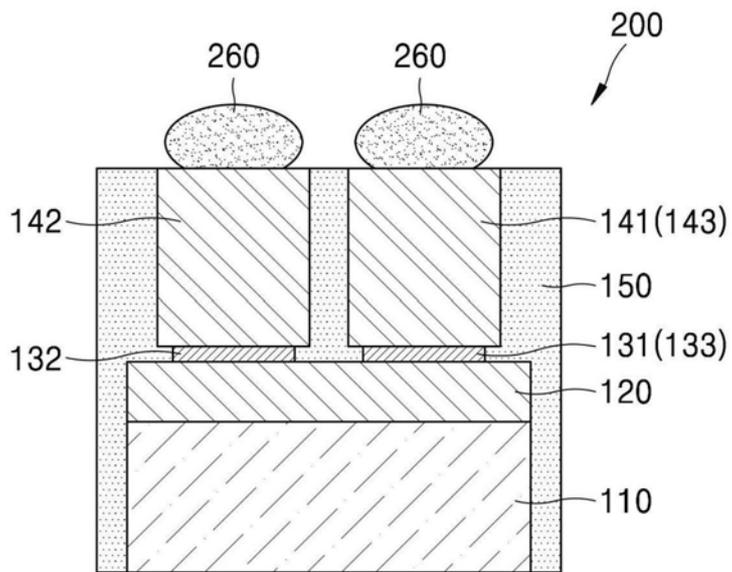


图5

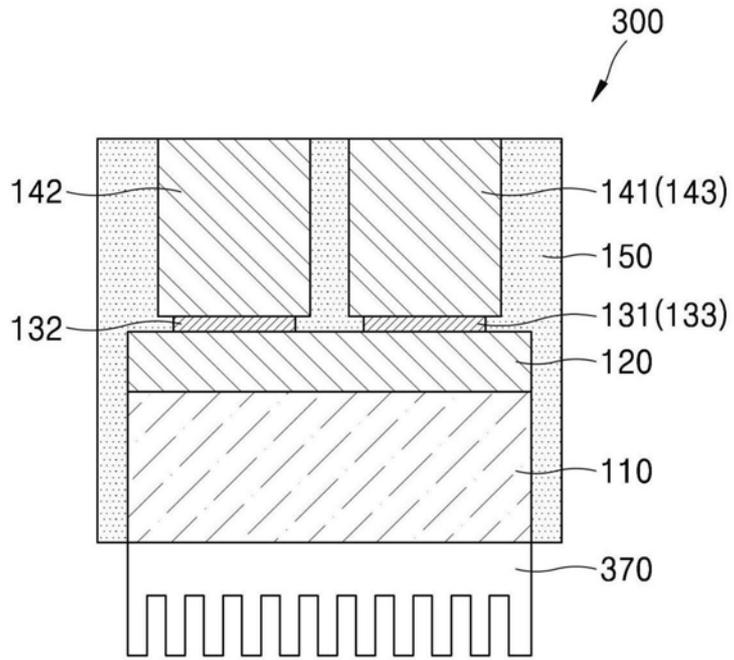


图6

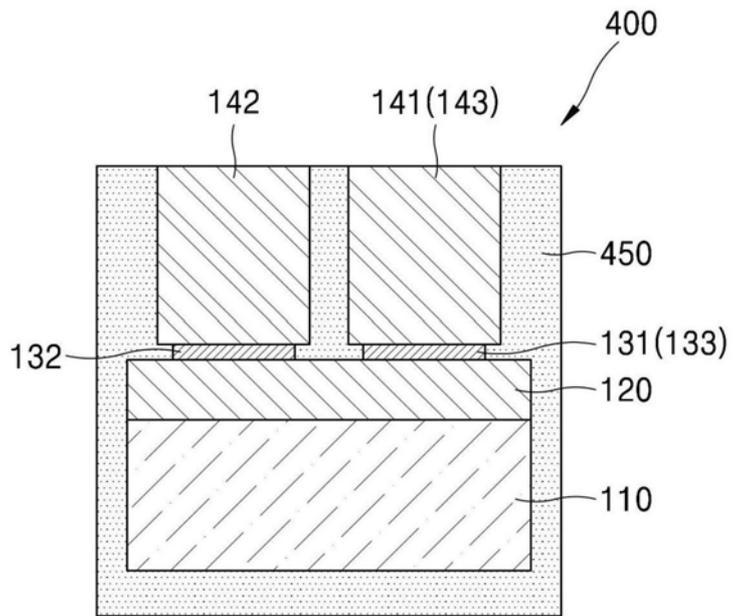


图7

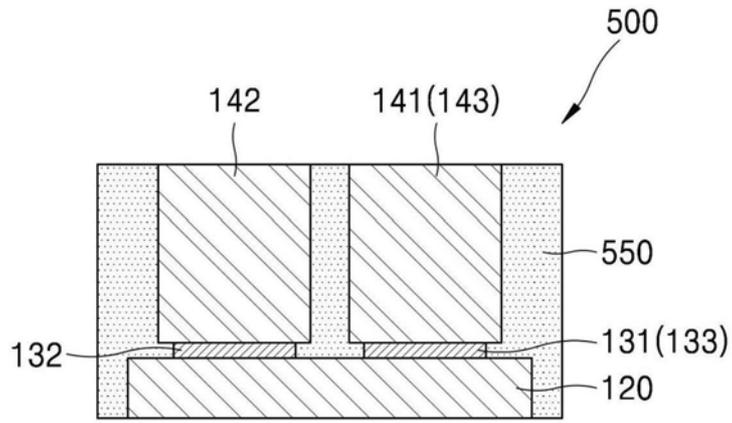


图8

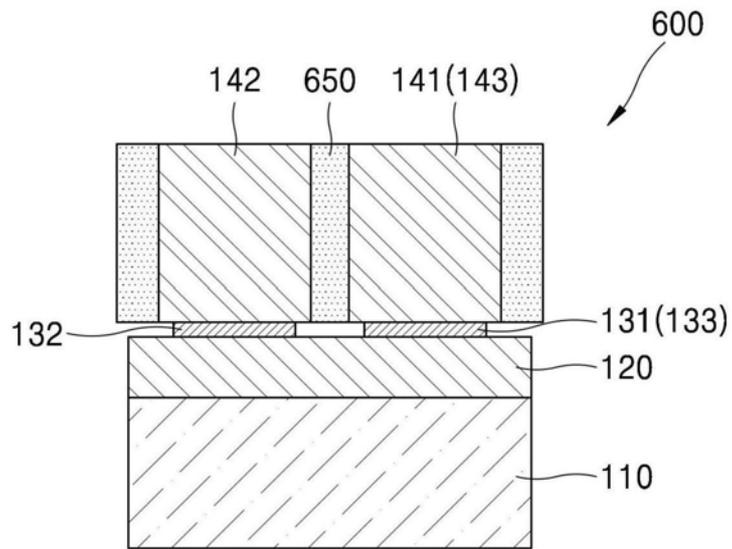


图9

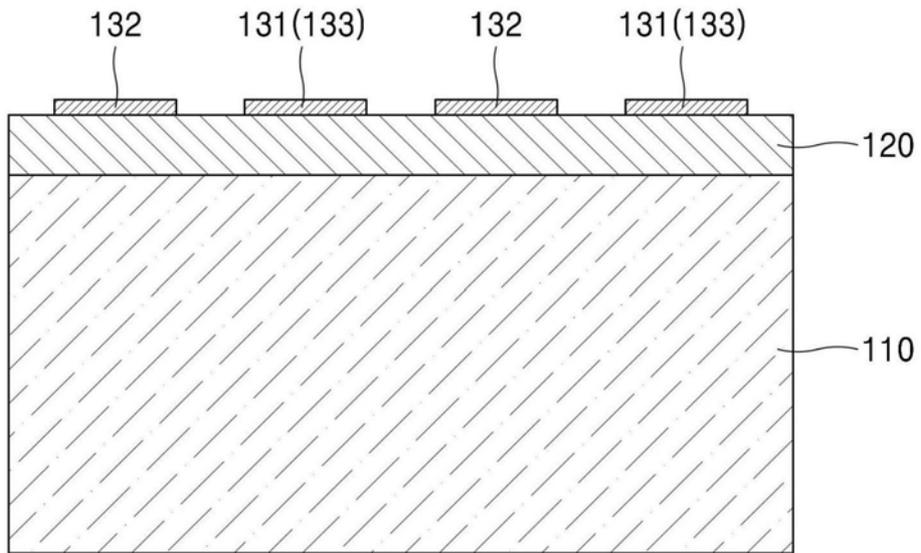


图10

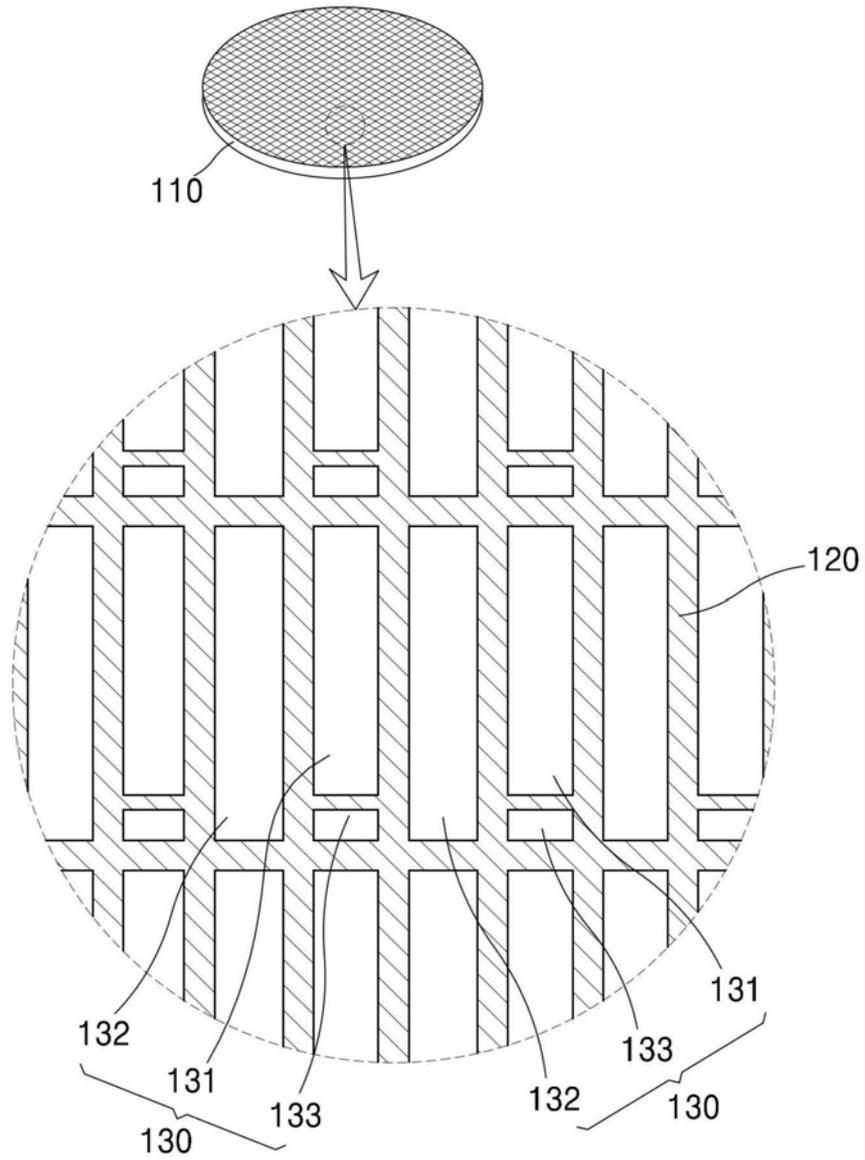


图11

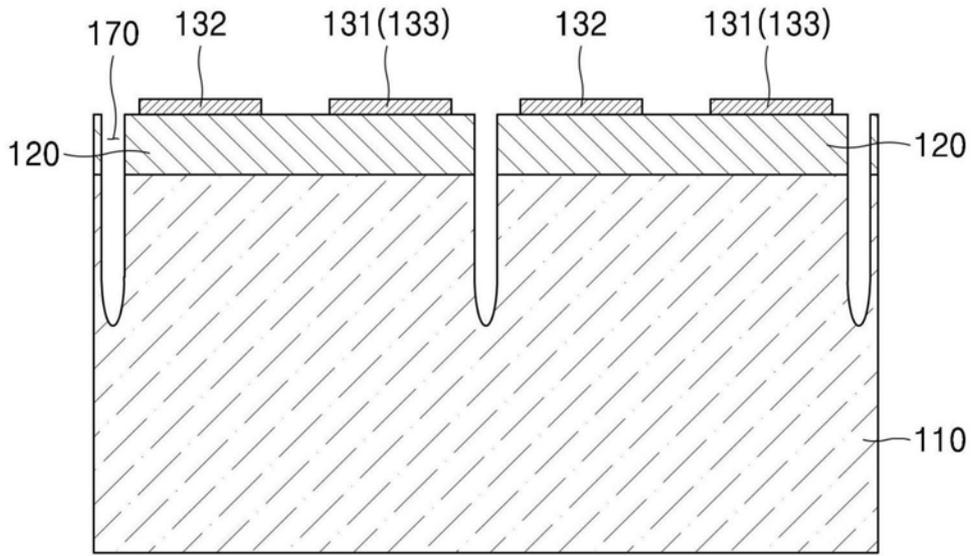


图12

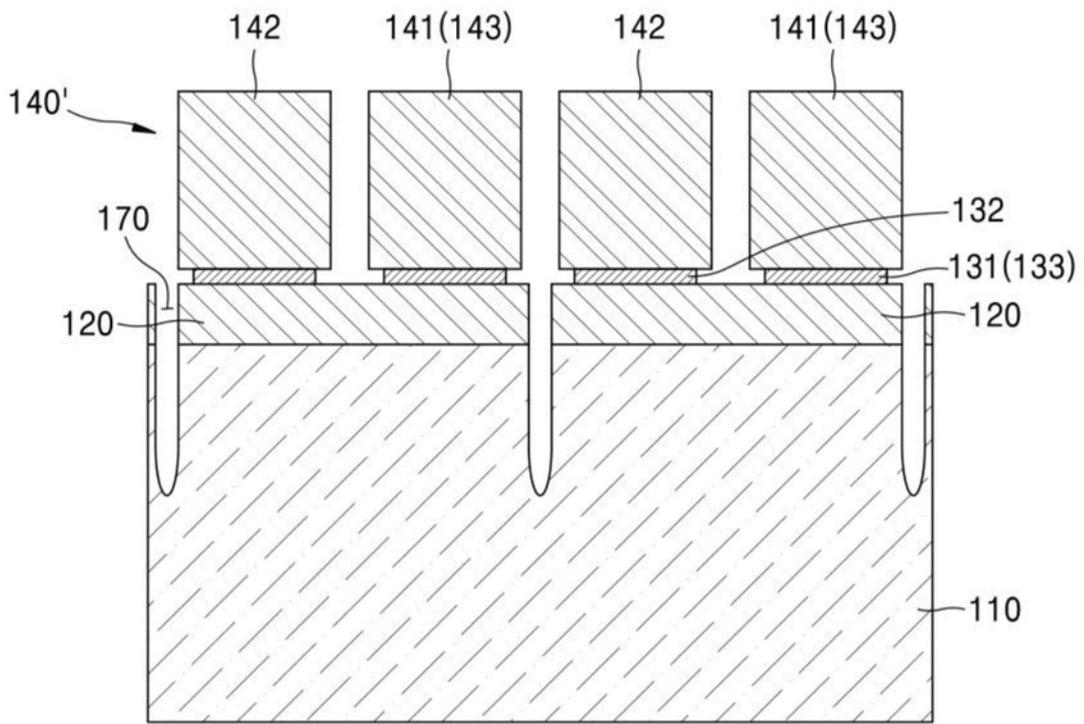


图13

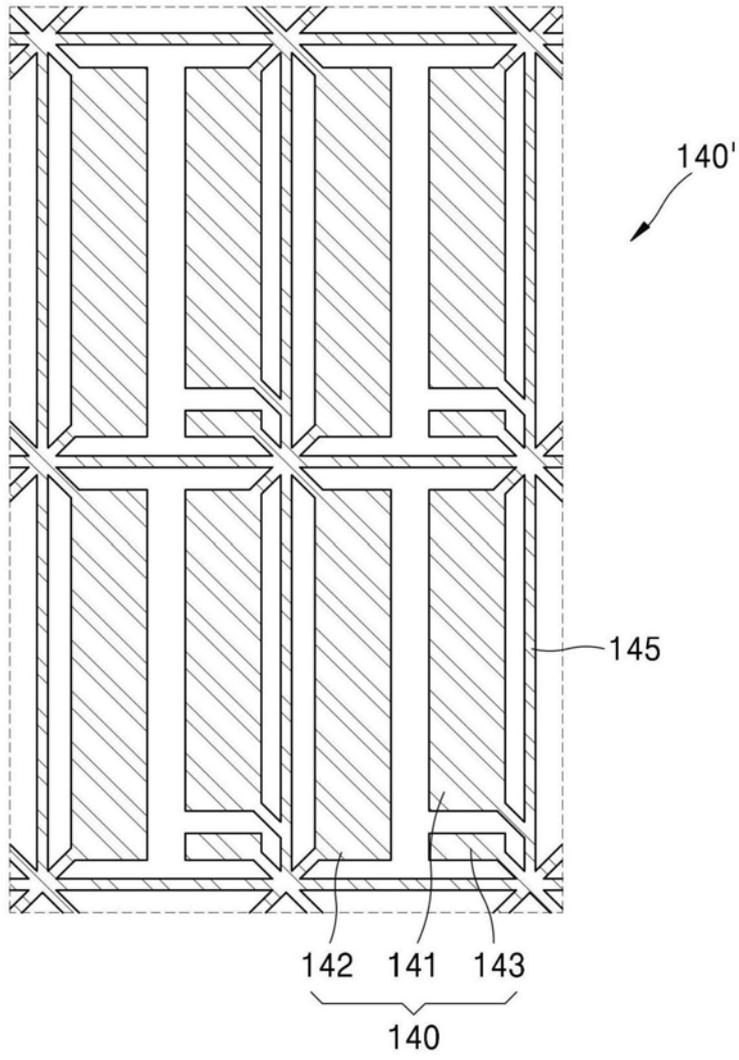


图14

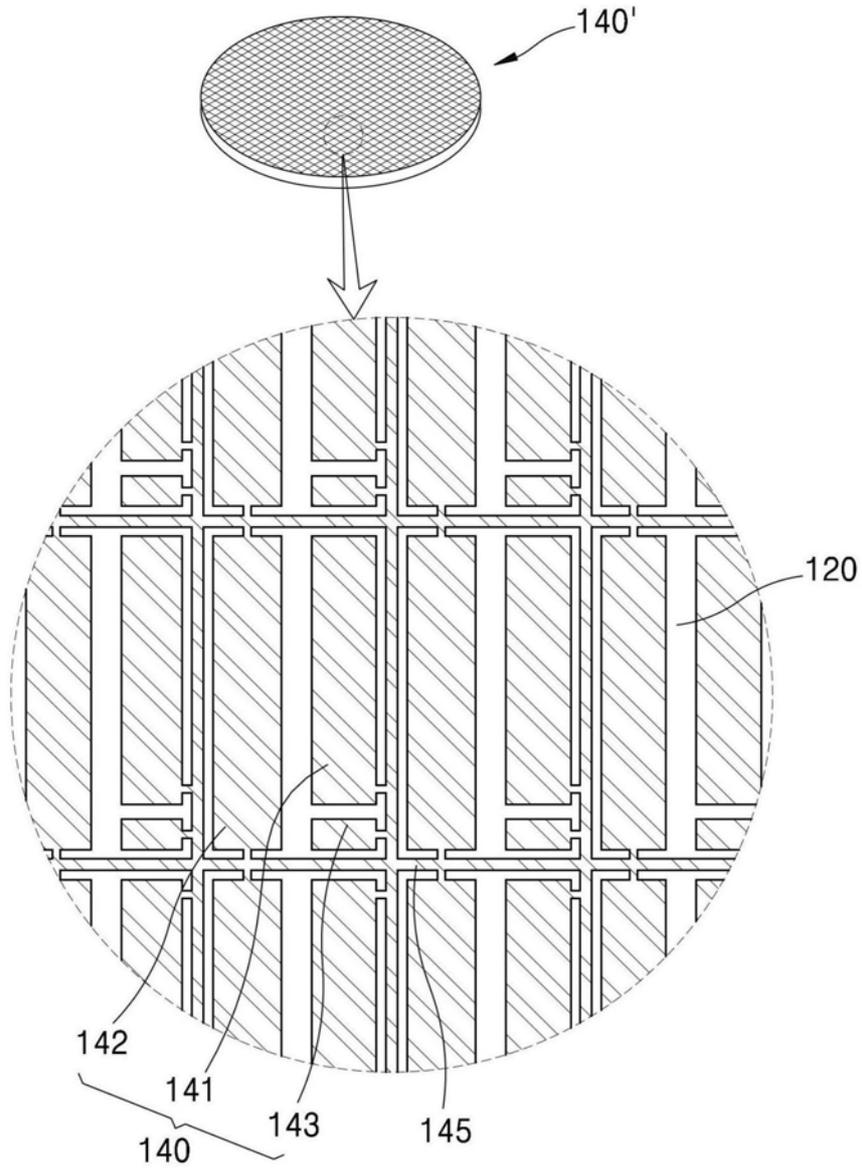


图15

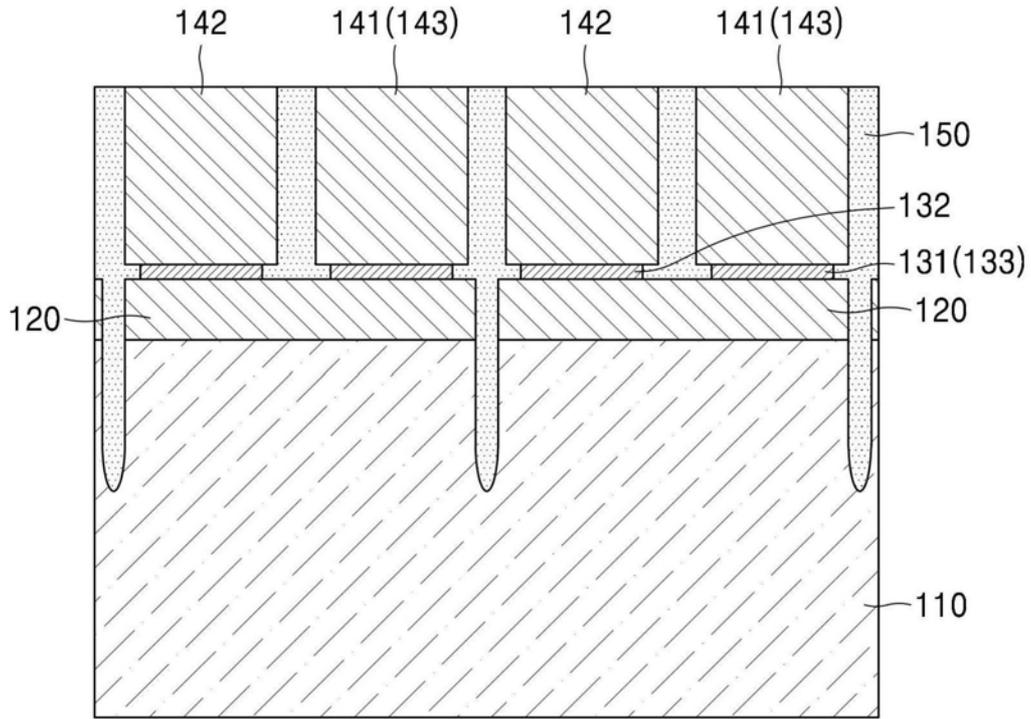


图16

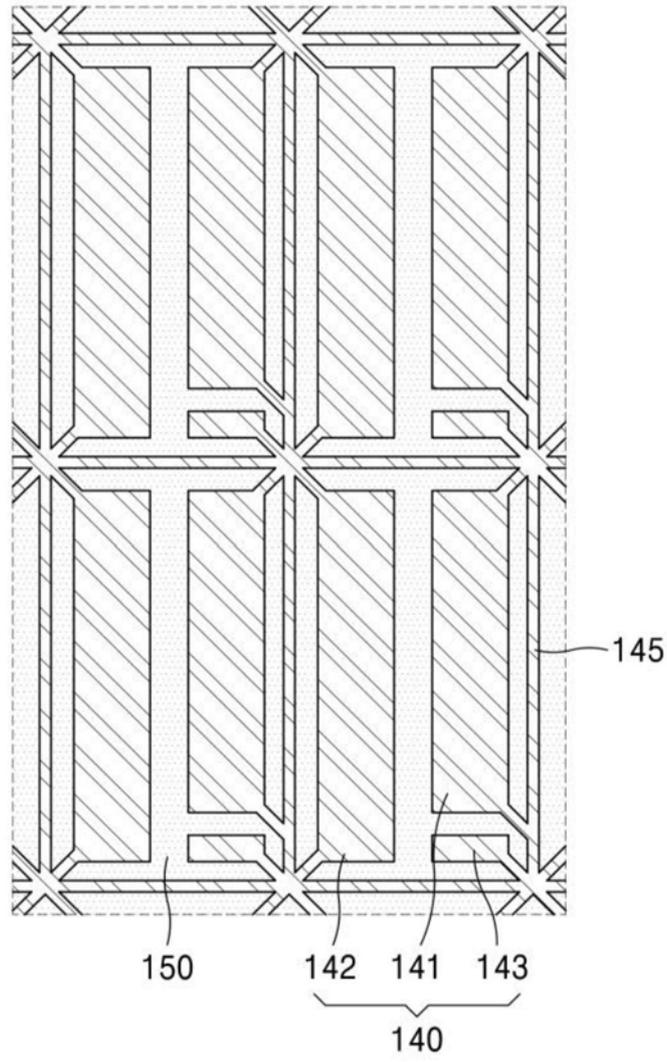


图17

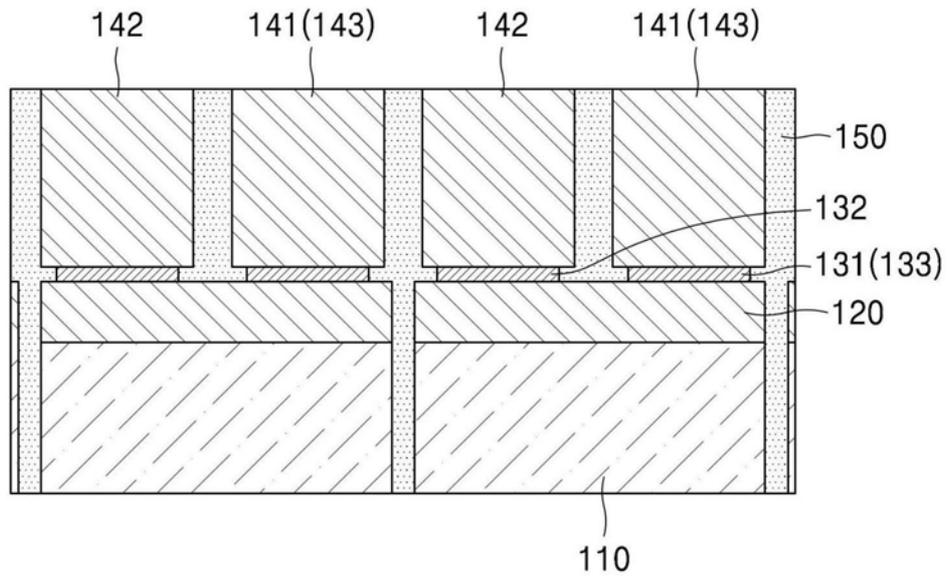


图18

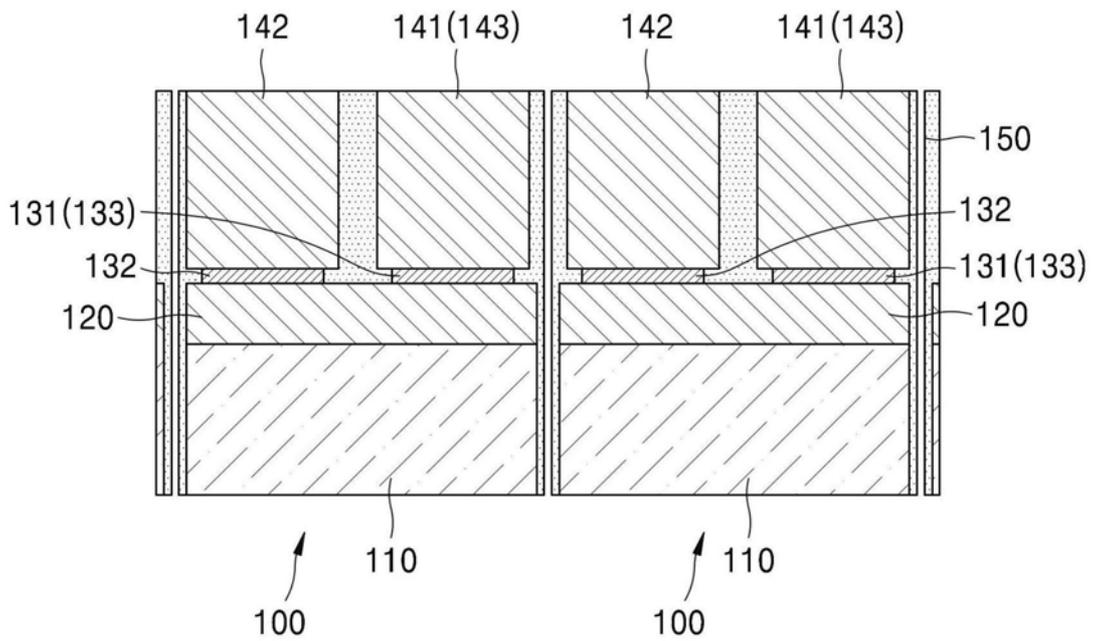


图19

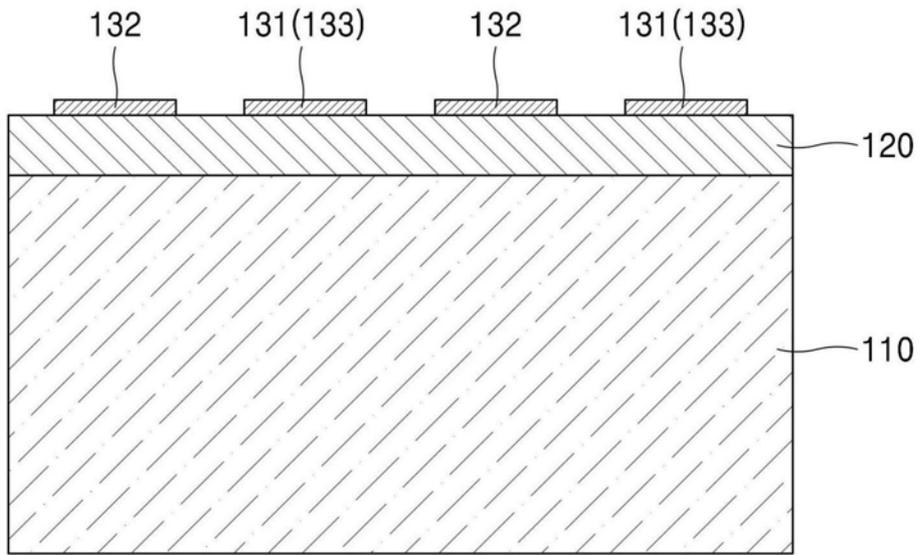


图20

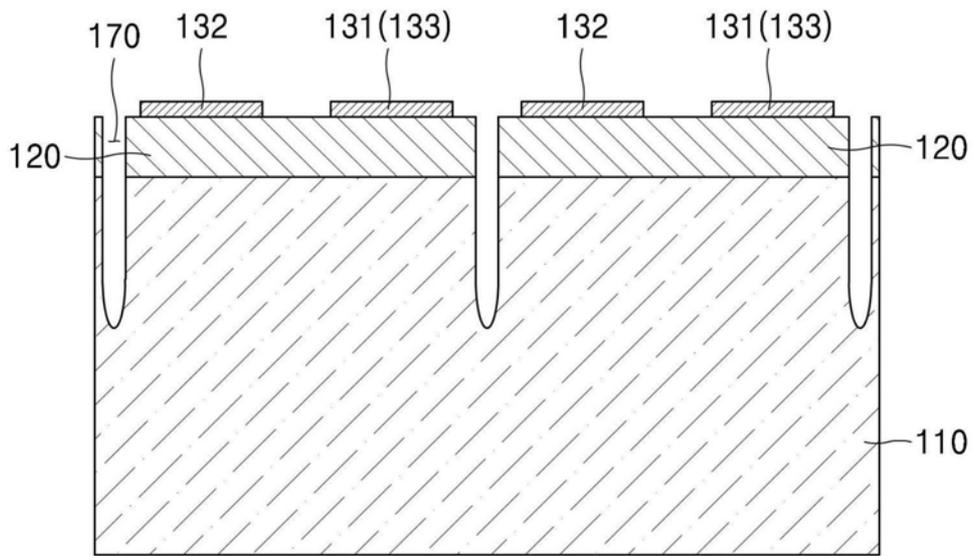


图21

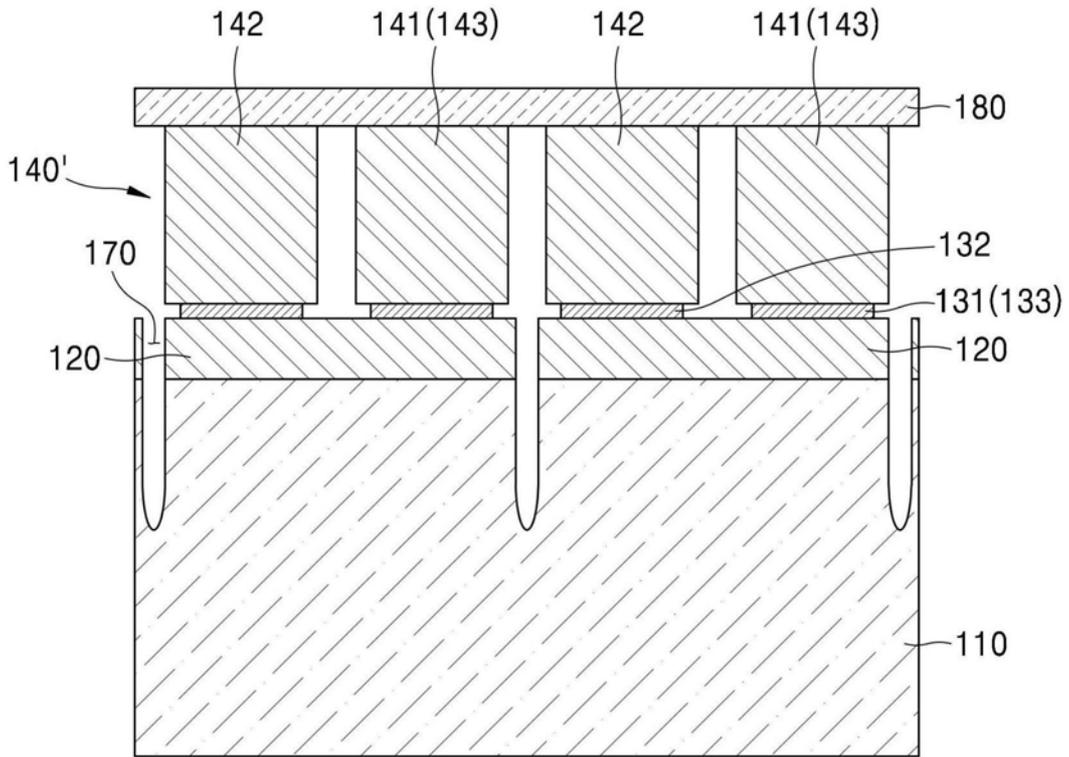


图22

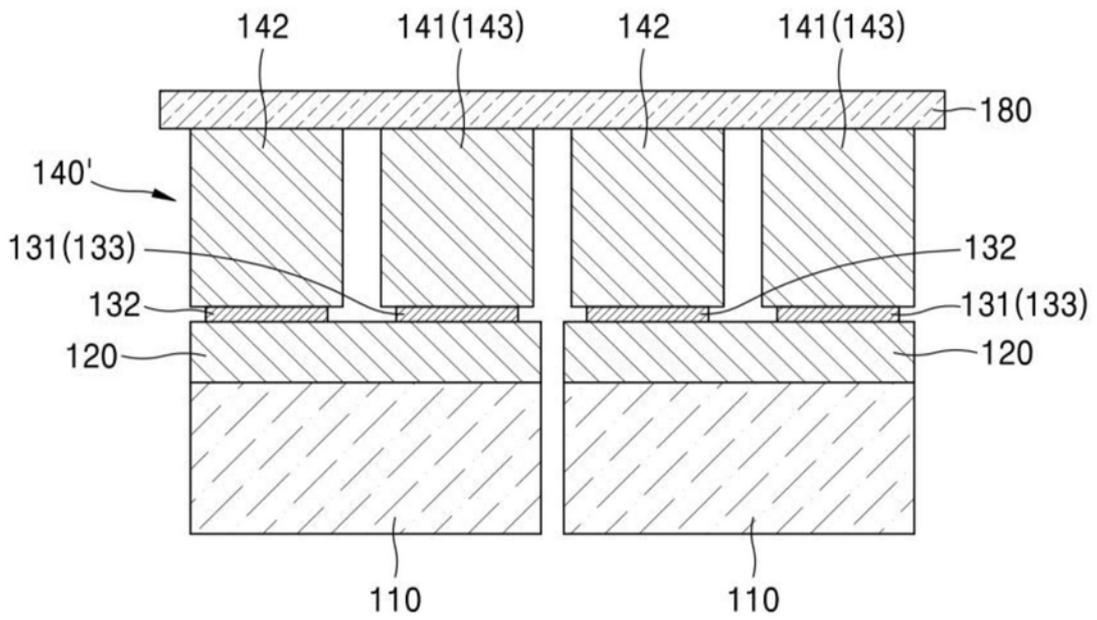


图23

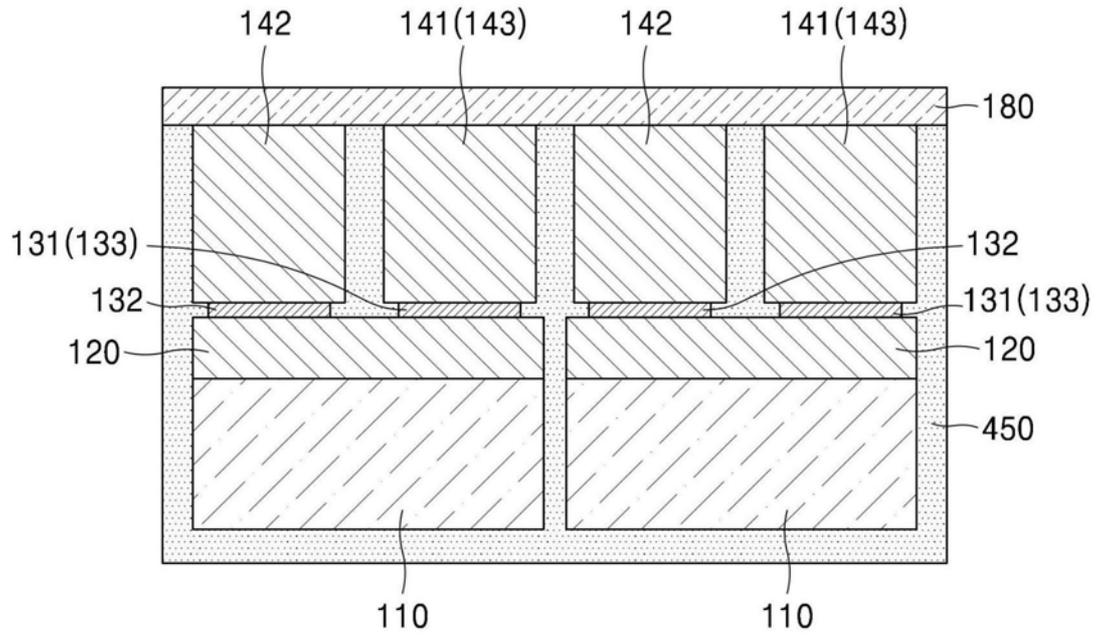


图24

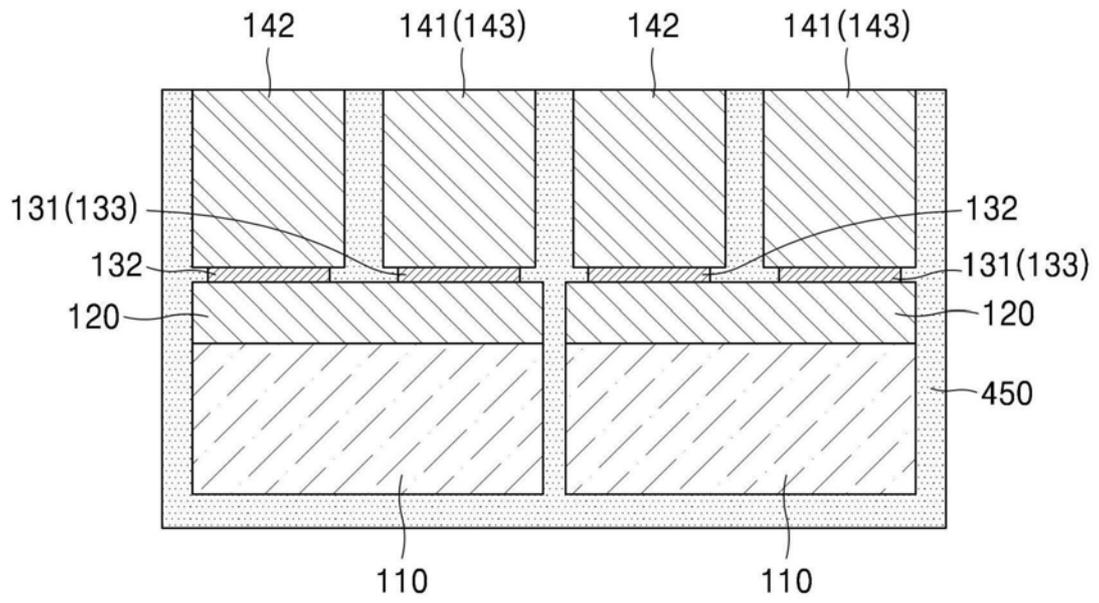


图25

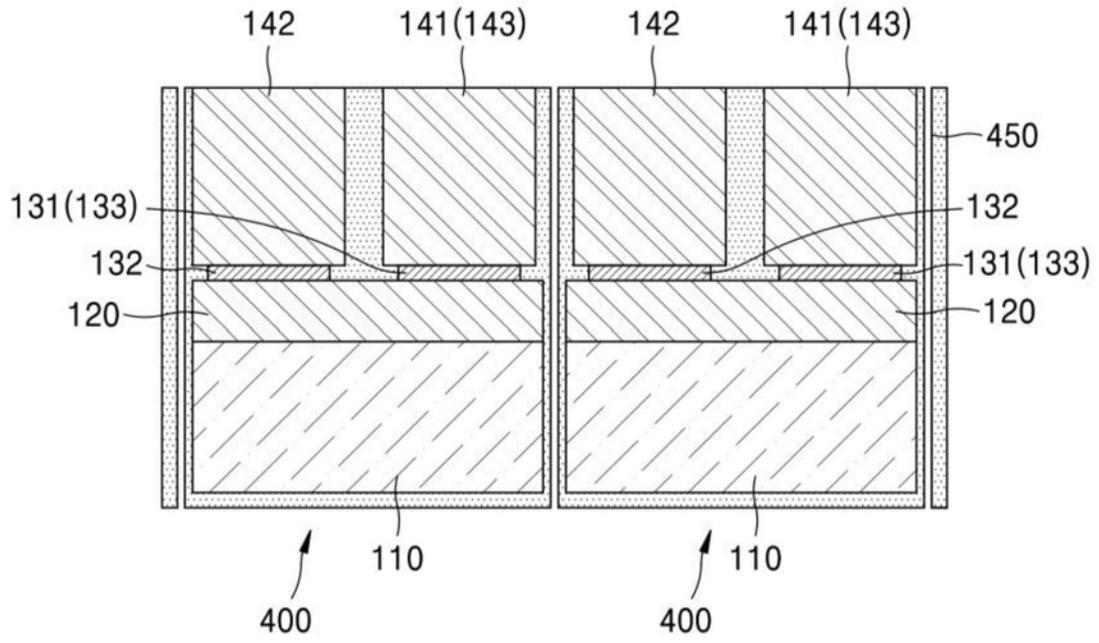


图26

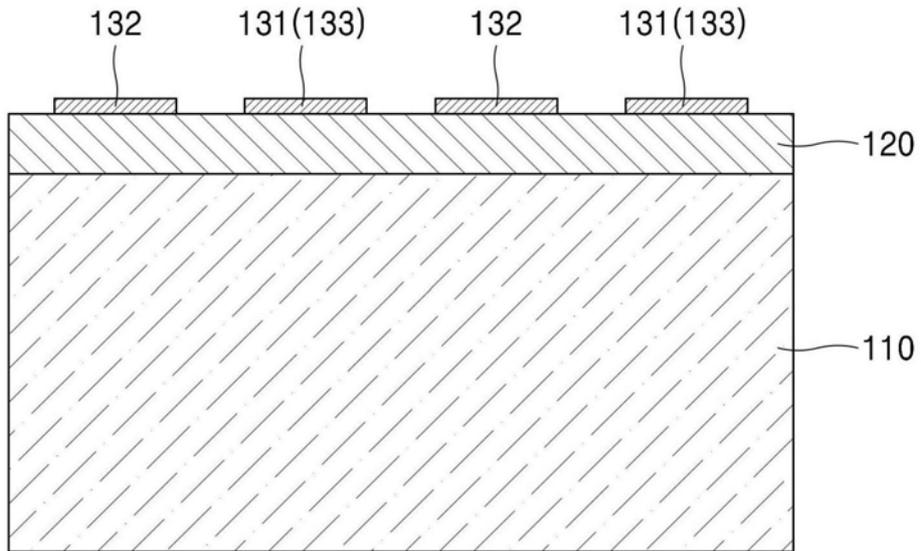


图27

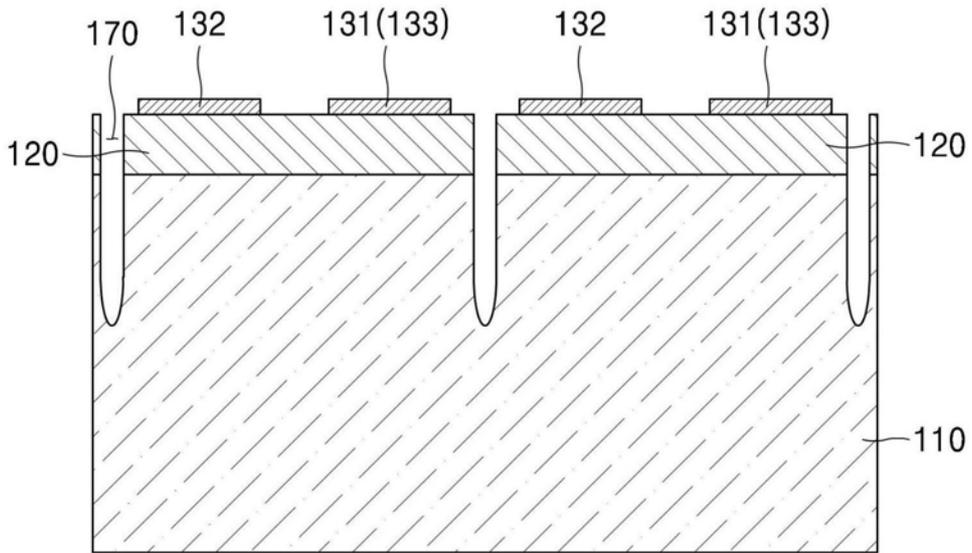


图28

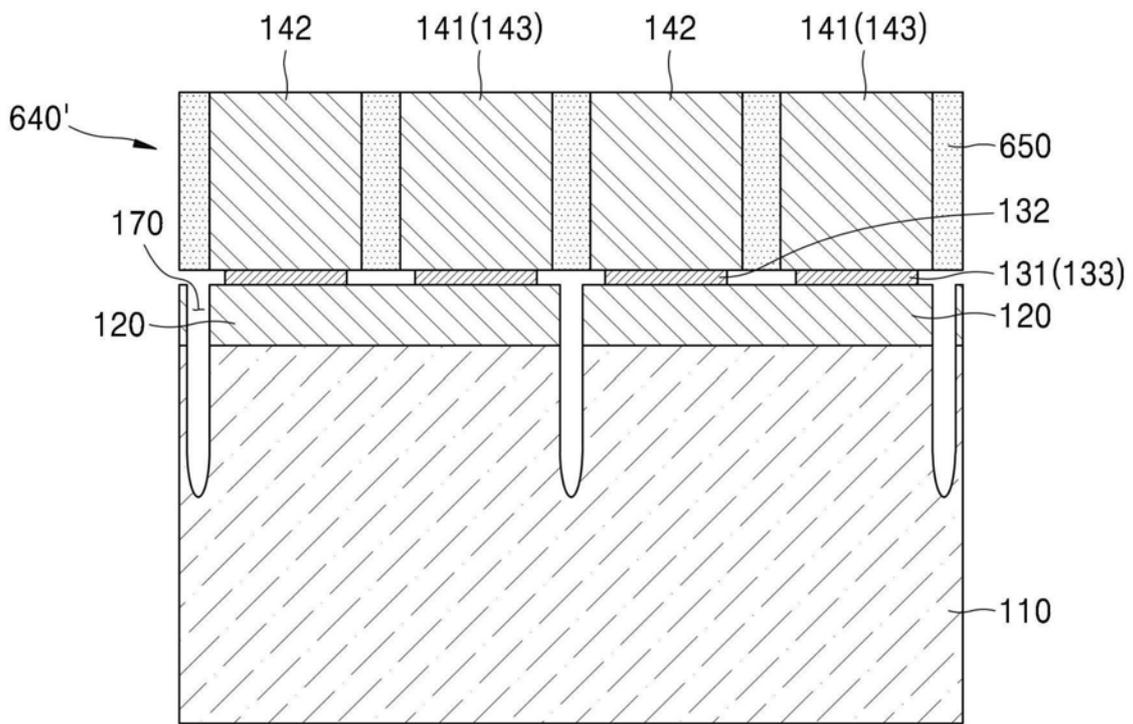


图29

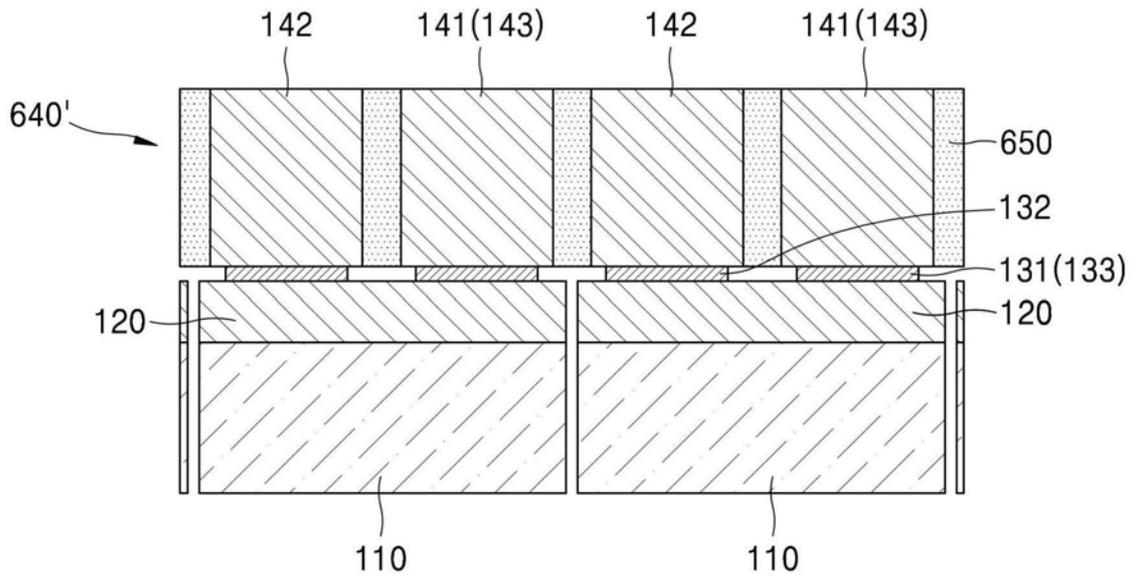


图30

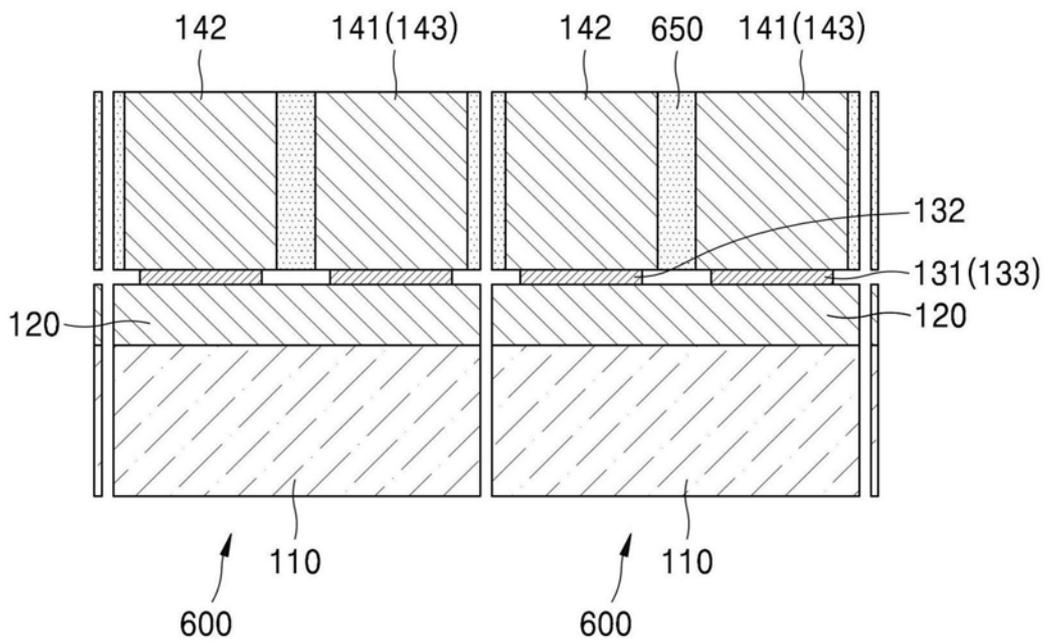


图31

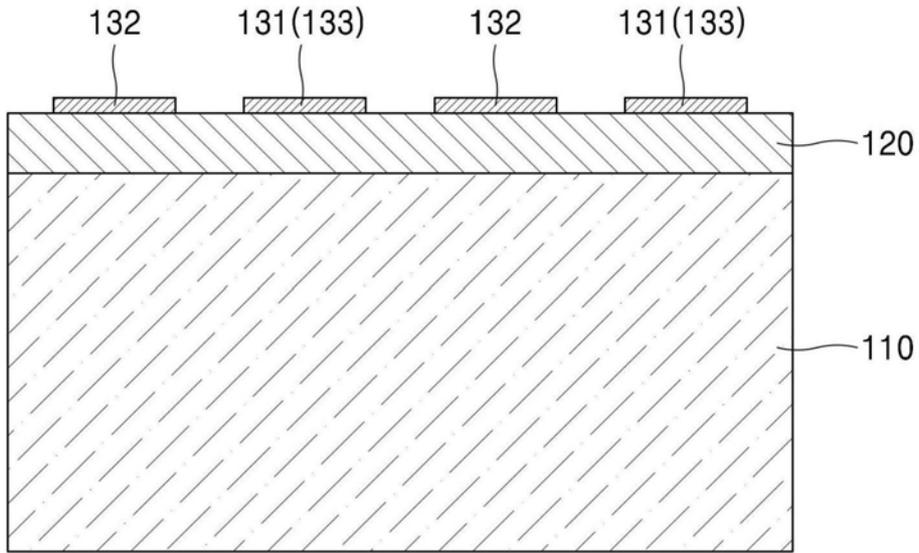


图32

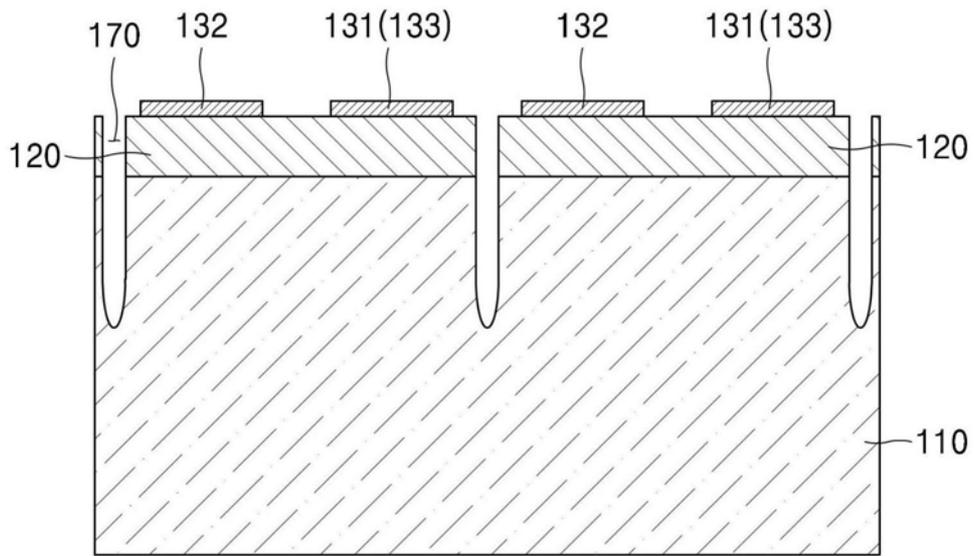


图33

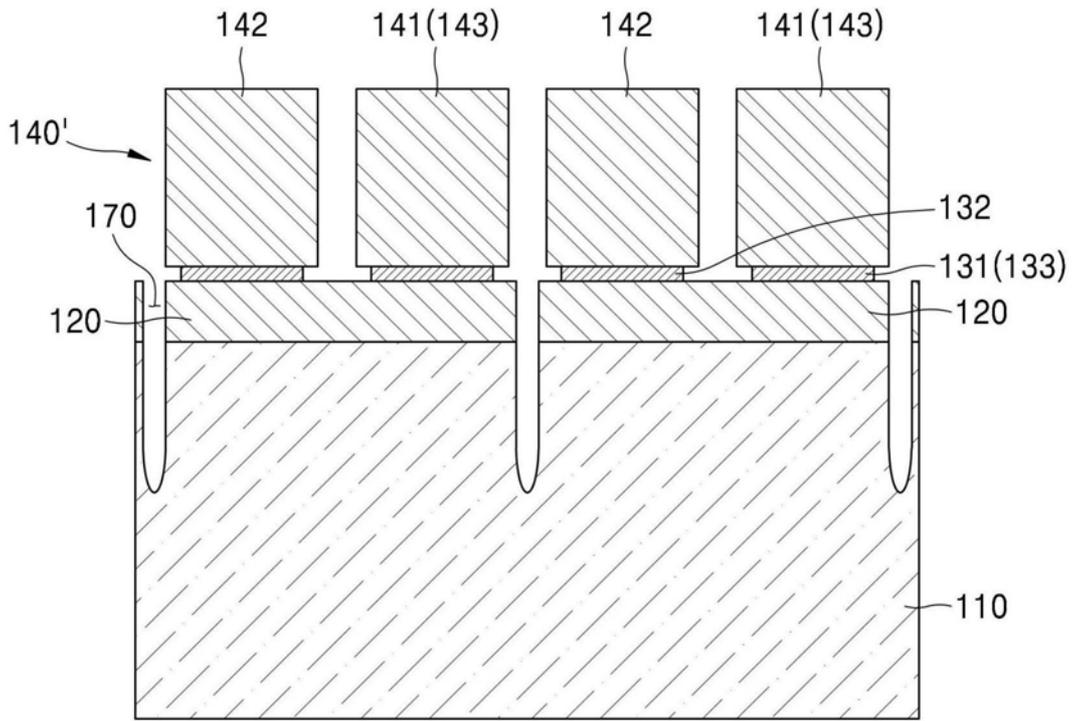


图34

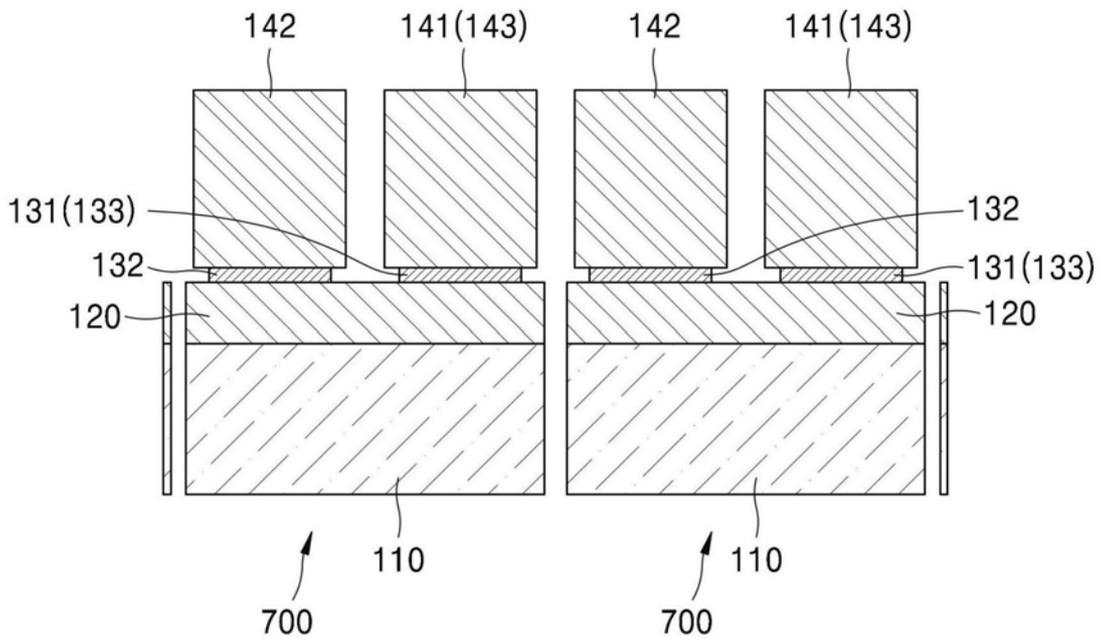


图35

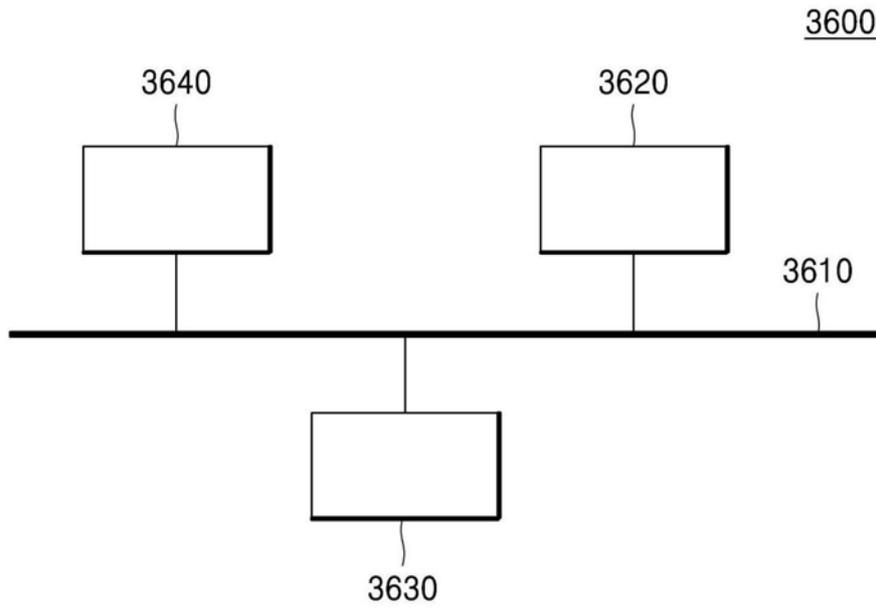


图36