



# (12) 发明专利申请

(10) 申请公布号 CN 116417473 A

(43) 申请公布日 2023. 07. 11

(21) 申请号 202310376824.8

(22) 申请日 2023.04.10

(71) 申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 田宏伟 崔颂 朱红 单真真  
刘政 刘利宾 史世明

(74) 专利代理机构 北京三高永信知识产权代理  
有限责任公司 11138  
专利代理师 雷思鸣

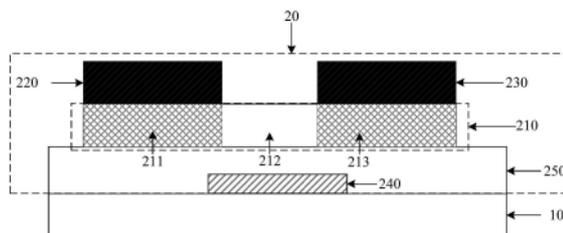
(51) Int. Cl.  
H01L 27/12 (2006.01)  
H01L 21/77 (2017.01)  
G02F 1/1685 (2019.01)

权利要求书2页 说明书8页 附图4页

(54) 发明名称  
驱动背板及其制造方法、显示装置

### (57) 摘要

本申请公开了一种驱动背板及其制造方法、显示装置,该驱动背板,包括:衬底基板和TFT。该TFT中的源极与有源层中的第一多晶硅区连接,漏极与有源层中的第二多晶硅区连接。由于源极和漏极能够与多晶硅区形成较好的接触,因此能够有效提高该TFT对其源极和漏极进行开关切换的速度,进而使得该驱动背板能够耐受高压的同时,具有较高的响应速度。



1. 一种驱动背板,其特征在于,包括:衬底基板,以及位于所述衬底基板上的薄膜晶体管TFT;

其中,所述TFT中的有源层包括依次连接的第一多晶硅区、第一非晶硅区和第二多晶硅区,所述第一多晶硅区与所述TFT中的源极连接,所述第二多晶硅区与所述TFT中的漏极连接。

2. 根据权利要求1所述的驱动背板,其特征在于,对于所述第一多晶硅区和所述第二多晶硅区中的任一多晶硅区,所述多晶硅区中靠近所述衬底基板的一侧的材质包括:多晶硅,且所述多晶硅区中远离所述衬底基板的一侧的材质包括:掺杂后的多晶硅。

3. 一种驱动背板的制造方法,其特征在于,包括:

在衬底基板上形成薄膜晶体管TFT;

其中,所述TFT中的有源层包括依次连接的第一多晶硅区、第一非晶硅区和第二多晶硅区,所述第一多晶硅区与所述TFT中的源极连接,所述第二多晶硅区与所述TFT中的漏极连接。

4. 根据权利要求3所述的方法,其特征在于,所述在衬底基板上形成薄膜晶体管TFT,包括:

在所述衬底基板上形成所述有源层时,在所述衬底基板上形成非晶硅层;

通过对所述非晶硅层中的部分区域进行退火的方式,得到所述有源层。

5. 根据权利要求3或4所述的方法,其特征在于,所述在衬底基板上形成薄膜晶体管TFT,包括:

在所述衬底基板上形成所述有源层时,在所述衬底基板上形成第一膜层;所述第一膜层包括:依次连接的第三多晶硅区、第二非晶硅区和第四多晶硅区;

对所述第一膜层远离所述衬底基板的一侧进行掺杂,得到第二膜层;

去除所述第二膜层中由所述第二非晶硅区远离所述衬底基板的一侧掺杂得到的部分,得到所述有源层。

6. 根据权利要求3或4所述的方法,其特征在于,所述在衬底基板上形成薄膜晶体管TFT,包括:

在所述衬底基板上形成所述有源层时,在所述衬底基板上形成第一膜层;所述第一膜层包括:依次连接的第三多晶硅区、第二非晶硅区和第四多晶硅区;

对所述第一膜层远离所述衬底基板的一侧进行掺杂,得到第二膜层;

去除所述第二膜层中由所述第二非晶硅区远离所述衬底基板的一侧掺杂得到的部分,得到第三膜层;

对所述第三膜层进行活化,得到所述有源层。

7. 根据权利要求3或4所述的方法,其特征在于,所述在衬底基板上形成薄膜晶体管TFT,包括:

在所述衬底基板上形成所述有源层时,在所述衬底基板上形成第一膜层;所述第一膜层包括:依次连接的第三多晶硅区、第二非晶硅区和第四多晶硅区;

对所述第一膜层中的所述第三多晶硅区和所述第四多晶硅区进行掺杂,得到所述有源层。

8. 根据权利要求3或4所述的方法,其特征在于,所述在衬底基板上形成薄膜晶体管

TFT,包括:

在所述衬底基板上形成栅极;

在形成有所述栅极的所述衬底基板上形成栅绝缘层,所述栅绝缘层覆盖所述栅极;

在形成有所述栅绝缘层的所述衬底基板上形成所述有源层;

在形成有所述有源层的所述衬底基板上形成源漏极,所述源漏极中的源极覆盖所述第一多晶硅区,所述源漏极中的漏极覆盖所述第二多晶硅区。

9.一种显示装置,其特征在于,所述显示装置包括:如权利要求1或2所述的驱动背板。

10.根据权利要求9所述的显示装置,其特征在于,所述显示装置为电子纸。

## 驱动背板及其制造方法、显示装置

### 技术领域

[0001] 本申请涉及显示技术领域,特别涉及一种驱动背板及其制造方法、显示装置。

### 背景技术

[0002] 电子纸显示是一种具有类纸显示性能的新型显示技术。由于电子纸显示具有超低功耗、超薄轻便以及可弯曲等优点,因此被广泛应用于电子阅读器、电子价格牌、手表以及动态显示广告牌等电子纸显示装置。

[0003] 目前,由于能够实现彩色显示的电子纸显示装置对驱动电压有着较高的要求,而目前大多数电子纸显示装置无法承载较高的驱动电压,因此目前大多数电子纸显示装置无法实现彩色显示,而是能够实现黑白显示。为满足当今市场对于电子纸彩色显示的需求,亟需开发一种能够耐受高压的电子纸显示装置。

### 发明内容

[0004] 本申请提供了一种驱动背板及其制造方法、显示装置,可以解决相关技术中电子纸显示装置无法耐受高压的问题。所述技术方案如下:

[0005] 一方面,提供了一种驱动背板,包括:衬底基板,以及位于所述衬底基板上的薄膜晶体管(thin film transistor,TFT);

[0006] 其中,所述TFT中的有源层包括依次连接的第一多晶硅区、第一非晶硅区和第二多晶硅区,所述第一多晶硅区与所述TFT中的源极连接,所述第二多晶硅区与所述TFT中的漏极连接。

[0007] 可选地,对于所述第一多晶硅区和所述第二多晶硅区中的任一多晶硅区,所述多晶硅区中靠近所述衬底基板的一侧的材质包括:多晶硅,且所述多晶硅区中远离所述衬底基板的一侧的材质包括:掺杂后的多晶硅。

[0008] 另一方面,提供了一种驱动背板的制造方法,其特征在于,包括:

[0009] 在衬底基板上形成TFT;

[0010] 其中,所述TFT中的有源层包括依次连接的第一多晶硅区、第一非晶硅区和第二多晶硅区,所述第一多晶硅区与所述TFT中的源极连接,所述第二多晶硅区与所述TFT中的漏极连接。

[0011] 可选地,所述在衬底基板上形成TFT,包括:

[0012] 在所述衬底基板上形成所述有源层时,在所述衬底基板上形成非晶硅层;

[0013] 通过对所述非晶硅层中的部分区域进行退火的方式,得到所述有源层。

[0014] 可选地,所述在衬底基板上形成TFT,包括:

[0015] 在所述衬底基板上形成所述有源层时,在所述衬底基板上形成第一膜层;所述第一膜层包括:依次连接的第三多晶硅区、第二非晶硅区和第四多晶硅区;

[0016] 对所述第一膜层远离所述衬底基板的一侧进行掺杂,得到第二膜层;

[0017] 去除所述第二膜层中由所述第二非晶硅区远离所述衬底基板的一侧掺杂得到的

部分,得到所述有源层。

[0018] 可选地,所述在衬底基板上形成TFT,包括:

[0019] 在所述衬底基板上形成所述有源层时,在所述衬底基板上形成第一膜层;所述第一膜层包括:依次连接的第三多晶硅区、第二非晶硅区和第四多晶硅区;

[0020] 对所述第一膜层远离所述衬底基板的一侧进行掺杂,得到第二膜层;

[0021] 去除所述第二膜层中由所述第二非晶硅区远离所述衬底基板的一侧掺杂得到的部分,得到第三膜层;

[0022] 对所述第三膜层进行活化,得到所述有源层。

[0023] 可选地,所述在衬底基板上形成TFT,包括:

[0024] 在所述衬底基板上形成所述有源层时,在所述衬底基板上形成第一膜层;所述第一膜层包括:依次连接的第三多晶硅区、第二非晶硅区和第四多晶硅区;

[0025] 对所述第一膜层中的所述第三多晶硅区和所述第四多晶硅区进行掺杂,得到所述有源层。

[0026] 可选地,所述在衬底基板上形成TFT,包括:

[0027] 在所述衬底基板上形成栅极;

[0028] 在形成有所述栅极的所述衬底基板上形成栅绝缘层,所述栅绝缘层覆盖所述栅极;

[0029] 在形成有所述栅绝缘层的所述衬底基板上形成所述有源层;

[0030] 在形成有所述有源层的所述衬底基板上形成源漏极,所述源漏极中的源极覆盖所述第一多晶硅区,所述源漏极中的漏极覆盖所述第二多晶硅区。

[0031] 又一方面,提供了一种显示装置,所述显示装置包括:上述方面所述的驱动背板。

[0032] 可选地,所述显示装置为电子纸。

[0033] 本申请提供的技术方案带来的有益效果至少包括:

[0034] 本申请提供了一种驱动背板及其制造方法、显示装置。该驱动背板包括:衬底基板和TFT。该TFT中的源极与有源层中的第一多晶硅区连接,漏极与有源层中的第二多晶硅区连接。由于源极和漏极能够与多晶硅区形成较好的接触,因此能够有效提高该TFT对其源极和漏极进行开关切换的速度,进而使得该驱动背板能够耐受高压的同时,具有较高的响应速度。

## 附图说明

[0035] 为了更清楚地说明本申请实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0036] 图1是本申请实施例提供的一种驱动背板的结构示意图;

[0037] 图2是本申请实施例提供的另一种驱动背板的结构示意图;

[0038] 图3是本申请实施例提供的一种驱动背板的制造方法的流程图;

[0039] 图4是本申请实施例提供的另一种驱动背板的制造方法的流程图;

[0040] 图5是本申请实施例提供的一种在衬底基板上形成有源层的示意图;

[0041] 图6是本申请实施例提供的又一种驱动背板的制造方法的流程图；

[0042] 图7是本申请实施例提供的另一种在衬底基板上形成有源层的示意图。

### 具体实施方式

[0043] 为使本申请的目的、技术方案和优点更加清楚，下面将结合附图对本申请实施方式作进一步地详细描述。

[0044] 图1是本申请实施例提供的一种驱动背板的结构示意图，参考图1，该驱动背板包括：衬底基板10，以及位于衬底基板10上的TFT 20。

[0045] 其中，TFT 20中的有源层210包括依次连接的第一多晶硅(polycrystalline silicon, p-Si)区211、第一非晶硅(amorphous silicon, a-Si)区212和第二多晶硅区213。第一多晶硅区211与TFT 20中的源极220连接，第二多晶硅区213与TFT 20中的漏极230连接。

[0046] 可以理解的是，由于非晶硅具有较好的导电能力，且能够耐受较高的电压，因此可以作为TFT 20中有源层210的材料。但是，非晶硅无法与TFT 20中的源极220和漏极230形成良好的欧姆接触，因此在有源层210的整个膜层的材料均为非晶硅时，TFT 20对其源极220和漏极230之间进行开关切换的速度较慢，即驱动背板的响应速度较慢。

[0047] 而由于多晶硅的接触性能优于非晶硅，因此在本申请提供的驱动背板中，源极220与第一多晶硅区211能够形成良好的欧姆接触，漏极230也能够与第二多晶硅区213形成良好的欧姆接触。源漏极与有源层210形成良好的欧姆接触是指源漏极与有源层210的接触电阻较小。由此，能够使得该TFT 20能够在耐受高压的同时，具有较高的响应速度。

[0048] 综上所述，本申请实施例提供了一种驱动背板，包括：衬底基板和TFT。该TFT中的源极与有源层中的第一多晶硅区连接，漏极与有源层中的第二多晶硅区连接。由于源极和漏极能够与多晶硅区形成较好的接触，因此能够有效提高该TFT对其源极和漏极进行开关切换的速度，进而使得该驱动背板能够耐受高压的同时，具有较高的响应速度。

[0049] 可选地，对于上述有源层210中的第一多晶硅区211和第二多晶硅区213中的任一多晶硅区，该多晶硅区中靠近衬底基板10的一侧的材质可以包括：多晶硅，且多晶硅区中远离衬底基板10的一侧的材质可以包括：掺杂后的多晶硅。

[0050] 可以理解的是，掺杂后的多晶硅(也称为杂质半导体)的导电性能优于未掺杂的多晶硅(也称为本征半导体)，因此为了使源极220和漏极230与有源层210的接触性能更佳，有源层210靠近源极220和漏极230的一侧可以通过掺杂的方式形成掺杂有杂质的多晶硅。该有源层210未被源极220和漏极230覆盖的第一非晶硅区212用于形成导电沟道，其不包括掺杂有杂质的非晶硅。

[0051] 作为第一种可实现方式，该有源层210中的第一非晶硅区212的厚度可以与第一多晶硅区211和第二多晶硅区213的厚度相同。在该实现方式中，在形成有源层210时，可以仅对用于连接的源漏极的多晶硅区进行掺杂，未掺杂杂质的非晶硅区靠近衬底基板10的一侧能够直接形成导电沟道。

[0052] 作为第二种可实现方式，该有源层210中的第一非晶硅区212的厚度可以小于第一多晶硅区211和第二多晶硅区213的厚度。在该实现方式中，在形成有源层210时，可以对多晶硅区和非晶硅区均进行掺杂。之后，可以去除非晶硅区远离衬底基板10一侧掺杂有杂质

的部分,以使得该非晶硅区靠近衬底基板10的一侧能够用于形成导电沟道。

[0053] 其中,该杂质可以为包含五价杂质元素(例如磷和砷)的物质,例如可以为磷烷(PH<sub>3</sub>)。或者,该杂质可以为包含三价杂质元素(例如硼、镓、铟等)的物质,本申请实施例对此不做限定。

[0054] 可选地,该驱动背板中的衬底基板10可以为柔性衬底基板或刚性衬底基板。示例的,如图2所示,在该衬底基板10为柔性衬底基板时,该衬底基板10可以包括依次层叠的第一阻隔层110,第一有机层120,第二阻隔层130和第二有机层140。其中,该第一有机层120和第二有机层140的材料可以为聚酰亚胺(PI),该第一阻隔层和110和第二阻隔层130的材料可以为氧化硅或氮化硅。

[0055] 在本申请实施例中,参考图1和图2,该TFT 20还包括:位于衬底基板10上的栅极240,以及覆盖该栅极240的栅绝缘层250。参考图1和图2可知,栅极240位于有源层210靠近衬底基板10的一侧,且与有源层210通过栅绝缘层250绝缘。在该实现方式中,该TFT 20可以称为底栅型的TFT。需要说明的是,在其他可选的实现方式中,该TFT 20还可以为顶栅型的TFT或双栅型TFT。本申请实施例对此不作限定。

[0056] 继续参考图1和图2,该TFT 20还可以包括:在源漏极远离衬底基板10的一侧,沿远离衬底基板10的方向依次排布的缓冲(buffer)层260、平坦层(planarization, PLN) 270和钝化层(passivation layer, PVX) 280。

[0057] 并且,该TFT 20还可以包括:像素电极(图1和图2中未示出)。其中,该像素电极可以包括:金属电极和保护电极。该保护电极的材料可以为铟锡氧化物(indium tin oxides, ITO)。该保护电极可以起到保护金属电极的作用,以避免该金属电极出现被腐蚀和被刮伤的现象。本申请对TFT 20中其他各个膜层所包括的材料不作限定。

[0058] 基于上述分析可知,本申请提供的驱动背板中的TFT 20中的源极220和漏极230能够与有源层210形成良好的接触。需要说明的是,图1和图2仅示出了驱动背板中与TFT 20相关的部分结构的示意图。在实际实现时,该驱动背板还可以包括其它结构,例如该驱动背板还可以包括公共电极层,用于连接栅极250的栅线和用于连接源极220的数据线等信号线,与驱动背板各个信号线连接的焊盘(pad),以及用于稳定像素电极上所加载的电压的稳定性的存储电容C<sub>st</sub>等结构。本申请实施例对此不做限定。

[0059] 本申请实施例提供了一种驱动背板的制造方法,该方法可以用于制造图1或图2所示的驱动背板。其中,该方法可以包括:在衬底基板上形成TFT。

[0060] 其中,参考图1和图2,该TFT 20中的有源层210包括依次连接的第一多晶硅区211、第一非晶硅区212和第二多晶硅区213,第一多晶硅区211与TFT 20中的源极220连接,第二多晶硅区213与TFT 20中的漏极230连接。

[0061] 可以理解的是,由于非晶硅具有较好的导电能力,且能够耐受较高的电压,因此可以作为制造TFT 20过程中有源层210的材料。但是,非晶硅无法与TFT 20中的源极220和漏极230形成良好的欧姆接触,因此在有源层210整个膜层的材料均为非晶硅时,TFT 20对其源极220和漏极230之间进行开关切换的速度较慢,即驱动背板的响应速度较慢。

[0062] 由于多晶硅的接触性能优于非晶硅,因此在制造TFT 20时,可以选用多晶硅形成有源层210中与源极220连接的第一多晶硅区211,以及与漏极230连接的第一多晶硅区213。由此,能够使得制造得到的TFT 20中源极220和漏极230能够与有源层210形成良好的欧姆

接触,即使得和源极220漏极230与有源层210的接触电阻较小。由此,能够使得该TFT 20能够在耐受高压的同时,具有较高的响应速度。

[0063] 综上所述,本申请实施例提供的驱动背板的制造方法所制造的驱动背板中,TFT的有源层包括与源极连接的第一多晶硅区,以及与漏极连接的第二多晶硅区。由于源极和漏极能够与多晶硅区形成较好的接触,因此能够有效提高该TFT对其源极和漏极进行开关切换的速度,进而使得该驱动背板能够耐受高压的同时,具有较高的响应速度。

[0064] 图3是本申请实施例提供了另一种驱动背板的制造方法的流程图,该方法可以用于制造图1或图2所示的驱动背板。参考图3,该方法可以包括:

[0065] 步骤101、在衬底基板上形成栅极。

[0066] 在本申请实施例中,可以通过构图工艺在衬底基板10上形成栅极240。例如,可以先通过镀膜工艺在衬底基板10形成一层金属层。示例的,可以采用物理气相沉积(physical vapor deposition,PV)或化学气相沉积(chemical vapor deposition,CVD)等镀膜工艺在衬底基板10上形成金属层。其中,该金属层的厚度可以为50至500纳米(nm)。之后,可以对该金属层进行图形化,得到栅极240。可选地,可以通过光刻工艺对金属层进行图形化。

[0067] 其中,制备栅极240的材料可以为钼、铝、铜和钛中的一种或多种组合物。

[0068] 可选地,该衬底基板10也可以是通过镀膜工艺形成的。示例的,可以提供一刚性基板(例如玻璃基板),并在该刚性基板上依次涂布有机材料和无机材料,形成衬底基板10。其中,该衬底基板10可以包括依次层叠的第一阻隔层110,第一有机层120,第二阻隔层130和第二有机层140。该第一有机层120和第二有机层140的材料可以为聚酰亚胺,该第一阻隔层和110和第二阻隔层130的材料可以为氧化硅或氮化硅。

[0069] 步骤102、在形成有栅极的衬底基板上形成栅绝缘层。

[0070] 在形成栅极240后,可以采用镀膜工艺在形成有栅极的衬底基板上形成栅绝缘层(gate insulator,GI)250。其中,该栅绝缘层250完全覆盖栅极240,并覆盖衬底基板10上未被栅极240覆盖的区域。制备栅绝缘层250的材料可以为氮化硅、氧化硅和氮氧化硅中的一种或多种组合物。

[0071] 步骤103、在形成有栅绝缘层的衬底基板上形成有源层。

[0072] 在本申请实施例中,在形成有栅绝缘层250的衬底基板10上形成有源层260时,可以先采用镀膜工艺在衬底基板10上形成非晶硅层。之后,可以对该非晶硅层中的部分区域进行退火,得到包括依次连接的第一多晶硅区211、第一非晶硅区212和第二多晶硅区213的有源层210。

[0073] 可以理解的是,在形成有源层210时,可以结合构图工艺对该非晶硅层中的部分区域进行退火处理,以使得该部分区域的非晶硅转换为多晶硅,得到第一多晶硅区211和第二多晶硅区213。未进行退火处理的区域可以直接作为有源层210的第一非晶硅区212。可选地,可以采用准分子激光退火(excimer laser annealing,ELA)工艺对非晶硅层进行退火。

[0074] 可选地,在对非晶硅层进行退火处理后,还可以采用掺杂工艺在非晶硅区和多晶硅区远离衬底基板10的一侧掺入杂质,以使得制成的源极220和漏极230能够与有源层210的接触性能更佳。

[0075] 下文对有源层210的制造过程进行介绍。

[0076] 作为第一种实现方式,参考图4,该步骤103可以包括:

[0077] 步骤103a1、在形成有栅绝缘层的衬底基板上形成第一膜层。

[0078] 该第一膜层S1可以是对形成于栅绝缘层250上的非晶硅层进行退火后形成的初始膜层。示例的,参考图5,该第一膜层S1包括:依次连接的第三多晶硅区S11、第二非晶硅区S12和第四多晶硅区S13。

[0079] 步骤103a2、对第一膜层远离衬底基板的一侧进行掺杂,得到第二膜层。

[0080] 在衬底基板10上形成第一膜层S1后,参考图5,可以对该第一膜层S1远离衬底基板10的一侧的全部区域均进行掺杂(Doping),得到第二膜层S2。其中,该第二膜层S2包括靠近衬底基板10一侧的第二子膜层S21,以及远离衬底基板10一侧且掺杂有杂质的第二子膜层S22。该第二子膜层S21包括依次连接的多晶硅区S21a,非晶硅区S21b和多晶硅区S21a。该第二子膜层S22包括依次连接的多晶硅掺杂区S22a,非晶硅掺杂区S22b和多晶硅掺杂区S22a。

[0081] 其中,该待形成的TFT 20可以为N型TFT。相应的,该第一膜层S1的掺杂过程可以为N型掺杂,掺杂过程中采用的掺杂物质可以为包含五价杂质元素(例如磷和砷)的物质,例如可以为磷烷。或者,该待形成的TFT 20可以为P型TFT。相应的,该第一膜层S1的掺杂过程可以为P型掺杂,掺杂过程中采用的掺杂物质可以为包含三价杂质元素(例如硼、镉、镓等)的物质。本申请对掺杂过程中采用的掺杂工艺和杂质的种类不做限定。

[0082] 可以理解的是,由于第一膜层S1中多晶硅区和非晶硅区的掺杂特性并不相同,因此在掺杂过程中该多晶硅区S21a和非晶硅区S21b掺入的杂质的掺杂量并不相同。例如,该多晶硅区S21a的杂质掺杂量小于非晶硅区S21b的杂质掺杂量。

[0083] 还可以理解的是,掺杂后的多晶硅的导电性能优于未掺杂的多晶硅,因此为了使源极220和漏极230与有源层210的接触性能更佳,可以在形成有源层210时,在第一膜层S1远离衬底基板10一侧靠通过掺杂的方式形成包含有掺杂物质的多晶硅。其中,该第一膜层S1的掺杂深度和杂质的掺杂量均可以基于该TFT 20中有源层210与源漏极的接触性能确定。该接触性能可以用接触电阻的大小表征。

[0084] 步骤103a3、去除第二膜层中由第二非晶硅区远离衬底基板的一侧掺杂得到的部分,得到第三膜层。

[0085] 继续参考图5,在形成第二膜层S2后,可以采用刻蚀工艺去除第二膜层S1中由第二非晶硅区远离衬底基板10的一侧掺杂得到的部分(即图5中的非晶硅掺杂区S22b),得到第三膜层S3。可以理解的是,通过去除第二非晶硅区远离衬底基板10的一侧掺杂得到的部分,可以使得该第二非晶硅区靠近衬底基板10的一侧能够用于形成该有源层210的导电沟道。

[0086] 在该实现方式中,参考图5,用于形成有源层210中第一非晶硅区212的非晶硅区S21b的厚度,小于用于形成有源层210中第一多晶硅区211的多晶硅区S21a和多晶硅掺杂区S22a的总厚度。

[0087] 其中,若在对第一膜层S1进行掺杂时,采用的是N型掺杂,则第二膜层S2中第二非晶硅区S12远离衬底基板210的一侧掺杂得到的部分也可以称为N型非晶硅。若在对第一膜层S1进行掺杂时,采用的是P型掺杂,则第二膜层S2中第二非晶硅区S12远离衬底基板210的一侧掺杂得到的部分也可以称为P型非晶硅。

[0088] 步骤103a4、对第三膜层进行活化,得到有源层。

[0089] 在本申请实施例中,在对多晶硅区进行掺杂时,会导致多晶硅区中的多晶硅晶格受损,进而会使得形成的有源层210中多晶硅区与源漏极连接后的接触性能变差。基于此,

可以对掺杂后形成的第三膜层S3进行活化,以修补第三膜层S3中多晶硅区中受损的多晶硅晶格。其中,可以采用高温炉退火和激光活化法等活化工艺对第三膜层S3进行活化,以得到有源层210。

[0090] 可以理解的是,在形成有源层210时,也可以先对第二膜层S2进行活化,之后再去除活化后的第二膜层S2中由第二非晶硅区远离衬底基板210的一侧掺杂得到的部分,得到有源层210。本申请对在形成有源层210时,掺杂工艺和活化工艺的先后顺序不作限定。

[0091] 还可以理解的是,在形成第三膜层S3后,也可以不对该第三膜层S3进行活化,而是将该第三膜层S3直接作为有源层210。相应的,在上述步骤103a1中,为确保掺杂并刻蚀后的膜层能够直接作为有源层210,应严格把控掺杂过程中杂质的掺杂量以及掺杂时长。

[0092] 作为第二种实现方式,参考图6,该步骤103可以包括:

[0093] 步骤103b1、在形成有栅绝缘层的衬底基板上形成第一膜层。

[0094] 该步骤103b1的实现过程可以参考上述步骤103a1,本申请对此不再赘述。

[0095] 步骤103b2、对第一膜层中的第三多晶硅区和第四多晶硅区进行掺杂,得到有源层。

[0096] 在该实现方式中,参考图7,在对第一膜层S1进行掺杂时,可以仅对第一膜层S1中的第三多晶硅区S11和第四多晶硅区S13进行掺杂,并将掺杂后得到的膜层直接作为有源层210。其中,在对第一膜层S1中的第三多晶硅区S11和第四多晶硅区S13进行掺杂时,可以采用光罩(Mask)工艺对第一膜层S1中的第二非晶硅区S12进行遮罩,以避免第二非晶硅区S12被掺杂。基于此,相比于上述第一种实现方式,在该实现方式中,无需在掺杂处理后对第二非晶硅区S12进行刻蚀处理。

[0097] 参考图7,掺杂后形成的有源层210中,第一多晶硅区211包括:多晶硅区211a和多晶硅掺杂区211b,该多晶硅掺杂区211b用于连接源极220。该第二多晶硅区213包括:多晶硅区213a和多晶硅掺杂区213b。该多晶硅掺杂区213b用于连接漏极230。其中,该多晶硅掺杂区211b和多晶硅掺杂区213b也可以称为接触层。

[0098] 在该实现方式中,参考图7,形成的有源层210中第一非晶硅区212的厚度可以与第一多晶硅区211和第二多晶硅区213的厚度相同。未掺杂杂质的第一非晶硅区212可以用于形成导电沟道。

[0099] 还可以理解的是,在该实现方式中,也可以在对第一膜层S1中的第三多晶硅区S11和第四多晶硅区S13进行掺杂后,再进行活化。

[0100] 步骤204、在形成有有源层的衬底基板上形成源漏极。

[0101] 在本申请实施例中,可以先采用镀膜工艺(例如溅射的方法)在形成有有源层210的衬底基板110上形成源漏金属层。之后,可以采用构图工艺对该源漏金属层进行刻蚀(例如光刻)处理,形成源极220和漏极230。其中,该源漏极中的源极220覆盖有源层210的第一多晶硅区211,该源漏极中的漏极230覆盖有源层210的第二多晶硅区213。

[0102] 可以理解的是,由于非晶硅具有较好的导电能力,且能够耐受较高的电压,因此可以作为制造TFT 20过程中有源层210的材料。但是,非晶硅无法与TFT 20中的源极220和漏极230形成良好的欧姆接触,因此在有源层210整个膜层的材料均为非晶硅时,TFT 20对其源极220和漏极230之间进行开关切换的速度较慢,即驱动背板的响应速度较慢。

[0103] 由于多晶硅的接触性能优于非晶硅,因此在制造TFT 20时,通过使源极220覆盖第

一多晶硅区211,漏极230覆盖第二多晶硅区213,能够使得制造得到的TFT 20中源极220和漏极230能够与有源层210形成良好的欧姆接触,即使得和源极220漏极230与有源层210的接触电阻较小。由此,能够使得该TFT 20能够在耐受高压的同时,具有较高的响应速度。

[0104] 进一步的,在形成源极220和漏极230后,可以继续形成有源极220和漏极230的衬底基板10上形成依次层叠的缓冲层260、平坦层270、钝化层280以及像素电极。

[0105] 其中,该像素电极可以包括:金属电极和保护电极。该保护电极的材料可以为ITO。该保护电极可以起到保护金属电极的作用,以避免该金属电极出现被腐蚀和被刮伤的现象。本申请对TFT 20中各个膜层的制造工艺以及各个膜层所包括的材料不作限定。

[0106] 还可以理解的是,该衬底基板10可以包括其它结构(例如用于连接栅极250的栅线,以及公共电极层等)(图1和图2中未示出)。在衬底基板10上形成TFT 20后,还可以采用常规工艺形成驱动背板10中除TFT 20外的其它结构。本申请实施例对制备该其它结构的所选用的工艺及材料不做限定。

[0107] 综上所述,本申请实施例提供的驱动背板的制造方法所制造的驱动背板中,TFT的有源包括与源极连接的第一多晶硅区,以及与漏极连接的第二多晶硅区。由于源极和漏极能够与多晶硅区形成较好的接触,因此能够有效提高该TFT对其源极和漏极进行开关切换的速度,进而使得该驱动背板能够耐受高压的同时,具有较高的响应速度。

[0108] 可以理解的是,本申请实施例提供的驱动背板的制造方法实施例可以参考上述驱动背板的实施例,本申请实施例对此不作限定。本申请实施例提供的驱动背板的制造方法的各个步骤的先后顺序可以进行适当调整,各个步骤也可以根据情况进行相应增减,任何熟悉本技术领域的技术人员在本申请揭露的技术范围内,可轻易想到变化的方法,都应涵盖在本申请的保护范围之内,因此不再赘述。

[0109] 本申请实施例提供了一种显示装置,该显示装置可以包括:上述装置实施例提供的驱动背板(例如如图1或图2所示的驱动背板)。

[0110] 其中,该显示装置可以为:电子纸。或者,该显示装置还可以为其他形式的柔性或非柔性的显示装置,例如可以为手机、平板电脑、电视机、显示器、笔记本电脑、数码相框以及导航仪等任何具有显示功能的产品或部件。

[0111] 本申请中术语“第一”“第二”等字样用于对作用和功能基本相同的相同项或相似项进行区分,应理解,“第一”、“第二”、“第n”之间不具有逻辑或时序上的依赖关系,也不对数量和执行顺序进行限定。

[0112] 以上所述仅为本申请的示例性实施例,并不用以限制本申请,凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

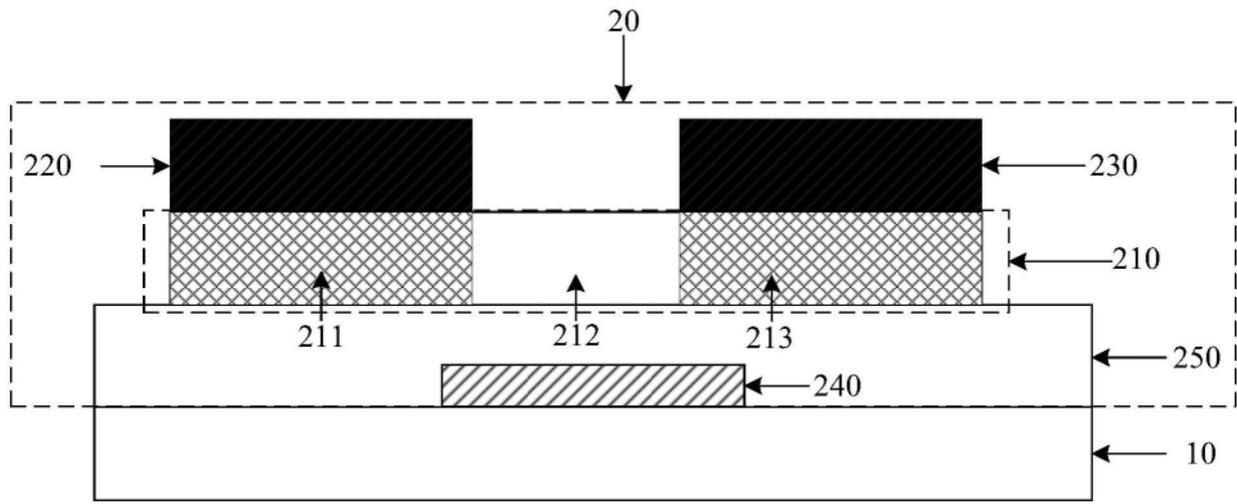


图1

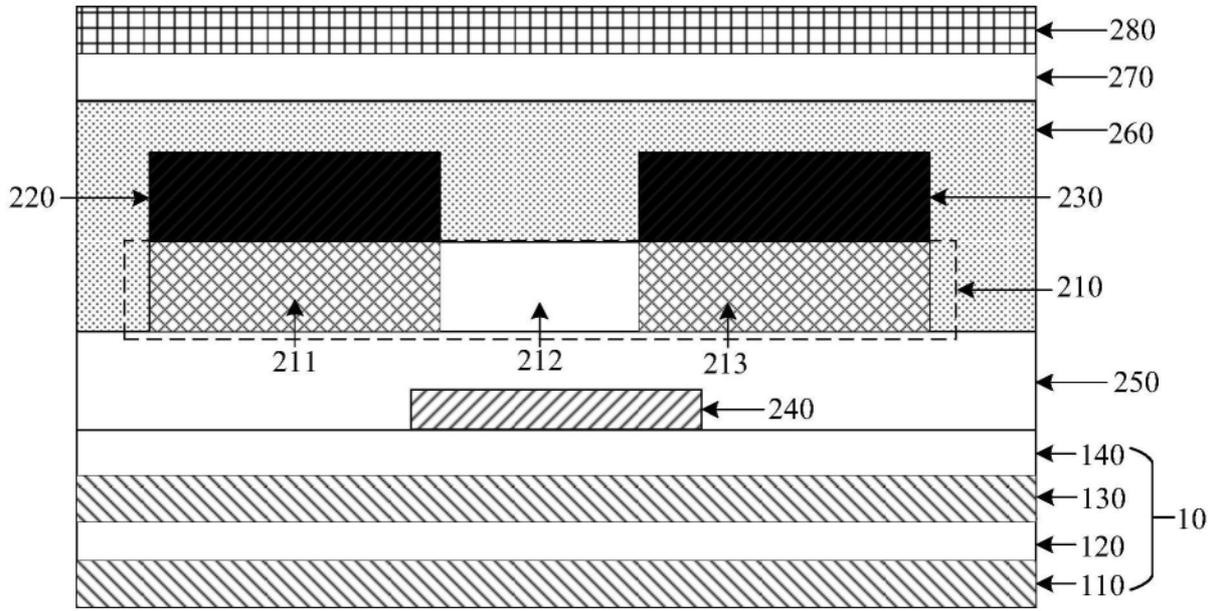


图2

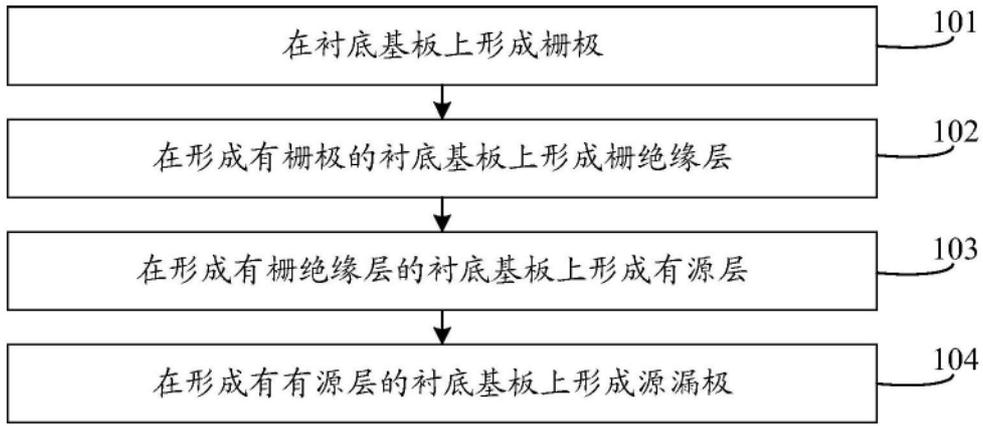


图3

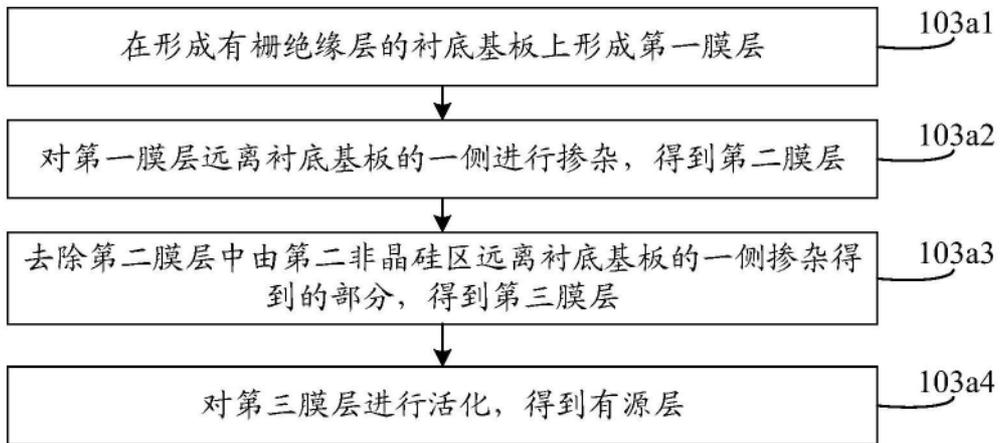


图4

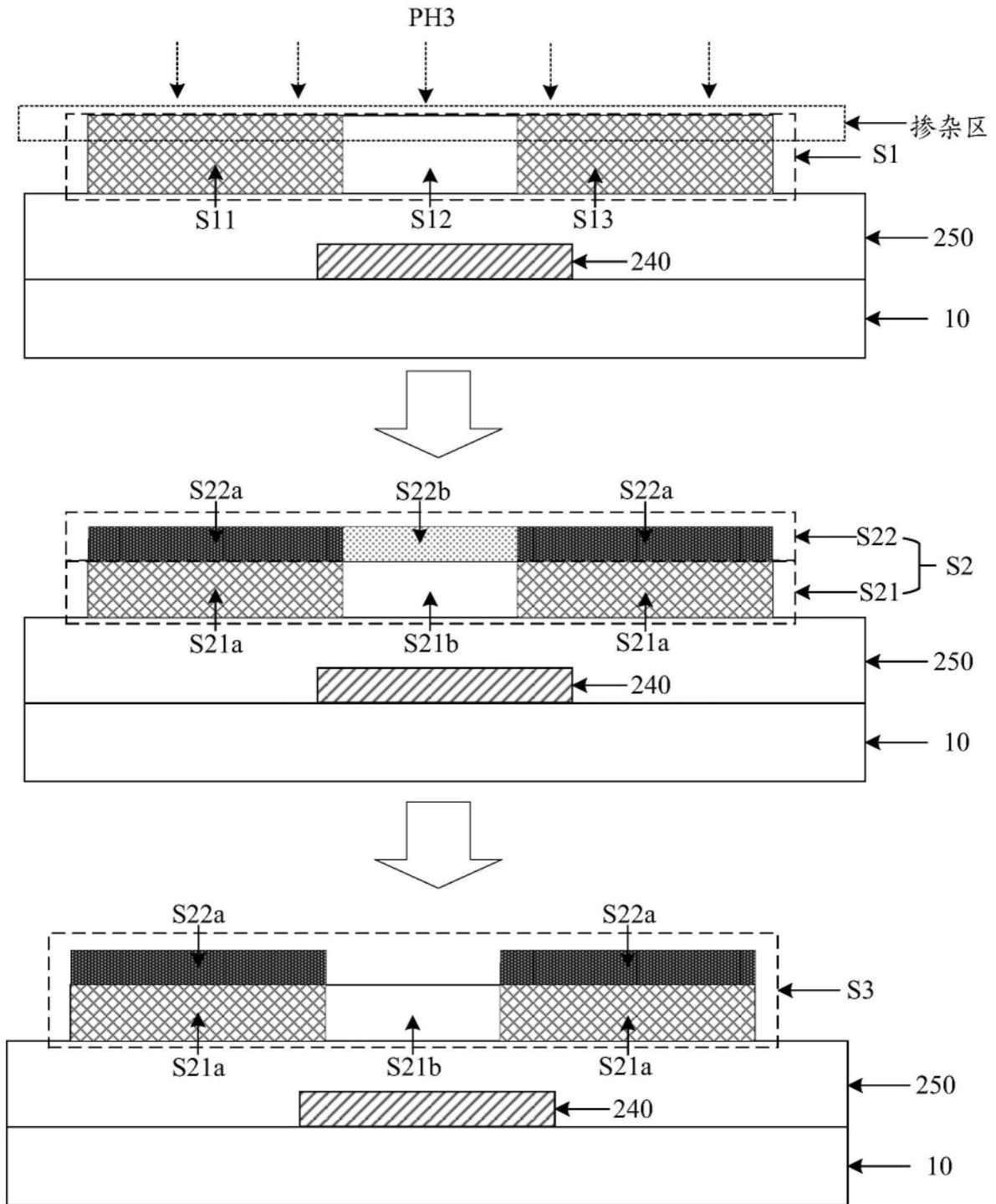


图5

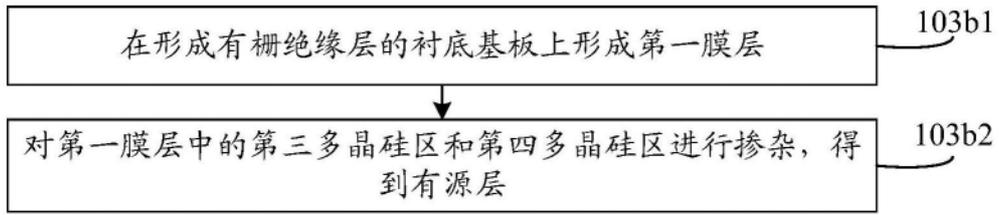


图6

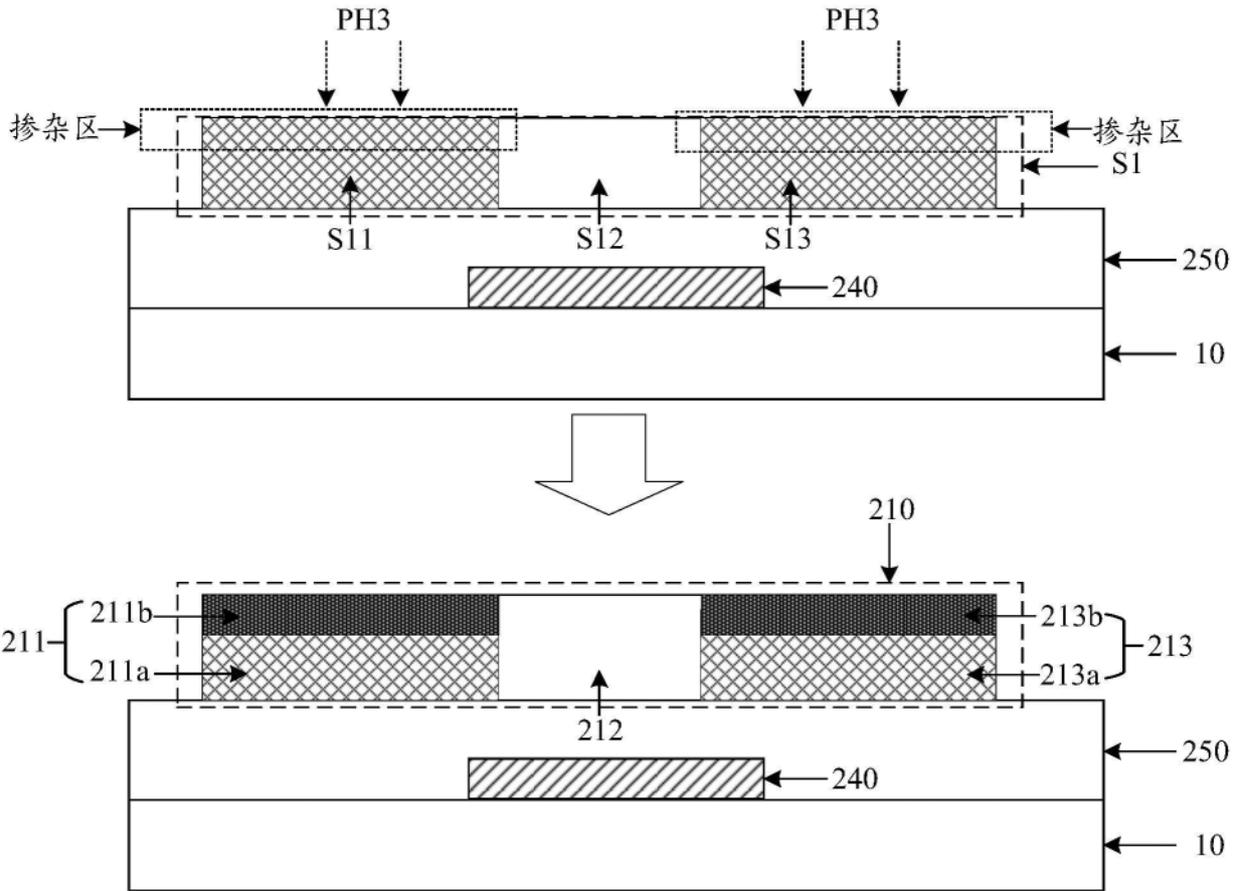


图7