



(12) 发明专利申请

(10) 申请公布号 CN 116438938 A

(43) 申请公布日 2023. 07. 14

(21) 申请号 202180022275.3

(22) 申请日 2021.11.09

(85) PCT国际申请进入国家阶段日
2022.09.19

(86) PCT国际申请的申请数据
PCT/CN2021/129475 2021.11.09

(87) PCT国际申请的公布数据
W02023/082037 ZH 2023.05.19

(71) 申请人 长江存储科技有限责任公司
地址 430000 湖北省武汉市东湖新技术开
发区未来三路88号

(72) 发明人 郭振 袁彬 许宗珂 吴佳佳
李贝贝 王香凝 杨竹 张强威

(74) 专利代理机构 北京英思普睿知识产权代理
有限公司 16018

专利代理师 刘莹 聂国斌

(51) Int.Cl.
H10B 41/35 (2023.01)

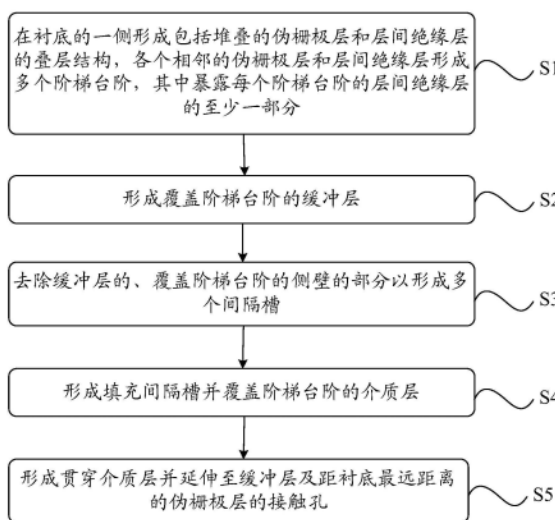
(54) 发明名称

三维存储器及其制备方法

(57) 摘要

本申请提供了一种三维存储器及其制备方法。三维存储器的制备方法包括：在衬底的一侧形成包括堆叠的伪栅极层和层间绝缘层的叠层结构，各个相邻的所述伪栅极层和所述层间绝缘层形成多个阶梯台阶，其中暴露每个所述阶梯台阶的所述层间绝缘层的至少一部分；形成覆盖所述阶梯台阶的缓冲层；去除所述缓冲层的、覆盖所述阶梯台阶的侧壁的部分以形成多个间隔槽；形成填充所述间隔槽并覆盖所述阶梯台阶的介质层；以及形成贯穿所述介质层、所述缓冲层并延伸至最远离所述衬底的所述伪栅极层的接触孔。

1000



(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023年5月19日 (19.05.2023)



(10) 国际公布号
WO 2023/082037 A1

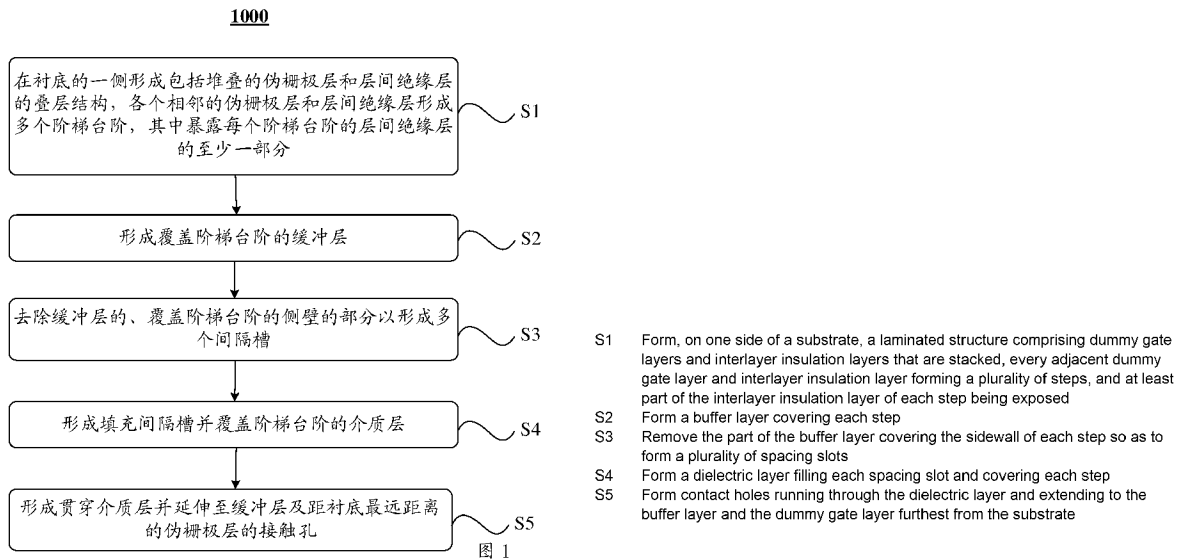
- (51) 国际专利分类号:
H01L 27/11556 (2017.01) *H01L 27/11524* (2017.01)
- (21) 国际申请号: PCT/CN2021/129475
- (22) 国际申请日: 2021年11月9日 (09.11.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 长江存储科技有限责任公司 (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430000 (CN)。
- (72) 发明人: 郭振 (GUO, Zhen); 中国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430000 (CN)。袁彬 (YUAN, Bin); 中国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430000 (CN)。

(CN)。许宗珂 (XU, Zongke); 中国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430000 (CN)。吴佳佳 (WU, Jiajia); 中国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430000 (CN)。李贝贝 (LI, Beibei); 中国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430000 (CN)。王香凝 (WANG, Xiangning); 中国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430000 (CN)。杨竹 (YANG, Zhu); 中国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430000 (CN)。张强威 (ZHANG, Qiangwei); 中国湖北省武汉市东湖新技术开发区未来三路88号, Hubei 430000 (CN)。

(74) 代理人: 北京英思普睿知识产权代理有限公司 (INSPIRING INTELLECTUAL PROPERTY)

(54) Title: THREE-DIMENSIONAL MEMORY AND PREPARATION METHOD THEREFOR

(54) 发明名称: 三维存储器及其制备方法



(57) Abstract: The present application provides a three-dimensional memory and a preparation method therefor. The preparation method for the three-dimensional memory comprises: forming, on one side of a substrate, a laminated structure comprising dummy gate layers and interlayer insulation layers that are stacked, every adjacent dummy gate layer and interlayer insulation layer forming a plurality of steps, and at least part of the interlayer insulation layer of each step being exposed; forming a buffer layer covering each step; removing the part of the buffer layer covering the sidewall of each step so as to form a plurality of spacing slots; forming a dielectric layer filling each spacing slot and covering each step; and forming contact holes running through the dielectric layer and the buffer layer and extending to the dummy gate layer furthest from the substrate.

LTD.); 中国北京市朝阳区建外大街光华东里8号
中海广场中楼7层718室, Beijing 100020 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请提供了一种三维存储器及其制备方法。三维存储器的制备方法包括: 在衬底的一侧形成包括堆叠的伪栅极层和层间绝缘层的叠层结构, 各个相邻的所述伪栅极层和所述层间绝缘层形成多个阶梯台阶, 其中暴露每个所述阶梯台阶的所述层间绝缘层的至少一部分; 形成覆盖所述阶梯台阶的缓冲层; 去除所述缓冲层的、覆盖所述阶梯台阶的侧壁的部分以形成多个间隔槽; 形成填充所述间隔槽并覆盖所述阶梯台阶的介质层; 以及形成贯穿所述介质层、所述缓冲层并延伸至最远离所述衬底的所述伪栅极层的接触孔。

三维存储器及其制备方法

技术领域

本申请涉及半导体技术领域，更具体地，涉及三维存储器及其制备方法。

背景技术

一般来说，三维存储器包括由栅极层和层间绝缘层交替堆叠形成的叠层结构，其中，通过位于叠层结构的阶梯区域的接触结构实现外部电路与栅极的电连接。在三维存储器的实际制备过程中，为了实现接触结构与堆叠结构中的栅极层之间的电连接，需要在覆盖叠层结构的介质层中蚀刻形成暴露出阶梯区域的各栅极层顶面的接触孔，然后在接触孔中填充导电材料以形成接触结构。

然而，随着三维存储器集成程度的提高以及堆叠层数的增加，接触孔的深度日益加深，因而在形成接触孔的过程中极易造成栅极层击穿。在这种情况下，在接触孔中填充用于形成接触结构的导电材料之后，会导致不同栅极层之间的短接（即不同层之间的字线桥接），从而引发存储器的失效。

目前，为防止在形成接触孔的过程中造成栅极层击穿，多采用增大栅极层中形成接触孔区域的厚度。但在实际制作工艺中，增大栅极层中部分区域的厚度会降低该区域处材质的均匀性，即易导致该区域处产生间隙。此外，由于实际制作工艺的限制，增大栅极层中部分区域厚度的工艺会降低其它相邻区域的厚度，进而易导致相邻区域的阻值增大，这样将会降低三维存储器的导电性能。

发明内容

本申请提供了一种三维存储器的制备方法，该三维存储器的制备方法包括：在衬底的一侧形成包括堆叠的伪栅极层和层间绝缘层的叠层结构，各个相邻的所述伪栅极层和所述层间绝缘层形成多个阶梯台阶，其中暴露每个所述阶梯台阶的所述层间绝缘层的至少一部分；形

成覆盖所述阶梯台阶的缓冲层；去除所述缓冲层的、覆盖所述阶梯台阶的侧壁的部分以形成多个间隔槽；形成填充所述间隔槽并覆盖所述阶梯台阶的介质层；以及形成贯穿所述介质层、所述缓冲层并延伸至最远离所述衬底的所述伪栅极层的接触孔。

在一个实施方式中，在去除所述缓冲层的、覆盖所述阶梯台阶的侧壁的部分时，所述方法还包括：去除所述缓冲层的、覆盖所述阶梯台阶的侧壁的部分下方的层间绝缘层的至少一部分。

在一个实施方式中，在形成填充所述间隔槽并覆盖所述阶梯台阶的介质层的步骤之后，且在形成贯穿所述介质层、所述缓冲层并延伸至最远离所述衬底的所述伪栅极层的接触孔的步骤之前，所述方法还包括：将所述伪栅极层替换为栅极层；以及将所述缓冲层替换为导体层，其中所述栅极层和所述导体层的材质相同。

在一个实施方式中，在衬底上形成所述叠层结构的步骤包括：在所述衬底上交替堆叠所述层间绝缘层和所述伪栅极层以形成叠层结构；以及通过蚀刻叠层结构使所述层间绝缘层和所述伪栅极层形成为具有多个阶梯台阶的阶梯形式，并暴露每个所述阶梯台阶的所述层间绝缘层的至少一部分。

在一个实施方式中，所述缓冲层的材料为 TS SIN，并且所述伪栅极层的材料为 SIN。

在一个实施方式中，所述方法还包括：在所述接触孔中填充导电材料形成接触结构。

在一个实施方式中，所述方法还包括：形成贯穿所述介质层和所述叠层结构并延伸至所述衬底的虚拟沟道孔，并在所述虚拟沟道孔填充绝缘材料形成虚拟沟道结构。

在一个实施方式中，所述栅极层和所述导体层的材料均包括钨。

在一个实施方式中，所述方法还包括：对所述介质层的表面进行平坦化处理。

本申请另一方面提供了一种三维存储器，包括：衬底；叠层结构，设置于所述衬底的一侧，并包括堆叠的栅极层和层间绝缘层的叠层结构，各个相邻的所述栅极层和所述层间绝缘层形成多个阶梯台阶，其

中每个所述阶梯台阶的所述层间绝缘层的至少一部分暴露；导体层，设置于所述层间绝缘层的暴露的部分，且与所述栅极层通过绝缘材料断开；以及接触孔，贯穿所述导体层并延伸至最远离所述衬底的所述栅极层。

在一个实施方式中，所述三维存储器还包括：覆盖所述导体层的介质层，所述接触孔贯穿所述介质层、所述导体层并延伸至最远离所述衬底的所述栅极层。

在一个实施方式中，所述层间绝缘层和所述介质层均为绝缘材料。

在一个实施方式中，所述三维存储器还包括：虚拟沟道结构，贯穿所述介质层和所述叠层结构并延伸至所述衬底。

在一个实施方式中，所述栅极层和所述导体层的材料均包括钨。

根据本申请一个或多个实施方式提供的三维存储器及其制备方法可至少具有以下其中之一的优点：

1) 通过在衬底上依次堆叠的伪栅极层和层间绝缘层，因而使得在形成的每个阶梯台阶中层间绝缘层位于伪栅极层的上方。如此，使层间绝缘层的至少一部分在上侧暴露，有利于使缓冲层覆盖所述层间绝缘层的表面；

2) 通过将缓冲层设置于所述层间绝缘层的表面上，可以有效避免缓冲层与伪栅极层的直接接触；以及

3) 通过将缓冲层与伪栅极层置换为导电材料，且形成贯穿缓冲层并延伸至距衬底最远距离的伪栅极层的接触孔，可以降低在形成接触孔的过程中击穿栅极层的概率，且可以避免栅极层中部分区域厚度减小，进而有利于提高三维存储器的导电性能。

附图说明

通过阅读参照以下附图所作的对非限制性实施例所作的详细描述，本申请的其它特征、目的和优点将会变得更明显。其中：

图 1 是根据本申请的示例性实施方式的三维存储器的制备方法的流程图；以及

图 2 至图 6 是根据本申请的示例性实施方式的三维存储器的制备方法的工艺步骤图。

具体实施方式

为了更好地理解本申请，将参考附图对本申请的各个方面做出更详细的说明。应理解，这些详细说明只是对本申请的示例性实施方式的描述，而非以任何方式限制本申请的范围。

应注意，在本说明书中，第一、第二、第三等的表述仅用于将一个特征与另一个特征区分开来，而不表示对特征的任何限制，尤其不表示任何的先后顺序。因此，在不背离本申请的教导的情况下，本申请中讨论的第一也可被称作第二，反之亦然。

在附图中，为了便于说明，已稍微调整了部件的厚度、尺寸和形状。附图仅为示例而并非严格按比例绘制。如在本文中使用的，用语“大致”、“大约”以及类似的用语用作表近似的用语，而不用作表程度的用语，并且旨在说明将由本领域普通技术人员认识到的、测量值或计算值中的固有偏差。

本文使用的术语是为了描述特定示例性实施方式的目的，并且不意在进行限制。当在本说明书中使用术语“包含”、“包含有”、“包括”和/或“包括有”表示存在所述特征、整体、元件、部件和/或它们的组合，但是并不排除一个或多个其它特征、整体、元件、部件和/或它们的组合的存在性。

本文参考示例性实施方式的示意图来进行描述。本文公开的示例性实施方式不应被解释为限于示出的具体形状和尺寸，而是包括能够实现相同功能的各种等效结构以及由例如制造时产生的形状和尺寸偏差。附图中所示的位置本质上是示意性的，而非旨在对各部件的位置进行限制。

除非另有限定，否则本文使用的所有术语（包括技术术语和科学术语）具有与本公开所属技术领域的普通技术人员的通常理解相同的含义。诸如常用词典中定义的术语应被解释为具有与其在相关领域的语境下的含义一致的含义，并且将不以理想化或过度形式化的意义来

解释，除非本文明确地如此定义。

如在本文中所使用的，术语“层”指代包括具有高度的区域的材料部分。层具有顶侧和底侧，其中，层的底侧相对靠近衬底并且顶侧相对远离衬底。层能够在整个下层结构或上层结构上延伸，或者能够具有小于下层结构或上层结构的范围。此外，层能够是均匀或不均匀连续结构的区域，其高度小于连续结构的高度。例如，层能够位于连续结构的顶表面和底表面处或者其之间的任何一组水平平面之间。层能够水平、垂直和/或沿着锥形表面延伸。衬底能够是层，能够在其中包括一个或多个层，和/或能够在其上、其之上和/或在其之下具有一个或多个层。层能够包含多个层。

图 1 是根据本申请的示例性实施方式的三维存储器的制备方法 1000 的流程图。

如图 1 所示，本申请提供的三维存储器的制备方法 1000 可包括：S1，在衬底的一侧形成包括堆叠的伪栅极层和层间绝缘层的叠层结构，各个相邻的伪栅极层和层间绝缘层形成多个阶梯台阶，其中暴露每个阶梯台阶的层间绝缘层的至少一部分；S2，形成覆盖阶梯台阶的缓冲层；S3，去除缓冲层的、覆盖阶梯台阶的侧壁的部分以形成多个间隔槽；S4，形成填充间隔槽并覆盖阶梯台阶的介质层；以及 S5，形成贯穿介质层、缓冲层并延伸至最远离衬底的伪栅极层的接触孔。下面将进一步描述步骤 S1~S5。

步骤 S1

如图 2 所示，在衬底 100 的一侧形成有包括多个阶梯台阶 210 的叠层结构 200，每个阶梯台阶 210 由相邻的伪栅极层 211 和层间绝缘层 212 形成。具体地，在该步骤 S1 中，在衬底 100 上交替堆叠层间绝缘层 212 和伪栅极层 211 以形成包括多个阶梯台阶 210 的叠层结构 200，其中，叠层结构 200 的对应于多个阶梯台阶 210 的区域称为阶梯区域，用于布置字线连接结构。通过在衬底 100 上依次堆叠的伪栅极层 211 和层间绝缘层 212，因而在每个阶梯台阶 210 中，层间绝缘层

212 位于伪栅极层 211 的上方，使得层间绝缘层 212 的至少一部分在上侧暴露。

在本申请的示例性实施方式中，衬底 100 可例如是单晶硅 (Si) 衬底、单晶锗 (Ge) 衬底、硅锗 (GeSi) 衬底、碳化硅 (SiC) 衬底，或者绝缘体上硅 (SOI) 衬底、绝缘体上锗 (GOI) 衬底，或者包括其它元素半导体或化合物半导体的衬底，诸如 GaAs、InP 或 SiC 等。在一个实施方式中，衬底 100 还可以是叠层结构，例如 Si/SiGe 等。在另外的实施方式中，衬底 100 还可以是其它外延结构，例如绝缘体上锗硅 (SGOI) 等。

在本申请的示例性实施方式中，可以通过一个或多个沉积工艺来在衬底 100 上形成叠层结构 200。在衬底 100 上形成叠层结构 200 的沉积工艺包括但不限于原子层沉积 (ALD)、物理气相沉积 (PVD)、化学气相沉积 (CVD) 或其任何组合。应理解，层间绝缘层 212 和伪栅极层 211 的数量和厚度不限于图 2 中所示的数量和厚度，在不背离本申请的构思的情况下，本领域技术人员可以根据需要设置任意数量和厚度的层间绝缘层 212 和伪栅极层 211。另外，层间绝缘层 212 和伪栅极层 211 的材料可选择本领域中已知的合适材料。示例性地，层间绝缘层 212 和伪栅极层 211 可以是两个具有不同材质的电介质层。层间绝缘层 212 和伪栅极层 211 的材质可具有不同的刻蚀选择比，以便于后续工艺中去除伪栅极层 211。示例性地，伪栅极层 211 的材质可包括氮化物，层间绝缘层 212 的材质可包括氧化物。例如，层间绝缘层 212 可以是诸如氧化硅，伪栅极层 211 可以是诸如氮化硅。

如图 2 所示，除了阶梯区域外，叠层结构 200 可具有核心区域 (未示出)，其中，核心区域可用于形成阵列存储单元串，这些存储单元串可以在垂直于衬底 100 方向上形成的多个互连的存储单元；阶梯区域可用于形成栅极层 (栅极层可以由置换伪栅极层 211 而形成) 上的接触结构以从中引出电流。

为了简明清晰地阐述本申请，本文仅以包括单个子叠层的叠层结构为例对工艺过程进行说明，本领域技术人员应当理解，叠层结构 200 还可包括多个子叠层，即叠层结构 200 可由单个子叠层形成也可由多

个子叠层依次堆叠形成。还应注意的是，为了清晰起见，在本申请各附图中，仅示出叠层结构 200 的阶梯区域的部分。

如图 2 所示，在本申请的示例性实施方式中，首先可通过使用图案化掩膜（未示出）对所述堆叠结构 200 进行重复的蚀刻-修剪工艺，从而在阶梯区域中形成多个阶梯台阶 210。图案化掩膜可包括光致抗蚀剂或者基于碳的聚合物材料，并可以在形成阶梯台阶之后去除。参考图 2，所形成的每个阶梯台阶 210 的顶面分别显露出位于相应层的层间绝缘层 212 的至少一部分。也就是说，每个阶梯台阶 210 至少包括一个层级，每个层级从上至下依次包括层间绝缘层 212 和伪栅极层 211。

在本申请的示例性实施方式中，阶梯台阶 210 可以在叠层结构 200 的中心位置处形成，还可以在叠层结构 200 的一侧边缘或多侧边缘形成。作为示例，下文主要以在叠层结构的一侧边缘或多侧边缘形成的阶梯台阶进行介绍。此外，应注意的是，为了简明清晰地阐述本申请，在本文的各附图仅示出了每个阶梯台阶包括一个层级的情形。还应注意的是，阶梯台阶的个数可以根据需要来调整，这取决于堆叠结构中伪栅极层的个数以及每个阶梯台阶包含的层级数量。

步骤 S2

如图 3 所示，在本申请的示例性实施方式中，可在每个阶梯台阶 210 的顶面和侧壁形成缓冲层 300。缓冲层 300 可覆盖层间绝缘层 212 在各个阶梯台阶 210 顶面上所暴露的部分，并且可覆盖各个阶梯台阶 210 的侧壁，即覆盖每层侧壁所暴露的伪栅极层 211 和层间绝缘层 212 的共同侧壁上。

作为示例，可通过例如原子层沉积 (ALD)、物理气相沉积 (PVD)、化学气相沉积 (CVD) 或其任何组合来在每个阶梯台阶 210 的顶面和侧壁形成缓冲层 300。例如，可以通过原子层沉积工艺形成缓冲层 300。作为示例，形成缓冲层 300 的材料可选用氮化硅。

步骤 S3

如图 4 所示, 在本申请的示例性实施方式中, 可去除缓冲层 300 的、覆盖阶梯台阶 210 的侧壁的部分以形成多个间隔槽 400, 使得缓冲层 300 与同一平面上的伪栅极层 211 间隔开。这样, 在缓冲层 300 后续被替换为导体层 500 以及伪栅极层 211 后续被替换成栅极层 600 时, 这种间隔可以防止导体层 500 与同一平面上的栅极层 600 接触, 进而可以有效地避免不同栅极层之间的短接 (即不同层之间的字线桥接)。此外, 将缓冲层 300 替换为导体层还可以避免后续形成接触孔时击穿栅极层。

作为示例, 可采用诸如深离子反应刻蚀 (RIDE) 的干法刻蚀或以磷酸作为刻蚀剂的湿法刻蚀来去除形成在阶梯台阶侧壁上的缓冲层 300, 但本申请不限于此。

在实际工艺中, 在去除缓冲层 300 的、覆盖阶梯台阶的侧壁的部分时, 有可能会去除缓冲层 300 的、覆盖阶梯台阶 210 的侧壁的部分下方的层间绝缘层 212 的至少一部分。尽管如此, 也未减小伪栅极层 211 的厚度。本申请通过将缓冲层 300 设置于层间绝缘层 212 的表面, 可以在去除缓冲层 300 的、覆盖阶梯台阶 210 的侧壁的部分时有效地避免对伪栅极层 211 的厚度的损伤, 进而可避免降低三维存储器的导电性能。

步骤 S4

如图 5 所示, 形成填充间隔槽 400 并覆盖阶梯台阶的介质层 700。从图 5 中可以看出, 介质层 700 除了填充阶梯台阶 210 上方之外, 还填充了去除缓冲层 300 所形成的间隔槽 400。

作为示例, 介质层 700 可通过沉积氧化物形成, 氧化物可选自例如氧化硅基材料。在本申请的示例性实施方式中, 介质层 700 可由基于 TEOS 的氧化硅填充形成。示例性地, 介质层 700 可为多层结构, 先形成具有良好阶梯台阶覆盖性的第一子膜层, 例如可以为高密度等离子体 (HDP) 沉积的氧化硅 (SiO_2) 或原子层沉积 (ALD) 的氧化硅等; 然后继续形成具有高填充效率的第二子膜层, 第二子膜层例如可以为基于 TEOS 的氧化硅 (TESO-based SiO_2) 等。在示例性实施方式

中第一子膜层的密度高于第二子膜层的密度，由此第一子膜层具有良好阶梯台阶覆盖性，而第二子膜层具有高的填充效率。

作为示例，还可采用化学机械研磨等工艺对介质层 700 进行平坦化处理，使得介质层 700 为堆叠结构 200 的阶梯区域提供基本平坦的上表面。

示例性地，还可将缓冲层 300 置换为导体层 500 以及将伪栅极层 211 置换成栅极层 600。作为示例，在进行导体层 500 和栅极层 600 置换时，例如可采用蚀刻工艺(例如湿法蚀刻)去除堆叠结构 200 中的伪栅极层 211 和缓冲层 300；然后再填充诸如钨金属等导电材料。

作为示例，导体层 500 和栅极层 600 可以由金属钨材料制备而成，且介质层 700 以及层间绝缘层 212 可以由 SiO₂ 材料制备而成。

步骤 S5

可形成贯穿介质层 700、缓冲层 300 并延伸至多个伪栅极层 211 中的最远离衬底的伪栅极层的接触孔 800。具体地，当缓冲层 300 置换为导体层 500 以及伪栅极层 211 置换成栅极层 600 后，如图 6 所示，可形成贯穿介质层 700、导体层 500 并延伸至最远离衬底的栅极层 600 的多个接触孔 800。

在本申请的示例性实施方式中，在形成贯穿介质层 700、缓冲层 300 并延伸至最远离衬底的伪栅极层 211 的多个接触孔之前，可将伪栅极层 211 置换为栅极层 600；以及将缓冲层 300 置换为导体层 500。栅极层 600 和导体层 500 的材质可相同，如栅极层 600 和导体层 500 的材质可均为金属钨。本申请将伪栅极层 211 置换为栅极层 600，可以提高栅极层 600 的均匀性，即可有效避免栅极层 600 中产生间隙如气泡。示例性地，可沿垂直于叠层结构 200 的叠层方向形成贯穿介质层 700、导体层 500 并延伸至最远离衬底的栅极层 600 的多个接触孔 800，然后在所形成的多个接触孔 800 内填充导电材料，以在每个栅极层 600 的顶面形成接触结构。本申请提供的这种工艺，可以在保证栅极层 600 的均匀性的基础上，既可以降低击穿栅极层 600 的概率，又可以避免减小栅极层 600 中部分区域的厚度。

示例性地，可通过如湿法刻蚀工艺形成贯穿介质层 700、导体层 500 并延伸至最远离衬底的栅极层 600 的多个接触孔 800。由于导体层 500 位于栅极层 600 的上方，因而可降低栅极层 600 被击穿的概率。然后，在所去除的空间中，填充诸如钨合金等的导电材料而形成接触结构。应当注意的是，上述各层材料的选择及其形成和去除的具体工艺仅是为了更为清楚简明地说明本申请，而不是对本申请进行限定。

作为示例，可先通过光刻和蚀刻工艺在阶梯区域形成多个接触孔 800（图 6）。然后，在接触孔 800 中填充诸如钨合金等的导电材料以形成接触结构。接触结构可以与后续形成的栅极形成电连接，从而将栅极电流引出。

在本申请的示例性实施方式中，三维存储器的制备方法还包括，在阶梯区域形成贯穿阶梯区域并延伸至衬底的虚拟沟道孔（未示出），并在虚拟沟道孔填充绝缘材料形成虚拟沟道结构（未示出）。作为示例，例如可先通过光刻和蚀刻工艺在阶梯区域形成贯穿介质层并延伸至衬底 100 的虚拟沟道孔；然后在虚拟沟道孔中填充绝缘材料以形成虚拟沟道结构，例如通过 ALD 沉积氮化硅基材料。作为另一示例，虚拟沟道孔还可以与接触孔 800 一起形成，然后分别在虚拟沟道孔中填充绝缘材料以形成虚拟沟道以及在接触孔中填充导电材料以形成接触结构。

本申请另一方面提供了一种三维存储器。图 6 示出的根据本申请的示例性实施方式的三维存储器的结构。

如图 6 所示，三维存储器可包括衬底 100、叠层结构 200、导体层 500 以及接触孔 800。

叠层结构 200 可设置于衬底 100 的一侧。叠层结构 200 可具有多个阶梯台阶，每个阶梯台阶包括依次堆叠的栅极层 600 和层间绝缘层 212。导体层 500 可设置于层间绝缘层 212 的暴露的部分，且可与栅极层 600 通过绝缘材料断开。接触孔 800 可贯穿导体层 500 并延伸至最远离衬底 100 的栅极层。

示例性地，三维存储器还可包括覆盖导体层 500 的介质层 700。

接触孔 800 可贯穿介质层 700、导体层 500 并延伸至最远离衬底 100 的栅极层。层间绝缘层 212 和介质层 700 可均为绝缘材料。栅极层 600 和导体层 500 的材料均可包括钨金属。本申请提供的三维存储器可以在保证栅极层的均匀性的基础上，既可以降低击穿栅极层的概率，又可以避免减小栅极层中部分区域的厚度。

在本申请的示例性实施方式中，三维存储器还可包括用于覆盖缓冲层介质层。示例性地，三维存储器还可包括虚拟沟道结构。虚拟沟道结构可贯穿介质层和叠层结构并延伸至衬底。

在上文中描述制备方法 1000 时涉及的内容和结构可完全或部分地适用于在这里描述的三维存储器，因此，与其相关或相似的内容在此不再赘述。

尽管在此描述了三维存储器的示例性制备方法和结构，但可以理解，一个或多个特征可以从该三维存储器的结构中被省略、替代或者增加。另外，所举例的各层及其材料仅仅是示例性的。

以上描述仅为本申请的较佳实施方式以及对所运用技术原理的说明。本领域技术人员应当理解，本申请中所涉及的发明范围，并不限于上述技术特征的特定组合而成的技术方案，同时也应涵盖在不脱离所述发明构思的情况下，由上述技术特征或其等同特征进行任意组合而形成的其它技术方案。例如上述特征与本申请中公开的(但不限于)具有类似功能的技术特征进行互相替换而形成的技术方案。

权利要求:

1. 一种三维存储器的制备方法, 其特征在于, 包括:

在衬底的一侧形成包括堆叠的伪栅极层和层间绝缘层的叠层结构, 各个相邻的所述伪栅极层和所述层间绝缘层形成多个阶梯台阶, 其中暴露每个所述阶梯台阶的所述层间绝缘层的至少一部分;

形成覆盖所述阶梯台阶的缓冲层;

去除所述缓冲层的、覆盖所述阶梯台阶的侧壁的部分以形成多个间隔槽;

形成填充所述间隔槽并覆盖所述阶梯台阶的介质层; 以及

形成贯穿所述介质层、所述缓冲层并延伸至最远离所述衬底的所述伪栅极层的接触孔。

2. 根据权利要求1所述的制备方法, 其特征在于, 在去除所述缓冲层的、覆盖所述阶梯台阶的侧壁的部分时, 所述方法还包括:

去除所述缓冲层的、覆盖所述阶梯台阶的侧壁的部分下方的层间绝缘层的至少一部分。

3. 根据权利要求2所述的制备方法, 其特征在于, 在形成填充所述间隔槽并覆盖所述阶梯台阶的介质层的步骤之后, 且在形成贯穿所述介质层、所述缓冲层并延伸至最远离所述衬底的所述伪栅极层的接触孔的步骤之前, 所述方法还包括:

将所述伪栅极层置换为栅极层; 以及

将所述缓冲层置换为导体层, 其中所述栅极层和所述导体层的材质相同。

4. 根据权利要求1所述的制备方法, 其特征在于, 在衬底上形成所述叠层结构的步骤包括:

在所述衬底上交替堆叠所述层间绝缘层和所述伪栅极层以形成叠层结构; 以及

通过蚀刻叠层结构使所述层间绝缘层和所述伪栅极层形成为具有多个阶梯台阶的阶梯形式，并暴露每个所述阶梯台阶的所述层间绝缘层的至少一部分。

5. 根据权利要求 1 所述的制备方法，其特征在于，所述缓冲层和所述伪栅极层的材料为氮化硅。

6. 根据权利要求 1-3 中任一项所述的制备方法，其特征在于，所述方法还包括：

在所述接触孔中填充导电材料形成接触结构。

7. 根据权利要求 1-3 中任一项所述的制备方法，其特征在于，所述方法还包括：

形成贯穿所述介质层和所述叠层结构并延伸至所述衬底的虚拟沟道孔，并在所述虚拟沟道孔填充绝缘材料形成虚拟沟道结构。

8. 根据权利要求 3 所述的方法，其特征在于，所述栅极层和所述导体层的材料均包括钨。

9. 根据权利要求 1 所述的制备方法，其特征在于，所述方法还包括：

对所述介质层的表面进行平坦化处理。

10. 一种三维存储器，其特征在于，包括：

衬底；

叠层结构，设置于所述衬底的一侧，并包括堆叠的栅极层和层间绝缘层的叠层结构，各个相邻的所述栅极层和所述层间绝缘层形成多个阶梯台阶，其中每个所述阶梯台阶的所述层间绝缘层的至少一部分暴露；

导体层，设置于所述层间绝缘层的暴露的部分，且与所述栅极层

通过绝缘材料断开；以及

接触孔，贯穿所述导体层并延伸至最远离所述衬底的所述栅极层。

11. 根据权利要求 10 所述的三维存储器，其特征在于，所述三维存储器还包括：覆盖所述导体层的介质层，所述接触孔贯穿所述介质层、所述导体层并延伸至最远离所述衬底的所述栅极层。

12. 根据权利要求 11 所述的三维存储器，其特征在于，所述层间绝缘层和所述介质层均为绝缘材料。

13. 根据权利要求 11 所述的三维存储器，其特征在于，所述三维存储器还包括：

虚拟沟道结构，贯穿所述介质层和所述叠层结构并延伸至所述衬底。

14. 根据权利要求 10-13 中任一项所述的三维存储器，其特征在于，所述栅极层和所述导体层的材料均包括钨。

1000

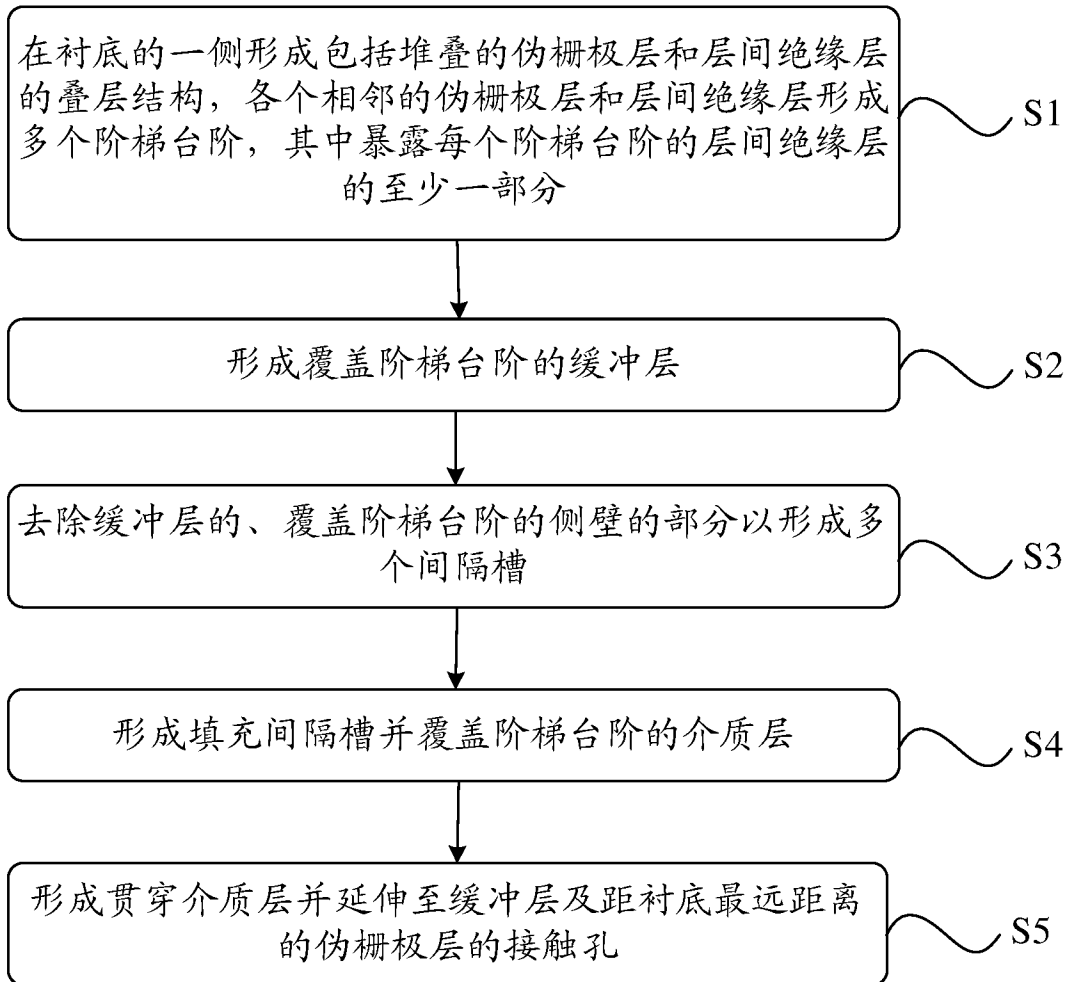


图 1

2/4

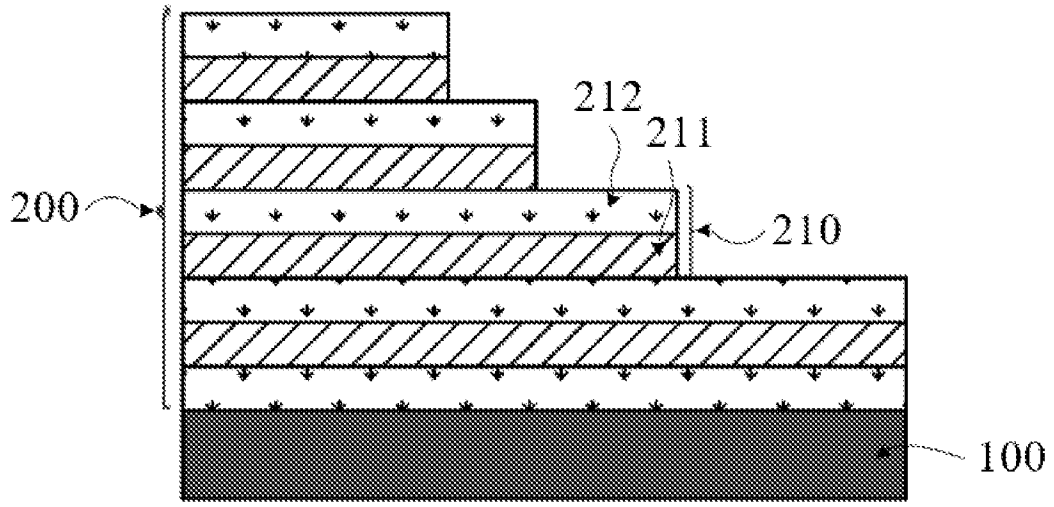


图 2

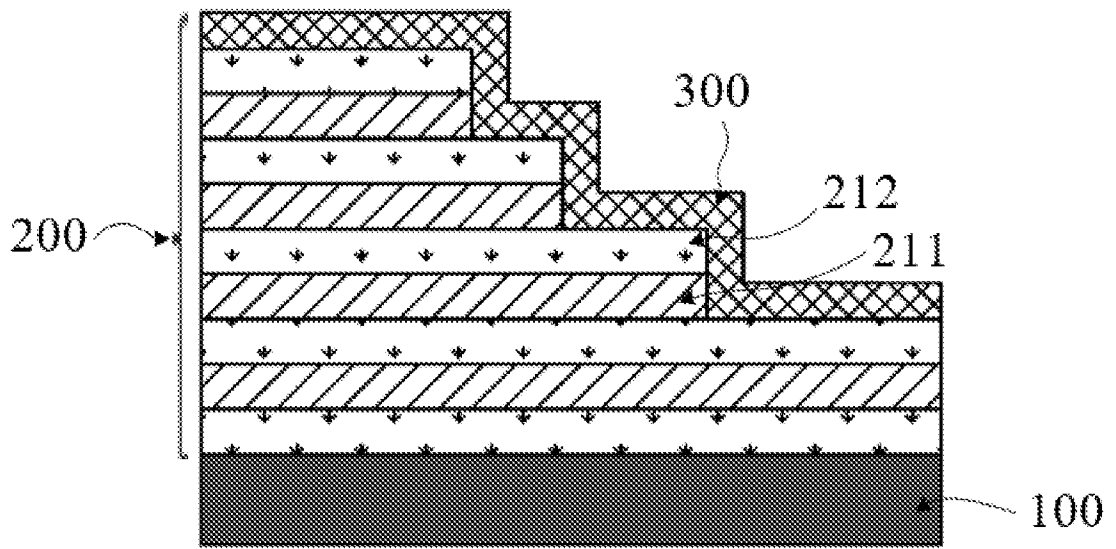


图 3

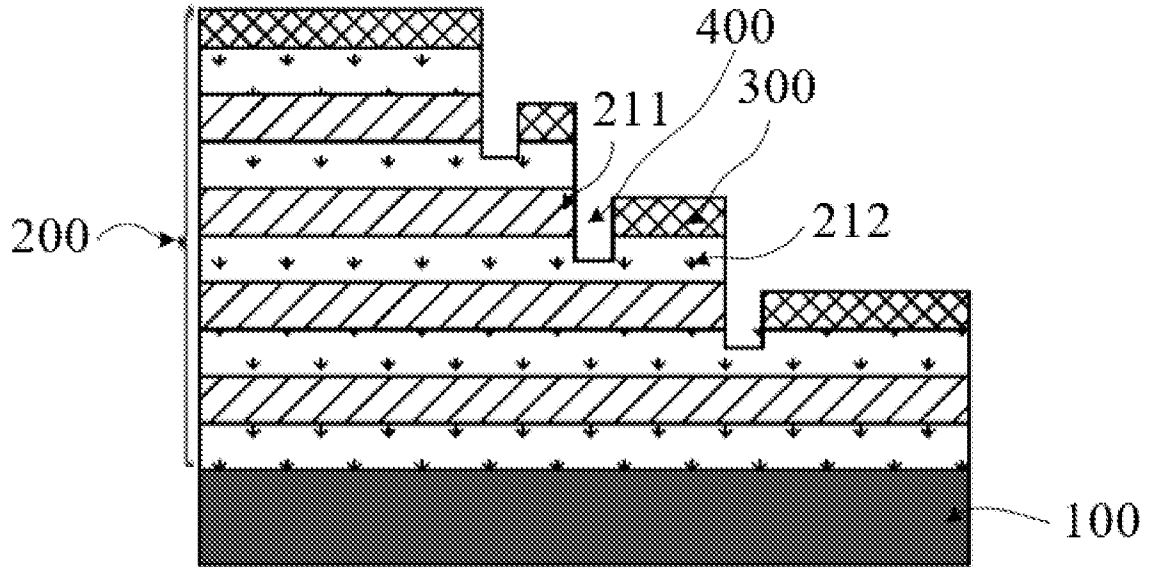


图 4

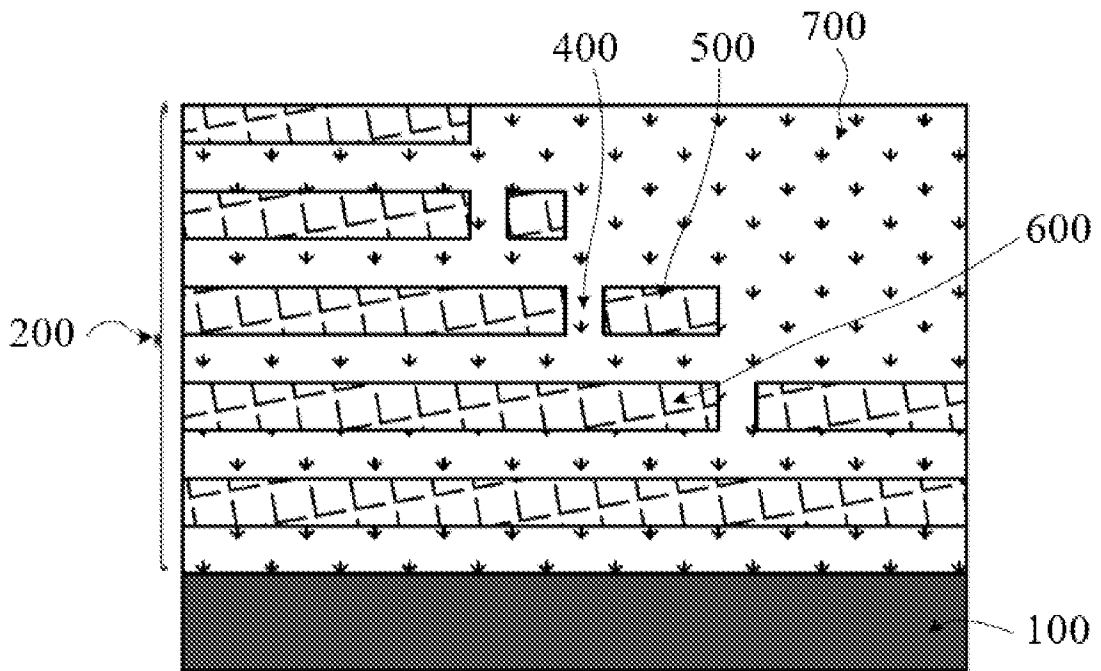


图 5

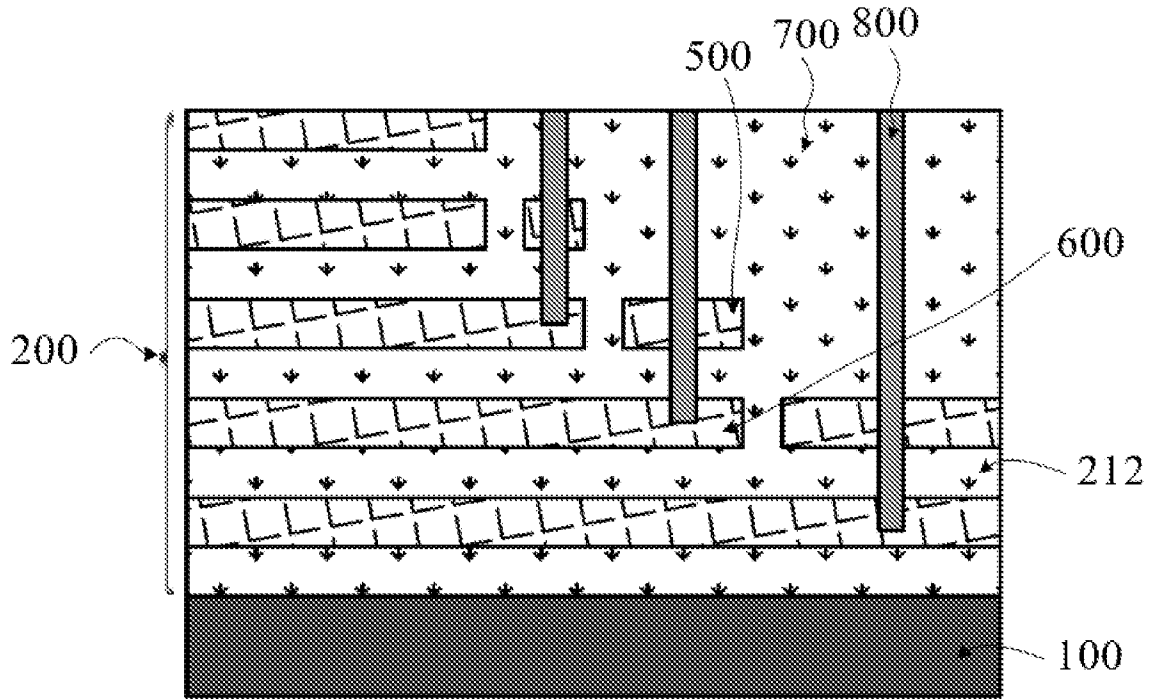


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/129475

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 27/11556(2017.01)i; H01L 27/11524(2017.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, WPI, EPODOC, CNKI, IEEE, GOOGLE: 存储器, 台阶, 阶梯, 绝缘层, 暴露, memory, step, ladder, insulation, exposure		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 113013174 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 22 June 2021 (2021-06-22) description, paragraphs [0043]-[0099]	1-14
X	CN 112909005 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 04 June 2021 (2021-06-04) description, paragraphs [0044]-[0102]	1-14
A	CN 111584494 A (SIEN (QINGDAO) INTEGRATED CIRCUITS CO., LTD.) 25 August 2020 (2020-08-25) entire document	1-14
A	US 2015179577 A1 (SANDISK 3D L.L.C.) 25 June 2015 (2015-06-25) entire document	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
15 July 2022		27 July 2022
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/129475

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113013174	A	22 June 2021	None			
CN	112909005	A	04 June 2021	None			
CN	111584494	A	25 August 2020	None			
US	2015179577	A1	25 June 2015	KR	20160118232	A	11 October 2016
				CN	105981171	A	28 September 2016
				US	2015179659	A1	25 June 2015
				EP	3084828	A1	26 October 2016
				WO	2015095653	A1	25 June 2015

国际检索报告

国际申请号

PCT/CN2021/129475

<p>A. 主题的分类</p> <p>H01L 27/11556(2017.01) i; H01L 27/11524(2017.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, EPDOC, CNKI, IEEE, GOOGLE: 存储器, 台阶, 阶梯, 绝缘层, 暴露, memory, step, ladder, insulation, exposure</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 113013174 A (长江存储科技有限责任公司) 2021年6月22日 (2021 - 06 - 22) 说明书第[0043]-[0099]段</td> <td>1-14</td> </tr> <tr> <td>X</td> <td>CN 112909005 A (长江存储科技有限责任公司) 2021年6月4日 (2021 - 06 - 04) 说明书第[0044]-[0102]段</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 111584494 A (芯恩青岛集成电路有限公司) 2020年8月25日 (2020 - 08 - 25) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 2015179577 A1 (SANDISK 3D LLC) 2015年6月25日 (2015 - 06 - 25) 全文</td> <td>1-14</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 113013174 A (长江存储科技有限责任公司) 2021年6月22日 (2021 - 06 - 22) 说明书第[0043]-[0099]段	1-14	X	CN 112909005 A (长江存储科技有限责任公司) 2021年6月4日 (2021 - 06 - 04) 说明书第[0044]-[0102]段	1-14	A	CN 111584494 A (芯恩青岛集成电路有限公司) 2020年8月25日 (2020 - 08 - 25) 全文	1-14	A	US 2015179577 A1 (SANDISK 3D LLC) 2015年6月25日 (2015 - 06 - 25) 全文	1-14
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 113013174 A (长江存储科技有限责任公司) 2021年6月22日 (2021 - 06 - 22) 说明书第[0043]-[0099]段	1-14															
X	CN 112909005 A (长江存储科技有限责任公司) 2021年6月4日 (2021 - 06 - 04) 说明书第[0044]-[0102]段	1-14															
A	CN 111584494 A (芯恩青岛集成电路有限公司) 2020年8月25日 (2020 - 08 - 25) 全文	1-14															
A	US 2015179577 A1 (SANDISK 3D LLC) 2015年6月25日 (2015 - 06 - 25) 全文	1-14															
<input type="checkbox"/> 其余文件在C栏的续页中列出。		<input checked="" type="checkbox"/> 见同族专利附件。															
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p>		<p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>															
<p>国际检索实际完成的日期</p> <p>2022年7月15日</p>		<p>国际检索报告邮寄日期</p> <p>2022年7月27日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>孙韬敏</p> <p>电话号码 86-(10)-53961420</p>															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/129475

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113013174	A	2021年6月22日	无			
CN	112909005	A	2021年6月4日	无			
CN	111584494	A	2020年8月25日	无			
US	2015179577	A1	2015年6月25日	KR	20160118232	A	2016年10月11日
				CN	105981171	A	2016年9月28日
				US	2015179659	A1	2015年6月25日
				EP	3084828	A1	2016年10月26日
				WO	2015095653	A1	2015年6月25日