



# (12) 发明专利申请

(10) 申请公布号 CN 116453962 A

(43) 申请公布日 2023. 07. 18

(21) 申请号 202210016726.9

(22) 申请日 2022.01.07

(71) 申请人 长鑫存储技术有限公司

地址 230000 安徽省合肥市经济技术开发区  
空港工业园兴业大道388号

(72) 发明人 范增焰

(74) 专利代理机构 上海盈盛知识产权代理事务  
所(普通合伙) 31294

专利代理师 高德志

(51) Int. Cl.

H01L 21/60 (2006.01)

H01L 21/603 (2006.01)

H01L 23/498 (2006.01)

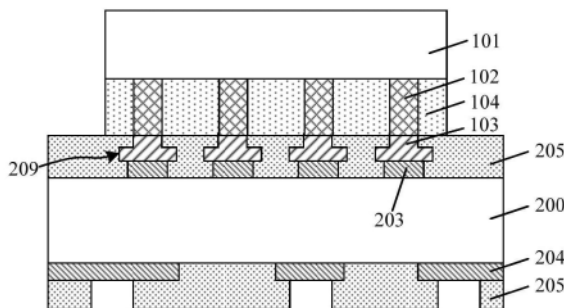
权利要求书2页 说明书7页 附图5页

## (54) 发明名称

半导体结构及其形成方法

## (57) 摘要

一种半导体结构及其形成方法,所述半导体结构的形成方法,提供半导体芯片和基板后;在所述基板上形成覆盖所述金属焊盘和基板表面的第一覆膜,所述第一覆膜中形成有若干上窄下宽的开口,每一个上窄下宽的开口的底部暴露出的相应的金属焊盘的表面;将所述半导体芯片倒装在所述基板上,使每一个所述金属柱上的焊料凸块位于对应的上窄下宽的开口内,并使得所述焊料凸块填满所述上窄下宽的开口。由于第一覆膜中形成有若干上窄下宽的开口,从而在将半导体芯片倒装在基板上时能防止半导体芯片的偏移或倾斜,从而防止焊接不良的产生。



1. 一种半导体结构的形成方法,其特征在于,包括:

提供半导体芯片,所述半导体芯片上形成有凸出的若干金属柱和位于金属柱顶部表面的焊料凸块;

提供基板,所述基板的表面上形成有若干金属焊盘;

在所述基板上形成覆盖所述金属焊盘和所述基板的表面的第一覆膜,所述第一覆膜中形成有若干上窄下宽的开口,每一个所述上窄下宽的开口的底部暴露出的相应的所述金属焊盘的表面;

将所述半导体芯片倒装在所述基板上,使每一个所述金属柱上的焊料凸块穿过所述第一覆膜位于对应的所述上窄下宽的开口内,并使得所述焊料凸块填满所述上窄下宽的开口。

2. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述上窄下宽的开口包括连通的第一开口和第二开口,所述第二开口位于所述第一开口上,且所述第二开口的宽度小于所述第一开口的宽度。

3. 如权利要求2所述的半导体结构的形成方法,其特征在于,所述第一覆膜为负性光刻胶膜。

4. 如权利要求3所述的半导体结构的形成方法,其特征在于,在所述第一覆膜中形成若干上窄下宽的开口的过程包括:在所述基板上形成覆盖所述金属焊盘和基板表面的负性光刻胶膜;对所述负性光刻胶膜进行曝光,且进行所述进行曝光时,所述金属焊盘正上方的部分负性光刻胶膜不被曝光,所述金属焊盘的四周边缘区域上的部分负性光刻胶膜采用半曝光,其余负性光刻胶膜全被曝光;进行所述曝光后,对所述负性光刻胶膜进行显影,去除未被曝光的所述负性光刻胶膜,在剩余的所述负性光刻胶膜中形成上窄下宽的开口。

5. 如权利要求2所述的半导体结构的形成方法,其特征在于,所述第一覆膜包括覆盖所述金属焊盘和所述基板表面的第一膜层和位于所述第一膜层上的第二膜层,所述第一膜层的材料与所述第二膜层的材料不相同。

6. 如权利要求5所述的半导体结构的形成方法,其特征在于,在所述第一覆膜中形成若干上窄下宽的开口的过程包括:形成覆盖所述金属焊盘和所述基板表面的第一膜层;在所述第一膜层上形成第二膜层;采用各向异性的干法刻蚀工艺刻蚀所述第二膜层,在所述第二膜层中形成第二开口,所述第二开口的底部暴露出所述第一膜层的部分表面;沿所述第二开口,采用各向同性的湿法刻蚀工艺刻蚀所述第二开口底部的所述第一膜层,在第一膜层中形成第一开口,所述第一开口的宽度大于所述第二开口的宽度。

7. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述半导体芯片上还具有覆盖所述凸出的若干金属柱和位于所述金属柱顶部表面的焊料凸块的第二覆膜。

8. 如权利要求7所述的半导体结构的形成方法,其特征在于,所述第二覆膜的材料为非导电粘合膜。

9. 如权利要求8所述的半导体结构的形成方法,其特征在于,所述将所述半导体芯片倒装在所述基板上后,采用热压键合工艺使每一个所述金属柱上的焊料凸块穿过所述第一覆膜位于对应的所述上窄下宽的开口内,并使得所述焊料凸块填满所述上窄下宽的开口。

10. 如权利要求9所述的半导体结构的形成方法,其特征在于,进行所述热压键合工艺时,通过夹持头夹持所述半导体芯片并对所述半导体芯片进行第一加热,使得所述第二覆

膜熔化,使每一个所述金属柱上的焊料凸块穿过所述第一覆膜位于对应的所述上窄下宽的开口内;通过夹持头对所述半导体芯片进行第二加热,所述第二加热的温度大于所述第一加热的温度,使得所述焊料凸块熔化填充所述上窄下宽的开口。

11.如权利要求10所述的半导体结构的形成方法,其特征在于,所述热压键合工艺时施加的压力为5-12牛顿,时间为3-5秒,所述第一加热时的温度范围为60-70摄氏度,所述第二加热时的温度范围为220-250摄氏度。

12.如权利要求1所述的半导体结构的形成方法,其特征在于,所述基板包括正面和与正面相对的背面,所述基板的正面形成若干所述金属焊盘,所述基板的背面形成有若干外接焊盘。

13.如权利要求12所述的半导体结构的形成方法,其特征在于,金属焊盘和外接焊盘的形成过程为:在所述基板的正面和背面表面形成金属层;在所述基板的正面和背面的金属层表面形成干膜;对所述干膜进行曝光和显影,在所述正面的干膜中形成暴露出基板正面的部分金属层表面的第一开口,在所述背面的干膜中形成暴露出基板背面的部分金属层表面的第二开口;沿第一开口和第二开口去除所述暴露的金属层,在所述基板的正面形成若干金属焊盘,所述基板的背面形成有若干外接焊盘。

14.一种半导体结构,其特征在于,包括:

半导体芯片,所述半导体芯片上形成有凸出的若干金属柱和位于所述金属柱顶部表面的焊料凸块;

基板,所述基板的表面上形成有若干金属焊盘;

位于所述基板上覆盖所述金属焊盘和所述基板表面的第一覆膜,所述第一覆膜中形成有若干上窄下宽的开口,每一个所述开口的底部暴露出的相应的所述金属焊盘的表面;

所述半导体芯片倒装在所述基板上,使每一个所述金属柱上的焊料凸块位于对应的开口内,并填充所述开口。

15.如权利要求14所述的半导体结构,其特征在于,所述上窄下宽的开口包括连通的第一开口和第二开口,所述第二开口位于第一开口上,且所述第二开口的宽度小于所述第一开口的宽度。

16.如权利要求15所述的半导体结构,其特征在于,所述第二开口的宽度为所述第一开口宽度的 $1/5-1/2$ 。

17.如权利要求15所述的半导体结构,其特征在于,所述第一覆膜为负性光刻胶膜。

18.如权利要求15所述的半导体结构,其特征在于,所述第一覆膜包括覆盖所述金属焊盘和所述基板表面的第一膜层和位于所述第一膜层上的第二膜层,所述第一膜层的材料与所述第二膜层的材料不相同,所述第一开口位于所述第一膜层中,所述第二开口位于所述第二膜层中。

19.如权利要求14所述的半导体结构,其特征在于,所述半导体芯片与所述基板之间还具有覆盖所述凸出的若干金属柱的第二覆膜。

20.如权利要求19所述的半导体结构,其特征在于,所述第二覆膜的材料为非导电粘合膜。

21.如权利要求14所述的半导体结构,其特征在于,所述基板包括正面和与正面相对的背面,所述基板的正面形成若干金属焊盘,所述基板的背面形成有若干外接焊盘。

## 半导体结构及其形成方法

### 技术领域

[0001] 本申请涉及半导体领域,尤其涉及一种半导体结构及其形成方法。

### 背景技术

[0002] 随着集成电路的功能越来越强、性能和集成度越来越高,以及新型的集成电路出现,封装技术在集成电路中扮演着越来越重要的角色,在整个电子系统的价值中所占的比例越来越大。同时,随着集成电路特征尺寸达到纳米级,晶体管向更高密度、更高的时钟频率发展,封装也向更高密度的方向发展。随着封装密度不断提高,芯片与芯片或者芯片与封装基板的窄节距电学互连及其可靠性已成为挑战。

[0003] 铜柱凸点倒装互连技术,以其良好的电学性能、抗电迁移能力,正成为下一代芯片窄节距互连的关键技术。铜柱凸点倒装互连技术是将形成有铜柱和焊料凸块的半导体芯片倒装在基板上,通过焊料凸点实现半导体芯片与基板的互连。

[0004] 但是现有的铜柱凸点倒装互连技术存在以下问题:在进行倒装焊接连接的过程中,半导体芯片容易产生倾斜或者偏移,导致焊接不良。

### 发明内容

[0005] 鉴于此,本申请一实施例提供了一种半导体结构的形成方法,包括:

[0006] 提供半导体芯片,所述半导体芯片上形成有凸出的若干金属柱和位于金属柱顶部表面的焊料凸块;

[0007] 提供基板,所述基板的表面上形成有若干金属焊盘;

[0008] 在所述基板上形成覆盖所述金属焊盘和所述基板表面的第一覆膜,所述第一覆膜中形成有若干上窄下宽的开口,每一个所述上窄下宽的开口的底部暴露出的相应的所述金属焊盘的表面;

[0009] 将所述半导体芯片倒装在所述基板上,使每一个所述金属柱上的焊料凸块位于对应的所述上窄下宽的开口内,并使得所述焊料凸块填满所述上窄下宽的开口。

[0010] 在一些实施例中,所述上窄下宽的开口包括连通的第一开口和第二开口,所述第二开口位于所述第一开口上,且所述第二开口的宽度小于所述第一开口的宽度。

[0011] 在一些实施例中,所述第一覆膜为负性光刻胶膜。

[0012] 在一些实施例中,在所述第一覆膜中形成若干上窄下宽的开口的过程包括:在所述基板上形成覆盖所述金属焊盘和基板表面的负性光刻胶膜;对所述负性光刻胶膜进行曝光,且进行所述进行曝光时,所述金属焊盘正上方的部分负性光刻胶膜不被曝光,所述金属焊盘的四周边缘区域上的部分负性光刻胶膜采用半曝光,其余负性光刻胶膜全被曝光;进行所述曝光后,对所述负性光刻胶膜进行显影,去除所述未被曝光的所述负性光刻胶膜,在剩余的所述负性光刻胶膜中形成上窄下宽的开口。

[0013] 在一些实施例中,所述第一覆膜包括覆盖所述金属焊盘和所述基板表面的第一膜层和位于所述第一膜层上的第二膜层,所述第一膜层的材料与所述第二膜层的材料不相

同。

[0014] 在一些实施例中,在所述第一覆膜中形成若干上窄下宽的开口的过程包括:形成覆盖所述金属焊盘和所述基板表面的第一膜层;在所述第一膜层上形成第二膜层;采用各向异性的干法刻蚀工艺刻蚀所述第二膜层,在所述第二膜层中形成第二开口,所述第二开口的底部暴露出所述第一膜层的部分表面;沿所述第二开口,采用各向同性的湿法刻蚀工艺刻蚀所述第二开口底部的所述第一膜层,在第一膜层中形成第一开口,所述第一开口的宽度大于所述第二开口的宽度。

[0015] 在一些实施例中,所述半导体芯片上还具有覆盖所述凸出的若干金属柱和位于所述金属柱顶部表面的焊料凸块的第二覆膜。

[0016] 在一些实施例中,所述第二覆膜的材料为非导电粘合膜。

[0017] 在一些实施例中,所述将所述半导体芯片倒装在该所述基板上后,采用热压键合工艺使每一个所述金属柱上的焊料凸块穿过所述第一覆膜位于对应的所述上窄下宽的开口内,并使得所述焊料凸块填充所述上窄下宽的开口。

[0018] 在一些实施例中,进行所述热压键合工艺时,通过夹持头夹持所述半导体芯片并对所述半导体芯片进行第一加热,使得所述第二覆膜熔化,使每一个所述金属柱上的焊料凸块穿过所述第一覆膜位于对应的所述上窄下宽的开口内;通过夹持头对所述半导体芯片进行第二加热,所述第二加热的温度大于所述第一加热的温度,使得所述焊料凸块熔化填充所述上窄下宽的开口。

[0019] 在一些实施例中,所述热压键合工艺时施加的压力为5-12牛顿,时间为3-5秒,所述第一加热时的温度范围为60-70摄氏度,所述第二加热时的温度范围为220-250摄氏度。

[0020] 在一些实施例中,所述基板包括正面和与正面相对的背面,所述基板的正面形成若干所述金属焊盘,所述基板的背面形成有若干外接焊盘。

[0021] 在一些实施例中,金属焊盘和外接焊盘的形成过程为:在所述基板的正面和背面表面形成金属层;在所述基板的正面和背面的金属层表面形成干膜;对所述干膜进行曝光和显影,在所述正面的干膜中形成暴露出基板正面的部分金属层表面的第一开口,在所述背面的干膜中形成暴露出基板背面的部分金属层表面的第二开口;沿第一开口和第二开口去除所述暴露的金属层,在所述基板的正面形成若干金属焊盘,所述基板的背面形成有若干外接焊盘。

[0022] 本申请一些实施例还提供了一种半导体结构,包括:

[0023] 半导体芯片,所述半导体芯片上形成有凸出的若干金属柱和位于所述金属柱顶部表面的焊料凸块;

[0024] 基板,所述基板的表面上形成有若干金属焊盘;

[0025] 位于所述基板上覆盖所述金属焊盘和所述基板表面的第一覆膜,所述第一覆膜中形成有若干上窄下宽的开口,每一个所述上窄下宽的开口的底部暴露出的相应的所述金属焊盘的表面;

[0026] 所述半导体芯片倒装在该所述基板上,使每一个所述金属柱上的焊料凸块位于对应的所述上窄下宽的开口内,并填充所述上窄下宽的开口。

[0027] 在一些实施例中,所述上窄下宽的开口包括连通的第一开口和第二开口,所述第二开口位于第一开口上,且所述第二开口的宽度小于所述第一开口的宽度。

[0028] 在一些实施例中,所述第二开口的宽度为所述第一开口宽度的1/5-1/2。

[0029] 在一些实施例中,所述第一覆膜为负性光刻胶膜。

[0030] 在一些实施例中,所述第一覆膜包括覆盖所述金属焊盘和所述基板表面的第一膜层和位于所述第一膜层上的第二膜层,所述第一膜层的材料与所述第二膜层的材料不相同,所述第一开口位于所述第一膜层中,所述第二开口位于所述第二膜层中。

[0031] 在一些实施例中,所述半导体芯片与所述基板之间还具有覆盖所述凸出的若干金属柱的第二覆膜。

[0032] 在一些实施例中,所述第二覆膜的材料为非导电粘合膜。

[0033] 在一些实施例中,所述基板包括正面和与正面相对的背面,所述基板的正面形成若干金属焊盘,所述基板的背面形成有若干外接焊盘。

[0034] 本申请前述一实施例提供的半导体结构的形成方法,提供半导体芯片和基板后;在所述基板上形成覆盖所述金属焊盘和基板表面的第一覆膜,所述第一覆膜中形成有若干上窄下宽的开口,每一个所述上窄下宽的开口的底部暴露出的相应的金属焊盘的表面;将所述半导体芯片倒装在所述基板上,使每一个所述金属柱上的焊料凸块位于对应的所述上窄下宽的开口内,并使得所述焊料凸块填满所述上窄下宽的开口。由于第一覆膜中形成有若干上窄下宽的开口,从而在将半导体芯片倒装在基板上时能防止半导体芯片的偏移或倾斜,从而防止焊接不良的产生。

## 附图说明

[0035] 图1-图13为本发明一些实施例半导体结构的形成过程的结构示意图。

## 具体实施方式

[0036] 如背景技术所所言,现有在进行倒装焊接连接的过程中,半导体芯片容易产生倾斜或者便宜,导致焊接不良

[0037] 研究发现,现有通常采用热压焊将半导体芯片和基板进行倒装连接,在热压焊过程中,热压偏移或者压力分布不均匀会导致半导体芯片产生倾斜或者偏移,从而导致焊接不良。

[0038] 为此,本申请提供了一种半导体结构及其形成方法,在将半导体芯片倒装在基板上时能防止半导体芯片的偏移或倾斜,从而防止焊接不良的产生。

[0039] 为使本申请的上述目的、特征和优点能够更加明显易懂,下面结合附图对本申请的具体实施方式做详细的说明。在详述本申请实施例时,为便于说明,示意图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本申请的保护范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0040] 参考图1,提供晶圆100,所述晶圆100上形成有若干半导体芯片101,每一个半导体芯片101上形成有若干金属柱102和位于所述金属柱102顶部表面的焊料凸块103。

[0041] 所述晶圆100包括行列排布的若干芯片区域和位于芯片区域之间的切割道区域,所述芯片区域中形成有若干半导体芯片101。所述晶圆100的材料可以为单晶硅(Si)、单晶锗(Ge)、或硅锗(GeSi)、碳化硅(SiC);也可以是绝缘体上硅(SOI),绝缘体上锗(GOI);或者还可以为其它的材料,例如砷化镓等III-V族化合物。

[0042] 所述半导体芯片101内具有集成电路(图中未示出),所述半导体芯片101的表面具有若干焊盘((图中未示出)),半导体芯片101表面的焊盘201与半导体芯片内的集成电路电连接,所述金属柱102形成在对应的焊盘上,所述焊料凸块103形成在金属柱102的顶部表面。

[0043] 所述金属柱102的材料为铝、镍、钨、铂、铜、钛、铬、钽、锡合金、金或银,所述焊料凸块103的材料为锡或锡合金,锡合金可以为锡银、锡铅、锡银铜、锡银锌、锡锌、锡铋钢、锡铟、锡金、锡铜、锡铟或者锡银锑中的一种或者多种。

[0044] 在一些实施例中,所述金属柱102和焊料凸块103的形成过程包括:形成覆盖所述晶圆100表面的钝化层,所述钝化层具有暴露半导体芯片101上的焊盘部分表面的开口;在所述钝化层的表面以及开口的侧壁和底部表面形成凸下金属层(Under Bump Metal,简称为UBM),所述凸下金属层作为后续电镀形成金属柱时的导电层和种子层;在所述凸下金属层上形成掩膜层(比如光刻胶层),所述掩膜层中具有暴露焊盘上部分凸下金属层表面的开口;采用电镀工艺在开口中填充金属,形成金属柱102;在金属柱102表面采用网板印刷工艺形成焊料凸块103;去除所述掩膜层。

[0045] 焊料凸块103在形成后不进行回流工艺,保持焊料凸块103的原有形貌,所述焊料凸块103呈方块状。

[0046] 参考图2,在所述晶圆100上形成覆盖所述凸出的若干金属柱102和位于所述金属柱顶部表面的所述焊料凸块103的第二覆膜104。

[0047] 所述第二覆膜104具有绝缘和保护所述金属柱102的作用。

[0048] 在一些实施例中,所述第二覆膜104的材料为非导电粘合膜(Non-Conductive Film,NCF)。所述非导电粘合膜中包括为Si和环氧树脂材料。

[0049] 在其他一些实施例中,所述第二覆膜104的材料可以为其他的树脂材料。

[0050] 参考图3,对所述晶圆100(参考图2)进行切割,形成若干分立的半导体芯片101。

[0051] 每一个半导体芯片101表面上均具有凸出的若干金属柱102和位于金属柱102顶部表面的焊料凸块103;覆盖所述若干金属柱102和焊料凸块103的第二覆膜104。

[0052] 参考图5,提供基板200,所述基板200的表面上形成有若干金属焊盘203。

[0053] 在一些实施例中,所述封装基板200为树脂基板、陶瓷基板、玻璃基板、硅基板、金属基板、金属框架和合金框架中的一种。所述基板201可以为单层板或者多层板。

[0054] 在一些实施例中,所述基板200包括正面和与正面相对的背面,所述基板200的正面形成若干金属焊盘203,所述金属焊盘203后续与半导体芯片101(参考图3)上的焊料凸块103连接,所述基板200的背面形成有若干外接焊盘204,所述若干外接焊盘204可以用于连接其他的半导体芯片。所述基板200正面金属焊盘203可以通过位于基板200中和/或表面的金属连接结构与基板200背面的外接焊盘204连接。

[0055] 在一些实施例中,金属焊盘203和外接焊盘204的形成过程为:参考图4,在所述基板200的正面和背面表面形成金属层201,所述金属层201的材料可以为W、Al、Cu、Ti、Ag、Au、Pt、Ni其中一种或几种,所述金属层201可以采用溅射、溅镀、电镀、蒸镀等工艺形成,金属层201形成在所述基板200的正面和背面表面;在所述基板200的正面和背面的金属层表面形成干膜,所述干膜为光敏膜,可以通过贴膜工艺形成;对所述干膜进行曝光和显影,在所述正面的干膜中形成暴露出基板200正面的部分金属层表面的第一开口,在所述背面的干膜

中形成暴露出基板200背面的部分金属层表面的第二开口；沿第一开口和第二开口刻蚀去除所述暴露的金属层，在所述基板200正面形成若干金属焊盘203，所述基板200的背面形成有若干外接焊盘204(参考图5)；去除所述干膜。

[0056] 参考图8，在所述基板200上形成覆盖所述金属焊盘203和基板200表面的第一覆膜205，所述第一覆膜205中形成有若干上窄下宽的开口209，每一个所述上窄下宽的开口209的底部暴露出的相应的金属焊盘203的表面。

[0057] 在一些实施例中，所述基板200的正面和背面均可以所述第一覆膜205，所述基板20正面的第一覆膜205中形成有若干上窄下宽的开口209，每一个所述上窄下宽的开口209的底部暴露出的相应的金属焊盘203的表面。所述基板200背面的第一覆膜205中可以形成暴露出外接焊盘204部分表面的第二开口210。

[0058] 本申请中第一覆膜205中形成有若干上窄下宽的开口209的作用是：后续将半导体芯片101(参考图3)倒装在基板200上时，半导体芯片101的金属柱102上的焊料凸块103会伸入相应的上窄下宽的开口209内，上窄下宽的开口209限定了焊料凸块103的位置，使得焊料凸块103与金属焊盘203的结合更加牢固，从而防止半导体芯片的偏移或倾斜，防止焊接不良的产生。此外，由于上窄下宽的开口209这种特定结构，使得焊料凸块103被熔化时被很好的限定在上窄下宽的开口209内，可以防止焊料外溢导致相邻金属柱102之间发生短路。

[0059] 在一些实施例中，所述上窄下宽的开口209可以包括连通的第一开口和第二开口，所述第二开口位于所述第一开口上，且所述第二开口的宽度小于所述第一开口的宽度。

[0060] 本实施例中，所述第一覆膜205的材料为负性光刻胶膜，结合参考图6-8，所述上窄下宽的开口209的形成过程包括：参考图6，在所述基板200上形成覆盖所述金属焊盘203和所述基板200表面的负性光刻胶膜205，在一实施例中，所述负性光刻胶膜205可以采用贴膜工艺形成。

[0061] 参考图7，对所述负性光刻胶膜205进行曝光21，且进行所述进行曝光时，所述金属焊盘203正上方的部分负性光刻胶膜205不被曝光(该部分负性光刻胶膜205被不透光的光罩图形206遮挡)，所述金属焊盘203的四周边缘区域上的部分负性光刻胶膜205采用半曝光(该部分负性光刻胶膜205被半透光的光罩图形207遮挡，半曝光时，负性光刻胶膜205只有靠近表面的部分厚度会被曝光)，其余负性光刻胶膜205全被曝光(没有光罩图形遮挡的区域)。

[0062] 参考图8，进行所述曝光后，对所述负性光刻胶膜205进行显影，去除所述未被曝光的所述负性光刻胶膜，在剩余的所述负性光刻胶膜205中形成上窄下宽的开口209。

[0063] 通过前述方法形成的上窄下宽的开口209的工艺较为简便。

[0064] 在另一些实施例中，结合参考图9-11，还提供了一种在第一覆膜205中形成上窄下宽的开口209的方法，本实施例与前述实施例的区别在于，所述第一覆膜205包括覆盖所述金属焊盘203和基板200表面的第一膜层205a和位于第一膜层205a上的第二膜层205b，所述第一膜层205a的材料与所述第二膜层205b的材料不相同，且所述上窄下宽的开口209的形成过程不同。

[0065] 具体的，先参考图9，形成覆盖所述金属焊盘203和基板200表面的第一膜层205a；在所述第一膜层205a上形成第二膜层205b，第一膜层205a和第二膜层205b构成第一覆膜205。



[0066] 所述第二膜层205b与第一膜层205a的材料不相同,以使得第二膜层205b与第一膜层205a在后续刻蚀过程中具有不同的刻蚀选择比,以便于形成上窄下宽的开口。所述第一膜层205a的材料可以为氧化硅、氮化硅、氮氧化硅、碳氧化硅、碳氮化硅、碳、掺硼的氧化硅、掺磷的氧化硅、氮化硼、锆化硅、多晶硅、无定型硅、无定型碳中的一种,所述述第一膜层第二膜层205b的材料可以为氧化硅、氮化硅、氮氧化硅、碳氧化硅、碳氮化硅、碳、掺硼的氧化硅、掺磷的氧化硅、氮化硼、锆化硅、多晶硅、无定型硅、无定型碳中的一种。所述第二膜层205b与第一膜层205a通过沉积工艺形成。在一具体的实施例中,所述第一膜层205a的材料为氧化硅,所述第二膜层205b的材料为氮化硅。

[0067] 参考图10,采用各向异性的干法刻蚀工艺刻蚀所述第二膜层205b,在所述第二膜层205b中形成第二开口209a,所述第二开口209a的底部暴露出所述第一膜层205a的部分表面。

[0068] 所述各向异性的干法刻蚀工艺包括各向异性的等离子刻蚀工艺。

[0069] 参考图11,沿第二开口209a,采用各向同性的湿法刻蚀工艺刻蚀第二开口209a底部的第一膜层205a,在第一膜层205a中形成第一开口209b,所述第一开口209b的宽度大于所述第二开口209a的宽度,所述第一开口209b和第二开口209a构成上窄下宽的开口209。

[0070] 参考图12和图13,将所述半导体芯片101倒装在所述基板200上,使每一个所述金属柱102上的焊料凸块103穿过所述第一覆膜104位于对应的开口209内,并使得所述焊料凸块103填满所述上窄下宽的开口209。

[0071] 在一些实施例中,所述将所述半导体芯片101倒装在所述基板200上后,采用热压键合工艺使每一个所述金属柱102上的焊料凸块103穿过所述第一覆膜104位于对应的上窄下宽的开口209内,并使得所述焊料凸块103填满所述上窄下宽的开口209。

[0072] 在一些实施例中,进行所述热压键合工艺时,通过夹持头11夹持所述半导体芯片101并对所述半导体芯片100进行第一加热,使得所述第二覆膜104熔化,使每一个所述金属柱102上的焊料凸块103穿过所述第一覆膜104位于对应的上窄下宽的开口209内,第一加热时温度小于所述焊料凸块103的熔点温度;接着,通过所述夹持头11对所述半导体芯片101进行第二加热,所述第二加热的温度大于所述第一加热的温度,使得所述焊料凸块103熔化填满所述上窄下宽的开口209。

[0073] 在一些实施例中,所述热压键合工艺时施加的压力为5-12牛顿,时间为3-5秒,所述第一加热时的温度范围为60-70摄氏度,所述第二加热时的温度范围为220-250摄氏度。

[0074] 在其他一些实施例中,还可以包括烘烤和回流工艺,以使得焊料凸块103更好的熔化填满所述上窄下宽的开口209,并提高所述焊料凸块103与所述金属焊盘203的粘合强度。

[0075]

[0076] 本发明一些实施例还提供了一种半导体结构,参考图13,包括:

[0077] 半导体芯片101,所述半导体芯片101上形成有凸出的若干金属柱102和位于所述金属柱102顶部表面的焊料凸块103;

[0078] 基板200,所述基板200的表面上形成有若干金属焊盘203;

[0079] 位于所述基板200上覆盖所述金属焊盘203和所述基板200表面的第一覆膜205,所述第一覆膜205中形成有若干上窄下宽的开口209,每一个所述上窄下宽的开口209的底部

暴露出的相应的所述金属焊盘203的表面；

[0080] 所述半导体芯片101倒装在所述基板200上，使每一个所述金属柱102上的焊料凸块103位于对应的上窄下宽的开口209内，并填充满所述上窄下宽的开口209。

[0081] 在一些实施例中，所述上窄下宽的开口209包括连通的第一开口和第二开口，所述第二开口位于所述第一开口上，且所述第二开口的宽度小于所述第一开口的宽度。

[0082] 在一些实施例中，所述第二开口的宽度为所述第一开口宽度的1/5-1/2。

[0083] 在一些实施例中，所述第一覆膜205为负性光刻胶膜。

[0084] 在一些实施例中，参考图11，所述第一覆膜205包括覆盖所述金属焊盘203和基板200表面的第一膜层205a和位于所述第一膜层205a上的第二膜层205b，所述第一膜层205a的材料与所述第二膜层205b的材料不相同，所述上窄下宽的开口209包括位于所述第二膜层205b中的第二开口209a和位于所述第一膜层205a中的第一开口209b，所述第一开口209b与所述第二开口209a连通，且第一开口209b的宽度大于所述第二开口209a的宽度。

[0085] 在一些实施例中，继续参考图13，所述半导体芯片100与所述基板200之间还具有覆盖所述凸出的若干金属柱102的第二覆膜104。

[0086] 在一些实施例中，所述第二覆膜104的材料为非导电粘合膜。

[0087] 在一些实施例中，所述基板200包括正面和与正面相对的背面，所述基板200的正面形成若干金属焊盘203，所述基板200的背面形成有若干外接焊盘204。

[0088] 本申请虽然已以较佳实施例公开如上，但其并不是用来限定本申请，任何本领域技术人员在不脱离本申请的精神和范围内，都可以利用上述揭示的方法和技术内容对本申请技术方案做出可能的变动和修改，因此，凡是未脱离本申请技术方案的内容，依据本申请的技术实质对以上实施例所作的任何简单修改、等同变化及修饰，均属于本申请技术方案的保护范围。

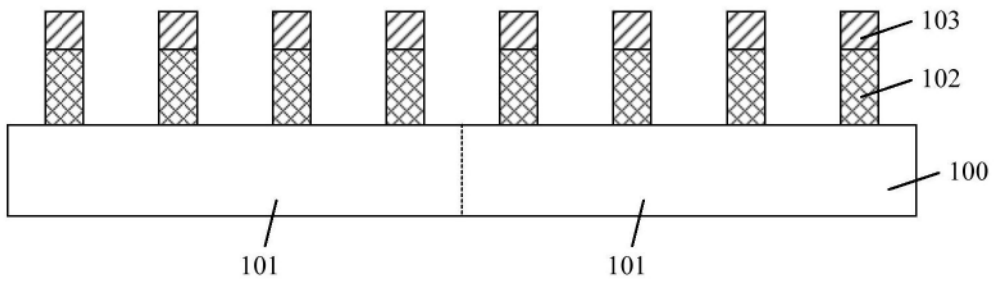


图1

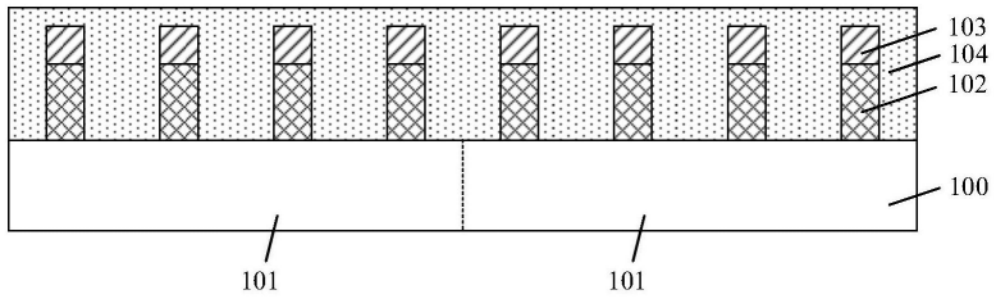


图2

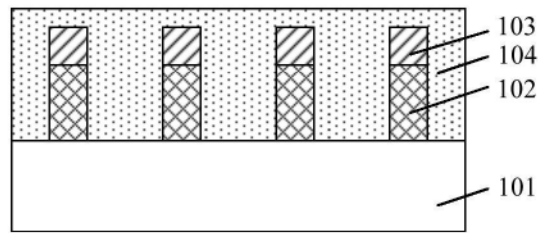


图3

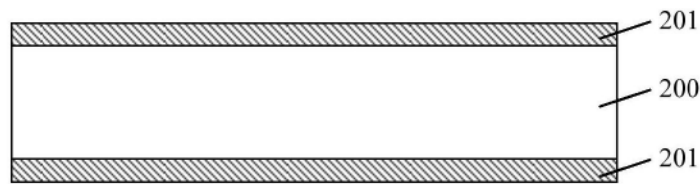


图4

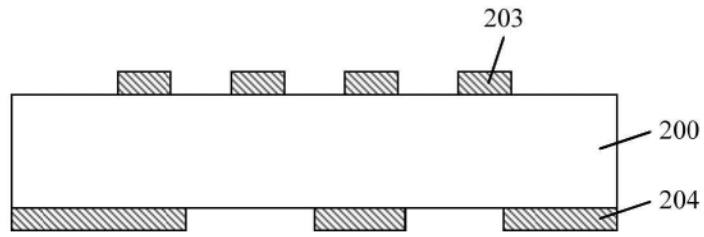


图5

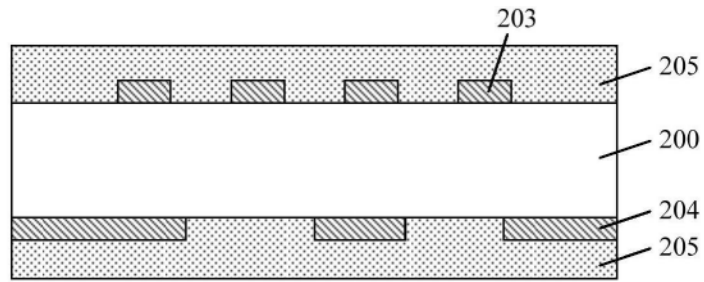


图6

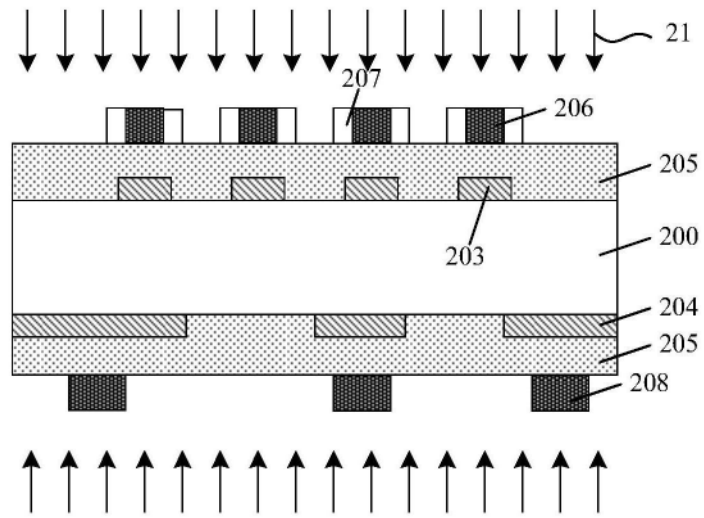


图7

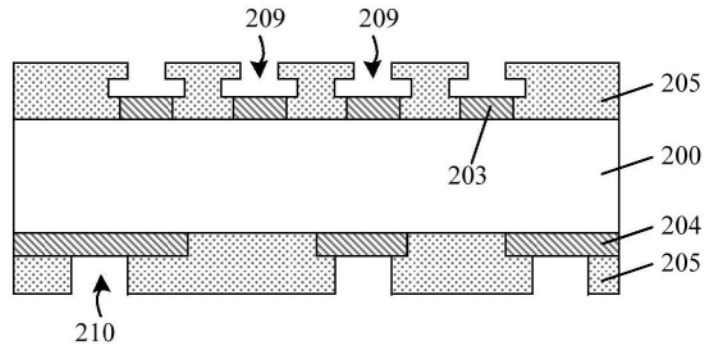


图8

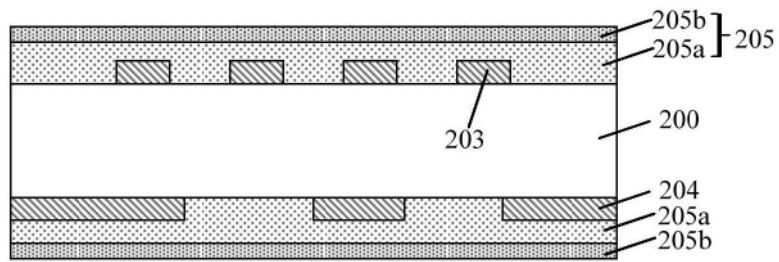


图9

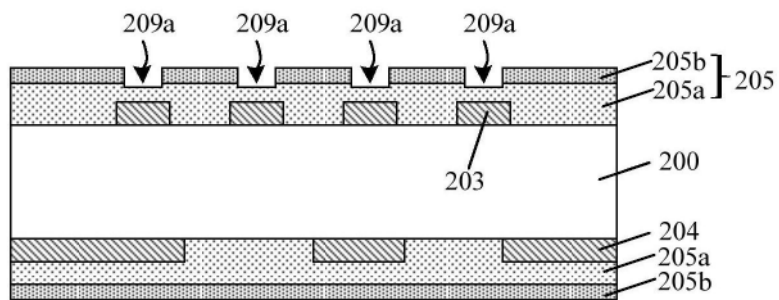


图10

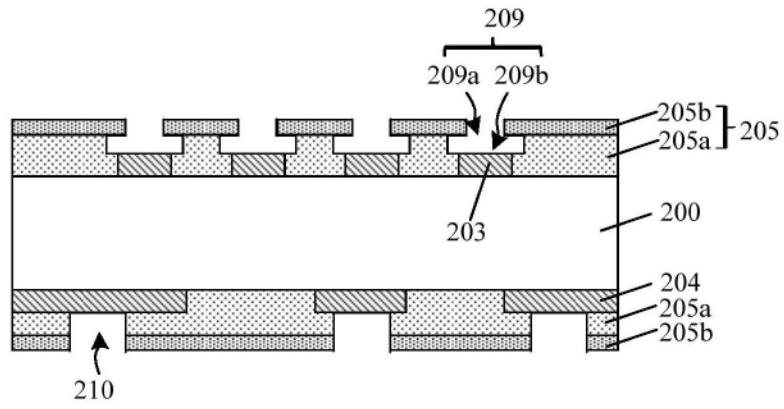


图11

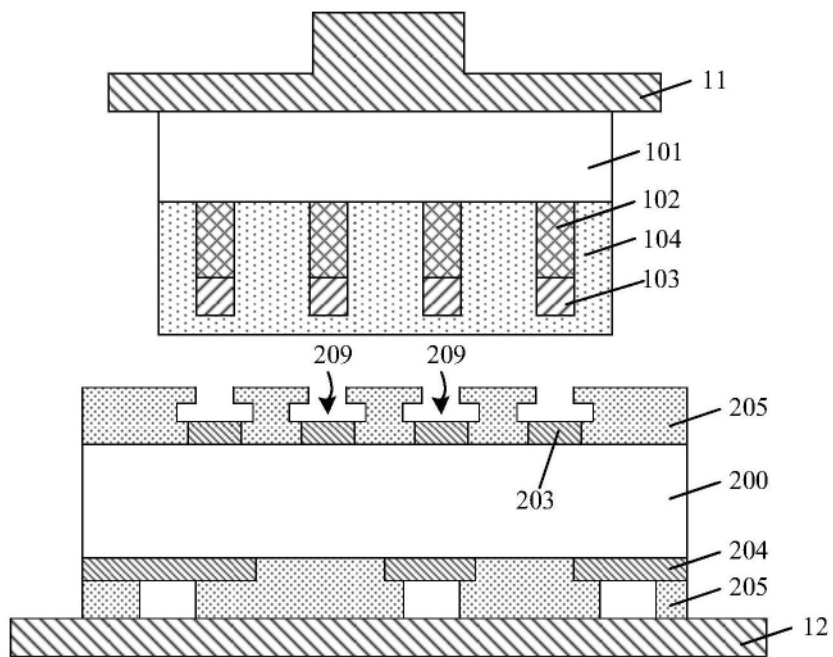


图12

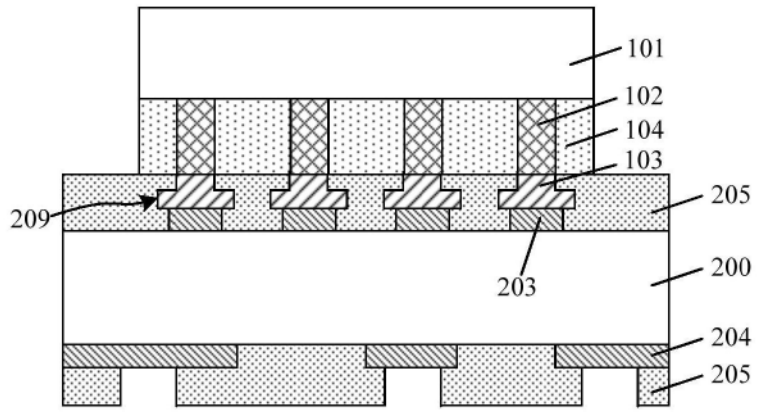


图13