



(12) 发明专利申请

(10) 申请公布号 CN 116978877 A

(43) 申请公布日 2023. 10. 31

(21) 申请号 202310240116.1 *H01L 23/498* (2006.01)

(22) 申请日 2023.03.14 *H01L 23/12* (2006.01)

(30) 优先权数据 *H01L 21/48* (2006.01)
17/732,954 2022.04.29 US *H01L 21/50* (2006.01)
H01L 21/60 (2006.01)

(71) 申请人 安华高科技股份有限公司 *H01L 21/768* (2006.01)
地址 新加坡新加坡市

(72) 发明人 D·萨拉斯沃图拉
A·罗摩克里希南 赵子群
S·卡里卡兰 M·马尤卡 曹力明
R·谢里菲

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287
专利代理师 林斯凯

(51) Int. Cl.
H01L 23/48 (2006.01)

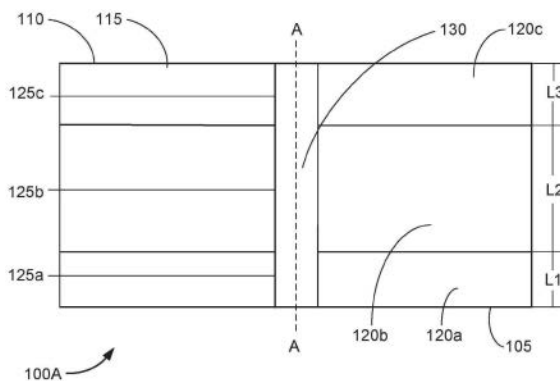
权利要求书3页 说明书17页 附图16页

(54) 发明名称

多层核心、可变宽度通路及偏移通路

(57) 摘要

本公开涉及多层核心、可变宽度通路及偏移通路。提供用于实施半导体封装或芯片封装，且更具体地说，用于实施包含具有一或多个可变宽度通路或一或多个偏移通路的核心或多层核心的半导体封装或芯片封装的新颖工具及技术。在各种实施例中，一种设备包含衬底。所述衬底包含核心。所述核心可包含延伸穿过所述核心的一或多个通路。所述一或多个通路中的至少一个通路包含横截面，所述横截面在通路延伸穿过所述核心时沿着所述至少一个通路的长度变化。所述通路的所述横截面基于改变所述至少一个通路的宽度或使所述至少一个通路的第一部分从所述至少一个通路的第二部分偏移中的至少一者而变化。



1. 一种设备,其包括:

衬底,其中所述衬底包括:

核心,其包括:

延伸穿过所述核心的一或多个通路,其中所述一或多个通路中的至少一个通路具有横截面,所述横截面在所述至少一个通路延伸穿过所述核心时沿着所述至少一个通路的长度变化。

2. 根据权利要求1所述的设备,其中所述一或多个通路沿着垂直于由所述核心的平坦表面所界定的平面的轴延伸穿过所述核心。

3. 根据权利要求1所述的设备,其中所述至少一个通路的所述横截面基于改变所述至少一个通路的宽度或使所述至少一个通路的第一部分从所述至少一个通路的第二部分偏移中的至少一者而变化。

4. 根据权利要求3所述的设备,其中改变所述至少一个通路的所述宽度包括所述一或多个通路中的所述至少一个通路的中间部分中的至少一者具有大于所述至少一个通路的顶部部分或底部部分中的至少一者的宽度。

5. 根据权利要求1所述的设备,其中所述一或多个通路包括:

至少一对通路,其中所述一对通路中的第一通路的第一横截面基于改变所述第一通路的第一宽度而沿着所述第一通路的第一长度变化,并且所述一对通路中的第二通路的第二横截面基于改变所述第二通路的第二宽度而沿着所述第二通路的第二长度变化。

6. 根据权利要求1所述的设备,其中所述一或多个通路包括:

至少一对通路,其中所述一对通路中的第一通路的第一横截面基于使所述第一通路的第一部分从所述第一通路的第二部分偏移而沿着所述第一通路的第一长度变化,并且其中所述一对通路中的第二通路的第二横截面基于使所述第二通路的第一部分从所述第二通路的第二部分偏移而沿着所述第二通路的第二长度变化。

7. 根据权利要求6所述的设备,其中所述第一通路的所述第二部分朝向所述第二通路的所述第二部分偏移,且其中所述第二通路的所述第二部分朝向所述第一通路的所述第二部分偏移。

8. 根据权利要求6所述的设备,其中所述第一通路的所述第二部分是所述第一通路的第一中间部分,且所述第二通路的所述第二部分是所述第二通路的第二中间部分,并且其中所述第一通路的所述第一中间部分朝向所述第二通路的所述第二中间部分偏移,并且所述第二通路的所述第二中间部分朝向所述第一通路的所述第一中间部分偏移。

9. 根据权利要求8所述的设备,其中所述第一通路的所述第一中间部分与所述第二通路的所述第二中间部分具有相同的长度。

10. 一种半导体装置,其包括:

衬底,其中所述衬底包括:

两个或更多个核心层,每一核心层堆叠在所述两个或更多个核心层的另一个核心层的顶部或下方,每一核心层包括:

至少一个钻孔,其中至少一个第一核心层的至少一个第一钻孔与至少一个其它核心层的至少一个其它钻孔电连接以形成穿过所述两个或更多个核心层的通路,并且其中所述通路具有横截面,所述横截面在所述通路延伸穿过所述两个或更多个核心层时沿着所述通路

的长度变化。

11. 根据权利要求10所述的半导体装置,其中所述两个或更多个核心层中的所述至少一个第一核心层包括与所述至少一个其它核心层不同的厚度。

12. 根据权利要求10所述的半导体装置,其中所述两个或更多个核心层中的至少一个第一核心层由具有与所述至少一个其它核心层不同的介电系数的材料形成。

13. 根据权利要求10所述的半导体装置,其中所述通路的所述横截面基于使至少一个第一钻孔的第一宽度不同于所述至少一个其它钻孔的第二宽度或使所述至少一个第一钻孔的第一部分从所述至少一个其它钻孔的第二部分偏移中的至少一者而变化。

14. 根据权利要求10所述的半导体装置,其中所述两个或更多个核心层包括一或多个顶部核心层,一或多个中间核心层及一或多个底部核心层,其中沿所述通路的所述长度改变所述横截面包括使所述一或多个中间核心层的一或多个第一中间钻孔的中间宽度大于所述一或多个底部核心层的一或多个底部钻孔的底部宽度或所述一或多个顶部核心层的一或多个顶部钻孔的顶部宽度,并且其中所述一或多个中间钻孔、所述一或多个底部钻孔及所述一或多个顶部钻孔电连接在一起以形成延伸穿过所述两个或更多个核心层的所述通路。

15. 根据权利要求14所述的半导体装置,其中所述一或多个底部核心层的所述一或多个底部钻孔的所述底部宽度与所述一或多个顶部核心层的所述一或多个顶部钻孔的所述顶部宽度相同。

16. 根据权利要求14所述的半导体装置,其中所述一或多个底部核心层的所述一或多个底部钻孔的所述底部宽度不同于所述一或多个顶部核心层的所述一或多个顶部钻孔的所述顶部宽度。

17. 根据权利要求10所述的半导体装置,其中每一核心层包括:

一对钻孔,其中所述至少一个第一核心层的第一对钻孔中的第一钻孔与所述至少一个其它核心层的第二对钻孔中的第一其它钻孔电连接以形成穿过所述两个或更多个核心层的第一通路,其中所述第一通路的第一横截面基于使所述第一钻孔的第一宽度不同于所述第一其它钻孔的第一其它宽度或使所述第一钻孔从所述第一其它钻孔偏移中的至少一者而变化,其中所述至少一个第一核心层的所述第一对钻孔中的第二钻孔与所述至少一个其它核心层的所述第二对钻孔中的第二其它钻孔电连接以形成穿过所述两个或更多个核心层的第二通路,其中所述第二通路的第二横截面基于使所述第二钻孔的第二宽度不同于所述第二其它钻孔的第二其它宽度或使所述第二钻孔从所述第二其它钻孔偏移中的至少一者而变化。

18. 根据权利要求17所述的半导体装置,其中当所述第一钻孔从所述第一其它钻孔偏移并且所述第二钻孔从所述第二其它钻孔偏移时,所述第一钻孔朝向所述第二钻孔偏移并且所述第二钻孔朝向所述第一钻孔偏移。

19. 根据权利要求17所述的半导体装置,其中当所述第一钻孔从所述第一其它钻孔偏移并且所述第二钻孔从所述第二其它钻孔偏移时,所述第一钻孔使用第一导电金属电连接到所述第一其它钻孔,所述第一导电金属沿着平行于由所述两个或更多个核心层中的每一者的平坦表面界定的平面的第一平行轴延伸,并且其中所述第二钻孔使用第二导电金属电连接到所述第二其它钻孔,所述第二导电金属沿着平行于由所述两个或更多个核心层中的

每一者的所述平坦表面界定的所述平面的第二平行轴延伸。

20. 一种方法,其包括:

形成包括至少一个第一钻孔的核心的至少一个第一核心层;

形成包括至少一个其它钻孔的所述核心的至少一个其它核心层,其中所述至少一个其它核心层沿着垂直于由所述至少一个第一核心层的平坦表面界定的平面的轴层叠在所述至少一个第一核心层的顶部或下方;

将所述至少一个第一钻孔与所述至少一个其它钻孔电耦合以形成穿过所述核心的通路,其中所述通路具有横截面,所述横截面在所述通路延伸穿过所述核心时沿着所述通路的长度变化。

多层核心、可变宽度通路及偏移通路

[0001] 版权声明

[0002] 此专利文献的公开内容的一部分含有受到版权保护的材料。版权所有者不反对由任何人对出现在专利及商标局专利文件或记录中的专利文献或专利公开内容进行传真复制,但除此之外保留所有版权权利。

技术领域

[0003] 本公开大体上涉及用于实施半导体封装或芯片封装的方法、系统及设备,且更具体地说,涉及用于实施包含具有一或多个可变宽度通路或一或多个偏移通路的核心或多层核心的半导体封装或芯片封装的方法、系统及设备。

背景技术

[0004] 芯片封装的尺寸不断增加,从而需要更厚的核心(例如,衬底的介电材料或介电层)来控制封装翘曲。然而,在芯片封装中具有较厚的核心导致延伸穿过芯片封装的核心的较长的核心通路(例如,镀通孔(“PTH”)。具有较长的核心通路存在几个缺点。当电信号行进通过芯片封装时,较长的核心通路会导致较大的阻抗变化。这又会导致较高的回波损耗,并最终降低信号完整性。另外,具有较长核心通路的较厚核心在落在当今高速串行化器/解串器(“SerDes”)的受关注的带宽中的频率下在插入损耗图中引起共振,并且无法用可用的有机结构技术来整流。

[0005] 因此,需要更稳固及可扩展的解决方案来实施半导体封装及芯片封装。因此,提供用于实施包含具有一或多个可变宽度通路或一或多个偏移通路的核心或多层核心的半导体封装或芯片封装的方法、系统及设备。

发明内容

[0006] 在一个方面中,本公开提供一种设备,其包括:衬底,其中所述衬底包括:核心,其包括:延伸穿过所述核心的一或多个通路,其中所述一或多个通路中的至少一个通路具有横截面,所述横截面在所述至少一个通路延伸穿过所述核心时沿着所述至少一个通路的长度变化。

[0007] 在另一方面中,本公开提供一种半导体装置,其包括:衬底,其中所述衬底包括:两个或更多个核心层,每一核心层堆叠在所述两个或更多个核心层的另一个核心层的顶部或下方,每一核心层包括:至少一个钻孔,其中至少一个第一核心层的至少一个第一钻孔与至少一个其它核心层的至少一个其它钻孔电连接以形成穿过所述两个或更多个核心层的通路,并且其中所述通路具有横截面,所述横截面在所述通路延伸穿过所述两个或更多个核心层时沿着所述通路的长度变化。

[0008] 在另一方面中,本公开提供一种方法,其包括:形成包括至少一个第一钻孔的核心的至少一个第一核心层;形成包括至少一个其它钻孔的所述核心的至少一个其它核心层,其中所述至少一个其它核心层沿着垂直于由所述至少一个第一核心层的平坦表面界定的

平面的轴层叠在所述至少一个第一核心层的顶部或下方;将所述至少一个第一钻孔与所述至少一个其它钻孔电耦合以形成穿过所述核心的通路,其中所述通路具有横截面,所述横截面在所述通路延伸穿过所述核心时沿着所述通路的长度变化。

附图说明

[0009] 通过参考说明书的剩余部分及附图,可实现对特定实施例的本质及优点的进一步理解,其中类似元件符号用于指代相似组件。在一些例子中,子标签与元件符号相关联以表示多个相似组件中的一者。当参考元件符号而不指明现有子标签时,其希望指代所有此类多个相似组件。

[0010] 图1A及1B是根据各种实施例的包括多层核心的半导体或芯片模块的衬底的示意性横截面图;

[0011] 图1C是根据各种实施例的半导体或芯片模块的衬底的俯视图;

[0012] 图2A到2D是根据各种实施例的包括可变宽度通路的半导体或芯片模块的衬底的示意性横截面图;

[0013] 图3A及3B是根据各种实施例的包括多层核心层及可变宽度通路的半导体或芯片模块的衬底的示意性横截面图;

[0014] 图4A及4B是根据各种实施例的包括至少两个可变宽度通路的半导体或芯片模块的衬底的示意性横截面图;

[0015] 图5A及5B是根据各种实施例的包括偏移通路的半导体或芯片模块的衬底的示意性横截面图;

[0016] 图6A及6B是根据各种实施例的包括多层核心及偏移直径通路的半导体或芯片模块的衬底的示意性横截面图;

[0017] 图7A及7B是根据各种实施例的包括至少两个偏移通路的半导体或芯片模块的衬底的示意性横截面图;以及

[0018] 图8是根据各种实施例的制造包括可变宽度通路或偏移通路的半导体或芯片模块的衬底的方法的流程图。

具体实施方式

[0019] 各种实施例提供用于实施包含具有一或多个可变宽度通路或一或多个偏移通路的多层核心及/或核心的半导体封装或芯片封装的工具及技术。

[0020] 在第一方面,提供一种包含衬底的设备。所述衬底可为印刷电路板(“PCB”)的衬底、集成电路封装(例如,球栅阵列(BGA)封装、引脚栅阵列(PGA)封装或包含衬底的其它集成电路封装类型)的衬底、及/或其上制造或附接半导体或芯片模块的元件的任何其它衬底。所述衬底包含核心,所述核心包括延伸穿过所述核心的一或多个通路。所述一或多个通路可沿着垂直于由所述核心的平坦表面界定的平面的轴延伸。所述一或多个通路中的至少一个通路具有横截面,所述横截面在所述至少一个通路延伸穿过所述核心时沿着所述至少一个通路的长度变化。在一些例子中,至少一个通路的横截面基于改变至少一个通路的宽度或使至少一个通路的第一部分从至少一个通路的第二部分偏移中的至少一者而变化。

[0021] 在一些实施例中,改变所述至少一个通路的宽度包括所述一或多个通路中的所述

至少一个通路的中间部分中的至少一者具有大于所述至少一个通路的顶部部分或底部部分中的至少一者的宽度。至少一个通路的顶部部分及底部部分中的至少一者可具有相同的宽度。替代地,至少一个通路的顶部部分及底部部分中的至少一者具有不同的宽度。

[0022] 在一些例子中,一或多个通路包括至少一对通路。所述一对通路中的第一通路的第一横截面基于改变所述第一通路的第一宽度而沿着所述第一通路的第一长度变化,并且所述一对通路中的第二通路的第二横截面基于改变所述第二通路的第二宽度而沿着所述第二通路的第二长度变化。在一些例子中,第一宽度及第二宽度可为相同的宽度。替代地,第一宽度及第二宽度可为不同的宽度。在各种实施例中,所述一对通路中的第一通路的第一中间部分具有比第一通路的第一顶部部分或第一底部部分中的至少一者更大的宽度,并且所述一对通路中的第二通路的第二中间部分具有比第二通路的第二顶部部分或第二底部部分中的至少一者更大的宽度。

[0023] 在各种实施例中,一或多个通路包括至少一对通路。所述一对通路中的第一通路的第一横截面基于使第一通路的第一部分从第一通路的第二部分偏移而沿着所述一对通路中的第一通路的第一长度变化,并且所述一对通路中的第二通路的第二横截面基于使第二通路的第一部分从第二通路的第二部分偏移而沿着所述一对通路中的第二通路的第二长度变化。第一通路的第二部分朝向第二通路的第二部分偏移,且第二通路的第二部分朝向第一通路的第二部分偏移。在一些例子中,第一通路的第二部分是第一通路的第一中间部分,且第二通路的第二部分是第二通路的第二中间部分,并且第一通路的第一中间部分朝向第二通路的第二中间部分偏移,并且第二通路的第二中间部分朝向第一通路的第一中间部分偏移。第一通路的第一中间部分可与第二通路的第二中间部分具有相同的长度。

[0024] 在另一方面中,提供一种半导体装置。所述半导体装置包含衬底,所述衬底包括两个或更多个核心层。每一核心层堆叠在两个或更多个核心层中的另一核心层的顶部或下方。每一核心层可沿着垂直于由两个或更多个核心层中的每一者的平坦表面界定的平面的轴堆叠。每一核心层包含至少一个钻孔。至少一个第一核心层的至少一个第一钻孔与至少一个其它核心层的至少一个其它钻孔电连接以形成穿过两个或更多个核心层的通路。所述通路具有横截面,所述横截面在通路延伸穿过两个或更多个核心层时沿着通路的长度变化。通路的横截面基于使至少一个第一钻孔的第一宽度不同于至少一个其它钻孔的第二宽度或使至少一个第一钻孔的第一部分从至少一个其它钻孔的第二部分偏移中的至少一者而变化。

[0025] 在各种情况下,两个或更多个核心层中的至少一个第一核心层包括与至少一个其它核心层不同的厚度。所述两个或更多个核心层中的至少一个第一核心层可由具有与所述至少一个其它核心层不同的介电系数的材料形成。在一些实施例中,两个或更多个核心层包括三个核心层,并且三个核心层中的每一核心层的厚度在385微米到435微米的范围内。

[0026] 在一些实施例中,两个或更多个核心层包括一或多个顶部核心层、一或多个中间核心层及一或多个底部核心层。沿通路的长度改变横截面包括使一或多个中间核心层的一或多个第一中间钻孔的中间宽度大于一或多个底部核心层的一或多个底部钻孔的底部宽度或一或多个顶部核心层的一或多个顶部钻孔的顶部宽度。所述一或多个中间钻孔、所述一或多个底部钻孔及所述一或多个顶部钻孔电连接在一起以形成延伸穿过所述两个或更多个核心层的通路。在一些情况下,一或多个底部核心层的一或多个底部钻孔的底部宽度

与一或多个顶部核心层的一或多个顶部钻孔的顶部宽度相同。替代地,在其它情况下,一或多个底部核心层的一或多个底部钻孔的底部宽度不同于一或多个顶部核心层的一或多个顶部钻孔的顶部宽度。

[0027] 在各种例子中,每一核心层包括一对钻孔。所述至少一个第一核心层的第一对钻孔中的第一钻孔与所述至少一个其它核心层的第二对钻孔中的第一其它钻孔电连接以形成穿过所述两个或更多个核心层的第一通路。所述第一通路的第一横截面基于使所述第一钻孔的第一宽度不同于所述第一其它钻孔的第一其它宽度或使所述第一钻孔从所述第一其它钻孔偏移中的至少一者而变化。至少一个第一核心层的第一对钻孔中的第二钻孔与至少一个其它核心层的第二对钻孔中的第二其它钻孔电连接以形成穿过两个或更多个核心层的第二通路。所述第二通路的第二横截面基于使所述第二钻孔的第二宽度不同于所述第二其它钻孔的第二其它宽度或使所述第二钻孔从所述第二其它钻孔偏移中的至少一者而变化。当所述第一钻孔从所述第一其它钻孔偏移并且所述第二钻孔从所述第二其它钻孔偏移时,所述第一钻孔朝向所述第二钻孔偏移并且所述第二钻孔朝向所述第一钻孔偏移。当所述第一钻孔从所述第一其它钻孔偏移并且所述第二钻孔从所述第二其它钻孔偏移时,所述第一钻孔使用第一导电金属电连接到所述第一其它钻孔,所述第一导电金属沿着平行于由所述两个或更多个核心层中的每一者的平坦表面界定的平面的第一平行轴延伸,并且其中所述第二钻孔使用第二导电金属电连接到所述第二其它钻孔,所述第二导电金属沿着平行于由所述两个或更多个核心层中的每一者的平坦表面界定的平面的第二平行轴延伸。

[0028] 在又一方面,提供一种制造可变宽度通路或偏移通路的方法。所述方法包含形成包括至少一个第一钻孔的核心的至少一个第一核心层。所述方法以形成包括至少一个其它钻孔的核心的至少一个其它核心层来继续。所述至少一个其它核心层沿着垂直于由所述至少一个第一核心层的平坦表面界定的平面的轴层叠在所述至少一个第一核心层的顶部或下方。所述方法进一步包含将所述至少一个第一钻孔与所述至少一个其它钻孔电耦合以形成穿过所述核心的通路。所述通路具有横截面,所述横截面在通路延伸穿过核心时沿着通路的长度变化。通路的横截面基于使至少一个第一钻孔的第一宽度不同于至少一个其它钻孔的第二宽度或使至少一个第一钻孔的第一部分从至少一个其它钻孔的第二部分偏移中的至少一者而变化。

[0029] 在下列描述中,出于解释的目的,陈述许多细节以便提供对经描述实施例的透彻理解。然而,所属领域的技术人员应明白,可在没有这些细节中的一些的情况下实践其它实施例。本文描述几个实施例,且尽管各种特征归属于不同的实施例,但是应了解,关于一个实施例描述的特征也可与其它实施例合并。然而,出于同样的原因,任何描述的实施例的单个特征或多个特征都不应被认为是本发明的每个实施例所必需的,因为本发明的其它实施例可省略此类特征。

[0030] 类似地,当一元件在本文被称为“连接”或“耦合”到另一元件时,应理解,所述元件可直接连接到另一元件,或者在元件之间具有中介元件。相比之下,当元件被称为“直接连接”或“直接耦合”到另一元件时,应理解,在元件之间的“直接”连接中不存在中介元件。然而,直接连接的存在并不排除其中可存在中介元件的其它连接。

[0031] 此外,为了便于描述,可以特定的顺序描述本文描述的方法及工艺。然而,应理解,除非上下文另有规定,否则中介工艺可在所描述的工艺的任何部分之前及/或之后发生,且

根据各种实施例,可重新排序、添加及/或省略另外各种过程。

[0032] 除非另有指示,否则本文用于表达数量、尺寸等的所有数字应理解为在所有例子中都被术语“大约”修饰。在本申请案中,除非另有特别陈述,否则单数的使用包含复数,且除非另有指示,否则术语“及”及“或”的使用意味着“及/或”。此外,术语“包含(including)”及其它形式(例如“包含(includes)”及“包含(included)”)的使用应被视为非排他性的。而且,例如“元件”或“组件”的术语涵盖包括一个单元的元件及组件两者以及包括多于一个单元的元件及组件,除非另有特别陈述。

[0033] 另外,应当理解,本文使用的空间描述(例如,“上方”、“下方”、“上”、“左”、“右”、“下”、“顶部”、“底部”、“中间”、“垂直”、“水平”等)仅用于说明的目的,并且本文描述的结构实际实施方案可以任何方向或方式在空间上布置。

[0034] 在常规的半导体或芯片封装中,一或多个通路可延伸穿过半导体或芯片封装的单层核心。所述一或多个通路(例如,镀通孔(“PTH”)通路)是穿过半导体或芯片封装的核心的导电开口,电信号可穿过所述导电开口。一或多个通路在通过单层核心分离的半导体或芯片封装的不同部分之间传递一或多个电信号。常规地,延伸穿过半导体或芯片封装的单层核心的一或多个通路具有以延伸穿过通路中心的垂直轴为中心的相同宽度或相同直径。

[0035] 所提出的模块可为半导体或芯片模块(例如,集成电路(IC)、芯片或其它半导体装置),其提供多层核心(例如,衬底的多个介电层),提供可变宽度或可变直径的通路,及/或提供从通路的第二部分偏移的通路的第一部分。通过实施多层核心、可变宽度通路及/或偏移通路,电信号在行进通过半导体或芯片封装时所看到的阻抗变化可被最小化。这又可改进半导体或芯片封装的插入损耗及回波损耗。此外,通过实施多层核心、可变宽度通路及/或偏移通路,在受关注的频率带宽中的插入损耗中看到的共振及串扰可被最小化或消除。另外,通过实施多层核心,可减少封装翘曲。

[0036] 图1A及1B(统称为图1)是根据各种实施例的半导体或芯片模块的衬底100a及100b(统称为衬底100)的示意性横截面侧视图。图1C是根据各种实施例的衬底100的俯视图。半导体模块可为集成电路(IC)、芯片或其它半导体装置及/或类似者。衬底100可为印刷电路板(“PCB”)的衬底、集成电路封装(例如,球栅阵列(BGA)封装、引脚栅阵列(PGA)封装或包含衬底的其它集成电路封装类型)的衬底、及/或其上制造或附接半导体或芯片模块的元件的任何其它衬底。衬底100可具有不同于图1所描绘的组件的各种其它组件(例如,图2到7所示的组件及/或所属领域的一般技术人员已知的其它组件),并且不限于仅图1所描绘的组件。

[0037] 衬底100可包含第一层105及第二层110。第一层105及第二层110可为衬底100的一或多个表面层。替代地,第一层105及第二层110可为衬底100的一或多个内层。第一层105及/或第二层110可具有定位在第一层105或第二层110上的一或多个导电组件(例如,引脚,垫,焊球等),可涂覆在导电涂层中,可由导电材料形成及/或类似者。

[0038] 核心115定位在衬底100的第一层105与第二层110之间。衬底的核心115具有一或多个介电层120a、120b及120c(统称为核心层120)。尽管在图1中展示三个核心层120,但是更多或更少的核心层120可定位在衬底100中。

[0039] 在一些情况下,每一核心层120a、120b及120c可由相同的介电材料形成,或在其它情况下,至少一个核心层120a、120b或120c可由不同的介电材料形成。在各种实施例中,每一核心层120a、120b及120c可由具有相同介电系数的材料形成,或者在其它情况下,至少一

个核心层120a、120b或120c可由具有不同介电系数的材料形成。

[0040] 在一些情况下,如图1B中所展示,每一核心层120a、120b及120c可具有相同或相似的厚度。替代地,底部核心层120a及顶部核心层120c可具有相同或相似的厚度,并且中间核心层120b可比底部核心层120a及顶部核心层120c更大(如图1A中所展示)或更小。替代地,至少一个核心层120a、120b或120c可为与其它核心层不同的厚度。在一个实施例中,每一核心层120a、120b及120c的厚度可在385微米到435微米的范围内。

[0041] 每一核心层120a、120b及120c可具有对应的钻孔125a、125b及125c。尽管在图1中展示三个钻孔125a、125b及125c,但是更多或更少的钻孔可定位在每一核心层120a、120b及120c中。每一钻孔125a到125c可具有对应的长度。例如,如图1A中所展示,钻孔125a可具有长度L1,钻孔125b可具有长度L2,并且钻孔125c可具有长度L3。尽管在图1A中展示长度L1到L3,但是所属领域的一般技术人员将知晓如何识别图1B及其余图(如图3、4B、6及7B)中钻孔的长度。每一钻孔125a、125b及125c的长度可基于每一核心层120a到120c的厚度或长度而变化。例如,如果中间核心层120b比层120a及120c厚,那么中间钻孔125b的长度L2可比底部钻孔125a的长度L1及顶部钻孔125c的长度L3长。

[0042] 三个钻孔125a、125b及125c可电耦合在一起以形成穿过衬底100的核心层120a、120b及120c的通路130。通路130可沿着轴A-A延伸(如图1A及1B中所展示),所述轴垂直于由核心115的平坦表面界定的平面。通路130可完全延伸穿过衬底100(例如,“贯穿”通路),可从一个外表面延伸穿过衬底100的一部分(例如,“盲”通路),或可延伸穿过衬底100的一部分并从外部视野完全隐藏(例如,“掩埋”通路),及/或类似者。应当注意,核心115不限于仅一个通路130,并且可包含多于一个通路,如图4及7中所展示。另外,应当注意,图1中示意性说明衬底100、核心115及通路130的各种组件,且对衬底100、核心115及通路130的各种组件及其它布置的修改可为可能的且根据各种实施例。

[0043] 钻孔125a、125b及125c可通过在每一核心层120a、120b及120c中钻出孔且用导电材料镀敷或涂覆所述孔的内表面而形成在每一核心层120a、120b及120c中。钻孔125a、125b及125c可镀敷或涂覆有例如铜、铝、金、银、锡、镍、铅的金属或金属的组合/合金,或可由其它导电材料形成。

[0044] 通路130可通过形成第一核心层120a并在第一核心层120a中钻出第一钻孔125a来形成。接着,可在第一核心层120a的顶部上形成第二核心层120b,并且可在第二核心层120b中钻出第二钻孔125b,并且第二钻孔125b电耦合到第一核心层120a的第一钻孔125a。另外,可在第二核心层120b的顶部上形成第三核心层120c,并且可在第三核心层120c中钻出第三钻孔125c,且第三钻孔125c电耦合到第二核心层120b的第二钻孔125b。钻孔125a到125c可使用导电材料电耦合在一起。镀敷或涂覆钻孔125a、125b及125c的导电材料形成通路130,所述通路130产生使电信号从衬底100的第一层105行进到第二层110的电连接。在一些情况下,可存在用以形成通路130的其它方式或额外方法,并且通路130的形成不限于制造特定核心的任何特定方法。

[0045] 在一些例子中,如图1B中所展示,第一钻孔125a可任选地包含第一通路垫135a及第二通路垫135b,第二钻孔125b可任选地包含第二通路垫135b及第三通路垫135c,且第三钻孔125c可任选地包含第三通路垫135c及第四通路垫135d。第一通路垫135a围绕或靠近第一钻孔125a的开口形成在衬底100的第一层105上,第二通路垫135b形成在第一钻孔125a与

第二钻孔125b之间,第三通路垫135c形成在第二钻孔125b与第三钻孔125c之间,且第四通路垫135d围绕或靠近第三钻孔125c的开口形成在衬底100的第二层110上。

[0046] 通路垫135a到135d电耦合到钻孔125a到125c及/或通路130。在一些例子中,通路垫135a到135d围绕钻孔125a到125c的开口以将钻孔125a到125c电耦合在一起并形成通路130。另外或替代地,通路垫135a到135d沿着平行于由对应的核心层120a到120c的顶部上或两个对应的核心层之间的平坦表面界定的平面布置的第一平行轴延伸,以将钻孔125a到125c电耦合在一起并形成通路130。在一些实例中,通路垫135a到135d可由例如铜、铝、金、银、锡、镍、铅的金属或金属的组合/合金形成,或者可由其它导电材料形成。

[0047] 在一些例子中,如图2C中所展示,对于钻孔125c、通路130及通路垫135c,钻孔125a、125b及125c的开口、通路130的开口及/或通路垫135a到135d可为圆形、椭圆形、方形、矩形及/或类似者。通常,钻孔125a、125b及125c的开口及/或通路130的开口将为圆形或椭圆形。通路130包含第一部分或底部部分(例如,底部钻孔125a)、第二部分或中间部分(例如,中间钻孔125b)及第三部分或顶部部分(例如,顶部钻孔125c)。在一些情况下,如图1A及1B中所展示,通路130的横截面在通路130延伸穿过核心115时贯穿三个钻孔125a、125b及125c是恒定的。

[0048] 通过使用多层核心115产生通路130,半导体封装及/或芯片封装的翘曲可减少,这是因为多层核心115为衬底100提供更大的稳定性。此外,通过产生每一钻孔125a、125b及125c,逐层制造工艺可使用较小的钻头并在每一核心层120a、120b及120c中产生较小的切口。这又减少了串扰,因为迹线之间可有更多的空间。另外,具有较薄的核心层120a、120b及120c而非较厚的单层核心有助于减少核心的共振,这改善了插入损耗及回波损耗。

[0049] 下文关于图2到7说明衬底100、核心115及通路130的不同布置。

[0050] 图2A到2D(统称为图2)是根据各种实施例的半导体或芯片模块的衬底200a到200d(统称为衬底200)的示意性横截面图。衬底200可类似于图1的衬底100,其具有几个额外的及/或不同的特征。在一些情况下,图1中描述的功能、特征、修改、变更及/或类似者也可应用于图2,反之亦然。应当注意,衬底200的各种组件在图2中示意性地说明,且对衬底200的各种组件及其它布置的修改可为可能的且根据各种实施例。

[0051] 衬底200可包含第一层205(例如,类似于图1的第一层105)及第二层210(例如,类似于图1的第二层110)。核心215定位在衬底200的第一层205与第二层210之间。核心215可由一或多个介电材料及/或介电层形成。在图2中,核心215仅为一个层,但不限于仅一个层,如图1、3、4、6及7中所展示。

[0052] 核心215可包含延伸穿过核心215的通路220。通路220可沿着轴A-A延伸(如图2A中所展示),所述轴垂直于由核心215的平坦表面界定的平面。应当注意,核心215不限于仅一个通路220,并且可包含多于一个通路220,如图4及7中所展示。

[0053] 通路220可通过在核心215中钻出孔并用导电材料镀敷或涂覆所述孔的内表面而在核心215中形成。导电材料可为铜、铝、金、银、锡、镍、铅或金属的组合/合金,或者可由其它导电材料形成。镀敷或涂覆通路220的内表面的导电材料形成从衬底200的第一层205到第二层210的电连接。

[0054] 在一些例子中,通路220的开口或钻孔225可为圆形、椭圆形、方形、矩形及/或类似者。通常,通路220的开口或钻孔225将为圆形或椭圆形。通路220包含第一部分或底部部分

230、第二部分或中间部分235及第三部分或顶部部分240。在一些情况下,第一部分230具有第一宽度或第一直径 W_1 (如图2B中所展示),第二部分235具有第二宽度或第二直径 W_2 (如图2B中所展示),并且第三部分240具有第三宽度或第三直径 W_3 (如图2B中所展示)。尽管仅在图2B中展示宽度(W_1 到 W_3),但是所属领域的一般技术人员将知晓如何识别图2A、2B及2C以及其余附图(例如,图1及3到7)中的宽度。通路220不限于仅三个部分及/或三个宽度,并且可具有多于三个或少于三个的部分及/或宽度。

[0055] 在一些实施例中,通路220的横截面可在通路220延伸穿过核心215时沿着通路220的长度 L_v 变化。通路220的横截面可归因于通路220的变化或可变宽度而变化。在一些情况下,通路220的底部部分230的第一宽度(或底部宽度) W_1 及通路220的第三宽度(或顶部宽度) W_3 或顶部部分240可为相同的宽度或大致相同的宽度。替代地,在其它情况下,通路220的底部部分的第一宽度(或底部宽度) W_1 及通路220的顶部部分240的第三宽度(或顶部宽度) W_3 可为不同的宽度。通路220的中间部分235的第二宽度(或中间宽度) W_2 不同于通路220的底部部分230的第一宽度(或底部宽度) W_1 及通路220的顶部部分240的第三宽度(或顶部宽度) W_3 。通路220的中间部分235的第二宽度(或中间宽度) W_2 大于通路220的底部部分230的第一宽度(或顶部宽度) W_1 及通路220的顶部部分240的第三宽度(或底部宽度) W_3 或具有大于所述宽度的宽度。在各种例子中,如图2C及2D中所展示,通路220的宽度可在通路220的长度 L_v 延伸穿过核心215时沿着斜率(例如,斜率245、250、255及/或260)或曲线(例如,曲线265及/或270)变化。在一些情况下,通路220的宽度可在通路220接近衬底200、核心215及/或通路220的中部或大约中部时逐渐增加,并且在通路220接近衬底200、核心215及/或通路220的端时逐渐减小,使得通路220的中间部分235大于通路220的底部部分230及/或通路220的顶部部分240。

[0056] 在一些情况下,如图2A中所展示,通路220的第一部分230、第二部分235及第三部分240中的每一者的长度可相同或大致相同。替代地,如图2B中所展示,第一部分230、第二部分235及第三部分240中的每一者的长度可变化。例如,如图2B中所展示,通路220的中间部分235的长度被展示为比通路220的顶部部分240及通路220的底部部分230的长度长。替代地,在一些情况下,通路220的中间部分235的长度可比通路220的顶部部分240及通路220的底部部分230的长度短。通路220的第一部分230、第二部分235及第三部分240的长度中的每一者可被调整或改变以减小衬底200的阻抗变化。在一些情况下,当核心215是多层核心时,通路220的部分的长度可基于每一核心层的厚度而变化。

[0057] 应当注意,根据各种实施例,通路220不仅限于图2A到2D中所展示的形状、宽度、长度、修改或布置,而是还可为具有可变宽度的各种其它形状、宽度、长度、修改或布置。另外,所属领域的一般技术人员将理解,图2A到2D中所展示的形状、宽度、长度、修改或布置也可应用于图1及3到7中所展示的衬底。然而,图1及3到7也不限于所展示的各种其它形状、宽度、长度、修改或布置,而是还可为各种其它形状、宽度、长度、修改或布置。在图1及3到7中所展示的通路的形状、宽度、长度中的每一者可被调整或布置以减少衬底或通路的阻抗变化。

[0058] 通过改变通路220的宽度使得通路225在通路220的中间部分235中具有较大的宽度,电信号在通过通路220行进穿过衬底200时所看到的阻抗变化可被最小化。例如,通过在通路220的中间部分235中具有较大的直径及在通路220的两端(例如,底部部分230及顶部

部分240)处具有较小的直径,此布置有助于最小化在衬底200的阻抗变化曲线中看到的电感峰值。这又可改善衬底200的插入损耗及回波损耗。

[0059] 下文关于图3到7展示衬底200、核心215及通路220的不同布置。

[0060] 图3A及3B(统称为图3)是根据各种实施例的半导体或芯片模块的衬底300a及300b(统称为衬底300)的示意性横截面图。衬底300可类似于图1的衬底100及/或图2的衬底200,其具有几个额外的及/或不同的特征。在一些情况下,图1及2中描述的功能、特征、修改、变更及/或类似者也可应用于图3,反之亦然。应当注意,衬底300的各种组件在图3中示意性地说明,且对衬底300的各种组件及其它布置的修改可为可能的且根据各种实施例。

[0061] 衬底300可包含第一层305(类似于图1的第一层105及图2的第一层205)及第二层310(类似于图1的第二层110及图2的第二层210)。核心315定位在衬底300的第一层305与第二层310之间。核心315可具有类似于图1的核心层120a、120b及120c的一或多个层320a、320b及320c(统称为核心层320)。尽管在图3中展示三个核心层320,但是更多或更少的核心层320可定位在衬底300中。通过具有多层核心315,衬底300的串扰及回波损耗可被最小化或降低。另外,具有多层核心315可增加衬底300的刚性并减少封装翘曲。

[0062] 每一核心层320a、320b及320c可具有对应的钻孔325a、325b及325c。尽管在图3中展示三个钻孔325a、325b及325c,但是更多或更少的钻孔可定位在每一核心层320a、320b及320c中。三个钻孔325a、325b及325c可电耦合在一起以形成穿过核心层320a、320b及320c的通路330。通路330可沿着轴A-A延伸(如图3A中所展示),所述轴垂直于由核心315的平坦表面界定的平面。应当注意,核心315不限于仅一个通路330,并且可包含多于一个通路。每一核心层320、钻孔325a到325c及通路330可以类似于图8中所述的制造方法的方式形成。

[0063] 在一些例子中,第一钻孔325a可任选地包含第一通路垫335a及第二通路垫335b,第二钻孔325b可任选地包含第二通路垫335b及第三通路垫335c,并且第三钻孔325c可任选地包含第三通路垫335c及第四通路垫335d。通路垫335a到335d电耦合到钻孔325a到325c及/或通路330。在一些例子中,通路垫335a到335d沿着平行于由对应核心层320a到320c顶部上的平坦表面界定的平面布置的第一平行轴延伸,以将钻孔325a到325c电耦合在一起并形成通路330。

[0064] 在一些例子中,钻孔325a、325b及325c的开口、通路330的开口及/或通路垫335a到335d可为圆形、椭圆形、方形、矩形及/或类似者。通路330包含第一部分或底部部分(例如,底部钻孔325a)、第二部分或中间部分(例如,中间钻孔325b)及第三部分或顶部部分(例如,顶部钻孔325c)。在一些情况下,如图3B中所展示,第一部分或第一钻孔325a具有第一宽度或第一直径W1,第二部分或第二钻孔325b具有第二宽度或第二直径W2,且第三部分或第三钻孔325c具有第三宽度或第三直径W3。通路330不限于仅三个部分、三个钻孔及/或三个宽度,并且可具有多于三个或少于三个的部分、钻孔及/或宽度。

[0065] 在一些情况下,第一钻孔325a的第一宽度(或底部宽度)W1及第三钻孔325c的第三宽度(或顶部宽度)W3可为相同的宽度或大致相同的宽度。替代地,在其它情况下,第一钻孔325a的第一宽度(或底部宽度)W1及第三钻孔325c的第三宽度(或顶部宽度)W3可为不同的宽度。第二钻孔325b的第二宽度(或中间宽度)W2不同于第一钻孔325a的第一宽度(或底部宽度)W1及第三钻孔325c的第三宽度(或顶部宽度)W3。第二钻孔325b的第二宽度(或中间宽度)W2大于第一钻孔235a的第一宽度(或顶部宽度)W1及第三钻孔235c的第三宽度(或底部

宽度)W3或具有大于所述宽度的宽度。在一些情况下,使用比用于形成第一钻孔325a的第一宽度(或底部宽度)W1及第三钻孔325c的第三宽度(或顶部宽度)W3的钻头更大的钻头来形成第二钻孔325b的第二宽度(或中间宽度)W2。

[0066] 通过改变钻孔325a、325b及325c及/或通路330的宽度,使得通路330在通路330的中间部分或中间钻孔325b中具有较大的宽度,且通过具有多层核心315,电信号在通过通路330行进穿过衬底300时所看到的阻抗变化可被最小化。例如,通过在通路330的中间部分或中间钻孔325b中具有较大直径及在通路330两端(例如,底部部分或底部钻孔325a及顶部部分或顶部钻孔325c)处具有较小直径及具有多层核心315,这种布置有助于最小化在衬底300及/或通路330的阻抗变化中看到的电感峰值。这又可改善衬底300及/或通路330的插入损耗及回波损耗。此外,通过在多层核心315中实施可变宽度通路330,在受关注的频率带宽中的插入损耗中看到的共振可被最小化或消除。另外,通过在多层核心315中实施可变宽度通路330,可减少芯片或半导体的封装翘曲。

[0067] 下文关于图4到7说明衬底300、多层核心315及通路330的不同布置。

[0068] 图4A及4B(统称为图4)是根据各种实施例的半导体或芯片模块的衬底400a及400b(统称为衬底400)的示意性横截面图。衬底400可类似于图2的衬底200及/或图3的衬底300,区别仅在于图4具有至少两个通路425a及425b而非仅具有所展示的一个通路。在一些情况下,图1到3中描述的功能、特征、修改、变更及/或类似者也可应用于图4,反之亦然。应当注意,衬底400的各种组件在图4中示意性地说明,且对衬底400的各种组件及其它布置的修改可为可能的且根据各种实施例。

[0069] 衬底400可包含第一层405(类似于图2的第一层205、图2的第一层205或图3的第一层305)及第二层410(类似于图1的第二层110、图2的第二层210或图3的第二层310)。核心415定位在衬底400的第一层405与第二层410之间。核心415可具有如图4A中所展示的一个核心层420及/或如图4B中所展示的多于一个层(例如,核心层420a、420b及/或420c)。

[0070] 核心415可具有两个或更多个通路425a及425b。每一通路425a及425b可沿着垂直于由核心415的平坦表面界定的平面的轴(未展示)延伸。在一些情况下,如图4B中所展示,核心415的每一层420可具有形成第一通路425a的对应第一钻孔(例如,钻孔430a、430b及430c)及形成第二通路425b的对应第二钻孔(例如,钻孔435a、435b及435c)。通路425a及425b产生从衬底400的第一层405到第二层410的电连接。尽管在图4A及4B中展示两个通路425a及425b,并且在图4B中展示六个钻孔430a、430b及430c以及435a、435b及435c,但是更多或更少的通路可定位在核心415中及/或更多或更少的钻孔可定位在每一核心层420中。

[0071] 在一些例子中,通路425a及425b可任选地包含一或多个通路垫440。通路垫440电耦合到第一钻孔430a到430c或第二钻孔435a到435c及/或到通路425a及425b。在一些情况下,通路垫440可将通路425a及425b电耦合到定位在第一层405及第二层410上的一或多个导电组件(例如,引脚、垫、焊球等)、定位在第一层405及第二层410上的导电涂层、或由导电材料形成的第一层405及第二层410及/或类似者。以这种方式,从衬底400的第一层405到第二层410的电连接可由通路425a及425b产生。

[0072] 在一些例子中,第一钻孔430a、430b及430c的开口、第二钻孔435a、435b及435c的开口、通路425a及/或425b的开口及/或通路垫440可为圆形、椭圆形、方形、矩形及/或类似者。第一通路425a包含第一部分或底部部分445a(例如,底部钻孔430a)、第二部分或中间部

分445b(例如,中间钻孔430b)及第三部分或顶部部分445c(例如,顶部钻孔430c)。第二通路425b包含第一部分或底部部分450a(例如,底部钻孔435a)、第二部分或中间部分450b(例如,中间钻孔435b)及第三部分或顶部部分450c(例如,顶部钻孔435c)。

[0073] 在一些情况下,第一通路425a的第一部分445a或底部钻孔430a以及第二通路425b的第一部分450a或底部钻孔435a具有第一宽度或第一直径 W_1 。第一通路425a的第二部分445b或中间钻孔430b及第二通路425b的第二部分450b或中间钻孔435b具有第二宽度或第二直径 W_2 。第一通路425a的第三部分445c或顶部钻孔430c及第二通路425b的第三部分450c或顶部钻孔435c具有第三宽度或第三直径 W_3 。通路425a及425b不限于仅三个部分、三个宽度及/或三个钻孔,并且可具有多于三个或少于三个的部分、宽度及/或钻孔。

[0074] 在各种实施例中,第一通路425a及第二通路425b可为差分对通路。差分对通路可穿过核心415并排布线,并且具有相同或大致相同的尺寸。每一通路425a及425b可载送具有相同的量值及相反的极性的信号。例如,第一通路425a可操作以载送具有第一极性的电信号,且第二通路425b可操作以载送具有与第一电信号相反的极性的第二电信号。差分对通路有助于降低电磁辐射及对间串扰。

[0075] 在一些情况下,每一差分通路425a及425b的第一宽度(或底部宽度) W_1 及第三宽度(或顶部宽度) W_3 可为相同的宽度或大致相同的宽度。替代地,在其它情况下,每一通路425a及425b的第一宽度(或底部宽度) W_1 及第三宽度(或顶部宽度) W_3 可为不同的宽度。每一差分通路425a及425b的第二宽度(或中间宽度) W_2 不同于每一通路425a及425b的第一宽度(或底部宽度) W_1 及第三宽度(或顶部宽度) W_3 。每一差分通路425a及425b的第二宽度(或中间宽度) W_2 大于每一差分通路425a及425b的第一宽度(或顶部宽度) W_1 及第三宽度(或底部宽度) W_3 或具有大于所述宽度的宽度。通过具有较大的第二宽度(或中间宽度) W_2 ,可使通路425a及425b的中间部分445b与450b及/或中间钻孔430b与435b更接近,及/或通路425a及425b的中间部分445b与450b及/或中间钻孔430b与435b之间的距离可减小。

[0076] 通过对具有可变宽度的两个差分对通路进行布线,可实现进一步的优点。例如,当通路425a及425b的中间部分445b及450b或中间钻孔430b及435b的可变宽度使差分通路425a及425b更接近时,电磁辐射及对间串扰可进一步被最小化。另外,电信号在通过差分通路425a及425b行进穿过衬底400时所看到的阻抗变化可被最小化。例如,通过在通路425a及425b的中间部分445b及450b或中间钻孔430b及435b中具有较大直径以及在差分通路425a及425b的两端(例如,底部部分445a及450a或底部钻孔430a及435a以及顶部部分445c及450c或顶部钻孔430c及435c)处具有较小直径,此布置有助于最小化在衬底400的阻抗变化中看到的电感峰值。这又可改善衬底400的插入损耗及回波损耗。此外,通过在多层核心415中实施可变宽度差分通路425a及425b,如图4B中所展示,在受关注的频率带宽中的插入损耗中看到的共振可被最小化或消除。

[0077] 图5A及5B(统称为图5)是根据各种实施例的半导体或芯片模块的衬底500a及500b(统称为衬底500)的示意性横截面图。衬底500可类似于图1的衬底100、图2的衬底200、图3的衬底300及/或图4的衬底400,区别仅在于图5具有至少一个偏移通路而非仅具有恒定宽度通路及/或可变宽度通路。在一些情况下,图1到4中描述的功能、特征、修改、变更及/或类似者也可应用于图5,反之亦然。应当注意,衬底500的各种组件在图5中示意性地说明,且对衬底500的各种组件及其它布置的修改可为可能的且根据各种实施例。

[0078] 衬底500可包含第一层505(类似于图1的第一层105、图2的第一层205、图3的第一层305或图4的第一层405)及第二层510(类似于图1的第二层110、图2的第二层210、图3的第二层310或图4的第二层410)。核心515定位在衬底500的第一层505与第二层510之间。在图5中,核心515仅为一个层,但不限于仅一个层。

[0079] 核心515可包含通路520。通路520可沿着轴A-A延伸(如图5A中所展示),所述轴垂直于由核心515的平坦表面界定的平面。应当注意,核心515不限于仅一个通路520,并且可包含多于一个通路520。

[0080] 通路520可通过在核心515中钻出孔并用导电材料镀敷或涂覆所述孔的内表面而在核心515中形成。电信号通过通路520从衬底500的一个导电组件或层505传导到另一导电组件或层510。

[0081] 在一些例子中,通路520的开口或钻孔525可为圆形、椭圆形、方形、矩形及/或类似者。通常,通路520的开口或钻孔525将为圆形或椭圆形。通路520包含第一部分或底部部分530、第二部分或中间部分535及第三部分或顶部部分540。

[0082] 在一些情况下,第一部分530、第二部分535及第三部分540中的每一者的长度可相同或大致相同。替代地,第一部分530、第二部分535及第三部分540中的每一者的长度可变化。例如,中间部分535的长度可比底部部分530及顶部部分540的长度长。替代地,在一些情况下,中间部分535的长度可比底部部分530及顶部部分540的长度短。第一部分530、第二部分535及第三部分540的长度中的每一者可经调整以减小衬底500的阻抗变化。在一些情况下,当核心515是多层核心时,通路520的部分的长度可基于每一核心层的厚度而变化。

[0083] 在一些情况下,第一部分530具有第一宽度或第一直径 W_1 (如图5B中所展示),第二部分535具有第二宽度或第二直径 W_2 (如图5B中所展示),并且第三部分540具有第三宽度或第三直径 W_3 (如图5B中所展示)。尽管在图5B中仅展示宽度,但是所属领域的一般技术人员将知晓如何识别图5A中的宽度。通路520不限于仅三个部分及/或三个宽度,并且可具有多于三个或少于三个的部分及/或宽度。

[0084] 在一些情况下,第一宽度(或底部宽度) W_1 、第二宽度(或中间宽度) W_2 及第三宽度(或底部宽度) W_3 可为相同的宽度或大致相同的宽度。替代地,在其它情况下,第一宽度(或底部宽度) W_1 、第二宽度(或中间宽度) W_2 及第三宽度(或顶部宽度) W_3 可为不同的宽度。在一些例子中,如图5B中所展示,第二宽度(或中间宽度) W_2 不同于第一宽度(或底部宽度) W_1 及第三宽度(或顶部宽度) W_3 。第二宽度(或中间宽度) W_2 可大于第一宽度(或底部宽度) W_1 及第三宽度(或顶部宽度) W_3 或具有大于所述宽度的宽度,或第二宽度(或中间宽度) W_2 可小于第一宽度(或底部宽度) W_1 及第三宽度(或顶部宽度) W_3 。

[0085] 通过改变通路520的宽度使得通路520在通路520的中间部分中具有较大的宽度,电信号在通过通路520行进穿过衬底500时所看到的阻抗变化可被最小化。例如,通过在通路520的中间部分535中具有较大的直径及在通路520的两端(例如,底部部分530及顶部部分540)处具有较小的直径,此布置有助于最小化在衬底500及/或通路520的阻抗变化曲线中看到的电感峰值。

[0086] 在一些实施例,通路520的横截面可当通路520延伸穿过核心515时沿着通路520的长度 L_v 变化。通路520的横截面可归因于偏移通路220的一或多个部分而变化。如图5A及5B中所展示,通路520的中间部分535从通路520的底部部分530及顶部部分540偏移。在一些

情况下,通路520的底部部分530及顶部部分540沿着延伸穿过通路520的底部部分530及顶部部分540的中间的垂直轴A-A对准或大致对准,而中间部分535从通路520的底部部分530及顶部部分540偏移。在各种例子中,如图5A中所展示,中间部分535的第二边缘545b可与通路520的底部部分530的第一边缘545a及顶部部分540的第三边缘545c对准。在其它情况下,如图5B中所展示,中间部分535的第二边缘545b可与延伸穿过通路520的底部部分530及顶部部分540的中间的垂直轴(未展示,但在图5A中展示)对准。通路520的中间部分535从通路520的底部部分530及顶部部分540偏移的量可变化,以便最小化电信号在通过通路520行进穿过衬底500时所看到的阻抗变化。

[0087] 通过使通路520的中间部分535从通路520的底部部分530及通路520的顶部部分540偏移,电信号在通过通路520行进穿过衬底500时所看到的阻抗变化可被最小化。例如,通过使通路520的中间部分535从通路520的底部部分530及通路520的顶部部分540偏移,此布置有助于最小化在衬底500及/或通路520的阻抗变化曲线中看到的电感峰值。这又可改善衬底500及/或通路520的插入损耗及回波损耗。

[0088] 下文关于图6及7说明衬底500、核心515及通路520的不同布置。

[0089] 图6A及6B(统称为图6)是根据各种实施例的半导体或芯片模块的衬底600a及600b(统称为衬底600)的示意性横截面图。衬底600可类似于图1的衬底100、图2的衬底200、图3的衬底300、图4的衬底400及/或图5的衬底500,区别仅在于图6在多层核心内具有至少一个偏移通路而非仅具有恒定宽度通路及/或可变宽度通路。应当注意,衬底600的各种组件在图6中示意性地说明,且对衬底600的各种组件及其它布置的修改可为可能的且根据各种实施例。

[0090] 衬底600可包含第一层605(类似于图1的第一层105、图2的第一层205、图3的第一层305、图4的第一层405或图5的第一层505)及第二层610(类似于图1的第二层110、图2的第二层210、图3的第二层310、图4的第二层410或图5的第二层510)。核心615定位在衬底600的第一层605与第二层610之间。核心615可具有一或多个层620a、620b及620c(统称为核心层620)。尽管在图6中展示三个核心层620,但是更多或更少的核心层620可定位在衬底600中。

[0091] 每一核心层620a、620b及620c可具有对应的钻孔625a、625b及625c。尽管图6中展示三个钻孔625a、625b及625c,但是更多或更少的钻孔可定位在每一核心层620a、620b及620c中。三个钻孔625a、625b及625c可电耦合在一起以形成穿过核心615的核心层620a、620b及620c的通路630。通路630可沿着轴A-A延伸(如图6A中所展示),所述轴垂直于由核心615的平坦表面界定的平面。应当注意,核心615不限于仅一个通路630,并且可包含多于一个通路。每一核心层620、钻孔625a到625c及通路630可以类似于图8中所述的制造方法的方式形成。

[0092] 在一些例子中,第一钻孔625a可任选地包含第一通路垫635a及第二通路垫635b,第二钻孔625b可任选地包含第二通路垫635b及第三通路垫635c,并且第三钻孔625c可任选地包含第三通路垫635c及第四通路垫635d。通路垫635a到635d电耦合到钻孔625a到625c及/或通路630。在一些情况下,通路垫635a到635d可在钻孔625a到625c之间形成电连接或路径。在一些例子中,通路垫635a到635d沿着平行于由对应的核心层620a到620c的顶部上或两个对应的核心层620a到620c之间的平坦表面界定的平面布置的第一平行轴延伸,以将钻孔625a到625c电耦合在一起并形成通路630。

[0093] 通路630包含第一部分或底部部分(例如,底部钻孔625a)、第二部分或中间部分(例如,中间钻孔625b)及第三部分或顶部部分(例如,顶部钻孔625c)。在一些情况下,如图6B中所展示,第一部分或第一钻孔625a具有第一宽度或第一直径 W_1 ,第二部分或第二钻孔625b具有第二宽度或第二直径 W_2 ,且第三部分或第三钻孔625c具有第三宽度或第三直径 W_3 。通路630不限于仅三个部分、三个钻孔及/或三个宽度,并且可具有多于三个或少于三个的部分、钻孔及/或宽度。

[0094] 如图6A及6B中所展示,通路630的中间钻孔625b从通路630的底部钻孔625a及顶部钻孔625c偏移。在一些情况下,通路630的底部钻孔625a及顶部钻孔625c沿着延伸穿过通路630的底部钻孔625a及顶部钻孔625c的中间的垂直轴A-A对准或大致对准,而中间钻孔625b从通路630的底部钻孔625a及顶部钻孔625c偏移。在一些例子中,如图6B中所展示,中间钻孔625b的第二边缘640b可与底部钻孔625a的第一边缘640a及顶部钻孔625c的第三边缘640c对准,并且中间钻孔625b的宽度 W_2 可致使中间钻孔625b从底部钻孔625a及顶部钻孔625c偏移。通路630的中间钻孔625b从通路630的底部钻孔625a及顶部钻孔625c偏移的量可变化,以便最小化电信号在通过通路630行进穿过衬底600时所看到的阻抗变化。

[0095] 通过使通路630的中间钻孔625b从通路630的底部钻孔625a及通路630的顶部钻孔625c偏移,电信号在通过通路630行进穿过衬底600时所看到的阻抗变化可被最小化。例如,通过使通路630的中间钻孔625b从通路630的底部钻孔625a及通路630的顶部钻孔625c偏移,此布置有助于最小化在衬底600及/或通路630的阻抗变化中看到的电感峰值。这又可改善衬底600及/或通路630的插入损耗及回波损耗。此外,通过在多层核心615中实施偏移通路630,可减少芯片或半导体的封装翘曲并且可减少共振。

[0096] 图7A及7B(统称为图7)是根据各种实施例的半导体或芯片模块的衬底700a及700b(统称为衬底700)的示意性横截面图。衬底700可类似于图5的衬底500及/或图6的衬底600,区别仅在于图7具有至少两个通路而非仅具有一个通路。在一些情况下,图1到6中描述的功能、特征、修改、变更及/或类似者也可应用于图7,反之亦然。应当注意,衬底700的各种组件在图7中示意性地说明,且对衬底700的各种组件及其它布置的修改可为可能的且根据各种实施例。

[0097] 衬底700可包含第一层705(类似于图1的第一层105、图2的第一层205、图3的第一层305、图4的第一层405、图5的第一层505或图6的第一层605)及第二层710(类似于图1的第二层110、图2的第二层210、图3的第二层310、图4的第二层410、图5的第二层510或图6的第二层610)。核心715定位在衬底700的第一层705与第二层710之间。核心715可具有如图7A中所展示的一个核心层720及/或如图7B中所展示的多于一个层(例如,核心层720a、720b及/或720c)。

[0098] 核心715可具有两个或更多个通路725a及725b。每一通路725a及725b可沿着垂直于由核心715的平坦表面界定的平面的轴(未展示)延伸。在一些情况下,如图7B中所展示,核心715的每一层720可具有形成第一通路725a的对应第一钻孔(例如,钻孔730a、730b及730c)及形成第二通路725b的对应第二钻孔(例如,钻孔735a、735b及735c)。尽管在图7A及7B中展示两个通路725a及725b,并且在图7B中展示六个钻孔730a、730b及730c以及孔735a、735b及735c,但是更多或更少的通路可定位在核心715中及/或更多或更少的钻孔可定位在每一核心层720中。在一些情况下,如图7B中所展示,三个第一钻孔730a、730b及730c可电耦

合在一起以形成穿过核心层720a、720b及/或720c的第一通路725a,并且三个第二钻孔735a、735b及735c可电耦合在一起以形成穿过核心层720a、720b及/或720c的第二通路725b。

[0099] 在一些例子中,通路725a及725b可任选地包含一或多个通路垫740。通路垫740电耦合到第一钻孔730a到730c或第二钻孔735a到735c及/或到通路725a及725b。在一些情况下,通路垫740可将通路725a及725b电耦合到定位在第一层705及第二层710上的一或多个导电组件(例如,引脚、垫、焊球等)、定位在第一层705及第二层710上的导电涂层、或由导电材料形成的第一层705及第二层710及/或类似者。以这种方式,从衬底700的第一层705到第二层710的电连接可由通路725a及725b产生。

[0100] 第一通路725a包含第一部分或底部部分745a(例如,底部钻孔730a)、第二部分或中间部分745b(例如,中间钻孔730b)及第三部分或顶部部分745c(例如,顶部钻孔730c)。第二通路725b包含第一部分或底部部分750a(例如,底部钻孔735a)、第二部分或中间部分750b(例如,中间钻孔735b)及第三部分或顶部部分750c(例如,顶部钻孔735c)。

[0101] 在一些情况下,第一通路725a及第二通路725b可为一对通路(例如,一对差分对通路)。差分对通路可穿过核心715并排布线,并且具有相同或大致相同的尺寸。每一通路725a及第二通路725b可载送具有与另一通路相同的量值及相反的极性的信号。例如,通路725a可操作以载送具有第一极性的电信号,且通路725b可操作以载送具有与第一电信号相反的极性的第二电信号。差分对通路有助于降低电磁辐射及对间串扰。

[0102] 在一些实施例中,如图7A及7B中所展示,第一通路725a的中间部分745b或中间钻孔730b从通路725a的底部部分745a或底部钻孔730a及顶部部分740c偏移。另外,第二通路725b的中间部分750b或中间钻孔735b从通路725b的底部部分750a或底部钻孔735a及顶部部分750c或顶部钻孔735c偏移。第一通路725a的中间部分745b或中间钻孔730b朝向第二通路725b的中间部分750b或中间钻孔735b偏移。第二通路725b的中间部分750b或中间钻孔735b朝向第一通路725a的中间部分745b或中间钻孔730b偏移。

[0103] 在一些情况下,如图7B中所展示,第一通路725a的中间钻孔730b从底部钻孔730a及顶部钻孔730c完全偏移(例如,不重叠)。通路垫740沿着平行于由两个或更多个核心层中的每一者的平坦表面界定的平面的第一平行轴延伸以将第一通路725a的中间钻孔730b电耦合到底部钻孔730a及顶部钻孔730c。另外,第二通路725b的中间钻孔735b从底部钻孔735a及顶部钻孔735c完全偏移(例如,不重叠)。通路垫740沿着平行于由两个或更多个核心层中的每一者的平坦表面界定的平面的第一平行轴延伸以将第一通路725a的中间钻孔735b电耦合到底部钻孔730a及顶部钻孔730c。

[0104] 通过使通路725a及725b的中间部分745b与750b及/或中间钻孔730b与735b朝向彼此偏移,可使通路725a及725b的中间部分745b与750b及/或中间钻孔730b与735b更靠近,及/或通路725a及725b的中间部分745b与750b及/或中间钻孔730b与735b之间的距离可减小。通路725a及725b的中间部分745b及750b及/或中间钻孔730b及735b从通路725a及725b的底部部分或底部钻孔及/或顶部部分或顶部钻孔偏移的量可变化,以便最小化电信号在通过通路725a及725b行进穿过衬底700时看到的阻抗变化。

[0105] 额外优点可通过对具有偏移中间部分或偏移中间钻孔的两个差分对通路进行布线来实现。例如,当通路725a及725b的偏移中间部分或偏移中间钻孔使差分通路725a与

725b更靠近时,电磁辐射及对间串扰可进一步最小化。另外,电信号在通过通路725a及725b行进穿过衬底700时所看到的阻抗变化可被最小化。例如,通过从通路725a及725b的两个端(例如,底部部分745a及750a以及顶部部分745c及750c)偏移通路725a及725b的中间部分745b及750c,此布置有助于最小化在衬底700的阻抗变化中看到的电感峰值。这又可改善衬底700的插入损耗及回波损耗。此外,通过在多层核心715中实施偏移通路725a及725b,如图7B中所展示,在受关注的频率带宽中的插入损耗中看到的共振可被最小化或消除。

[0106] 图8是根据各种实施例的制造多层核心、可变直径通路及/或偏移通路的方法800的流程图。在一些例子中,根据图1到7,方法800可用于制造多层核心、可变直径通路及/或偏移通路。在框805,方法800可通过形成核心的至少一个第一核心层来开始。核心可为衬底的核心。衬底可为印刷电路板(“PCB”)。形成核心的第一核心层可包含但不限于所属领域的技术人员已知的各种增材及/或减材制造工艺。在进一步的实例中,可利用正在开发及/或尚未开发的制造技术来形成第一核心层。因此,应当理解,方法800不限于制造特定核心的任何特定方法。

[0107] 方法800在框810通过在核心的第一核心层中钻出至少一个第一钻孔来继续。至少一个第一钻头可具有第一宽度。钻孔的开口可为圆形、椭圆形、方形、矩形及/或类似者。

[0108] 方法800在框815通过形成至少一个其它核心层来继续。所述至少一个其它核心层沿着垂直于由所述至少一个第一核心层的平坦表面界定的平面的轴层叠或形成在所述至少一个第一核心层的顶部或下方。如同第一核心层,其它核心层的形成不限于任何特定的制造技术。

[0109] 在框820,方法800可通过在核心的其它核心层中钻出至少一个其它钻孔来继续。所述至少一个其它钻孔可具有与所述第一宽度不同或相同的第二宽度。钻孔的开口可为圆形、椭圆形、方形、矩形及/或类似者。

[0110] 方法800在框825通过将至少一个第一钻孔与至少一个其它钻孔电耦合以产生穿过核心的通路来继续。在一些情况下,通路具有横截面,所述横截面在通路延伸穿过两个或更多个核心层时沿着通路的长度变化。在一些实施例中,根据图2到4,横截面可基于使至少一个第一钻孔的宽度不同于至少一个其它钻孔的宽度从而产生具有可变宽度的通路而变化。另外或替代地,根据图5到7,横截面可基于使至少一个第一钻孔从至少一个其它钻孔偏移从而产生偏移通路而变化。

[0111] 如本文描述,上文关于各种实施例描述的技术及工艺可用于制造衬底100、200、200、300、400、500、600及700及/或其组件。

[0112] 尽管已经关于实施例描述一些特征及方面,但是所属领域的技术人员将认识到,许多修改可为可能的。例如,本文描述的方法及工艺可使用硬件组件、定制集成电路(IC)、可编程逻辑及/或其任何组合来实施。此外,虽然为了便于描述,可关于特定的结构及/或功能组件来描述本文描述的各种方法及工艺,但是由各种实施例提供的方法不限于任何特定的结构及/或功能架构,而是可在任何合适的硬件配置中实施。类似地,虽然一些功能性被赋予一或多个系统组件,但除非上下文另有规定,否则根据若干实施例,此功能性可在各种其它系统组件间分布。

[0113] 此外,尽管为了便于描述,本文描述的方法及工艺的过程以特定顺序描述,但除非上下文另有规定,否则根据各种实施例,各种过程可被重新排序、添加及/或省略。此外,关

于一种方法或工艺描述的过程可并入在其它描述的方法或工艺中；类似地，根据特定结构架构及/或关于一个系统描述的系统组件可在替代结构架构中组织及/或并入其它所描述的系统。因此，尽管描述具有或不具有一些特征的各种实施例以便于描述及说明这些实施例的方面，但本文关于特定实施例描述的各种组件及/或特征可从其它描述的实施例中替换、添加及/或减去，除非上下文另有规定。因此，尽管上面描述了若干实施例，但是应了解，本发明希望覆盖所附权利要求书范围内的所有修改及等效物。

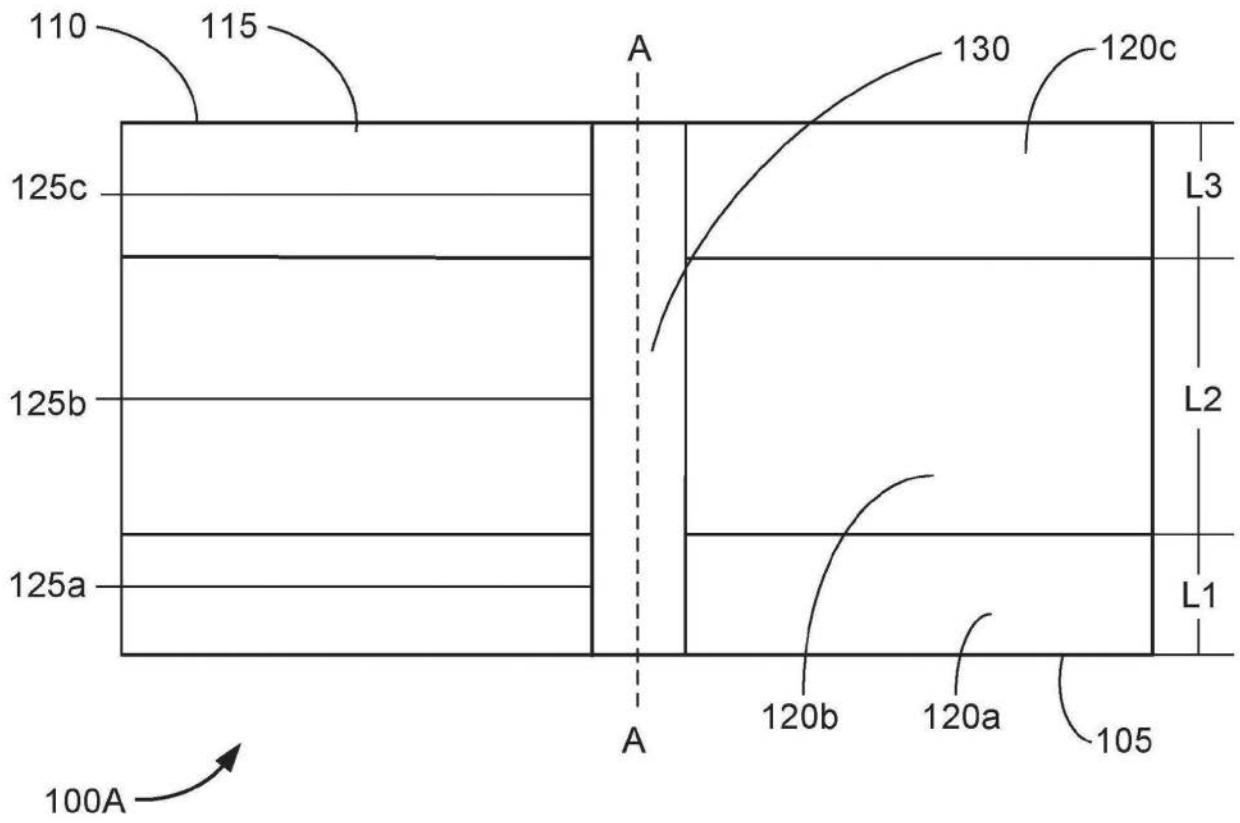


图1A

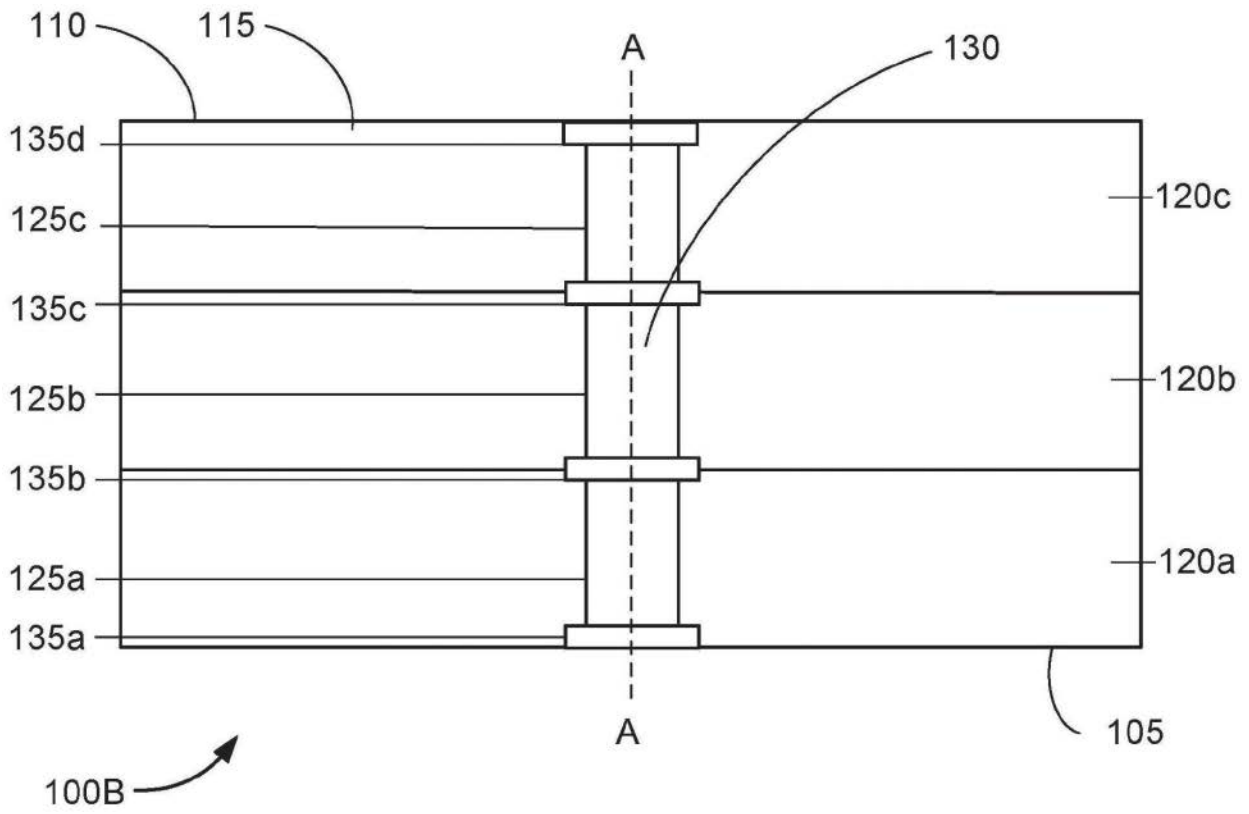


图1B

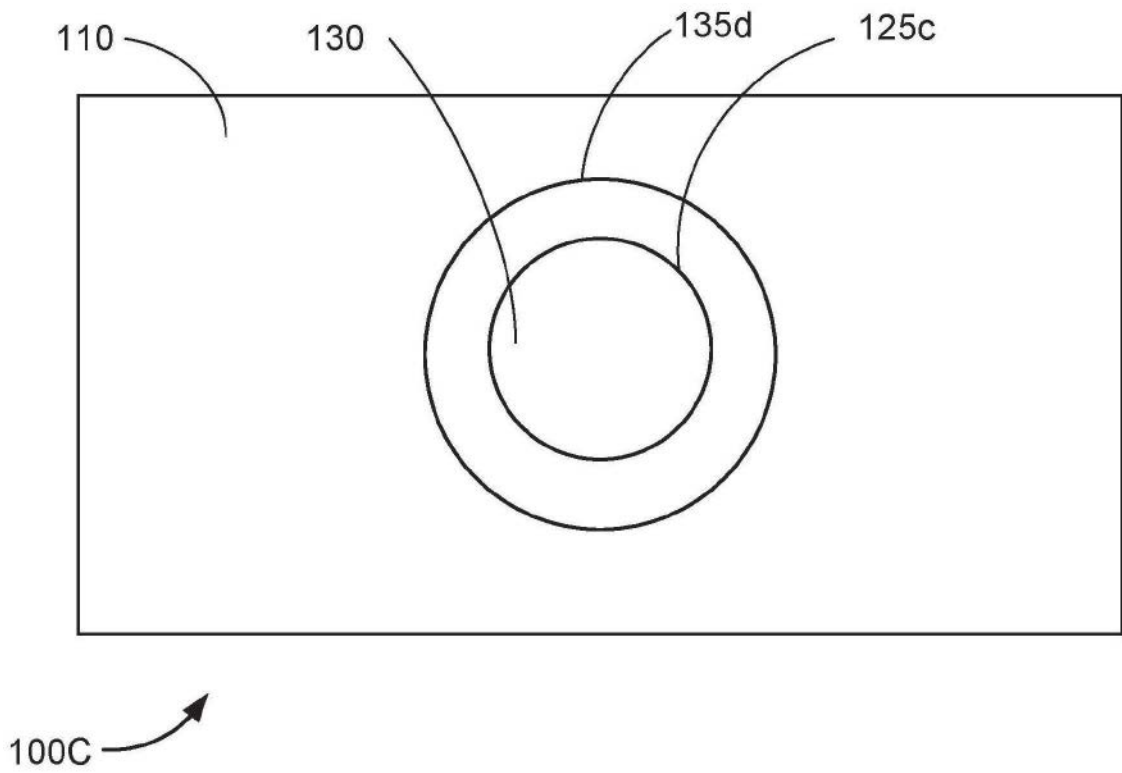


图1C

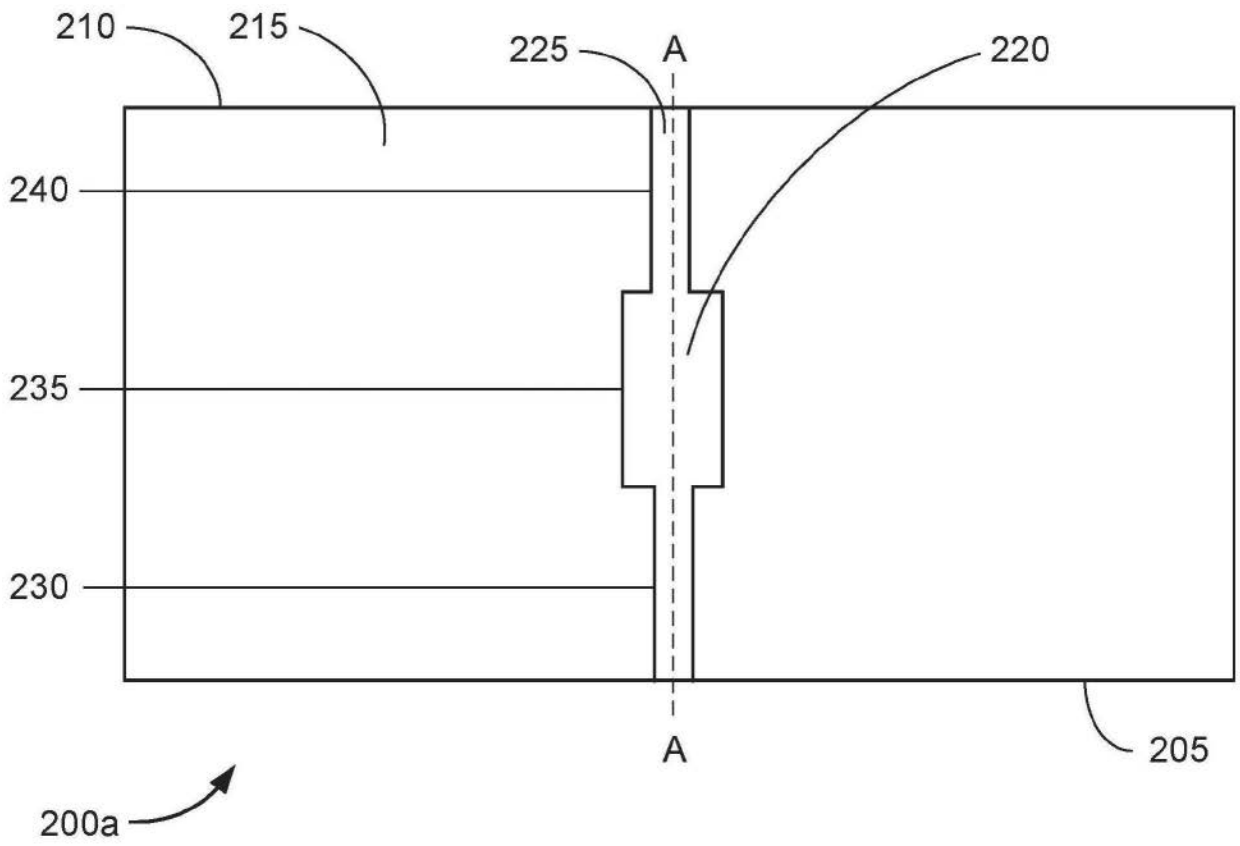


图2A

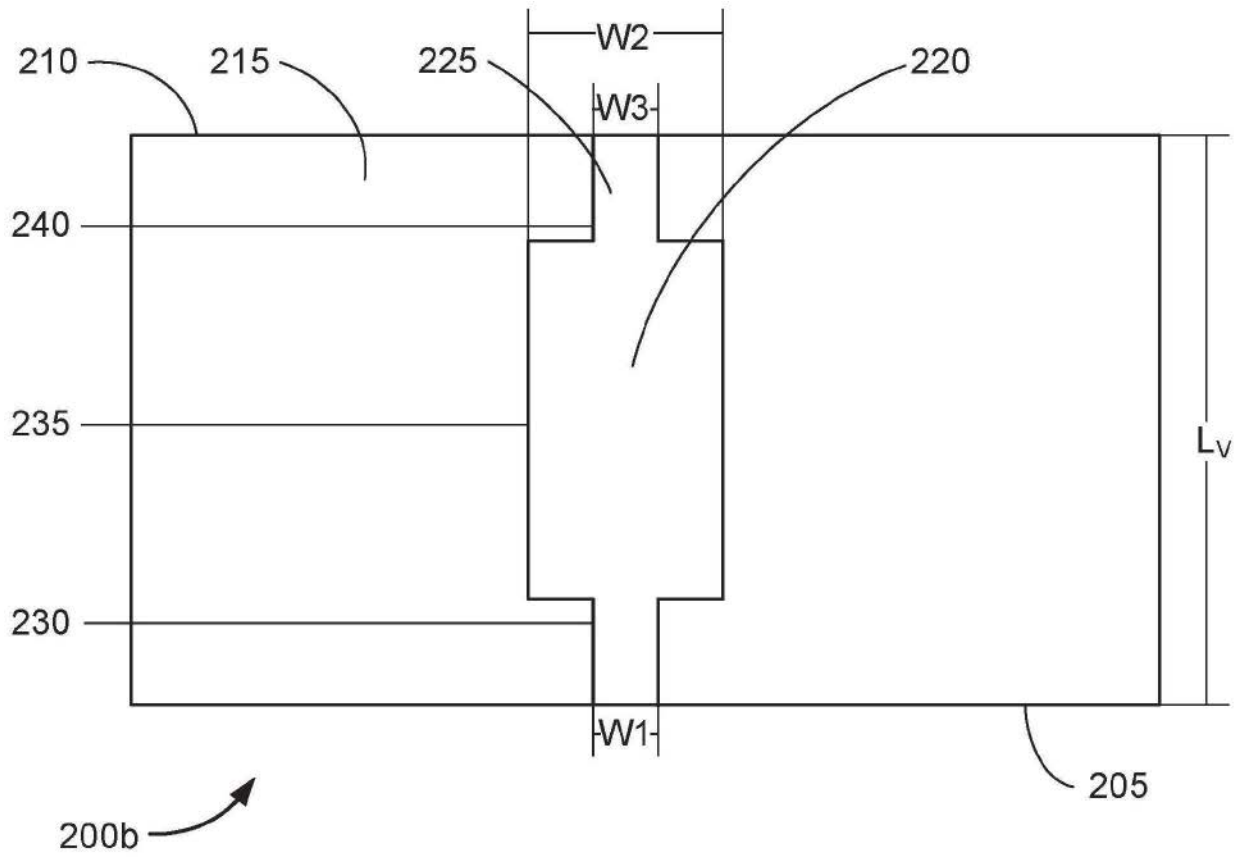


图2B

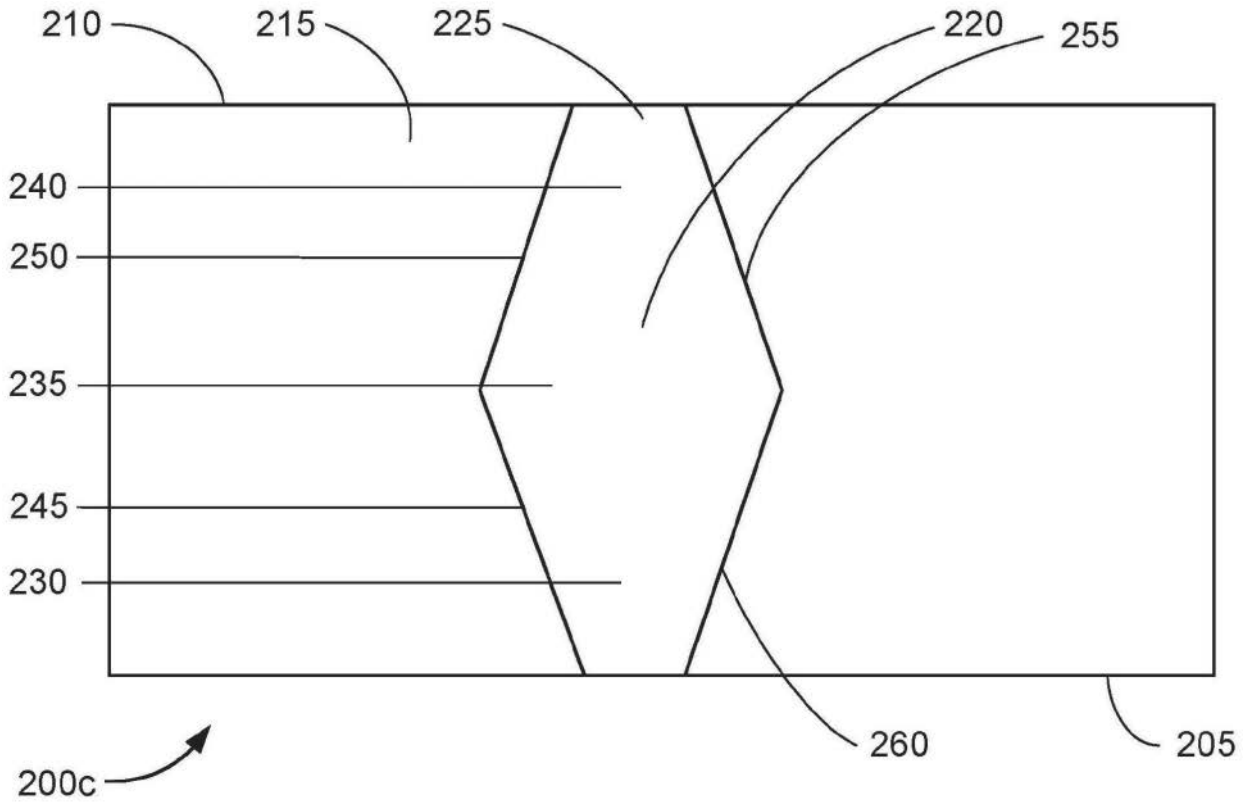


图2C

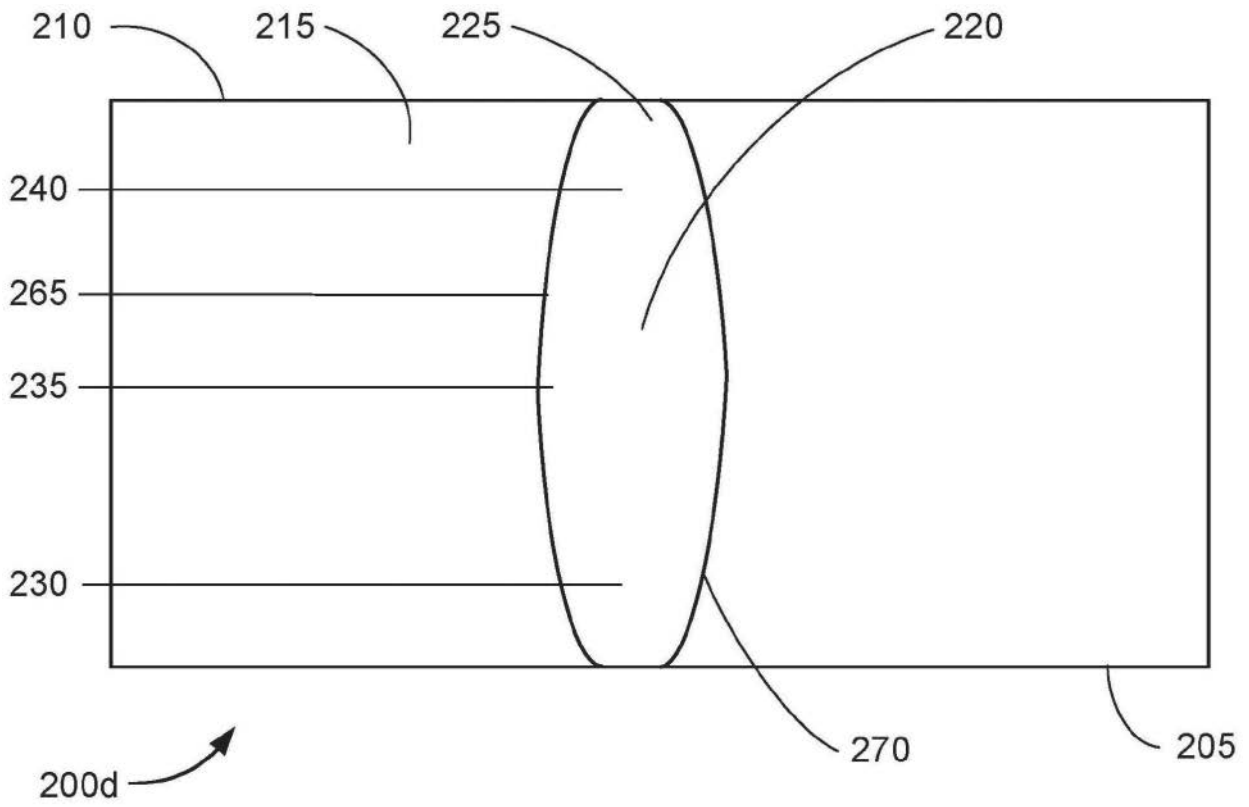


图2D

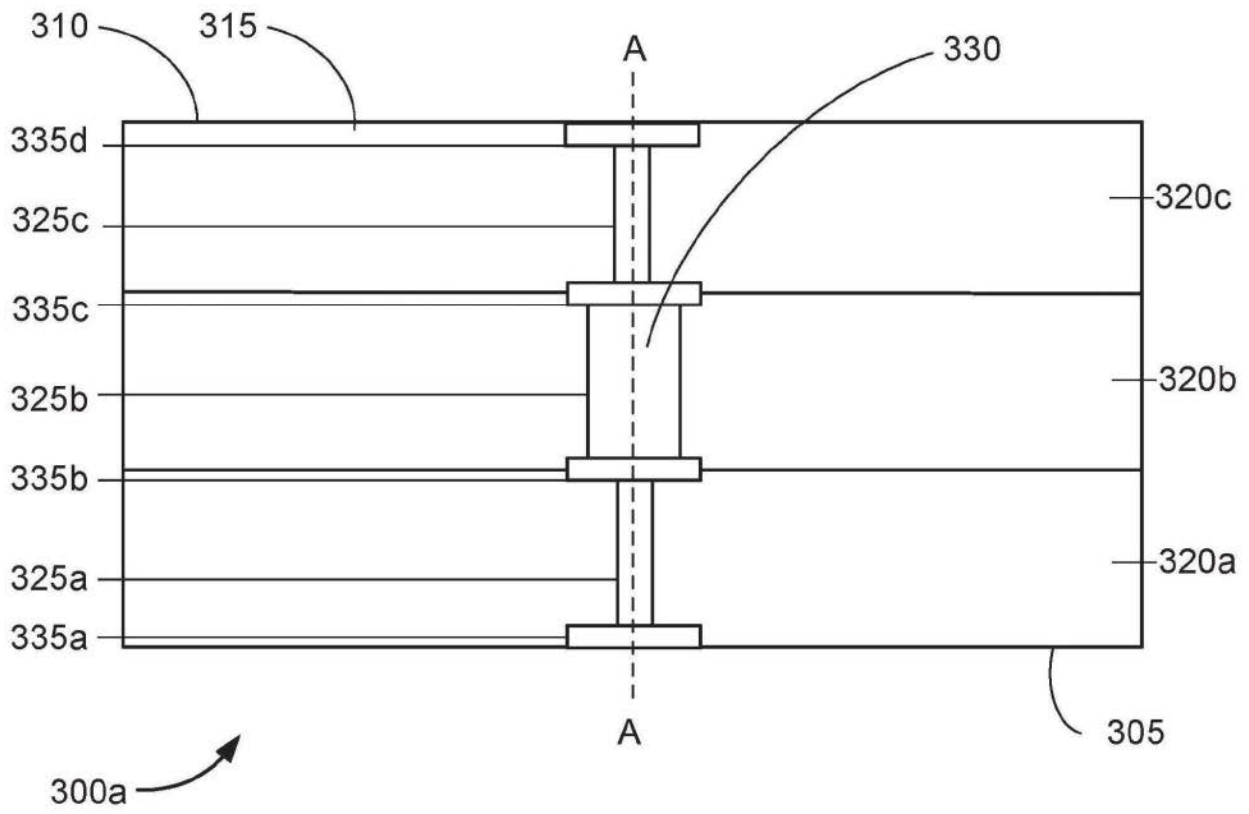


图3A

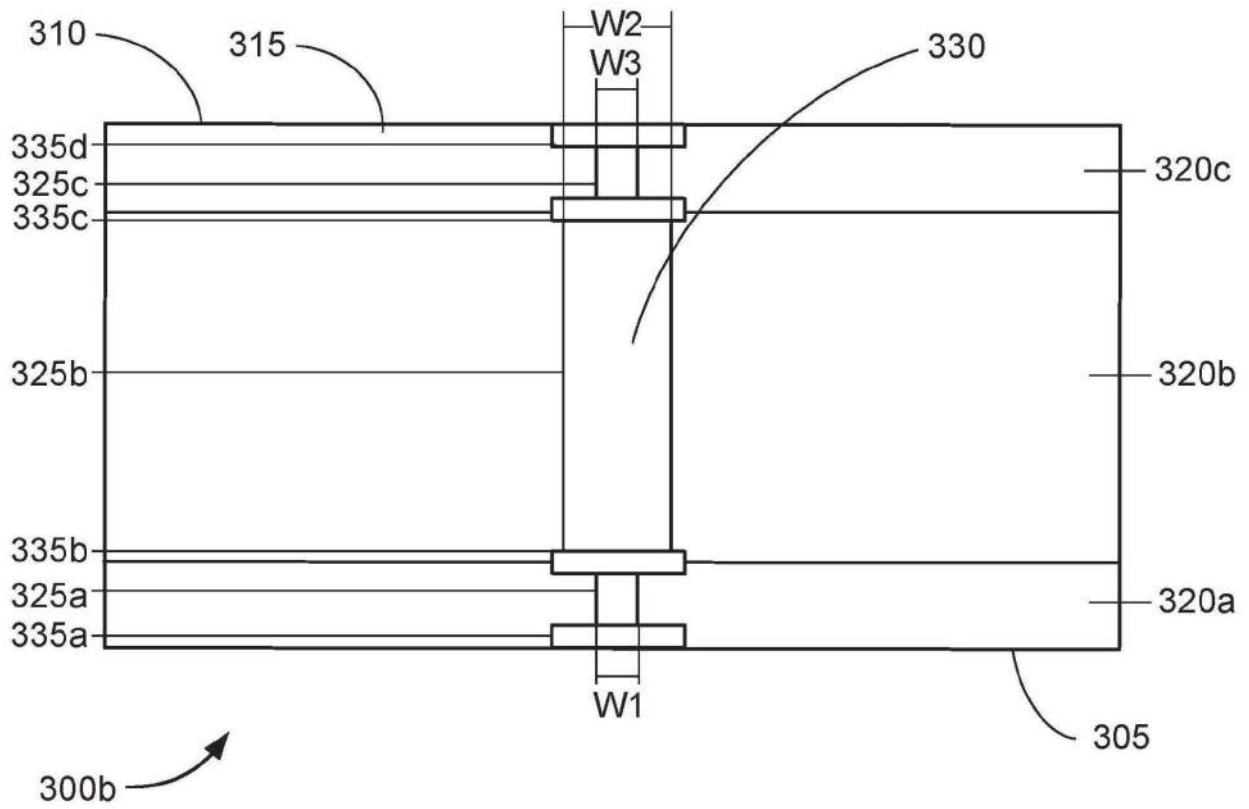


图3B

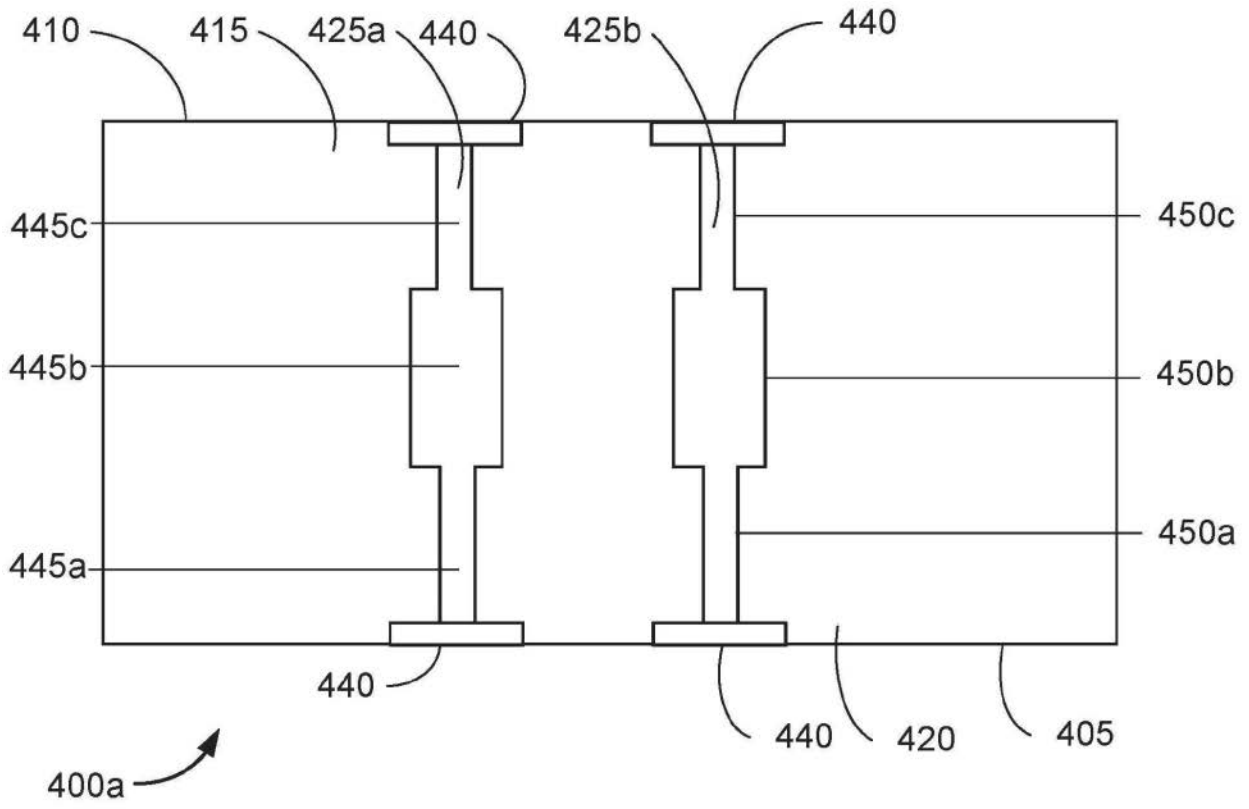


图4A

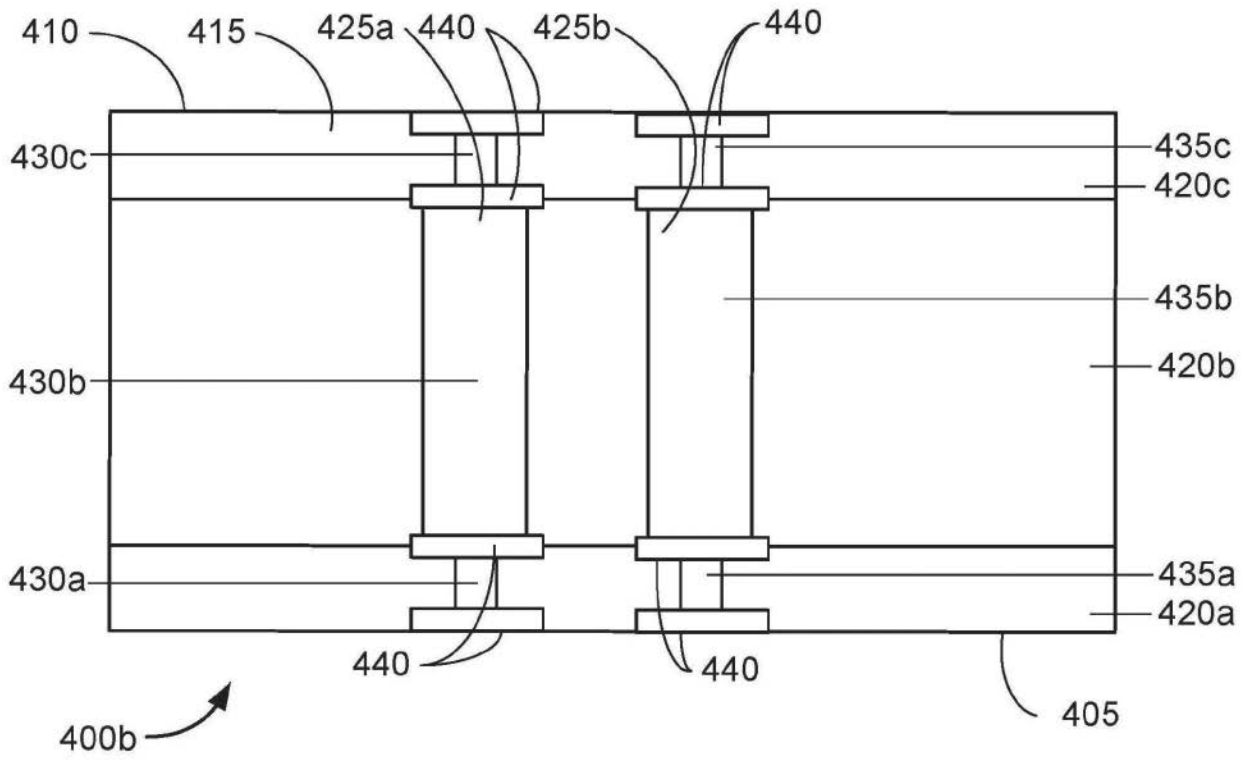


图4B

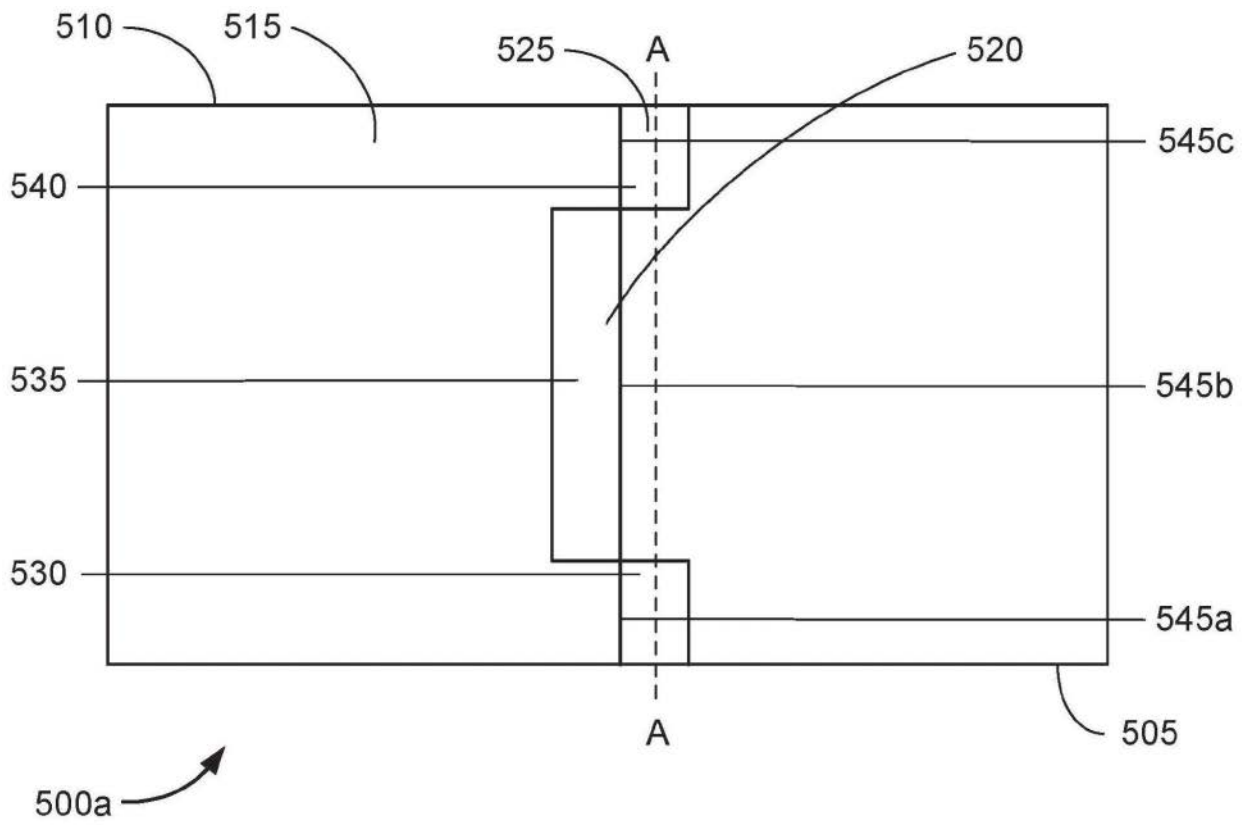


图5A

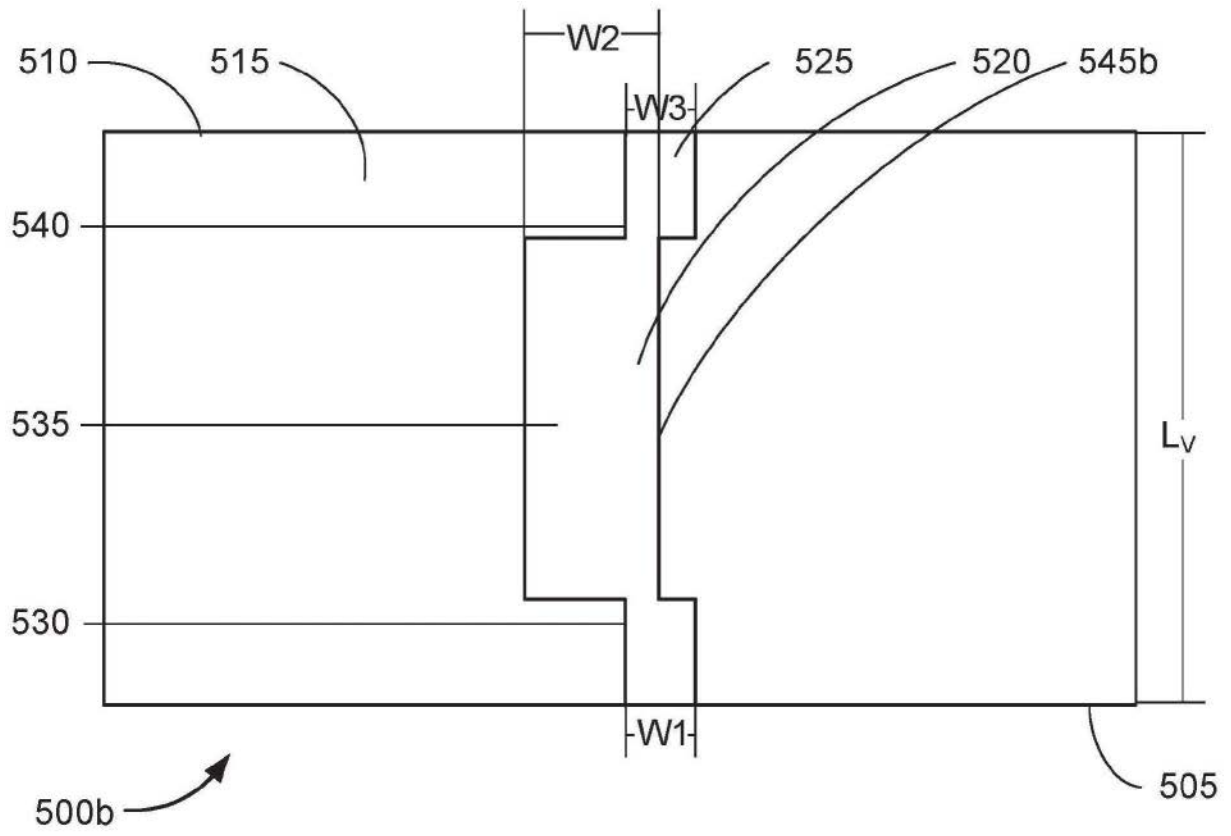


图5B

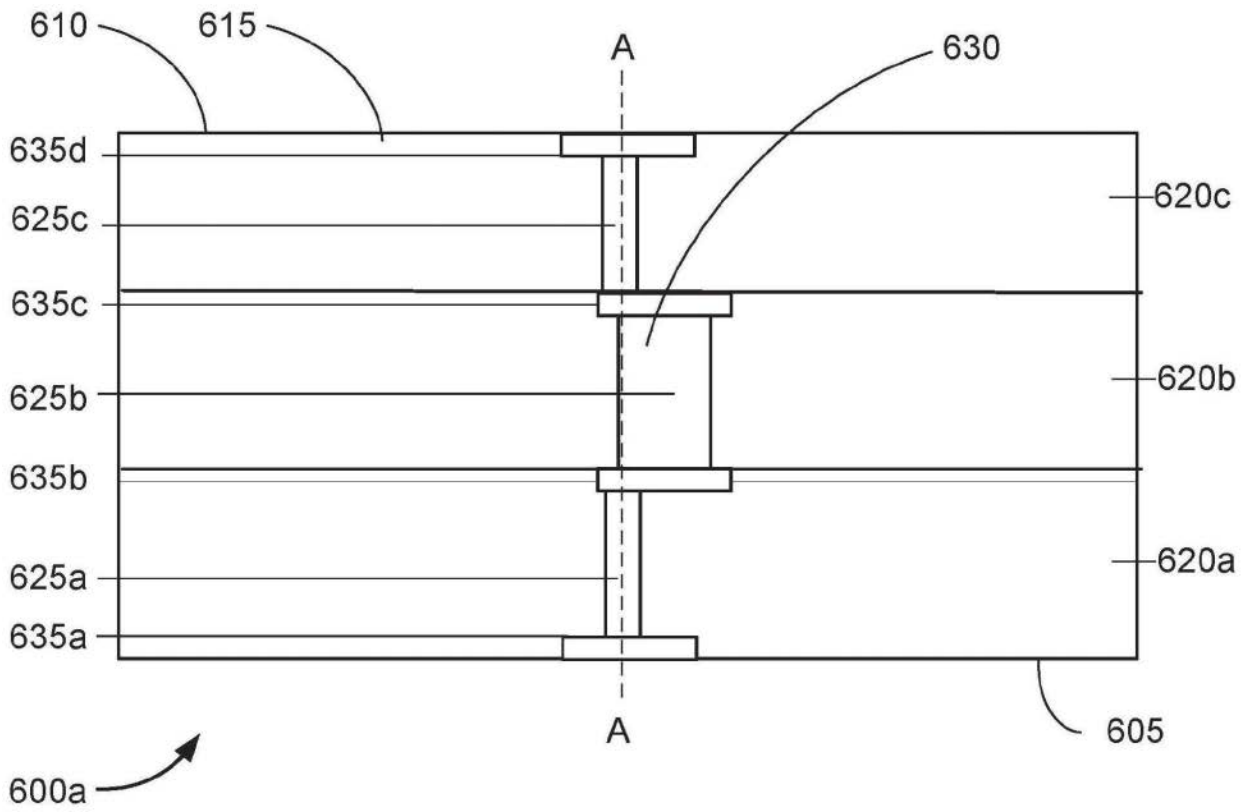


图6A

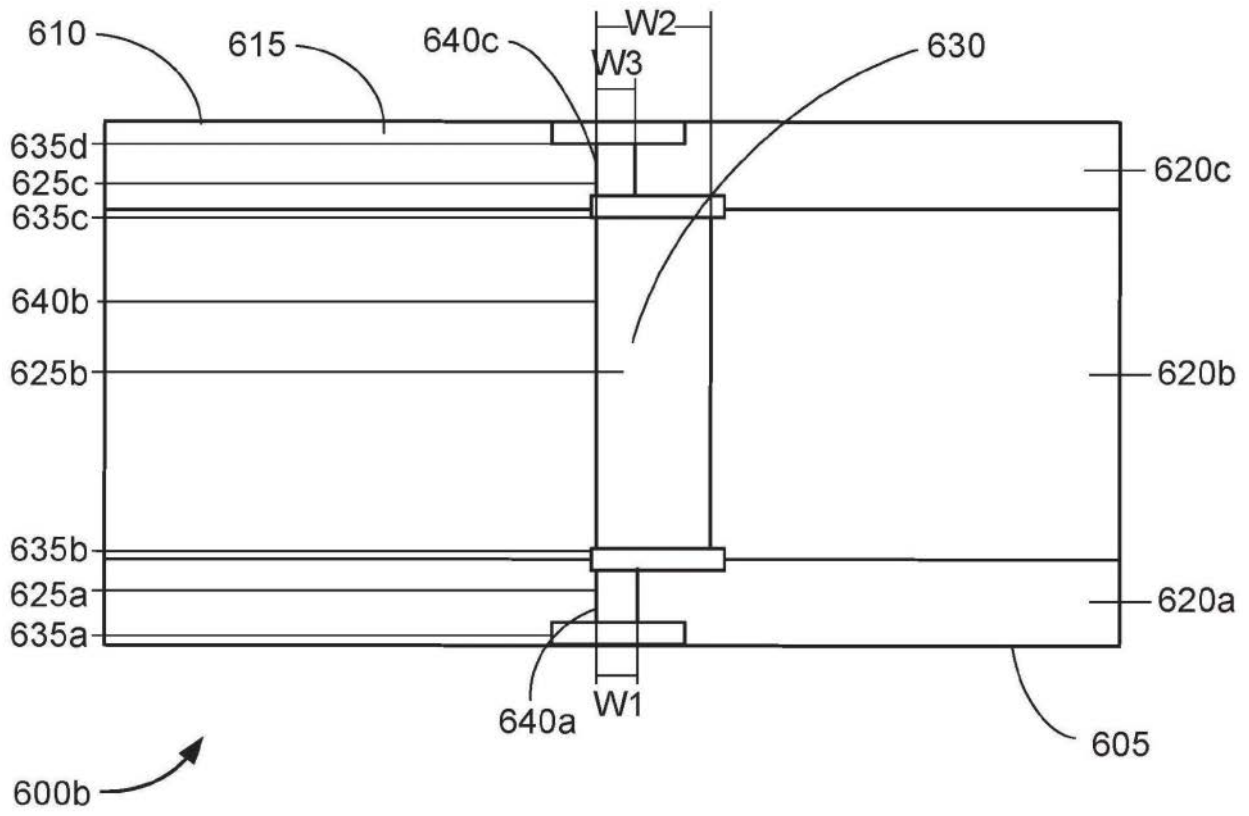


图6B

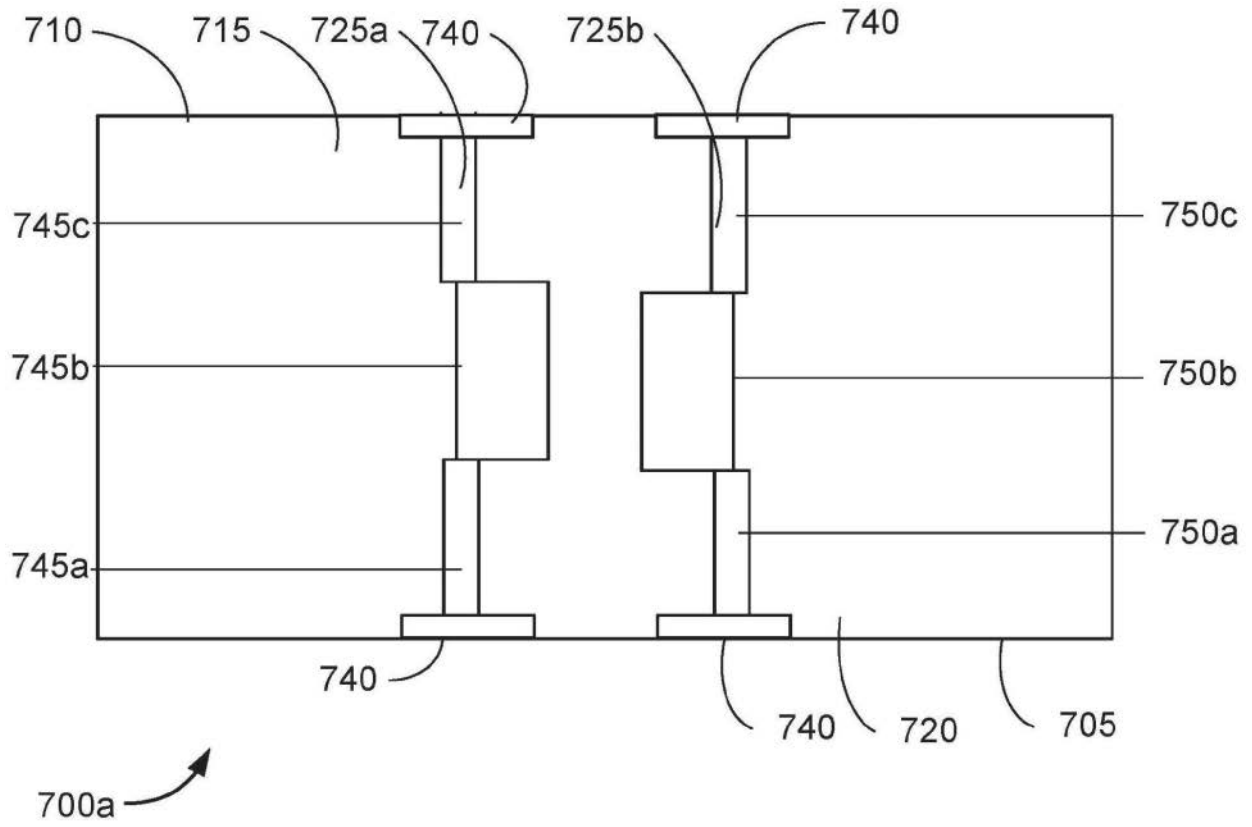


图7A

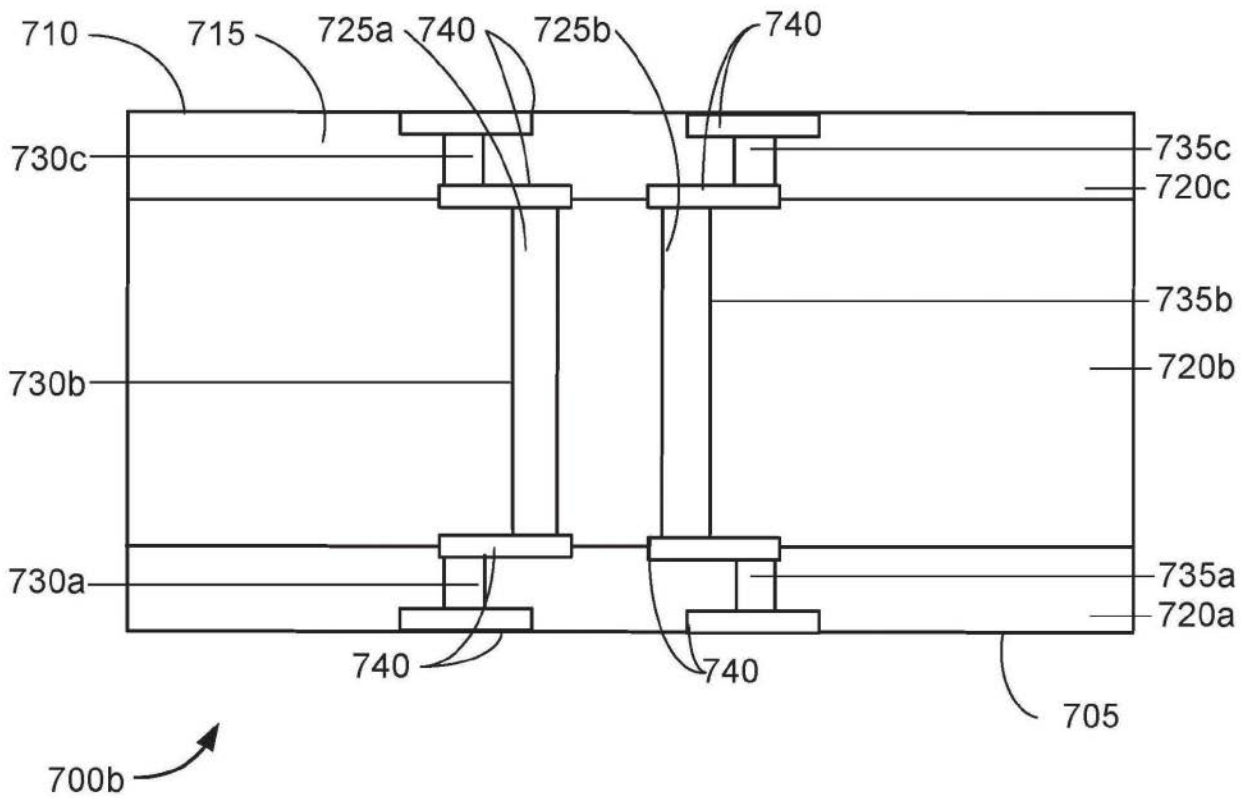


图7B

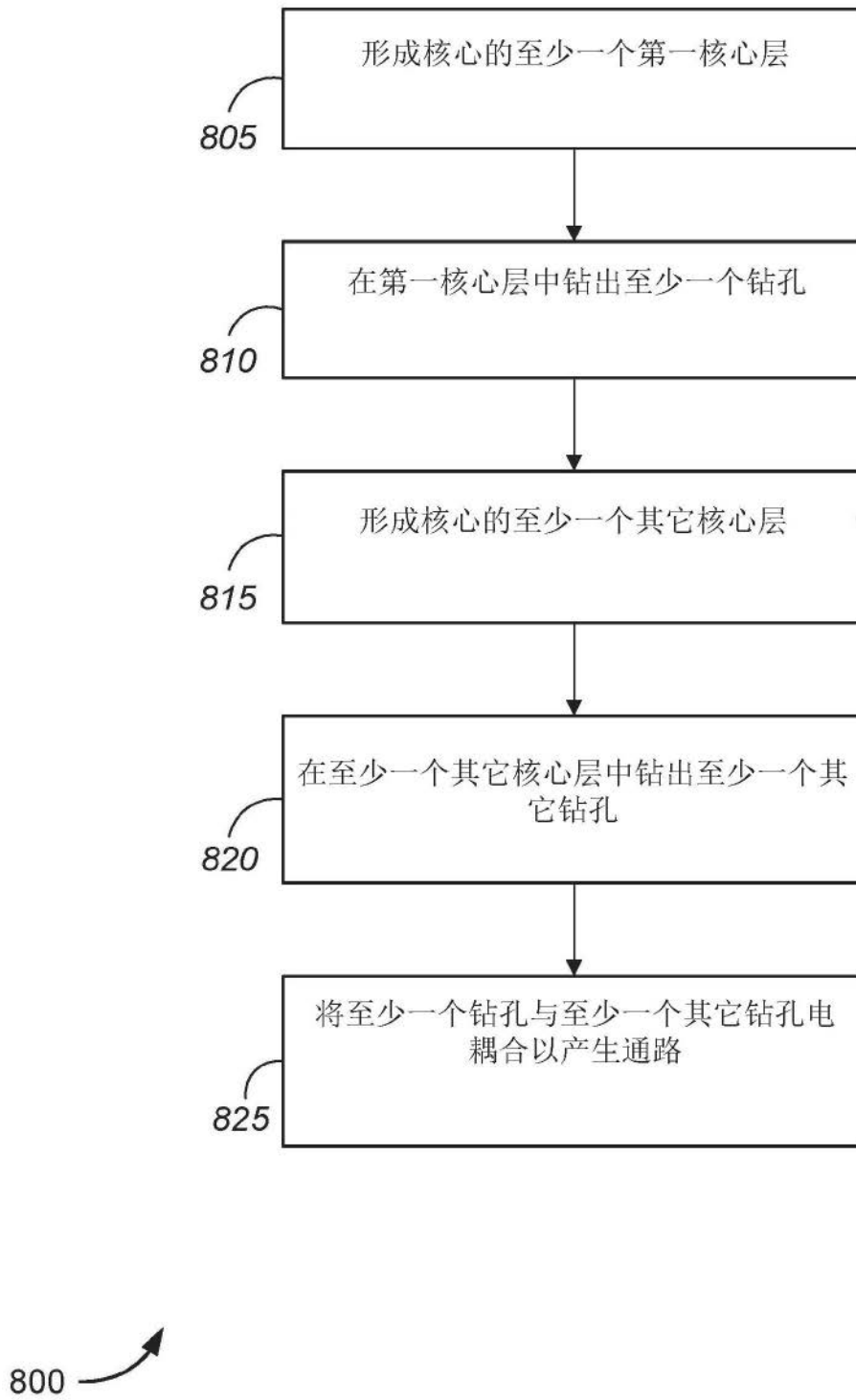


图8