



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 10 2008 008 068 A1** 2008.08.28

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2008 008 068.3**

(22) Anmeldetag: **01.02.2008**

(43) Offenlegungstag: **28.08.2008**

(51) Int Cl.⁸: **H01L 23/50** (2006.01)

H01L 21/60 (2006.01)

H01L 21/58 (2006.01)

(30) Unionspriorität:

10-2007-0017537 21.02.2007 KR
11/959,276 18.12.2007 US

(74) Vertreter:

Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart

(71) Anmelder:

Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

(72) Erfinder:

Kim, Dong-han, Osan, Kyonggi, KR; Choi, Ki-won, Suwon, Kyonggi, KR

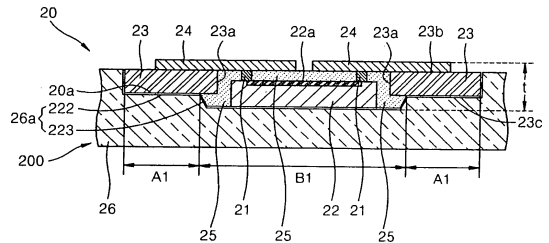
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Halbleiterpackung, elektronisches System und Verfahren zur Herstellung derselben**

(57) Zusammenfassung: Die Erfindung bezieht sich auf eine Halbleiterpackung, auf ein damit ausgerüstetes elektronisches System sowie auf Verfahren zur Herstellung derselben.

Erfindungsgemäß beinhaltet die Halbleiterpackung ein Substrat (23), das eine sich durch dieses hindurch erstreckende Durchgangsöffnung (23a) beinhaltet, eine leitfähige Struktur (24), die über dem Substrat liegt und sich über der ersten Durchgangsöffnung erstreckt, einen Halbleiterchip (22), welcher der leitfähigen Struktur zugewandt ist, wobei wenigstens ein Teil des Halbleiterchips innerhalb der Durchgangsöffnung angeordnet ist, und einen externen Kontaktanschluss (21) innerhalb der Durchgangsöffnung, der die leitfähige Struktur mit dem Halbleiterchip elektrisch verbindet.

Verwendung z. B. für Halbleiterpackungssysteme des Chip-auf-Board-Typs.



Beschreibung

[0001] Die Erfindung bezieht sich auf eine Halbleiterpackung, auf ein elektronisches System, wie eine integrierte Schaltkreis(IC)-Karte, in die eine derartige Halbleiterpackung eingebaut ist, sowie auf ein Verfahren zur Herstellung einer derartigen Halbleiterpackung und auf ein Verfahren zur Herstellung eines derartigen elektronischen Systems.

[0002] Typischerweise wird eine Halbleiterpackung vom Chip-auf-Board(COB)-Typ zur Herstellung von IC-Karten verwendet, z. B. Smartcards. Die IC-Karten werden heutzutage üblicherweise in verschiedenen Anwendungen verwendet, die Magnetkarten ersetzen. Bezugnehmend auf [Fig. 1](#) beinhaltet die Halbleiterpackung vom COB-Typ typischerweise einen Halbleiterchip **3**, der an einer Oberseite eines Halbleiterpackungssubstrats **4** angebracht ist. Eine aktive Oberfläche **3a** des Halbleiterchips **3** ist mit einer Metallschicht **5** elektrisch verbunden, die auf einer weiteren Oberfläche des Halbleiterpackungssubstrats **4** entgegengesetzt zu der Oberseite angeordnet ist, wobei Bonddrähte **6** verwendet werden, die sich durch Verdrahtungsöffnungen **4a** hindurch erstrecken, die in dem Halbleiterpackungssubstrat **4** definiert sind. Die Bonddrähte **6** werden im Allgemeinen deshalb benötigt, weil die aktive Oberfläche **3a** über der Oberseite des Halbleiterpackungssubstrats **4** entgegengesetzt zu der Oberfläche angeordnet ist, auf der die Metallschicht **5** angeordnet ist. Die Halbleiterpackung vom COB-Typ ist unter Verwendung eines Klebstoffs (nicht gezeigt) zwischen einer Oberfläche **1a** der Halbleiterpackung vom COB-Typ und einer gegenüberliegenden Oberfläche des Kartenkörpers **2** mit einem Kartenkörper **2** gekoppelt. Speziell ist die Halbleiterpackung vom COB-Typ innerhalb eines in dem Kartenkörper **2** definierten Hohlraums **2a** angeordnet.

[0003] Die Bonddrähte **6** ragen unvermeidbar von der aktiven Oberfläche **3a** des Halbleiterchips **3** bis zu einer gewissen Höhe vor, wodurch eine Schleife gebildet wird, in der sich die Drähte **6** von der aktiven Oberfläche **3a** weg erstrecken und sich dann zu der Metallschicht **5** hin biegen. Außerdem ist ein Verkapselungsmittel **9** bereitgestellt, um die Drähte **6** einzukapseln. Es muss daher eine ausreichende Menge an Einkapselungsmittel **9** bereitgestellt sein, um die Drähte **6** vor der äußeren Umgebung zu schützen. Demgemäß erzeugt das Verkapselungsmittel **9** einen relativ großen Gießbereich "B", wobei ein relativ kleiner Bondbereich "A" verbleibt, in dem die Oberfläche **1a** der Halbleiterpackung und eine gegenüberliegende Oberfläche des Kartenkörpers **2** aneinander gebondet werden können. Da des Weiteren die Bonddrähte **6** auf beiden Seiten des Halbleiterchips **3** ausgebildet sein müssen, ist die Länge des Gießbereichs "B" zusätzlich vergrößert, und die Länge des Bondbereichs A ist weiter reduziert, während die Gesamt-

länge des zur Verfügung stehenden Packungssystems begrenzt ist.

[0004] Es wurde außerdem festgestellt, dass Kanten des Substrats **4** dazu tendieren, während der Herstellung der Halbleiterpackung vom COB-Typ zu deformieren. Da der Bondbereich "A" bei dem herkömmlichen System relativ klein ist, tendiert somit das Substrat **4** dazu, sich von dem Kartenkörper **2** zu separieren, und die resultierende IC-Karte kann leicht geschädigt werden oder brechen. Diese Probleme können ernsthafter werden, wenn die Abmessung des Halbleiterchips **3** zunimmt und das Packungssystem oder die IC-Karte einer rauerer Umgebung unterworfen ist.

[0005] [Fig. 2](#) ist eine Querschnittsansicht eines weiteren herkömmlichen Packungssystems, das zur Lösung der vorstehend erörterten Probleme vorgeschlagen wurde. Bezugnehmend auf [Fig. 2](#) wird dieses herkömmliche Packungssystem als COB-Packungssystem vom Flip-Chip-Typ bereitgestellt. Wie in [Fig. 2](#) gezeigt, beinhaltet eine IC-Karte einen Kartenkörper **12** mit einem darin definierten Hohlraum **12a**. Ein Halbleiterchip **13** ist zur Bildung einer COB-Halbleiterpackung vom Flip-Chip-Typ an einem Halbleiterpackungssubstrat **14** angebracht. In der COB-Halbleiterpackung vom Flip-Chip-Typ ist die aktive Oberfläche **13a** des Halbleiterchips **13** mit einer Metallschicht **15** unter Verwendung leitfähiger Kontakthügel **18** elektrisch verbunden, die mit Zwischenmetallschichten **17** gekoppelt sind. Die Zwischenmetallschichten **17** sind wiederum durch leitfähige Durchkontakte **16**, die sich durch das Packungssubstrat **14** erstrecken, mit Metallschichten **15** elektrisch verbunden. Die Halbleiterpackung ist unter Verwendung eines Klebstoffs (nicht gezeigt) zwischen einer Oberfläche **11a** der COB-Halbleiterpackung vom Flip-Chip-Typ und einer gegenüberliegenden Oberfläche des Kartenkörpers **2** an den Kartenkörper **2** gebondet.

[0006] Die leitfähigen Kontakthügel **18** stehen von der Oberfläche des Halbleiterchips **13** von einer Unterseite des Hohlraums **12a** vor, und ein Verkapselungsmittel **19** ist bereitgestellt, um die leitfähigen Kontakthügel **18** zu verkapseln. Es muss jedoch auch eine ausreichende Menge des Verkapselungsmittels **19** bereitgestellt werden, um den Halbleiterchip **13** adäquat an den Zwischenmetallschichten **17** und dem Substrat **14** festzulegen.

[0007] Demgemäß nimmt das Verkapselungsmittel **19** einen relativ großen Gießbereich "B" ein, wobei ein relativ kleiner Bondbereich "A" verbleibt, an dem ein Klebstoff zwischen der Oberfläche **11a** der Halbleiterpackung und einer gegenüberliegenden Oberfläche des Kartenkörpers **12** angebracht werden kann. Das Substrat **14** oder die Halbleiterpackung tendieren auch dazu, sich von dem Kartenkörper **12**

zu separieren, wie bei der in [Fig. 1](#) erörterten IC-Karte. Außerdem tendiert das Vorhandensein der Zwischenmetallschichten **17** dazu, die Gesamtdicke "T" des COB-Halbleiterpackungssystems vom Flip-Chip-Typ zu vergrößern und die Kosten und die Komplexität der Fertigung des COB-Packungssystems vom Flip-Chip-Typ zu erhöhen. Selbst mit dem unter Bezugnahme auf [Fig. 2](#) erörterten Packungssystem sind somit die vorstehend erörterten Probleme nicht ausreichend gelöst.

[0008] Der Erfindung liegt als technisches Problem die Bereitstellung einer Halbleiterpackung, eines damit ausgerüsteten elektronischen Systems sowie von Verfahren zur Herstellung derselben zugrunde, die in der Lage sind, die oben erwähnten Schwierigkeiten des Standes der Technik zu reduzieren oder zu vermeiden, und die insbesondere erlauben, eine hohe Haltbarkeit und Zuverlässigkeit und/oder eine reduzierte Gesamtdicke der Halbleiterpackung und des elektronischen Systems zu erzielen.

[0009] Die Erfindung löst dieses Problem durch die Bereitstellung einer Halbleiterpackung mit den Merkmalen des Anspruchs 1, eines Verfahrens zur Herstellung einer Halbleiterpackung mit den Merkmalen des Anspruchs 23, eines Verfahrens zur Herstellung eines elektronischen Systems mit den Merkmalen des Anspruchs 30 und eines elektronischen Systems mit den Merkmalen des Anspruchs 32. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0010] Vorteilhafte Ausführungsformen der Erfindung werden im Folgenden beschrieben und sind in den Zeichnungen gezeigt, die außerdem die vorstehend zum leichteren Verständnis der Erfindung erläuterten herkömmlichen Ausführungsformen zeigen. In den Zeichnungen sind:

[0011] [Fig. 1](#) eine Querschnittansicht eines herkömmlichen Packungssystems, das zur Bildung einer integrierten Schaltkreis(IC)-Karte mit einem Kartenkörper gekoppelt ist,

[0012] [Fig. 2](#) eine Querschnittansicht eines weiteren herkömmlichen Packungssystems,

[0013] [Fig. 3A](#) eine Querschnittansicht eines Packungssystems gemäß der Erfindung,

[0014] [Fig. 3B](#) eine Querschnittansicht eines weiteren Packungssystems gemäß der Erfindung,

[0015] [Fig. 4](#) eine perspektivische Explosionsansicht einer Halbleiterpackung, die für einen Einbau in das in [Fig. 3A](#) gezeigte Packungssystem geeignet ist,

[0016] [Fig. 5](#) eine perspektivische Explosionsquer-

schnittansicht des in [Fig. 3A](#) gezeigten Packungssystems,

[0017] [Fig. 6](#) ein Flussdiagramm, das ein exemplarisches Verfahren zur Herstellung des in [Fig. 3A](#) gezeigten Packungssystems beschreibt,

[0018] [Fig. 7](#) eine perspektivische Explosionsansicht einer weiteren Halbleiterpackung, die zum Einbau in das in [Fig. 3](#) gezeigte Packungssystem geeignet ist,

[0019] [Fig. 8](#) eine perspektivische Explosionsansicht noch einer weiteren Halbleiterpackung, die zum Einbau in das in [Fig. 3A](#) gezeigte Packungssystem geeignet ist,

[0020] [Fig. 9A](#) eine perspektivische Explosionsansicht noch einer weiteren Halbleiterpackung, die zum Einbau in das in [Fig. 3A](#) gezeigte Packungssystem geeignet ist,

[0021] [Fig. 9B](#) eine Querschnittansicht eines Teils der in [Fig. 9A](#) gezeigten Halbleiterpackung,

[0022] [Fig. 10A](#) bis [Fig. 10E](#) Querschnittansichten von weiteren Halbleiterpackungen gemäß der Erfindung,

[0023] [Fig. 11](#) eine Querschnittansicht einer heterogenen Mehrchip-Halbleiterpackung gemäß der Erfindung,

[0024] [Fig. 12](#) eine Querschnittansicht einer homogenen Mehrchip-Halbleiterpackung gemäß der Erfindung und

[0025] [Fig. 13A](#) bis [Fig. 13E](#) Querschnittansichten weiterer Mehrchip-Halbleiterpackungen gemäß der Erfindung.

[0026] Nunmehr werden exemplarische Ausführungsformen der vorliegenden Erfindung im Folgenden unter Bezugnahme auf die entsprechenden [Fig. 3A](#) bis [Fig. 13E](#) vollständiger beschrieben. In den Zeichnungen können die Dicken von Schichten und Bereichen zwecks Klarheit übertrieben dargestellt sein. Gleiche Bezugszeichen beziehen sich überall in der Beschreibung auf identische oder funktionell äquivalente Elemente.

[0027] Die [Fig. 3A](#), [Fig. 4](#) und [Fig. 5](#) stellen ein Packungssystem gemäß einer Ausführungsform der Erfindung dar. Bezugnehmend auf [Fig. 3A](#) beinhaltet eine IC-Karte oder ein Packungssystem **200** eine Halbleiterpackung **20** und einen Kartenkörper **26**.

[0028] Der Kartenkörper **26** beinhaltet eine darin definierte Vertiefung **26a**. Die Vertiefung **26a** ist im Allgemeinen zum Aufnehmen der Halbleiterpackung **20**

konfiguriert. In einer Ausführungsform kann die Vertiefung **26a** zum Beispiel einen Chip-Aufnahmeteil **223**, der zum Aufnehmen eines ersten Halbleiterchips **22** konfiguriert ist, und einen Substrataufnahmeteil **222** beinhalten, der zum Aufnehmen eines Substrats **23** konfiguriert ist.

[0029] Die Halbleiterpackung **20** beinhaltet zum Beispiel den ersten Halbleiterchip **22**, eine Mehrzahl von ersten externen Kontaktanschlüssen **21** auf dem ersten Halbleiterchip **22**, das Packungssubstrat **23** und eine Mehrzahl von auf dem Packungssubstrat **23** angeordneten leitfähigen Strukturen **24**. Die Halbleiterpackung **20** weist eine Haftoberfläche **20a** auf, um an eine gegenüberliegende Oberfläche des Kartenkörpers **26** gebondet zu werden, wobei bekannte Techniken verwendet werden, wie die Verwendung eines Klebstoffs. Die leitfähigen Strukturen **24** können unter Verwendung einer herkömmlichen Technik gebildet werden, z. B. Bilden einer leitfähigen Schicht auf dem Substrat **23** und Durchführen einer Photolithographie zur Bildung einer leitfähigen Struktur.

[0030] Das Packungssubstrat **23** beinhaltet eine Oberseite **23b**, eine Unterseite **24c** und eine erste Durchgangsöffnung **23a**, die sich von der Oberseite **24b** zu der Unterseite **24c** erstreckt. Die Mehrzahl von leitfähigen Strukturen **24** kann zum Beispiel auf der Oberseite **23b** des Substrats **23** bereitgestellt sein und kann sich über die erste Durchgangsöffnung **23a** erstrecken. Außerdem kann der erste Halbleiterchip **22** der Mehrzahl von leitfähigen Strukturen **24** zugewandt sein, und wenigstens ein Teil des ersten Halbleiterchips **22** kann in der ersten Durchgangsöffnung **23a** angeordnet sein (z. B. wie exemplarisch in [Fig. 4](#) gezeigt).

[0031] Des Weiteren verbindet die Mehrzahl von ersten externen Kontaktanschlüssen **21** die Mehrzahl von leitfähigen Strukturen **24** elektrisch mit dem ersten Halbleiterchip **22**. Die ersten externen Kontaktanschlüsse **21** kontaktieren die Mehrzahl von leitfähigen Strukturen **24** innerhalb der ersten Durchgangsöffnung **23a**. Da die ersten externen Kontaktanschlüsse **21** direkt die Mehrzahl von leitfähigen Strukturen kontaktieren können, ist die in [Fig. 2](#) gezeigte Metallschicht **17** in dieser Ausführungsform nicht notwendig und kann somit entfernt werden, wie weiter unten erläutert wird.

[0032] Da wenigstens ein Teil des ersten Halbleiterchips **22** innerhalb der ersten Durchgangsöffnung **23a** angeordnet ist, kann die Gesamtdicke "t" der Halbleiterpackung im Vergleich mit den vorstehend erläuterten herkömmlichen Halbleiterpackungen bis zu dem Maß reduziert werden, dass der erste Halbleiterchip **22** in die erste Durchgangsöffnung **23a** eingesetzt wird oder in dieser enthalten ist. Zum Beispiel kann die Packungsdicke "t" reduziert werden, da sich keine extra Metallschicht zwischen dem Halbleiter-

chip und den leitfähigen Strukturen **24** befindet wie in den herkömmlichen Halbleiterpackungen.

[0033] Ein Verfahren zur Bildung der Halbleiterpackung **20** kann die Bereitstellung eines Substrats **23**, das eine Oberseite und eine der Oberseite entgegengesetzte Unterseite beinhaltet, das Bilden einer ersten Durchgangsöffnung **23a** innerhalb des Substrats, die sich von der Oberseite bis zu der Unterseite erstreckt, das Bilden einer leitfähigen Struktur **24** auf der Oberseite des Substrats **23** so, dass sie sich über der ersten Durchgangsöffnung **23a** erstreckt, die Bereitstellung eines ersten Halbleiterchips **22** innerhalb wenigstens eines Teils der ersten Durchgangsöffnung **23a** und das elektrische Verbinden der leitfähigen Struktur **24** mit dem Halbleiterchip **22** durch eine erste leitfähige Zwischenverbindung **21** beinhalten, die sich innerhalb der ersten Durchgangsöffnung **23a** erstreckt. Wie ebenfalls exemplarisch vorstehend beschrieben, kann ein Verfahren zur Bildung der Halbleiterpackung **20** das Bilden einer Mehrzahl von ersten leitfähigen Zwischenverbindungen **21** und einer Mehrzahl von leitfähigen Strukturen **24** derart beinhalten, dass die Mehrzahl von ersten leitfähigen Zwischenverbindungen **21** den ersten Halbleiterchip **22** elektrisch mit der Mehrzahl von leitfähigen Strukturen **24** verbindet.

[0034] Wie exemplarisch in [Fig. 3A](#) gezeigt, kann sich eine Unterseite der Mehrzahl von ersten externen Kontaktanschlüssen **21** zwischen der Oberseite **23b** und der Unterseite **23c** des Substrats **23** befinden.

[0035] In der vorliegenden Ausführungsform beinhaltet der erste Halbleiterchip **22** eine aktive Oberfläche **22a**, die in Richtung der leitfähigen Strukturen **24** gewandt ist, wie zum Beispiel in [Fig. 3A](#) gezeigt. Alternativ kann die aktive Oberfläche **22a** von den leitfähigen Strukturen **24** abgewandt sein. In diesem Fall können leitfähige Durchkontakte durch den Halbleiterchip **22** hindurch gebildet werden, die mit den leitfähigen Strukturen **24** zu verbinden sind, wie zum Beispiel in [Fig. 11](#) dargestellt.

[0036] Die Mehrzahl von ersten externen Kontaktanschlüssen **21** können leitfähige Kontakthügel sein, wie Lothügel, leitfähige Kugeln wie Lotkugeln oder dergleichen, die auf dem ersten Halbleiterchip **22** angeordnet sind. Zum Beispiel können leitfähige Kontakthügel oder leitfähige Kugeln durch Bilden einer Mehrzahl von Kontaktstellen auf der aktiven Oberfläche **22a** des ersten Halbleiterchips **22**, Bilden einer Passivierungsschichtstruktur über der aktiven Oberfläche **22a** des ersten Halbleiterchips **22**, um wenigstens einen Teil von jeder der Mehrzahl von Kontaktstellen freizulegen, und Bereitstellen eines leitfähigen Materials (z. B. Blei, Zinn oder dergleichen oder einer Kombination derselben) auf dem freigelegten Teil von jeder der Mehrzahl von Kontaktstellen gebildet wer-

den. Leitfähige Kontakthügel können auch durch Bonden eines Drahts an den freigelegten Teil von jeder der Mehrzahl von Kontaktstellen und Abtrennen des Drahts in einer bestimmten Höhe über den Kontaktstellen gebildet werden. Die Mehrzahl von ersten externen Kontaktanschlüssen **21** kann exemplarisch durch Bereitstellen einer Kristallkeimschicht über der aktiven Oberfläche **22a** des ersten Halbleiterchips **22**, Bilden einer Photoresiststruktur über der Kristallkeimschicht, Strukturieren der Kristallkeimschicht, Entfernen der Photoresiststruktur und Elektroplattieren eines leitfähigen Materials auf die strukturierte Kristallkeimschicht gebildet werden. In einer Ausführungsform kann die Kristallkeimschicht Kupfer beinhalten und eine Dicke von etwa 0,5 µm aufweisen, während das leitfähige Material Gold beinhalten kann.

[0037] In einer weiteren Ausführungsform können, wengleich nicht gezeigt, die Mehrzahl von ersten externen Kontaktanschlüssen **21** und entsprechende der Mehrzahl von leitfähigen Strukturen **24** als unitäre Struktur bereitgestellt werden. In einer derartigen Ausführungsform ragt die Mehrzahl von externen Kontaktanschlüssen **21** von entsprechenden der Mehrzahl von leitfähigen Strukturen **24** so vor, dass sie den ersten Halbleiterchip **22** kontaktieren, wie exemplarisch in [Fig. 3B](#) gezeigt. Wie zum Beispiel in [Fig. 3B](#) gezeigt, kann eine leitfähige Struktur **24a** einen Vorsprung **21a** beinhalten, der von einer Unterseite derselben vorsteht, um den ersten Halbleiterchip **22** zu kontaktieren. Die leitfähigen Strukturen **24a** können zum Beispiel durch Biegen der leitfähigen Strukturen **24** vor deren Anbringen an dem Substrat **23** gebildet werden. Es ist jedoch ersichtlich, dass die leitfähigen Strukturen **24a** in einer anderen Weise nach Wunsch so konfiguriert werden können, dass sie den ersten Halbleiterchip **22** kontaktieren. Zum Beispiel können die leitfähigen Strukturen **24a** durch Prägen gebildet werden.

[0038] Zwischen dem ersten Halbleiterchip **22** und der Mehrzahl von leitfähigen Strukturen ist ein isolierendes Material **25** vorgesehen. Als ein Ergebnis können die aktive Oberfläche **22a**, auf der integrierte Schaltkreise ausgebildet sind, und die ersten externen Kontaktanschlüsse **21** mit dem isolierenden Material **25** bedeckt sein und können somit vor der äußeren Umgebung geschützt sein. Mit dem isolierenden Material **25**, das optional auf dem Substrat **23** gebildet ist, kann der erste Halbleiterchip **22** sicher an dem Substrat **23** befestigt werden. Das isolierende Material **25** kann zum Beispiel ein isolierendes Material wie Klebstoff, Epoxid, eine Epoxidgießverbindung (EMC), Polyamidharz oder dergleichen oder eine Kombination derselben beinhalten. Das isolierende Material **25** kann z. B. durch Injizieren eines isolierenden Materials in den zwischen dem ersten Halbleiterchip **22**, dem Substrat **23** und den leitfähigen Strukturen **24** definierten Zwischenraum bereitgestellt wer-

den.

[0039] Mit Ausführungsformen der Erfindung, wie vorstehend beschrieben, ist es möglich, die Menge des Isolatormaterials **25** auf dem Substrat **23** zu reduzieren, während die Fläche der Haftoberfläche **20a** vergrößert werden kann. Speziell kann der Bondbereich "A1" vergrößert werden, während der Gießbereich "B1" reduziert werden kann. Dies gilt insbesondere, da das isolierende Material **25** nicht ausreichend bereitgestellt werden muss, um Zwischenmetallschichten zu bedecken, wie in dem in [Fig. 2](#) gezeigten herkömmlichen Packungssystem. Demzufolge kann die Halbleiterpackung **20** sicher mit dem Kartenkörper **26** gekoppelt werden, und daher kann die Trennung der Halbleiterpackung **20** von dem Kartenkörper **12** oder die Schädigung an der Halbleiterpackung **20** signifikant reduziert oder verhindert werden.

[0040] Wie klarer in [Fig. 4](#) gezeigt, kann jede der Mehrzahl von leitfähigen Strukturen **24** im Wesentlichen identisch konfiguriert sein. Zum Beispiel kann jede der leitfähigen Strukturen **24** im Wesentlichen rechteckig sein. In einer Ausführungsform beinhalten die leitfähigen Strukturen **24** ein leitfähiges Material wie Metall und weisen eine Dicke von mehr als etwa 18 µm auf. In einer weiteren Ausführungsform weist die erste Durchgangsöffnung **23a** in Draufsicht betrachtet eine im Wesentlichen rechteckige Form auf.

[0041] Des Weiteren werden, wie in [Fig. 4](#) gezeigt, einige der leitfähigen Strukturen **24**, die sich über Eckenbereiche der ersten Durchgangsöffnung **23a** erstrecken, durch einen Bereich des Substrats **23** gestützt, der zwei aneinander angrenzende Kanten der ersten Durchgangsöffnung **23a** definiert. Einige der leitfähigen Strukturen **24**, die sich über Seitenbereiche der ersten Durchgangsöffnung **23a** erstrecken, werden durch einen Bereich des Substrats **23** gestützt, der eine Kante der ersten Durchgangsöffnung **23a** definiert. Demgemäß kann lediglich ein Bereich jeder leitfähigen Struktur **24** durch das Substrat **23** gestützt werden. Mit anderen Worten wird jede leitfähige Struktur **24** an einem Bereich durch das Substrat **23** gestützt. Daher kann sich ein erster Teil der Mehrzahl von leitfähigen Strukturen **24** über Eckenbereiche der ersten Durchgangsöffnung **23a** erstrecken, und ein zweiter Teil der Mehrzahl von leitfähigen Strukturen **24** kann sich über Seitenbereiche der ersten Durchgangsöffnung **23a** erstrecken, die sich zwischen den Eckenbereichen befinden.

[0042] Wie außerdem in [Fig. 4](#) gezeigt, kann der Halbleiterchip **22** innerhalb der ersten Durchgangsöffnung **23a** angeordnet oder in diese eingesetzt sein. Der Halbleiterchip **22** ist mit den leitfähigen Strukturen **24** gekoppelt, und ein Isolator (nicht gezeigt) kann einen Zwischenraum zwischen dem Halbleiterchip und dem Substrat **23** einschließlich der

leitfähigen Strukturen **24** füllen. Der Isolator kann ein Verkapselungsmittel sein, wie ein Klebstoff, Epoxid, Harz, das Polyamid beinhaltet, und so weiter.

[0043] Im Hinblick auf das Vorstehende kann ein Verfahren zur Bildung eines Packungssystems **200** (hierin auch als ein elektronisches System oder eine IC-Karte bezeichnet) zusammengefasst exemplarisch als ein Verfahren charakterisiert werden, welches Bereitstellen eines Substrats **23** mit einer Oberseite und einer zu der Oberseite entgegengesetzten Unterseite, Bilden einer ersten Durchgangsöffnung **23a** innerhalb des Substrats **23** derart, dass sich die erste Durchgangsöffnung **23a** von der Oberseite zu der Unterseite erstreckt, Bilden einer leitfähigen Struktur **24** auf der Oberseite des Substrats **23** derart, dass sich die leitfähige Struktur **24** über der ersten Durchgangsöffnung **23a** erstreckt, Bereitstellen von wenigstens einem Teil eines ersten Halbleiterchips **22** innerhalb der ersten Durchgangsöffnung **23a**, elektrisches Verbinden der leitfähigen Struktur **24** mit dem Halbleiterchip **22** durch eine erste leitfähige Zwischenverbindung **21**, die sich innerhalb der ersten Durchgangsöffnung **23a** befindet, Bereitstellen eines isolierenden Materials **25** zwischen der leitfähigen Struktur **24** und dem ersten Halbleiterchip **22** und Koppeln des Substrats **23** an den Packungskörper **26** beinhaltet, um ein elektronisches System **200** zu bilden, wobei wenigstens ein Teil des Substrats **23** innerhalb einer innerhalb des Packungskörpers **26** definierten Vertiefung **26a** angeordnet ist.

[0044] Ebenfalls im Hinblick auf das Vorstehende kann ein Packungssystem **200** (hierin auch als ein elektronisches System oder eine IC-Karte bezeichnet) exemplarisch als eine Halbleiterpackung **20** und einen Packungskörper **26** enthaltend charakterisiert werden, der die Halbleiterpackung **20** enthält. Die Halbleiterpackung **20** kann exemplarisch so charakterisiert werden, dass sie ein Substrat **23** mit einer Oberseite, einer der Oberseite entgegengesetzten Unterseite und einer Durchgangsöffnung **23a**, die sich von der Oberseite zu der Unterseite erstreckt, eine leitfähige Struktur **24** auf der Oberseite des Substrats, die sich über der ersten Durchgangsöffnung **23a** erstreckt, einen ersten Halbleiterchip **22**, welcher der leitfähigen Struktur **24** derart zugewandt ist, dass wenigstens ein Teil des ersten Halbleiterchips **22** innerhalb der ersten Durchgangsöffnung **23a** angeordnet ist, und einen ersten externen Kontaktanschluss **21** innerhalb der ersten Durchgangsöffnung **23a** beinhaltet, der die leitfähige Struktur **24** elektrisch mit dem ersten Halbleiterchip **22** verbindet.

[0045] Wie exemplarisch vorstehend unter Bezugnahme auf die Fig. 3 bis Fig. 5 beschrieben, erzeugt das isolierende Material **25** außerdem zusammengefasst einen relativ kleinen Gießbereich "B1" relativ zu dem Bondbereich "A1", da eine geringere Menge von isolierendem Material **25** erforderlich ist, um den ers-

ten Halbleiterchip **22** adäquat an dem Substrat **23** zu befestigen als zum Beispiel an der Zwischenmetallschicht **17**, die vorstehend unter Bezugnahme auf Fig. 2 erwähnt ist. Demgemäß kann ein relativ großer Bondbereich (Haftoberfläche) "A1" bereitgestellt werden, in dem ein Klebstoff zwischen der Oberfläche **20a** der Halbleiterpackung **20** und einer gegenüberliegenden Oberfläche des Kartenkörpers **26** angebracht werden kann. Als ein Ergebnis kann verhindert werden, dass sich die Halbleiterpackung **20** von dem Kartenkörper **26** separiert. Außerdem kann eine Dicke "t" der Systempackung **200** im Vergleich zu der Dicke des in Fig. 2 gezeigten Flip-Chip-Packungssystems vom COB-Typ aufgrund des Fehlens der Zwischenmetallschichten **17** und eines Teils des Substrats **14** reduziert werden, der zwischen den leitfähigen Durchkontakten **16** angeordnet ist. Des Weiteren kann das in den Fig. 3 und Fig. 5 gezeigte Packungssystem **200** mit relativ reduzierten Kosten und reduzierter Komplexität hergestellt werden.

[0046] Fig. 6 stellt ein exemplarisches Verfahren zur Herstellung des in den Fig. 3 bis Fig. 5 gezeigten Packungssystems dar. Bezugnehmend auf Fig. 6 kann ein exemplarisches Verfahren zur Herstellung des in den Fig. 3 bis Fig. 5 gezeigten Packungssystems allgemein so charakterisiert werden, dass es einen ersten Prozess **610** des Bildens einer Halbleiterpackung **20**, einen zweiten Prozess **620** des Bildens eines Kartenkörpers **26** und einen dritten Prozess **630** des Einsetzens der Halbleiterpackung **20** in die Vertiefung **26a** des Kartenkörpers **26** beinhaltet.

[0047] In einer Ausführungsform kann das erste Verfahren **610** zum Bilden einer Halbleiterpackung **20** wie folgt durchgeführt werden. In Schritt **611** wird die Mehrzahl von ersten externen Kontaktanschlüssen **21** auf dem ersten Halbleiterchip **22** gebildet. In Schritt **613** wird eine erste Durchgangsöffnung **23a** in dem Substrat **23** gebildet. In Schritt **615** werden leitfähige Strukturen **24** auf dem Substrat **23** gebildet. In einer Ausführungsform wird ein Teil der leitfähigen Strukturen **24** durch die erste Durchgangsöffnung **23** freigelegt. In Schritt **617** wird der erste Halbleiterchip **22** in die erste Durchgangsöffnung **23a** eingesetzt. Dabei ist eine aktive Oberfläche des Halbleiterchips **22** den leitfähigen Strukturen **24** zugewandt und ist durch die Mehrzahl von ersten externen Kontaktanschlüssen **21** damit elektrisch verbunden. In Schritt **619** wird ein isolierendes Material **25** zwischen den leitfähigen Strukturen **24** und dem ersten Halbleiterchip **22** gebildet oder dort injiziert, um den ersten Halbleiterchip **22** und die leitfähigen Strukturen **24** einzukapseln. In einer Ausführungsform kann das isolierende Material **24** während des Einsetzens der Halbleiterpackung **20** in eine Vertiefung **26a** des Kartenkörpers **26** gebildet werden. Das heißt, das isolierende Material **25** kann zur gleichen Zeit bereitgestellt werden, wie die Halbleiterpackung **20** mit dem Kartenkörper **26** gekoppelt wird.

[0048] In Schritt **620** wird separat von den vorstehend beschriebenen Prozessen die Vertiefung **26a** in dem Kartenkörper **26** gebildet. In einer Ausführungsform kann die Vertiefung **26a** beim Bilden des Kartenkörpers **26** gebildet werden (z. B. während eines Gießprozesses). In Schritt **630** wird die durch die vorstehenden Prozesse gebildete Halbleiterpackung **20** in die Vertiefung **26a** eingesetzt, um ein Packungssystem **200** zu bilden.

[0049] In entsprechenden Ausführungsformen können der Prozess **619** und der Prozess **630** gleichzeitig durchgeführt werden, während ein Unterfüllprozess durchgeführt wird.

[0050] [Fig. 7](#) stellt eine weitere Ausführungsform einer Halbleiterpackung dar, die zum Einbau in das in [Fig. 3A](#) gezeigte System geeignet ist. Bezugnehmend auf [Fig. 7](#) kann diese Halbleiterpackung **20** in ähnlicher Weise bereitgestellt werden, wie vorstehend unter Bezugnahme auf die [Fig. 3](#) und [Fig. 4](#) erörtert. Gemäß der in [Fig. 7](#) gezeigten Ausführungsform ist jedoch die Mehrzahl von leitfähigen Strukturen **24** in Abhängigkeit von ihrem Ort auf der Oberseite des Substrats **23** unterschiedlich konfiguriert. Zum Beispiel beinhaltet wenigstens eine der Mehrzahl von leitfähigen Strukturen **24**, die sich über Seitenbereiche der ersten Durchgangsöffnung **23a** erstrecken, einen Kontaktbereich **34** und einen Verlängerungsbereich **35**. Der Kontaktbereich **34** wird durch einen Bereich (z. B. einen ersten Bereich) des Substrats **23** gestützt, der eine Kante (z. B. eine erste Kante) der ersten Durchgangsöffnung **23a** definiert. Der Verlängerungsbereich **35** wird von einem weiteren Bereich (z. B. einem zweiten Bereich) des Substrats **23** gestützt, der eine weitere Kante (z. B. eine zweite Kante) entgegengesetzt zu der ersten Kante) der ersten Durchgangsöffnung **23a** definiert. Der Kontaktbereich **34** ist so konfiguriert, dass ein Kontakt mit einem externen Kontaktanschluss **21** erleichtert wird, und der Verlängerungsbereich **35** ist so konfiguriert, dass er ein distales Ende des Kontaktbereichs **34** stützt. Demgemäß werden lediglich zwei Bereiche jeder leitfähigen Struktur **24**, die sich über einen Seitenbereich der ersten Durchgangsöffnung **23a** erstrecken, von dem Substrat **23** gestützt. Mit anderen Worten wird jede leitfähige Struktur **24**, die sich über einem Seitenbereich der ersten Durchgangsöffnung **23a** erstreckt, in einem ersten Bereich und in einem zweiten Bereich von dem Substrat **23** gestützt. Der erste und der zweite Bereich sind voneinander beabstandet. Zum Beispiel wird für jede leitfähige Struktur **24** ein Bereich des Kontaktbereichs **34** von dem Substrat **23** an einer ersten Seite der ersten Durchgangsöffnung **23a** gestützt, und ein Bereich des Verlängerungsbereichs **35** wird von dem Substrat **23** an einer zweiten Seite der Durchgangsöffnung **23a** gestützt, die der ersten Seite entgegengesetzt ist.

[0051] In einer Ausführungsform ist der Kontaktbe-

reich **34** von einer der leitfähigen Strukturen **24** benachbart zu dem Verlängerungsbereich **35** einer weiteren der leitfähigen Strukturen **24** entlang der ersten Seite (oder der zweiten Seite) der ersten Durchgangsöffnung **23a**.

[0052] In einer weiteren Ausführungsform weist der Kontaktbereich **34**, der an der ersten Seite der ersten Durchgangsöffnung **23** von dem Substrat **23** gestützt wird, die gleiche Form wie der Kontaktbereich **34** auf, der an der zweiten Seite der ersten Durchgangsöffnung **23a** von dem Substrat **23** gestützt wird. In ähnlicher Weise kann der Verlängerungsbereich **35**, der an der zweiten Seite der ersten Durchgangsöffnung **23a** von dem Substrat **23** gestützt wird, die gleiche Form aufweisen wie der Verlängerungsbereich **35**, der an der ersten Seite der ersten Durchgangsöffnung **23a** von dem Substrat **23** gestützt wird.

[0053] In noch einer weiteren Ausführungsform sind die Kontaktbereiche **34** der leitfähigen Strukturen **24**, die sich über Seitenbereichen der ersten Durchgangsöffnung **23a** erstrecken, so charakterisiert, dass sie eine rechteckige Form aufweisen. In ähnlicher Weise können Verlängerungsbereiche **35** von leitfähigen Strukturen **24**, die sich über Seitenbereichen der ersten Durchgangsöffnung **23a** erstrecken, so charakterisiert sein, dass sie eine schmale Streifenform aufweisen.

[0054] Wenn die leitfähigen Strukturen **24**, die sich über Seitenbereichen der ersten Durchgangsöffnung **23a** erstrecken, wie vorstehend unter Bezugnahme auf [Fig. 7](#) beschrieben vorgesehen sind, erfahren sie eine geringere Deformation (z. B. Biegen, Reißen, Brechen etc.) als die leitfähigen Strukturen **24**, wie vorstehend unter Bezugnahme auf [Fig. 4](#) beschrieben, da beide Enden der leitfähigen Strukturen **24** gestützt sein können.

[0055] [Fig. 8](#) stellt noch eine weitere Ausführungsform einer Halbleiterpackung dar, die zum Einbau in das in [Fig. 3A](#) gezeigte Packungssystem geeignet ist. Bezugnehmend auf [Fig. 8](#) kann die Halbleiterpackung **20** in ähnlicher Weise wie vorstehend unter Bezugnahme auf die [Fig. 3](#) und [Fig. 4](#) erörtert bereitgestellt werden. Gemäß der in [Fig. 8](#) gezeigten Ausführungsform wird das isolierende Material **25** jedoch als ein Isolatorrahmenkörper **252** bereitgestellt, der vor dem Einsetzen des ersten Halbleiterchips **22** in die erste Durchgangsöffnung **23a** gebildet wird. In einer Ausführungsform beinhaltet der Isolatorrahmenkörper **252** einen oberen Teil **252a** und einen unteren Teil **252b**. Der obere Teil **252a** des Isolatorrahmenkörpers **252** kann so konfiguriert werden, dass er in die erste Durchgangsöffnung **23a** eingesetzt wird. Der untere Teil **252b** des Isolatorrahmenkörpers **252** kann so konfiguriert werden, dass er mit der Unterseite des Substrats **23** gekoppelt wird (z. B. über Klebmaterial). In einer Ausführungsform sind sowohl der

obere Teil **252a** als auch der untere Teil **252b** jeweils unter Verwendung eines Klebematerials an dem Halbleiterchip **22** und dem Substrat **23** angebracht, um dadurch den Halbleiterchip **22** sicher mit dem Substrat **23** zu koppeln.

[0056] Eine Mehrzahl von Isolatorrahmenkörper-Durchgangsöffnungen **254** ist innerhalb des Isolatorrahmenkörpers **252** definiert und erstreckt sich von einer Oberseite des Isolatorrahmenkörpers **252** zu einer Unterseite des Isolatorrahmenkörpers **252**. In einer Ausführungsform wird die Mehrzahl von ersten externen Kontaktanschlüssen **21** in die Mehrzahl von Isolatorrahmenkörper-Durchgangsöffnungen **254** eingesetzt. In einer weiteren Ausführungsform erstreckt sich die Mehrzahl von ersten externen Kontaktanschlüssen **21** vollständig durch die Mehrzahl von Isolatorrahmenkörper-Durchgangsöffnungen **254** hindurch, um mit den leitfähigen Strukturen **24** gekoppelt zu werden.

[0057] So kann, wie vorstehend exemplarisch beschrieben, das isolierende Material **25** gemäß einer Ausführungsform als ein Isolatorrahmenkörper **252** charakterisiert werden, der eine durch diesen hindurch definierte Isolatorrahmenkörper-Durchgangsöffnung **254** beinhaltet, so dass sich ein erster externer Kontaktanschluss **21** durch die Isolatorrahmenkörper-Durchgangsöffnung **254** hindurch erstrecken kann.

[0058] In einer Ausführungsform kann ein Verfahren zur Bereitstellung des isolierenden Materials **25** zum Beispiel das Bilden eines Isolatorrahmenkörpers **252**, wobei der Isolatorrahmenkörper **252** eine durch diesen hindurch definierte Isolatorrahmenkörper-Durchgangsöffnung **254** beinhaltet, und das Anordnen des Isolatorrahmenkörpers **252** innerhalb der ersten Durchgangsöffnung **23a** so beinhaltet, dass er benachbart zu der leitfähigen Struktur **24** ist. Ein Verfahren zum elektrischen Verbinden einer leitfähigen Struktur **25** mit dem ersten Halbleiterchip **22** kann zum Beispiel das Einsetzen eines ersten externen Kontaktanschlusses **21** durch die Isolatorrahmenkörper-Durchgangsöffnung **254** hindurch beinhalten.

[0059] Wenn sich die Mehrzahl von ersten externen Kontaktanschlüssen **21** vollständig durch die Mehrzahl von Isolatorrahmenkörper-Durchgangsöffnungen **254** hindurch erstreckt, kontaktiert der erste Halbleiterchip **22** in einer entsprechenden Ausführungsform den unteren Teil **252b** des Isolatorrahmenkörpers **252**. In einer derartigen Ausführungsform kann der erste Halbleiterchip **22** mit dem unteren Teil **252b** des Isolatorrahmenkörpers **252** zum Beispiel durch einen Klebstoff gekoppelt sein.

[0060] Aufgebaut wie vorstehend beschrieben, kann der Isolatorrahmenkörper **252** bei einer Ausrichtung der Mehrzahl von ersten externen Kontakt-

anschlüssen **21** bezüglich entsprechenden der Mehrzahl von leitfähigen Strukturen **24** innerhalb der ersten Durchgangsöffnungen **23a** helfen. Der Isolatorrahmenkörper **252** kann aus einem isolierenden Material gebildet werden, wie Polyimid, Epoxid, Harz etc.

[0061] Die [Fig. 9A](#) und [Fig. 9B](#) stellen noch eine weitere Ausführungsform einer Halbleiterpackung dar, die zum Einbau innerhalb des in [Fig. 3A](#) gezeigten Packungssystems geeignet ist. Bezugnehmend auf [Fig. 9A](#) kann die Halbleiterpackung **20** in ähnlicher Weise wie vorstehend in Bezugnahme auf die [Fig. 3](#) und [Fig. 4](#) erörtert bereitgestellt werden. Gemäß der in [Fig. 9A](#) gezeigten Ausführungsform wird jedoch ein anisotroper leitfähiger Film (ACF) **253** als das isolierende Material **25** der [Fig. 3](#) und [Fig. 4](#) bereitgestellt und vor dem Einsetzen des ersten Halbleiterchips **22** in die erste Durchgangsöffnung **23a** gebildet. Der ACF **253** kann eine Mehrzahl von darin angeordneten (z. B. suspendierten) leitfähigen Partikeln **253a** beinhalten. In einer derartigen Ausführungsform kann der ACF **253** als ein komprimierbares Material bereitgestellt werden. Ohne Kompression zeigt der ACF **253** elektrisch isolierende Charakteristika. Bei Kompression um ein ausreichendes Maß werden die leitfähigen Partikel **253a** jedoch in Kontakt gebracht, so dass elektrische Signale hindurch übertragen werden können.

[0062] Bezugnehmend auf [Fig. 9B](#) komprimiert die Mehrzahl von ersten externen Kontaktanschlüssen **21** beim Einsetzen des ersten Halbleiterchips **22** in die erste Durchgangsöffnung **23a** lokal Bereiche des anisotropen leitfähigen Films **253**, so dass elektrische Signale zwischen der Mehrzahl von ersten externen Kontaktanschlüssen **21** und den leitfähigen Strukturen **24** durch die Mehrzahl von leitfähigen Partikeln **253a** übertragen werden können. In entsprechenden Ausführungsformen beträgt die Höhe der Mehrzahl von ersten externen Kontaktanschlüssen **21** etwa 8 µm bis 16 µm, und die Dicke des anisotropen leitfähigen Films **253** ist etwa 5 µm bis etwa 20 µm größer als die Höhe der Mehrzahl von ersten externen Kontaktanschlüssen **21**.

[0063] Die [Fig. 10A](#) bis [Fig. 10E](#) stellen einige weitere Ausführungsformen von Halbleiterpackungen gemäß der Erfindung dar. Wie vorstehend beschrieben, kann das isolierende Material **25** durch Injizieren eines isolierenden Materials in einen zwischen dem ersten Halbleiterchip **22**, dem Substrat **23** und den leitfähigen Strukturen **24** definierten Zwischenraum bereitgestellt werden. Während des Injektionsprozesses ist es möglich, dass das isolierende Material **25** in den zwischen benachbarten leitfähigen Strukturen **24** definierten Zwischenraum oder sogar auf eine Oberseite der leitfähigen Strukturen **24** fließt. Demgemäß kann ein Barriereelement wie **40**, **41**, **42** oder **43**, wie in den [Fig. 10A](#) bis [Fig. 10E](#) beschrie-

ben, bereitgestellt werden, um zu verhindern, dass das isolierende Material **25** zwischen und auf die leitfähigen Strukturen **24** fließt, wie nachstehend detaillierter erläutert wird.

[0064] In einer entsprechenden Ausführungsform wird das Barriereelement vor der Bildung des isolierenden Materials **25** angeordnet. In entsprechenden Ausführungsformen wird ein Barriereelement bereitgestellt, um sich zwischen Paaren von benachbarten der Mehrzahl von leitfähigen Strukturen **24** über wenigstens einen Teil des zwischen den benachbarten der Mehrzahl von leitfähigen Strukturen **24** definierten Zwischenraums hinweg zu erstrecken, wie zum Beispiel in [Fig. 10A](#) gezeigt. Außerdem wird in [Fig. 10A](#) ein Barriereelement **40**, wie ein isolierender Film, auf einer Unterseite der benachbarten leitfähigen Strukturen **24** bereitgestellt, um den zwischen den benachbarten leitfähigen Strukturen **24** definierten Zwischenraum zu überbrücken.

[0065] In weiteren Ausführungsformen ist ein Barriereelement innerhalb wenigstens eines Teils des zwischen den benachbarten der Mehrzahl von leitfähigen Strukturen **24** definierten Zwischenraums angeordnet, wie zum Beispiel in [Fig. 10B](#) gezeigt. Zum Beispiel ist in [Fig. 10B](#) ein Barriereelement **41** in dem zwischen den benachbarten leitfähigen Strukturen **24** definierten Zwischenraum bereitgestellt. Wie exemplarisch in [Fig. 10B](#) gezeigt, kann das Barriereelement **41** im Wesentlichen vollständig zwischen Ober- und Unterseite der leitfähigen Strukturen **24** angeordnet sein.

[0066] In weiteren Ausführungsformen befindet sich ein Barriereelement zwischen den benachbarten der Mehrzahl von leitfähigen Strukturen **24** und dem ersten Halbleiterchip **22**, wie zum Beispiel in den [Fig. 10C](#) und [Fig. 10D](#) gezeigt, wie detailliert erläutert wird. Bezugnehmend auf [Fig. 10C](#) wird ein Barriereelement **42** in dem zwischen den benachbarten leitfähigen Strukturen **24** definierten Zwischenraum bereitgestellt und erstreckt sich teilweise in einen zwischen den leitfähigen Strukturen **24** und dem ersten Halbleiterchip definierten Zwischenraum. Das heißt, das Barriereelement **42** erstreckt sich teilweise in die erste Durchgangsöffnung **23a**. Mit dem in [Fig. 10C](#) gezeigten Barriereelement **42** können die Leckströme reduziert werden. Bezugnehmend auf [Fig. 10D](#) wird ein Barriereelement **43** in dem zwischen den benachbarten leitfähigen Strukturen **24** definierten Zwischenraum bereitgestellt und kontaktiert den ersten Halbleiterchip **22**. Mit dem Barriereelement **43**, das sich vollständig zu dem ersten Halbleiterchip **22** erstreckt, können die Leckströme weiter reduziert werden. In einem Aspekt können die in den [Fig. 10A](#) bis [Fig. 10D](#) gezeigten Barriereelemente unter Verwendung eines Siebdruckverfahrens gebildet werden, bevor das isolierende Material **25** zwischen dem ersten Halbleiterchip **22**, dem Substrat **23**

und den leitfähigen Strukturen **24** bereitgestellt wird.

[0067] Bezugnehmend auf [Fig. 10E](#) wird ein Barriereelement **44** auf der Oberseite der benachbarten leitfähigen Strukturen **24** bereitgestellt, um den zwischen den leitfähigen Strukturen **24** definierten Zwischenraum zu überbrücken.

[0068] In entsprechenden Ausführungsformen beinhalten die Barriereelemente **40** bis **43** ein harzartiges Material. In einer weiteren Ausführungsform wird das Barriereelement **44** aus einem streifenartigen Material gebildet. Ein Verfahren zur Bildung einer Halbleiterpackung gemäß der Erfindung kann zum Beispiel das Entfernen des Barriereelements **44** nach dem Bilden des isolierenden Materials **25** beinhalten.

[0069] In einer entsprechenden Ausführungsform beinhaltet das streifenartige Material ein Material, das selektiv an den leitfähigen Strukturen **24** anbringbar/von diesen abnehmbar ist. In einer Ausführungsform beinhaltet das harzartige Material ein Material, das versteift werden kann (z. B. nachdem das isolierende Material injiziert wurde).

[0070] [Fig. 11](#) stellt eine Ausführungsform einer heterogenen Mehrchip-Halbleiterpackung **50a** dar. [Fig. 12](#) stellt eine Ausführungsform einer homogenen Mehrchip-Halbleiterpackung **50b** dar. Es versteht sich, dass die vorstehend unter Bezugnahme auf die [Fig. 3](#) bis [Fig. 10E](#) erörterten Ausführungsformen nicht auf Ein-Chip-Halbleiterpackungen beschränkt sind und ohne Weiteres auf verschiedene Typen von Mehrchip-Packungen angewendet oder erweitert werden können. Zum Beispiel und unter Bezugnahme auf [Fig. 11](#) beinhaltet die Mehrchip-Halbleiterpackung **50a** einen ersten Halbleiterchip **22**, der über die Mehrzahl von ersten externen Kontaktanschlüssen **21** mit leitfähigen Strukturen **24** verbunden ist, und eine Mehrzahl von zweiten Chips **571** und **572** (kollektiv mit **570** bezeichnet), die über Bonddrähte **561** und **562** (kollektiv mit **560** bezeichnet) mit leitfähigen Strukturen **24** verbunden sind. Der zweite Chip **571** kann durch irgendein geeignetes Mittel (z. B. über ein Klebematerial) mit dem ersten Halbleiterchip **22** gekoppelt sein. Der zweite Chip **572** kann durch irgendein geeignetes Mittel mit einem weiteren zweiten Chip **571** gekoppelt sein. In der dargestellten Ausführungsform erstrecken sich die ersten externen Kontaktanschlüsse **21** durch die erste Durchgangsöffnung **23a**, um den ersten Halbleiterchip **22** mit den leitfähigen Strukturen **24** elektrisch zu verbinden, und die Drähte **561** erstrecken sich durch die Durchgangsöffnungen **23d**, um die zweiten Chips **570** mit den leitfähigen Strukturen **24** elektrisch zu verbinden. In dieser Ausführungsform unterscheiden sich die zweiten Chips **570** von dem ersten Halbleiterchip **22**.

[0071] Demgemäß ist die Mehrchip-Halbleiterpa-

ckung **50a** eine heterogene Mehrchip-Halbleiterpackung.

[0072] Bezugnehmend auf [Fig. 12](#) beinhaltet die Mehrchip-Halbleiterleiterpackung **50b** einen ersten Halbleiterchip **22**, der über die Mehrzahl von ersten externen Kontaktanschlüssen **21** mit leitfähigen Strukturen **24** verbunden ist, und einen zweiten Chip **57**, der durch einen leitfähigen Durchkontakt **59**, der sich durch den ersten Halbleiterchip **22** erstreckt, mit leitfähigen Strukturen **24** verbunden ist. In der dargestellten Ausführungsform verbinden externe Kontaktanschlüsse **58** den zweiten Halbleiterchip **57** elektrisch mit dem leitfähigen Durchkontakt **59**. Im Hinblick auf das Vorstehende kann ein Verfahren zum Bilden der Halbleiterpackung **50b** das Koppeln eines zweiten Halbleiterchips **57** an den ersten Halbleiterchip **22** und das Bilden eines leitfähigen Durchkontakts **59** durch den ersten Halbleiterchip **22** hindurch beinhalten, wobei der leitfähige Durchkontakt **59** den ersten und den zweiten Halbleiterchip **22** und **57** elektrisch verbindet.

[0073] In dieser Ausführungsform sind der erste Chip **22** und der zweite Chip **57** identisch, sind im Wesentlichen gleich oder ähnlich (z. B. basierend auf der Funktionalität). Demgemäß ist die Mehrchip-Halbleiterpackung **50b** eine homogene Mehrchip-Halbleiterpackung.

[0074] Die [Fig. 13A](#) bis [Fig. 13E](#) stellen weitere Ausführungsformen von Mehrchip-Halbleiterpackungen dar. Bezugnehmend auf [Fig. 13A](#) beinhaltet eine Mehrchip-Halbleiterpackung **60a** einen ersten Halbleiterchip **22**, der über die Mehrzahl von ersten externen Kontaktanschlüssen **21** elektrisch mit leitfähigen Strukturen **24** verbunden ist, einen zweiten Halbleiterchip **575**, der über Drähte **563** elektrisch mit leitfähigen Strukturen **24** verbunden ist, und einen dritten Halbleiterchip **576**, der mit dem zweiten Halbleiterchip **575** gekoppelt ist und über externe Kontaktanschlüsse **58** elektrisch mit der aktiven Oberfläche **575a** des zweiten Halbleiterchips **575** verbunden ist.

[0075] Bezugnehmend auf [Fig. 13B](#) wird eine Mehrchip-Halbleiterpackung **60b** in ähnlicher Weise wie unter Bezugnahme auf [Fig. 13A](#) erörtert bereitgestellt, beinhaltet jedoch des Weiteren einen zusätzlichen Halbleiterchip **577**, der durch einen leitfähigen Durchkontakt **59**, der sich durch einen dritten Halbleiterchip **576** hindurch erstreckt, mit einer aktiven Oberfläche **575a** eines zweiten Halbleiterchips **575** elektrisch verbunden ist. In der dargestellten Ausführungsform verbinden externe Kontaktanschlüsse **582** den zusätzlichen Halbleiterchip **577** elektrisch mit dem leitfähigen Durchkontakt **59**.

[0076] Bezugnehmend auf [Fig. 13C](#) beinhaltet eine Mehrchip-Halbleiterpackung **60c** einen ersten Halbleiterchip **22**, der über die Mehrzahl von ersten exter-

nen Kontaktanschlüssen elektrisch mit leitfähigen Strukturen **24** verbunden ist, einen zweiten Halbleiterchip **578**, der mit dem ersten Halbleiterchip **22** gekoppelt ist, und einen dritten Halbleiterchip **579**, der über Drähte **564** elektrisch mit leitfähigen Strukturen **24** verbunden ist. Der zweite Halbleiterchip **578** ist durch einen leitfähigen Durchkontakt **59**, der sich durch den dritten Halbleiterchip **579** hindurch erstreckt, mit den leitfähigen Strukturen **24** elektrisch verbunden. In der dargestellten Ausführungsform verbinden externe Kontaktanschlüsse **58** den zweiten Halbleiterchip **578** elektrisch mit dem leitfähigen Durchkontakt **59**.

[0077] Bezugnehmend auf [Fig. 13D](#) wird eine Mehrchip-Halbleiterpackung **60d** in ähnlicher Weise wie unter Bezugnahme auf [Fig. 13C](#) erörtert bereitgestellt, beinhaltet jedoch des Weiteren einen zusätzlichen Halbleiterchip **580**, der über Drähte **565** elektrisch mit leitfähigen Strukturen **24** verbunden ist. In der dargestellten Ausführungsform ist ein dritter Halbleiterchip **579** durch einen leitfähigen Durchkontakt **592**, der sich durch den zusätzlichen Halbleiterchip **580** hindurch erstreckt, elektrisch mit den leitfähigen Strukturen **24** verbunden, wobei externe Kontaktanschlüsse **582** den dritten Halbleiterchip **579** elektrisch mit dem leitfähigen Durchkontakt **592** verbinden. Außerdem ist in der dargestellten Ausführungsform ein zweiter Halbleiterchip **578** durch einen leitfähigen Durchkontakt **591**, der sich durch den dritten Halbleiterchip **579** hindurch erstreckt, elektrisch mit den leitfähigen Strukturen **24** verbunden, wobei externe Kontaktanschlüsse **581** im dritten Halbleiterchip **579** den zweiten Halbleiterchip **578** elektrisch mit dem leitfähigen Durchkontakt **591** verbinden.

[0078] Bezugnehmend auf [Fig. 13E](#) beinhaltet eine Mehrchip-Halbleiterpackung **60e** einen ersten Halbleiterchip **22**, der über die Mehrzahl von ersten externen Kontaktanschlüssen **21** mit leitfähigen Strukturen **24** elektrisch verbunden ist, einen zweiten Halbleiterchip **573**, der über einen leitfähigen Durchkontakt **511**, der sich durch den ersten Halbleiterchip **22** hindurch erstreckt, mit den leitfähigen Strukturen **24** elektrisch verbunden ist, und einen dritten Halbleiterchip **574**, der durch einen leitfähigen Durchkontakt **512**, der sich durch den zweiten Halbleiterchip **573** hindurch erstreckt, mit den leitfähigen Strukturen **24** elektrisch verbunden ist. In der dargestellten Ausführungsform verbinden externe Kontaktanschlüsse **581** den zweiten Halbleiterchip **573** elektrisch mit dem leitfähigen Durchkontakt **511**, und externe Kontaktanschlüsse **582** verbinden den dritten Halbleiterchip **574** elektrisch mit dem leitfähigen Durchkontakt **512**.

[0079] Gemäß den vorstehend unter Bezugnahme auf die [Fig. 3A](#) bis [Fig. 13E](#) exemplarisch beschriebenen Ausführungsformen kann ein Packungssystem bereitgestellt werden, in dem im Wesentlichen verhindert wird, dass sich eine Halbleiterpackung von

einem Kartenkörper separiert, da der Bondbereich "A1" zwischen dem Kartenkörper und der Halbleiterpackung signifikant vergrößert werden kann, um eine sichere Verbindung zwischen dem Kartenkörper und der Halbleiterpackung sicherzustellen, wie in [Fig. 3A](#) dargestellt. Mit anderen Worten kann die Haftung zwischen dem Kartenkörper und der Packung erhöht werden, und daher können der Kartenkörper und die Packung sicher aneinander befestigt werden. Demzufolge können die Haltbarkeit und die Zuverlässigkeit des Packungssystems oder der IC-Karten wesentlich erhöht werden.

[0080] Außerdem kann das in den vorstehenden Ausführungsformen exemplarisch beschriebene Packungssystem wenigstens teilweise aufgrund der Konfiguration der Halbleiterpackung so gefertigt werden, dass es relativ dünn, kostengünstig und ohne Komplikation ist. Dies gilt insbesondere, da der Halbleiterchip innerhalb einer Öffnung des Substrats angeordnet werden kann, wodurch die Gesamtdicke des elektronischen Systems reduziert wird, da sich die Dicke des Halbleiterchips nicht zu der Gesamtdicke des elektronischen Systems hinzu addiert. Als ein Ergebnis können eine dünnere Halbleiterpackung und ein dünneres elektronisches System, wie eine IC-Karte, gemäß Ausführungsformen der vorliegenden Erfindung erhalten werden.

[0081] Außerdem können gemäß den vorstehend exemplarisch beschriebenen Ausführungsformen Prozessschritte im Vergleich zum Stand der Technik reduziert werden, da die erfinderischen Verfahren weniger Metall- oder leitfähige Schichten erfordern, wodurch die Gesamtfertigungskosten wesentlich reduziert werden.

[0082] Es versteht sich, dass das Packungssystem und die Halbleiterpackung, die gemäß den vorstehend exemplarisch beschriebenen Ausführungsformen bereitgestellt werden, in Verbindung mit Bauelementen wie IC-Karten, Speicherkarten, USB-Karten, internen Speicherpackungen von Media-Playern (z. B. MP3-Playern), mobilen Telephonen, Digitalkameras und der dergleichen implementiert werden können.

Patentansprüche

1. Halbleiterpackung mit
 – einem Substrat (**23**), das eine sich durch dieses hindurch erstreckende Durchgangsöffnung (**23a**) beinhaltet,
 – einer leitfähigen Struktur (**24**), die über dem Substrat liegt und sich über der Durchgangsöffnung erstreckt,
 – einem Halbleiterchip (**22**), welcher der leitfähigen Struktur zugewandt ist, wobei wenigstens ein Teil des Halbleiterchips innerhalb der Durchgangsöffnung angeordnet ist, und

– einem externen Kontaktanschluss (**21**) innerhalb der Durchgangsöffnung, der die leitfähige Struktur mit dem Halbleiterchip elektrisch verbindet.

2. Halbleiterpackung nach Anspruch 1, wobei der externe Kontaktanschluss einen leitfähigen Kontakt-hügel, eine leitfähige Kugel oder eine Kombination derselben beinhaltet, der/die auf dem Halbleiterchip angeordnet ist.

3. Halbleiterpackung nach Anspruch 1, wobei der externe Kontaktanschluss und die leitfähige Struktur eine unitäre Struktur bilden, wobei der externe Kontaktanschluss von der leitfähigen Struktur vorsteht.

4. Halbleiterpackung nach einem der Ansprüche 1 bis 3, wobei das Substrat eine Oberseite und eine dazu entgegengesetzte Unterseite beinhaltet und wobei sich eine Unterseite des externen Kontaktanschlusses zwischen einer Oberseite und einer Unterseite des Substrats befindet.

5. Halbleiterpackung nach einem der Ansprüche 1 bis 4, die des Weiteren ein isolierendes Material (**25**) zwischen dem Halbleiterchip und der leitfähigen Struktur beinhaltet.

6. Halbleiterpackung nach Anspruch 5, wobei das isolierende Material einen Isolatorrahmenkörper (**252**) bildet, wobei der Isolatorrahmenkörper eine durch diesen hindurch definierte Isolatorrahmenkörper-Durchgangsöffnung (**254**) beinhaltet und wobei sich der externe Kontaktanschluss durch die Isolatorrahmenkörper-Durchgangsöffnung hindurch erstreckt.

7. Halbleiterpackung nach Anspruch 5 oder 6, wobei das isolierende Material einen anisotropen leitfähigen Film (ACF) beinhaltet.

8. Halbleiterpackung nach einem der Ansprüche 1 bis 7, wobei die leitfähige Struktur in einem ersten Bereich und einem zweiten Bereich, der von dem ersten Bereich beabstandet ist, von dem Substrat gestützt.

9. Halbleiterpackung nach Anspruch 8, wobei die leitfähige Struktur einen Kontaktbereich (**34**), der in dem ersten Bereich von dem Substrat gestützt ist, und einen Verlängerungsbereich (**35**) beinhaltet, der von dem Substrat gestützt ist, wobei der erste Bereich und der zweite Bereich entgegengesetzt zueinander sind.

10. Halbleiterpackung nach Anspruch 9, wobei der Kontaktbereich eine rechteckige Form aufweist und der Verlängerungsbereich eine schmale Streifenform aufweist.

11. Halbleiterpackung nach einem der Ansprüche

1 bis 10, wobei eine Mehrzahl von leitfähigen Strukturen (**24**) und eine Mehrzahl von externen Kontaktanschlüssen (**21**) bereitgestellt sind, wobei jeder der Mehrzahl von externen Kontaktanschlüssen den Halbleiterchip mit einer entsprechenden der Mehrzahl von leitfähigen Strukturen elektrisch verbindet.

12. Halbleiterpackung nach Anspruch 11, wobei ein Zwischenraum zwischen der Mehrzahl von leitfähigen Strukturen definiert ist und ein Barriereelement (**40 bis 44**) bereitgestellt ist, das sich zwischen wenigstens einem Paar von benachbarten der Mehrzahl von leitfähigen Strukturen über den Zwischenraum hinweg erstreckt.

13. Halbleiterpackung nach Anspruch 12, wobei das Barriereelement auf einer Unterseite des Paares von benachbarten der Mehrzahl von leitfähigen Strukturen angeordnet ist.

14. Halbleiterpackung nach Anspruch 12, wobei das Barriereelement auf Oberseiten des Paares von benachbarten der Mehrzahl von leitfähigen Strukturen angeordnet ist.

15. Halbleiterpackung nach Anspruch 12, wobei das Barriereelement wenigstens innerhalb eines Teils des Zwischenraums angeordnet ist.

16. Halbleiterpackung nach Anspruch 12, wobei wenigstens ein Teil des Barriereelements zwischen der Mehrzahl von leitfähigen Strukturen und dem Halbleiterchip angeordnet ist.

17. Halbleiterpackung nach einem der Ansprüche 12 bis 16, wobei das Barriereelement entfernbar ist.

18. Halbleiterpackung nach einem der Ansprüche 1 bis 17, wobei die erste Durchgangsöffnung in der Draufsicht eine im Wesentlichen rechteckige Form aufweist.

19. Halbleiterpackung nach einem der Ansprüche 1 bis 18, wobei eine Zwischenverbindung die leitfähige Struktur direkt kontaktiert.

20. Halbleiterpackung nach einem der Ansprüche 1 bis 19, die des Weiteren einen zweiten Halbleiterchip (**571**) beinhaltet, der mit dem ersten Halbleiterchip elektrisch gekoppelt ist.

21. Halbleiterpackung nach Anspruch 20, die des Weiteren einen leitfähigen Durchkontakt (**59**) beinhaltet, der sich durch den ersten Halbleiterchip (**22**) hindurch erstreckt, wobei der leitfähige Durchkontakt den ersten und den zweiten Halbleiterchip (**22**, **57**) elektrisch verbindet.

22. Halbleiterpackung nach Anspruch 20, wobei

der zweite Chip unter Verwendung eines Bonddrahts (**561**) mit der leitfähigen Struktur elektrisch gekoppelt ist.

23. Verfahren zur Herstellung einer Halbleiterpackung, das die folgenden Schritte umfasst:

- Bereitstellen eines Substrats (**23**), das eine Oberseite und eine zur Oberseite entgegengesetzte Unterseite beinhaltet,
- Bilden einer Durchgangsöffnung (**23a**) innerhalb des Substrats, wobei sich die Durchgangsöffnung von der Oberseite zu der Unterseite erstreckt,
- Bilden einer leitfähigen Struktur (**24**) auf der Oberseite des Substrats, wobei sich die leitfähige Struktur über der Durchgangsöffnung erstreckt,
- Anordnen wenigstens eines Teils eines Halbleiterchips (**22**) innerhalb der Durchgangsöffnung und
- elektrisches Verbinden der leitfähigen Struktur mit dem Halbleiterchip, wobei sich ein externer Kontaktanschluss (**21**) innerhalb der Durchgangsöffnung befindet.

24. Verfahren nach Anspruch 23, wobei der externe Kontaktanschluss und die leitfähige Struktur durch eine unitäre Struktur gebildet werden, wobei der externe Kontaktanschluss von der leitfähigen Struktur vorsteht und wobei das elektrische Verbinden der leitfähigen Struktur mit dem Halbleiterchip das Kontaktieren des Halbleiterchips mit dem externen Kontaktanschluss beinhaltet.

25. Verfahren nach Anspruch 23 oder 24, das des Weiteren das Bereitstellen eines isolierenden Materials (**25**) zwischen dem Halbleiterchip und der leitfähigen Struktur beinhaltet.

26. Verfahren nach Anspruch 25, wobei das Bereitstellen des isolierenden Materials umfasst:

- Bilden eines Isolatorrahmenkörpers (**252**), wobei der Isolatorrahmenkörper eine durch diesen hindurch definierte Isolatorrahmenkörper-Durchgangsöffnung (**254**) beinhaltet, und
- Anordnen des Isolatorrahmenkörpers innerhalb der Substrat-Durchgangsöffnung (**23a**), um benachbart zu der leitfähigen Struktur zu sein,
- wobei das elektrische Verbinden der leitfähigen Struktur mit dem Halbleiterchip das Einsetzen des externen Kontaktanschlusses durch die Isolatorrahmenkörper-Durchgangsöffnung hindurch beinhaltet.

27. Verfahren nach einem der Ansprüche 23 bis 26, das des Weiteren umfasst:

- Bilden einer Mehrzahl von leitfähigen Strukturen (**24**) und
- Bilden einer Mehrzahl von externen Kontaktanschlüssen (**21**), wobei jeder der Mehrzahl von externen Kontaktanschlüssen den Halbleiterchip mit einer entsprechenden der Mehrzahl von leitfähigen Strukturen elektrisch verbindet.

28. Verfahren nach Anspruch 27, das des Weiteren das Anordnen eines Barrierelements (**40** bis **44**) beinhaltet, das sich zwischen wenigstens einem Paar von benachbarten der Mehrzahl von leitfähigen Strukturen über einen zwischen der Mehrzahl von leitfähigen Strukturen definierten Zwischenraum hinweg erstreckt.

29. Verfahren nach Anspruch 28, das des Weiteren umfasst:

- Bereitstellen eines isolierenden Materials zwischen dem Halbleiterchip und der leitfähigen Struktur nach dem Anordnen des Barrierelements und
- Entfernen des Barrierelements nach dem Bereitstellen des isolierenden Materials.

30. Verfahren zur Herstellung eines elektronischen Systems, das die folgenden Schritte umfasst:

- Bereitstellen einer Halbleiterpackung gemäß dem Verfahren nach einem der Ansprüche 23 bis 29 und
- Koppeln des Substrats mit einem Packungskörper, um das elektronische System zu bilden, wobei wenigstens ein Teil des Substrats innerhalb einer innerhalb des Packungskörpers definierten Vertiefung angeordnet ist.

31. Verfahren nach Anspruch 30, das des Weiteren das gleichzeitige Bereitstellen des isolierenden Materials und Koppeln des Substrats an dem Packungskörper beinhaltet.

32. Elektronisches System mit

- einer Halbleiterpackung nach einem der Ansprüche 1 bis 22 und
- einem Packungskörper, der die Halbleiterpackung enthält.

33. Elektronisches System nach Anspruch 32, wobei der Packungskörper eine darin definierte Vertiefung beinhaltet und wobei die Halbleiterpackung innerhalb der Vertiefung angeordnet ist.

34. Elektronisches System nach Anspruch 32 oder 33, wobei der Packungskörper eine IC-Karte beinhaltet.

Es folgen 13 Blatt Zeichnungen

FIG. 1 (STAND DER TECHNIK)

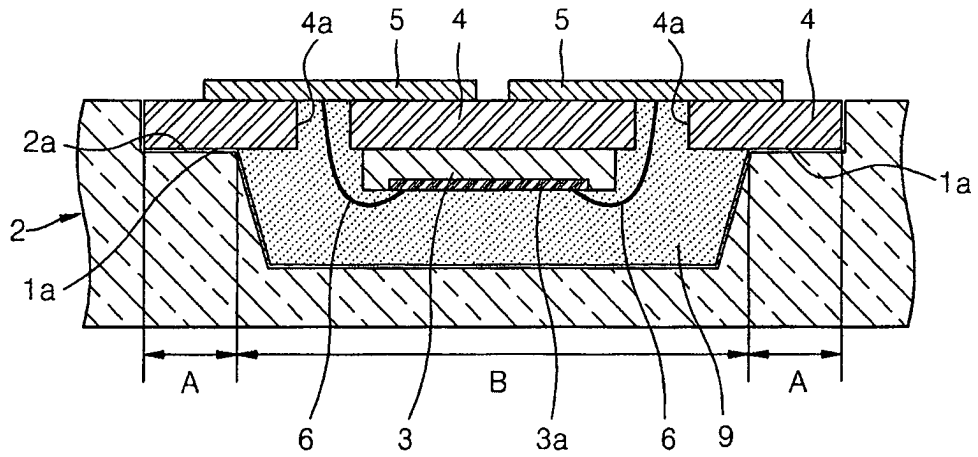


FIG. 2 (STAND DER TECHNIK)

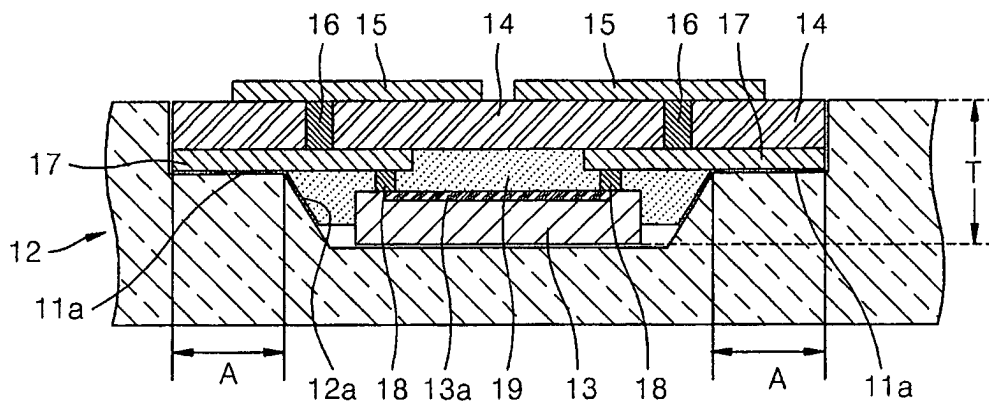


FIG. 3A

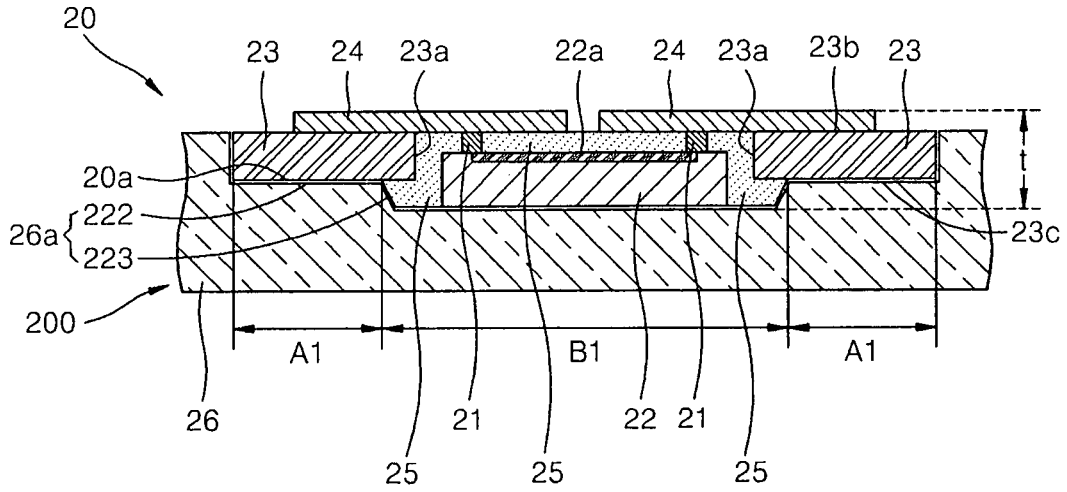


FIG. 3B

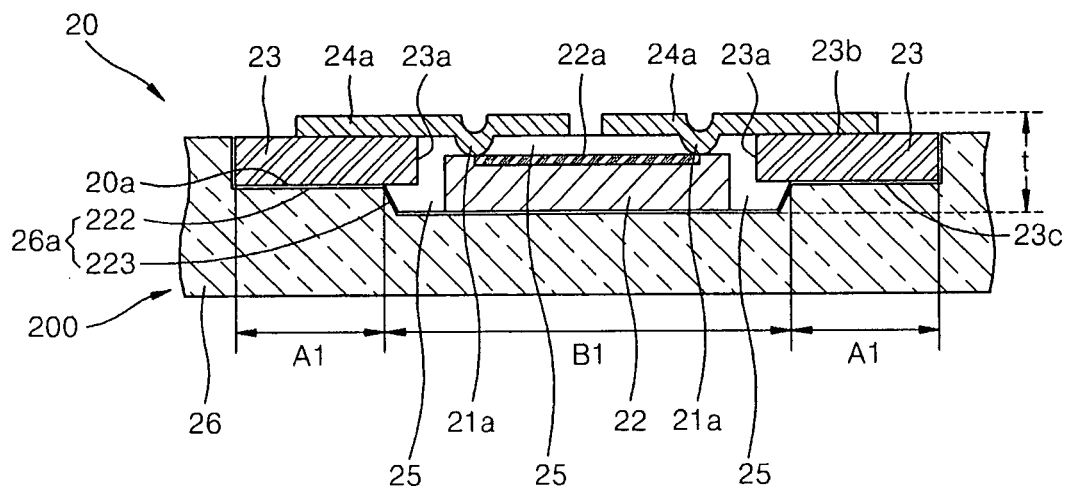


FIG. 4

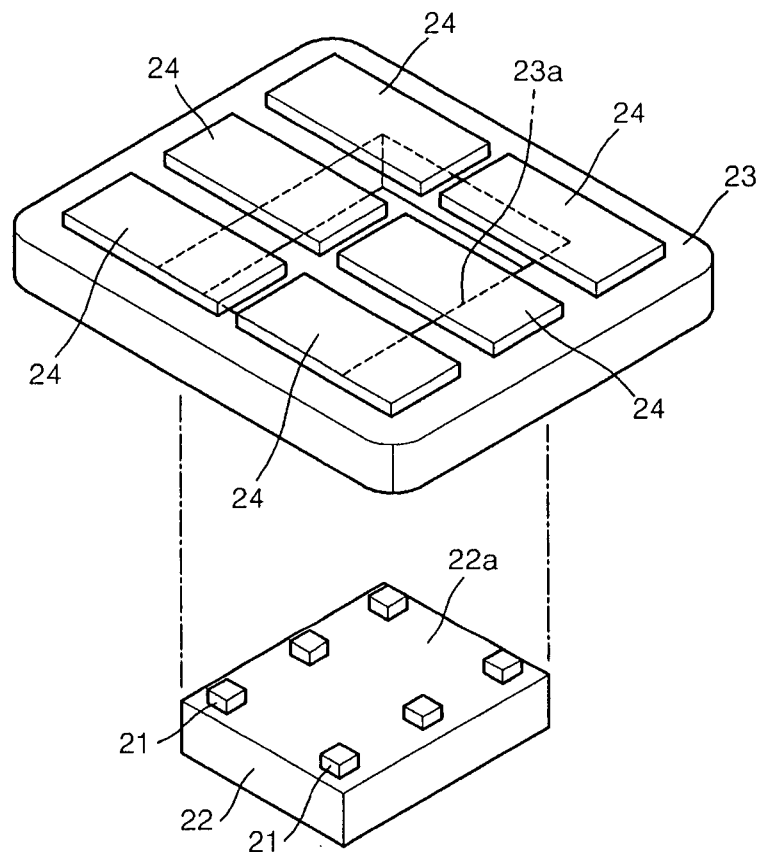


FIG. 5

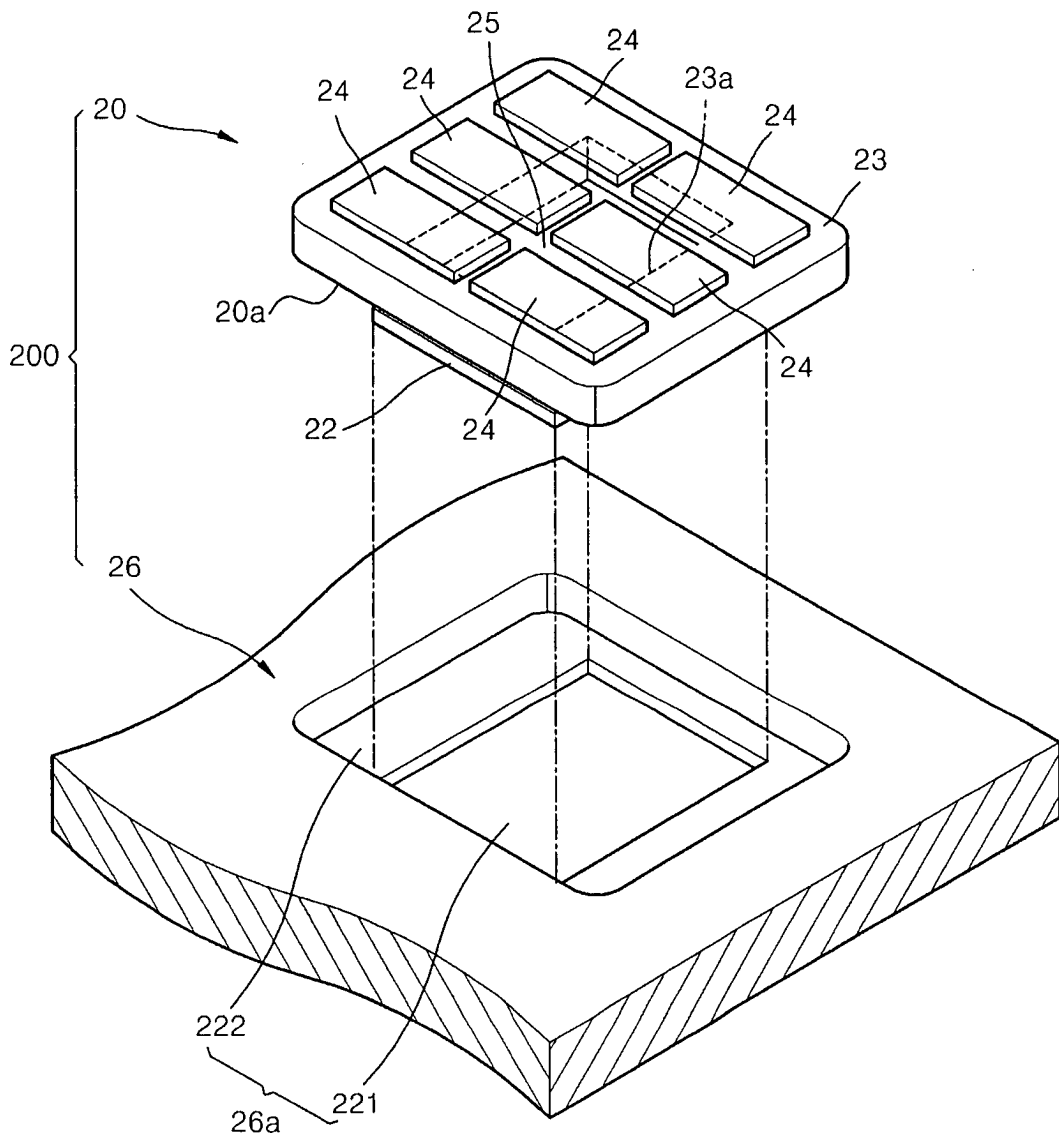


FIG. 6

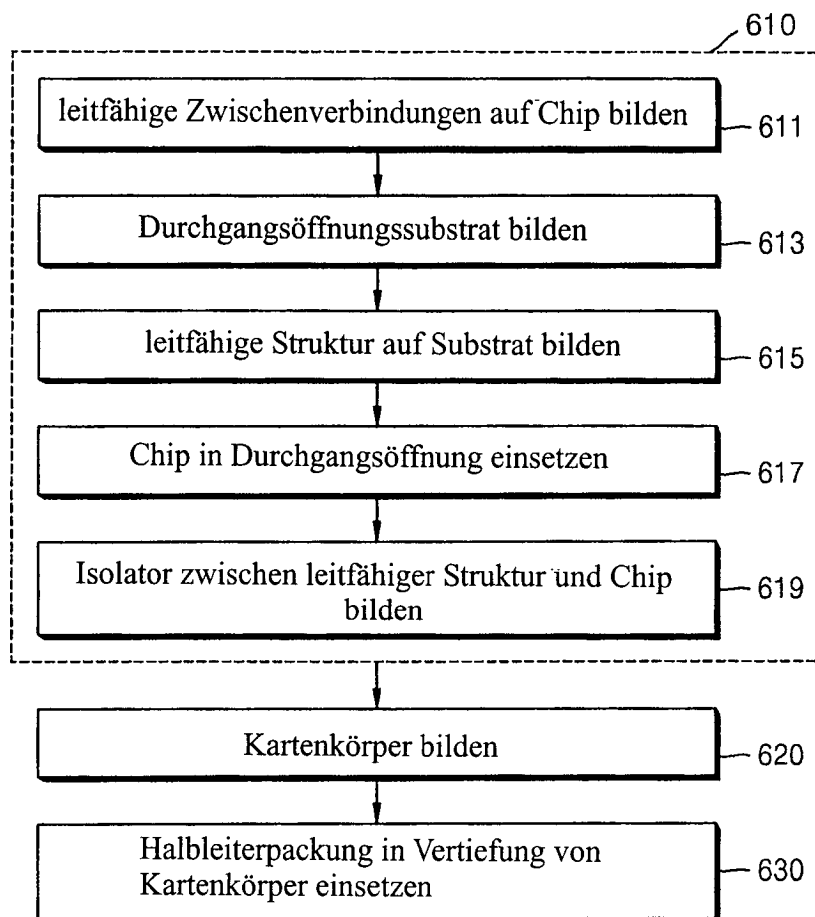


FIG. 7

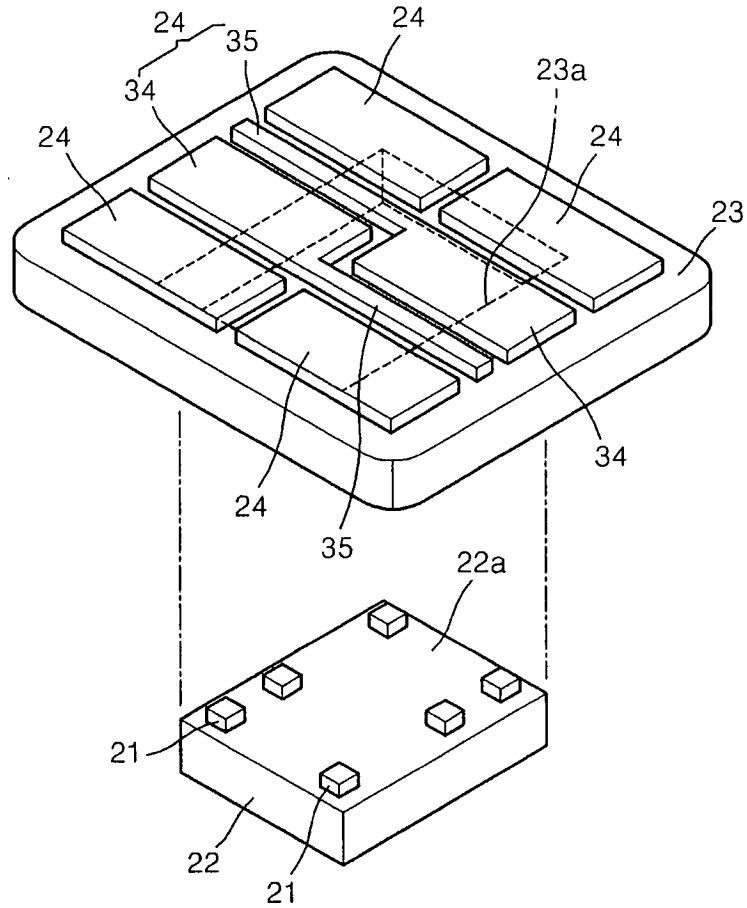


FIG. 8

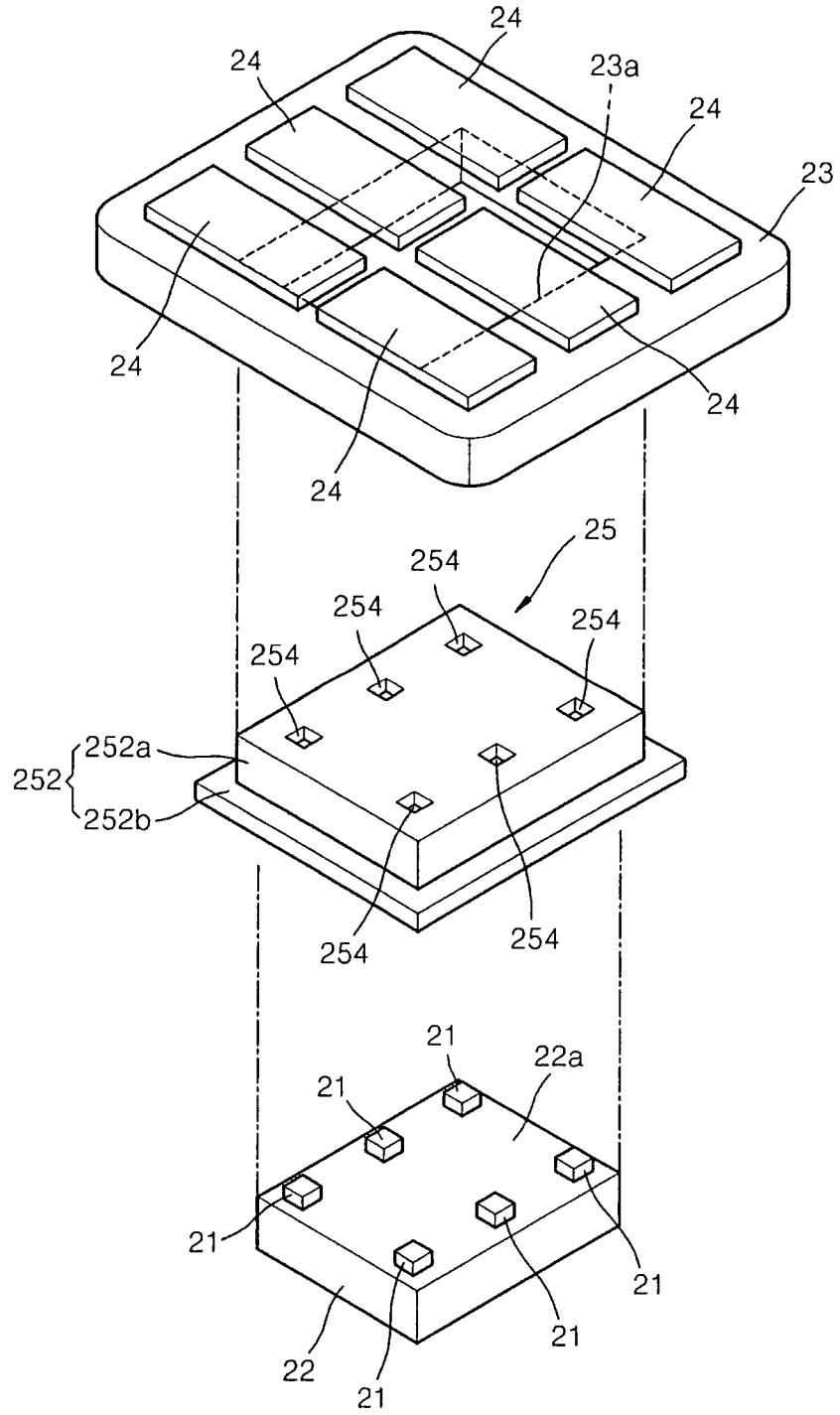


FIG. 9A

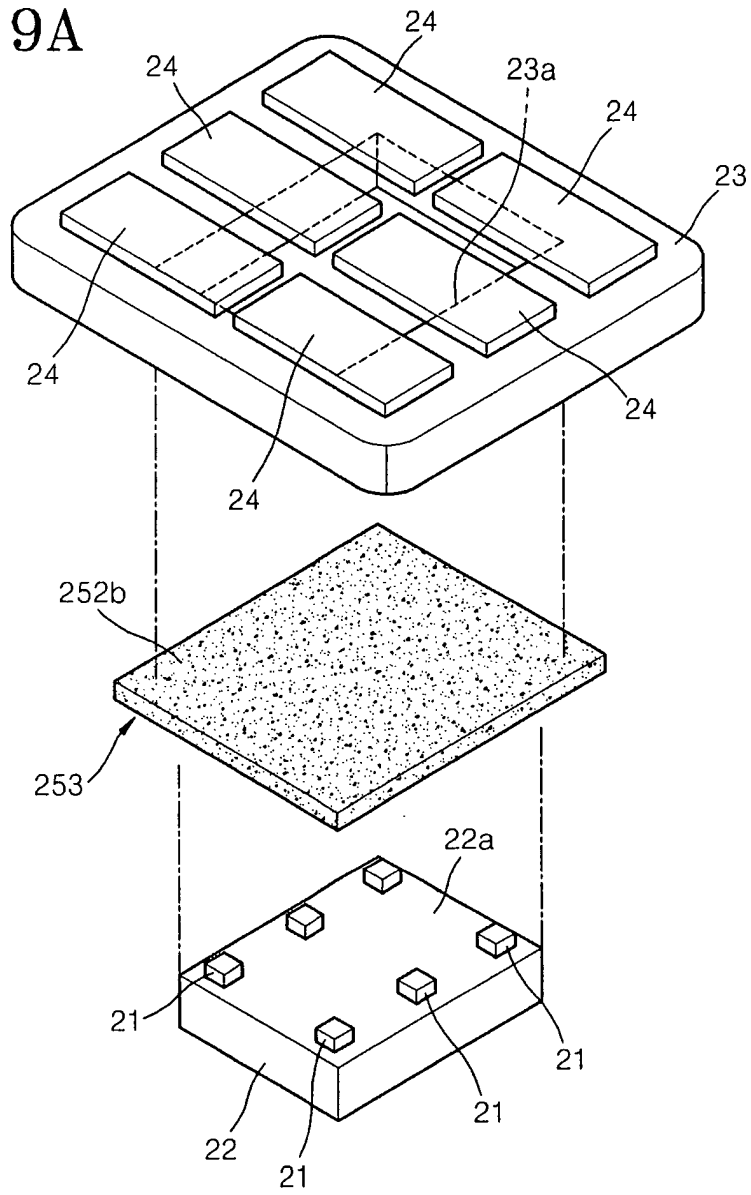


FIG. 9B

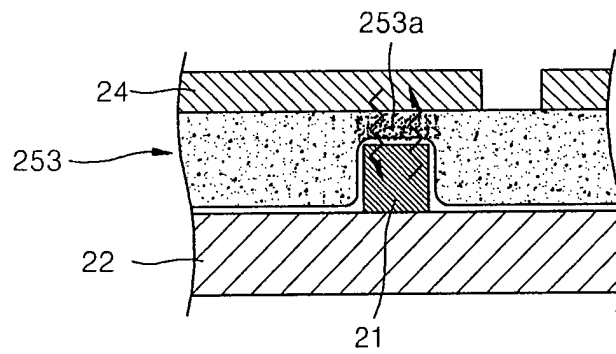


FIG. 10A

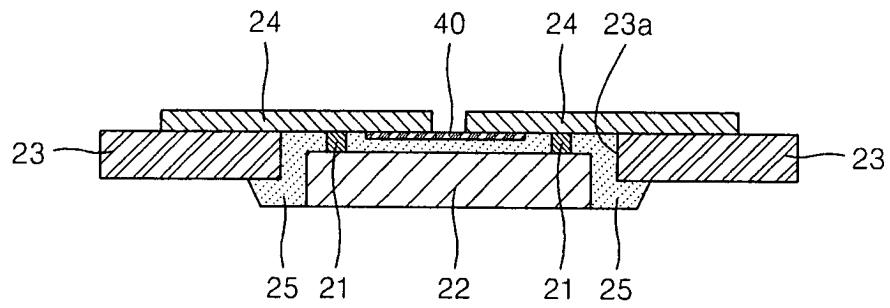


FIG. 10B

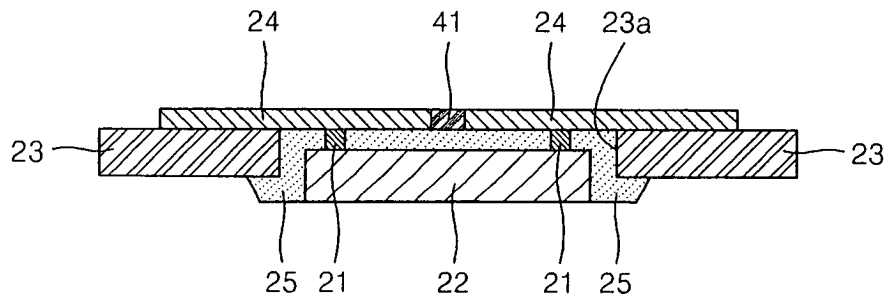


FIG. 10C

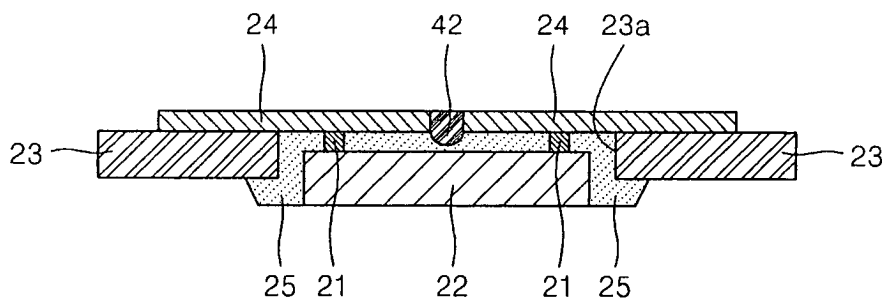


FIG. 10D

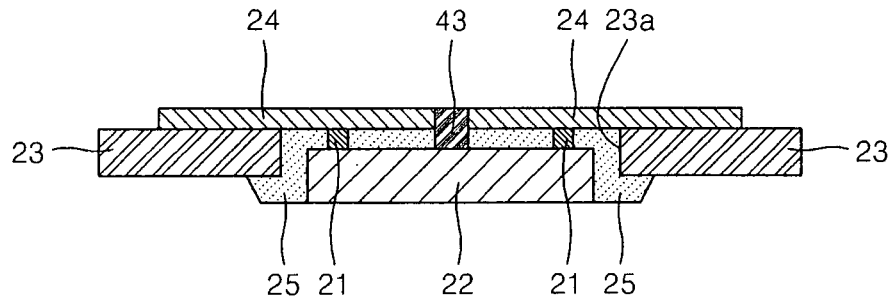


FIG. 10E

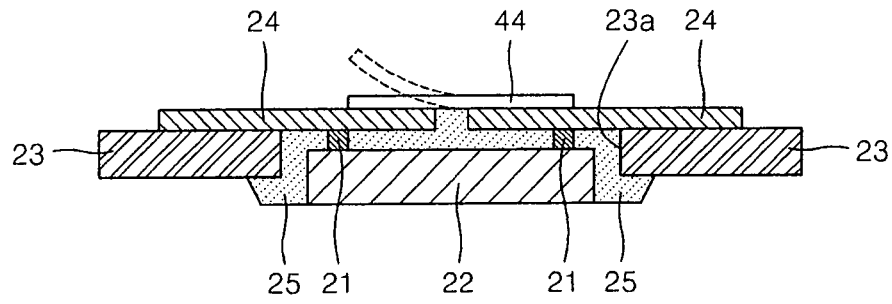


FIG. 11

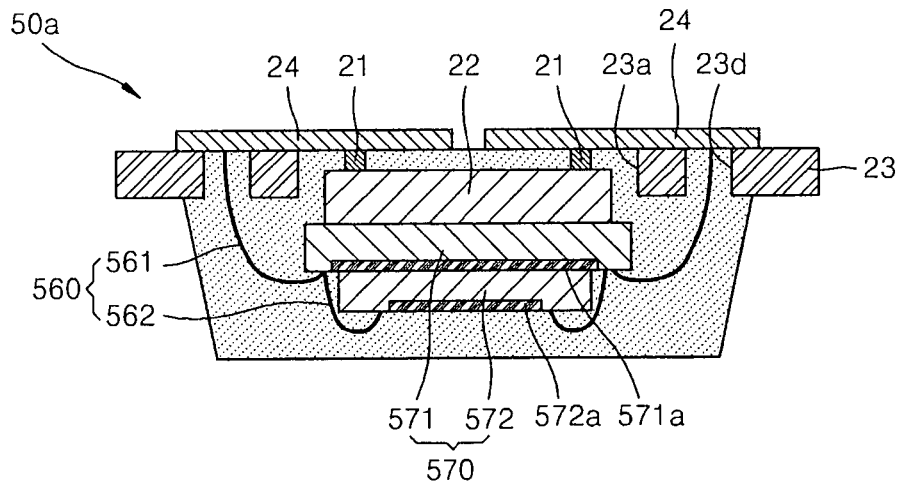


FIG. 12

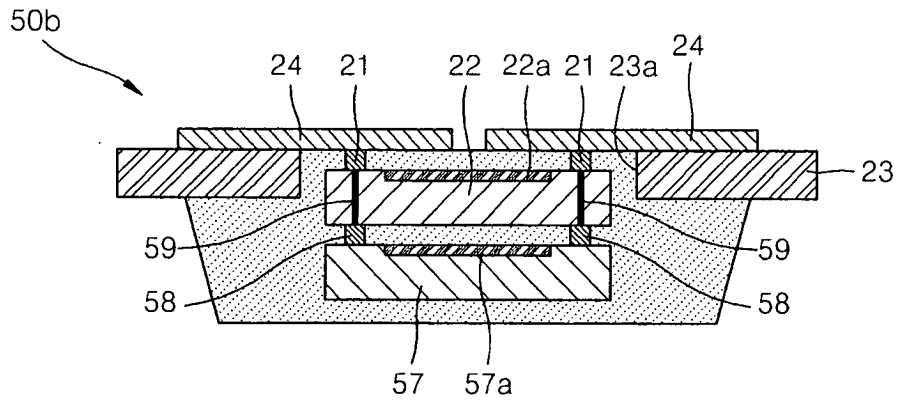


FIG. 13A

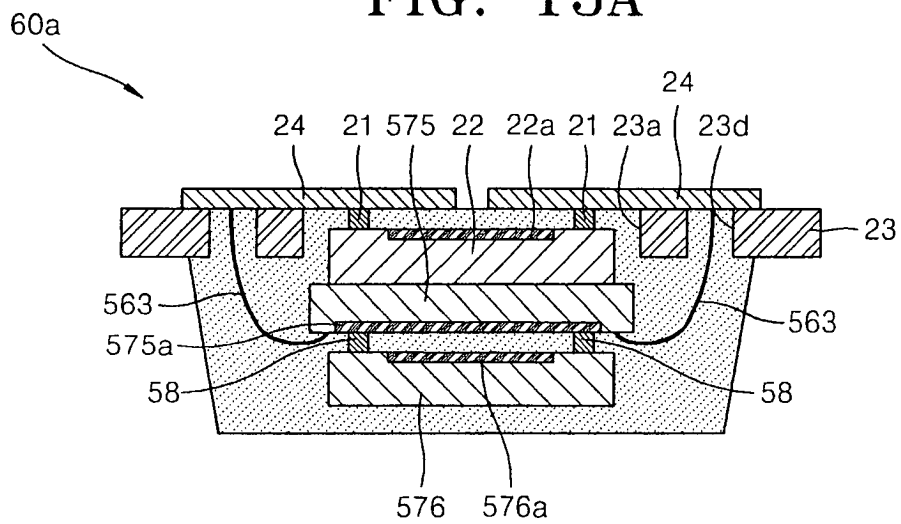


FIG. 13B

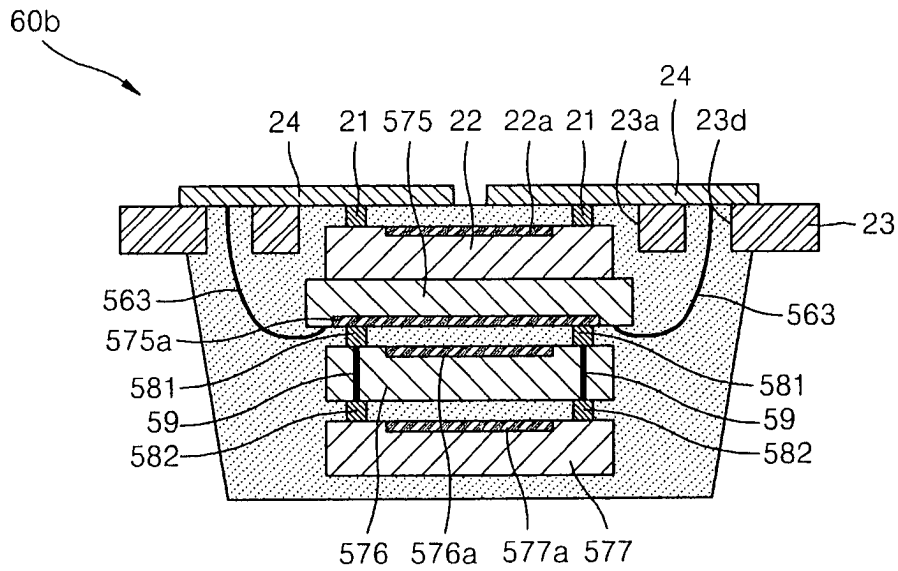


FIG. 13C

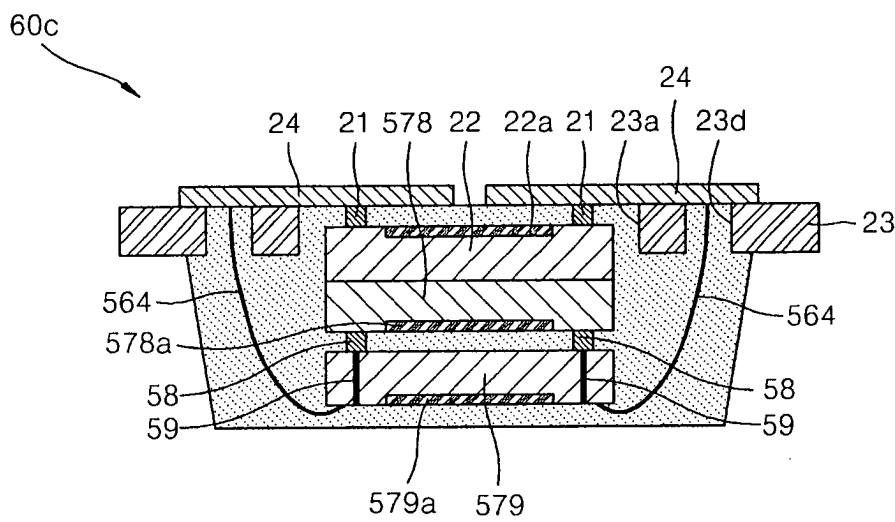


FIG. 13D

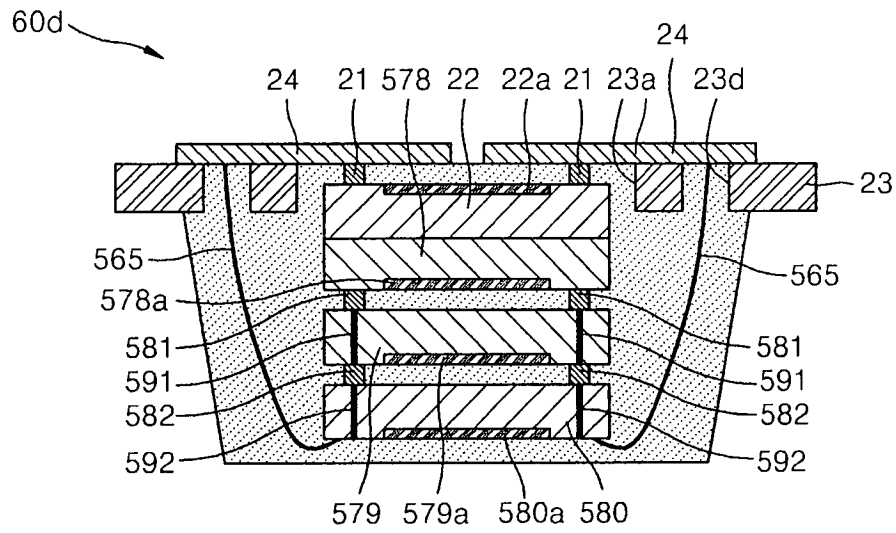


FIG. 13E

