



(10) **DE 10 2016 118 655 A1** 2017.08.03

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2016 118 655.4**

(22) Anmeldetag: **30.09.2016**

(43) Offenlegungstag: **03.08.2017**

(51) Int Cl.: **H01L 21/768** (2006.01)

**H01L 23/52** (2006.01)

(30) Unionspriorität:  
**102016000010009 01.02.2016 IT**

(71) Anmelder:  
**STMicroelectronics S.r.l., Agrate Brianza, IT**

(74) Vertreter:  
**Schmitt-Nilson Schraud Waibel Wohlfrom  
Patentanwälte Partnerschaft mbB, 80796  
München, DE**

(72) Erfinder:  
**Guarino, Lucrezia, Milano, IT; Milani, Antonella,  
Cusano Milanino, IT; Paleari, Andrea, Brugherio,  
IT; Ronchi, Federica, Bellusco, IT**

(56) Ermittelter Stand der Technik:

<b>DE</b>	<b>10 2008 048 424</b>	<b>A1</b>
<b>US</b>	<b>2005 / 0 215 045</b>	<b>A1</b>
<b>US</b>	<b>2010 / 0 109 159</b>	<b>A1</b>
<b>US</b>	<b>2012 / 0 064 712</b>	<b>A1</b>

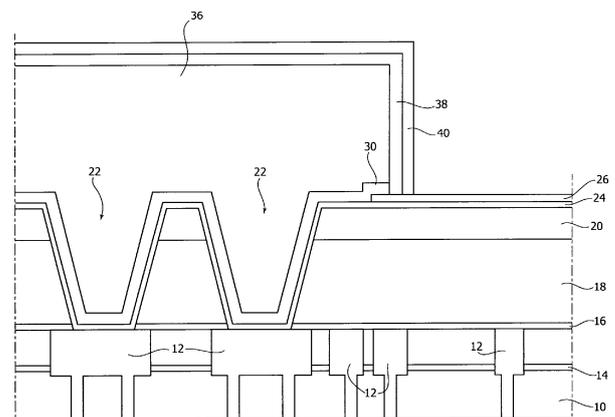
Prüfungsantrag gemäß § 44 PatG ist gestellt.

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.**

(54) Bezeichnung: **Verfahren zur Herstellung von Halbleitervorrichtungen und entsprechende Vorrichtung**

(57) Zusammenfassung: In einer Ausführungsform weist ein Verfahren zum Herstellen von Halbleitervorrichtungen, die Metallisierungen (36, 38, 40) mit peripheren Abschnitten aufweisen, wobei mindestens eine unterliegende Schicht (20, 24) Randbereiche aufweist, die sich den peripheren Abschnitten zugewandt erstrecken, auf:

- Bereitstellen einer Opferschicht (26) zum Bedecken der Randbereiche der unterliegenden Schicht (20, 24),
- Bereitstellen der Metallisierungen (36, 38, 40), während die Randbereiche der unterliegenden Schicht (20, 24) von der Opferschicht (26) bedeckt sind, und
- Entfernen der Opferschicht (26), so dass die Randbereiche der unterliegenden Schicht (20, 24) sich den peripheren Abschnitten ohne eine Kontaktgrenzfläche dazwischen zugewandt erstrecken, wodurch thermomechanische Belastungen vermieden werden.



## Beschreibung

**[0001]** Die Beschreibung bezieht sich auf die Herstellung von Halbleitervorrichtungen. Eine oder mehrere Ausführungsformen können beispielsweise für die Reduzierung von thermomechanischer Belastung in integrierten Schaltungen, beispielsweise für Automobil- und Verbraucherprodukte, angewendet werden.

**[0002]** Verschiedene Typen von integrierten Schaltungen (IC) können Technologien wie beispielsweise BCD (Bipolare CMOS-DMOS) Technologie verwenden. BCD-Technologie kann beispielsweise vorteilhaft zur Herstellung von integrierten Schaltungen verwendet werden, die sowohl Leistungselektronik als auch Logikelektronik aufweisen. BCD-Technologie schafft eine Familie von Siliziumprozessen, von denen jeder die Stärken der drei unterschiedlichen Prozesstechnologien auf einem einzelnen Chip kombiniert: Bipolar für präzise analoge Funktionen, CMOS (Complementary Metal Oxide Semiconductor) für digitale Konstruktion und DMOS (Double Diffused Metal Oxide Semiconductor) für Leistungs- und Hochspannungselemente.

**[0003]** Die Implementierung von BCD-Technologie kann Deckschicht-Kupfermetall-Verbindungen, bezeichnet als RDL (Re-Distribution Layer), umfassen. Die Resistenz von Passivierungs- und Zwischenisolierschichten gegenüber Problemen mit der Zuverlässigkeit, wie beispielsweise durch thermoelastische Kopplung und Belastungen während Drahtbonding- und Einhausungsprozessen verursacht, kann einen Faktor darstellen, auf den geachtet werden muss.

**[0004]** Bei der Herstellung von integrierten Schaltungen kann Siliziumnitrid (SiN) oder Siliziumkarbid (SiC) verwendet werden, um eine Passivierungsschicht für Mikrochips bereitzustellen, beispielsweise um eine Barriere gegen Wassermoleküle und andere Quellen von Korrosion und Instabilität in der Mikroelektronik zu schaffen.

**[0005]** In strukturellen Ecken von Metallisierungen, wie beispielsweise Cu(Kupfer)-RDL-Deckschichtmetallisierungen, können Belastungen aufgrund von thermomechanischer Nicht-Übereinstimmung zwischen unterschiedlichen Materialien, beispielsweise Barrierschicht (TiW, Ta, TaNta), Metallisierungskapenschicht (Ni-Pd, Ni-Pd-Au, Ni-Au), Passivierungsschicht (SiN, SiC) Tripelpunkt auftreten.

**[0006]** Eine Aufgabe einer oder mehrerer Ausführungsformen ist der Beitrag zur Überwindung der vorstehend erwähnten kritischen Punkte, beispielsweise Passivierungsbelastung in der oberen Oberfläche der Passivierungsschicht am Rand (beispielsweise an einer Ecke) einer Cu-RDL-Struktur.

**[0007]** Gemäß einer oder mehreren Ausführungsformen kann diese Aufgabe mittels eines Verfahrens mit den in den anliegenden Ansprüchen dargelegten Merkmalen gelöst werden.

**[0008]** Eine oder mehrere Ausführungsformen können sich auch auf eine entsprechende Vorrichtung beziehen.

**[0009]** Die Ansprüche sind ein fester Bestandteil der technischen Offenbarung einer oder mehrerer Ausführungsformen, wie hierin dargelegt.

**[0010]** Eine oder mehrere Ausführungsformen können zur Reduzierung von SiN-Passivierungsbelastung durch Vermeiden eines „Tripelpunkts“ führen, beispielsweise durch Entkoppeln einer Kappenbarriere (beispielsweise Nickel TiW)-Grenzfläche von der oberen Passivierungsoberfläche (beispielsweise SiN, SiC).

**[0011]** Eine oder mehrere Ausführungsformen können eine Modifizierung beispielsweise eines Cu RDL-Prozessablaufes beinhalten, der das Hinzufügen einer Opferisolierschicht zum Bilden einer Lücke zwischen Passivierung und beispielsweise Nickel beinhaltet.

**[0012]** In einer oder mehreren Ausführungsformen kann eine verbesserte Robustheit der Passivierung mittels eines Prozessablaufes erlangt werden, der das vollständige Bedecken von Kupfer (Cu) durch Nickel (Ni) beinhaltet, um eine Kupfermigration ohne Veränderungen von Materialien und in Beziehung stehenden Grenzflächen zu verhindern.

**[0013]** Eine oder mehrere Ausführungsformen können eine Doppelbarrierschicht (beispielsweise TiW) aufweisen, die dazu ausgebildet ist, Nickel und Passivierung zu entkoppeln, indem die Anwesenheit eines „Tripelpunktes“ vermieden wird, der für kritische Belastung der Passivierung verantwortlich ist.

**[0014]** Eine oder mehrere Ausführungsformen können eine Doppelkupferbarriereabscheidung, einen Spalt zwischen Nickel und Passivierung, ohne Aufwachsen von Nickel auf einer Kupferbarriere in Kontakt mit der Passivierung beinhalten.

**[0015]** Eine oder mehrere Ausführungsformen können auf eine TiW-Ni-SiN-Passivierungsgrenzfläche verzichten, mit einem vollständig eingekapselten Kupfer, beispielsweise in TiW und Ni (zur Vermeidung von Kupfermigration und Korrosion), und ohne Unterschnitte unter der letzten Barriereätzung.

**[0016]** Eine oder mehrere Ausführungsformen werden jetzt rein beispielhaft mit Bezugnahme auf die beiliegenden Zeichnungen beschrieben. In denen zeigen:

**[0017]** Fig. 1 bis Fig. 15 Beispiele für mögliche Schritte in einer oder mehreren Ausführungsformen,

**[0018]** Fig. 16 bis Fig. 22 Beispiele für mögliche Modifizierungen der Schritte aus Fig. 9 bis Fig. 13 in einer oder mehreren Ausführungsformen.

**[0019]** Es wird zu verstehen sein, dass die Zeichnungen der Klarheit der Darstellung bestimmter Merkmale (z. B. Schichtdicken) halber möglicherweise nicht im gleichen Maßstab gezeichnet sind.

**[0020]** In der folgenden Beschreibung werden eine oder mehrere spezielle Einzelheiten mit dem Ziel dargestellt, ein tieferes Verständnis der beispielhaften Ausführungsformen zu schaffen. Die Ausführungsformen können ohne eine oder mehrere der speziellen Einzelheiten oder mit anderen Verfahren, Komponenten, Materialien usw. erlangt werden. In anderen Fällen sind bekannte Strukturen, Materialien oder Vorgänge nicht im Detail dargestellt oder beschrieben, um bestimmte Aspekte von Ausführungsformen nicht zu überdecken.

**[0021]** Die Bezugnahme auf „eine Ausführungsform“ im Rahmen der vorliegenden Beschreibung soll darauf hinweisen, dass eine bestimmte im Bezug zu der Ausführungsform beschriebene Konfiguration, Struktur oder Eigenschaft in mindestens einer Ausführungsform enthalten ist. Somit beziehen sich Ausdrücke wie z. B. „in einer Ausführungsform“, die in einem oder mehreren Punkten der vorliegenden Beschreibung vorkommen können, nicht notwendigerweise auf ein und dieselbe Ausführungsform. Außerdem können bestimmte Konfigurationen, Strukturen oder Eigenschaften auf jegliche adäquate Weise in einer oder mehreren Ausführungsformen kombiniert werden.

**[0022]** Die hierin verwendeten Bezugszeichen sind nur zum besseren Verständnis vorgesehen und definieren somit nicht den Schutz- oder Offenbarungsumfang der Ausführungsformen.

**[0023]** Die Reduzierung der Belastung in Halbleitervorrichtungen wie beispielsweise integrierten Schaltungen (IC) stellt einen umfangreichen Bereich technischer Forschung dar.

**[0024]** Dokument US 8 476 762 B1 ist ein Beispiel für diesbezügliche Aktivitäten. Dieses Dokument offenbart ein Verfahren zum Herstellen einer Pb-freien Controlled Collapse Chip Verbindung (C4) mit einer Ball Limiting Metallurgy (BLM) Struktur für Halbleiterchipgehäuse zur Reduzierung von Brüchen auf Chipebene während der Back End Of Line (BEOL) Prozesse des Abkühlens der Chipverbindungen. Ein Rand der BLM-Struktur, die während des Abkühlens der Chipverbindungen einer Zugbelastung ausgesetzt ist, wird durch eine elektroplattierte Barriere-

schicht, die einen entsprechenden Rand der Metallsaatschicht bedeckt, vor dem Unterschnitt einer Metallsaatschicht geschützt, der durch Nassätzen des Chips, um Metallschichten von der Oberfläche des Chips zu entfernen, und Reflow-Löten bewirkt wird.

**[0025]** Fig. 1–Fig. 5 sind Beispiele für mögliche Schritte in einem RDL (Re-Distribution Layer) Prozess.

**[0026]** In einer oder mehreren Ausführungsformen können die in Fig. 1 bis Fig. 5 beispielhaft dargestellten Schritte aufweisen:

- Cu-chemisches mechanisches Polieren (Cu CMP) eines dielektrischen Substrats **10**, wobei elektrisch leitfähige (beispielsweise Kupfer) Ausbildungen **12** in einer dielektrischen Lötungen (beispielsweise SiN)-Schicht **14** vorgesehen sind (Fig. 1);
- Abscheiden einer „Kappen“-Nitridschicht **16**, einer dielektrischen Zwischenschicht **18** und einer Passivierungsschicht **20**, beispielsweise SiN, SiC (Fig. 2);
- Ätzen von Durchgangslöchern **22** durch die Passivierungsschicht **20** und die dielektrische Zwischenschicht **18**, die auf die Nitridkappenschicht **16** (nach unten) auftrifft (Fig. 3).

**[0027]** Fig. 4 ist ein Beispiel für einen „Decken“-Öffnungsschritt der Kappenschicht **16**, der bewirkt, dass die Durchgangslöcher **22** auf den leitfähigen Ausbildungen **12** (beispielsweise Kupfer) auftreffen, beispielsweise mit einer Breite/einem Abstand der Durchgangslöcher von beispielsweise circa 3 Mikrometer ( $3 \times 10^{-6}$  m).

**[0028]** Fig. 5 ist ein Beispiel für die Bildung einer TiW-Barriere **24** mit einer Dicke von beispielsweise circa 100 nm ( $100 \times 10^{-9}$  m) auf der oberen Oberfläche der Struktur gemäß Fig. 4, gefolgt von (Fig. 6) der Abscheidung einer – mindestens teilweise Opfer – dielektrischen (beispielsweise SiN) Schicht **26** mit einer Dicke von beispielsweise circa 100 nm ( $100 \times 10^{-9}$  m).

**[0029]** Fig. 7 ist ein Beispiel für das Vorsehen einer dielektrischen RDL-Maske **28**, die den Bereich unbedeckt lässt, wo die Durchgangslöcher **22** vorgesehen sind, gefolgt von (Fig. 8) einer Nitridätzung, wobei ein ungeätztes Dielektrikum **26** (nur) unter der Maske **28** verbleibt.

**[0030]** Fig. 9 ist ein Beispiel für einen Schritt, in dem nach dem Entfernen („Strippen“) der Maske **28** eine zweite Barrierschicht **30** (beispielsweise TiN-TiW, TiW) von beispielsweise circa 200 nm ( $200 \times 10^{-9}$  m) gebildet wird, gefolgt von der Abscheidung beispielsweise einer Kupfer-„Saat“-Schicht **32** von beispielsweise circa 200 nm ( $200 \times 10^{-9}$  m).

**[0031]** Es wird zu verstehen sein, dass aufgrund der Anwesenheit des ungeätzten Nitrids **26**, das unter der Maske **28** verbleibt, beide Schichten **30** und **32** bei **300** eine stufenförmige Ausbildung aufweisen.

**[0032]** Fig. 10 ist ein Beispiel für das Vorsehen einer weiteren Cu-RDL-Maske **34**, die den Bereich, in dem die Durchgangslöcher **22** vorgesehen sind, unbedeckt lässt, indem die stufenförmige Ausbildung **300** auch unbedeckt bleibt.

**[0033]** In einer oder mehreren Ausführungsformen kann die Maske **34** seitlich versetzt (zurückgesetzt) platziert werden, beispielsweise circa 1 Mikrometer ( $1 \times 10^{-6}$  m) bezüglich der Ausbildung **300**.

**[0034]** Fig. 11 ist ein Beispiel für die Bildung einer Metallisierung **36**, beispielsweise Cu RDL, über den Durchgangslöchern **22**. In einer oder mehreren Ausführungsformen kann die Metallisierung **36** eine Dicke von beispielsweise circa 10 Mikrometer haben ( $10 \times 10^{-6}$  m). In einer oder mehreren Ausführungsformen kann die Metallisierung **36** durch elektrochemische Abscheidung (ECD) gebildet werden.

**[0035]** Fig. 12 ist ein Beispiel für einen Schritt, in dem nach dem Entfernen („Strippen“) der Maske **34** die zweite Barrierschicht **30** (beispielsweise TiN-TiW, TiW) und die Kupfer-„Saat“-Schicht **32** (beispielsweise mittels eines Nassätzprozesses) von der gesamten Oberfläche, die von der Metallisierung **36** unbedeckt bleibt, entfernt werden.

**[0036]** Es wird zu verstehen sein, dass aufgrund der Anwesenheit der stufenförmigen Ausbildung bei **300** die TiW-Schicht **30** am Rand der Metallisierung **36** durch das (bis dahin) ungeätzte Dielektrikum **26** in einem Abstand von der TiW-Barriere **24** gehalten wird.

**[0037]** Fig. 13 ist ein Beispiel für die Abscheidung einer kombinierten Kappenschicht **38, 40** (beispielsweise Ni-Pd, Ni-Pd-Au, Ni-Au) auf der äußeren Oberfläche der Metallisierung **36**.

**[0038]** In einer oder mehreren Ausführungsformen kann die Kappenschicht **38, 40** eine Dicke von beispielsweise etwa 2 Mikrometer ( $2 \times 10^{-6}$  m) haben.

**[0039]** Es wird wieder zu verstehen sein, dass die Kappenschicht **38, 40** auf der äußeren Oberfläche der Metallisierung **36** durch die Anwesenheit des ungeätzten Nitrids **26** in einem Abstand von der ersten Barrierschicht **24** gehalten wird.

**[0040]** Fig. 14 ist ein Beispiel für das Entfernen (beispielsweise durch Ätzen) des Nitrids **26** und das mögliche Entfernen (beispielsweise durch Ätzen) der ersten Barriere **24**, die sich über den Rand der Metallisierung **36** hinaus erstreckt (Fig. 15).

**[0041]** Fig. 14 und Fig. 15 zeigen auf, dass der hierin beispielhaft dargestellte Prozess und vor allem die Bereitstellung der dielektrischen Opferschicht **26** es möglich machen, die Bildung einer Barrierekap-passivierungsgrenzfläche am Rand der Metallisierung **36** zu verhindern, die die Quelle einer hohen thermomechanischen Belastung mit den im Einleitungsteil dieser Beschreibung erläuterten daraus entstehenden Nachteilen sein kann.

**[0042]** In einer oder mehreren Ausführungsformen, wie hierin beschrieben, kann die zweite Barrierschicht **30** mit der Kappenschicht **38** in Kontakt sein, um die Metallisierung **36** einzukapseln.

**[0043]** Fig. 16 bis Fig. 22 sind Beispiele für Ausführungsformen, in denen die TiN-TiW-Abscheidung gemäß Fig. 9, die zur Bildung der Schicht **30** führt (beispielsweise mit einer Gesamtdicke von etwa 200 nm, nämlich  $200 \times 10^{-9}$  m), die Abscheidung einer TiW-Schicht **30** (beispielsweise mit einer Dicke von circa 200 nm, nämlich  $200 \times 10^{-9}$  m) plus einer TiN-Schicht **30a** (beispielsweise mit einer Dicke von circa 10 nm, nämlich  $10 \times 10^{-9}$  m) auf der „inneren“ Oberfläche der Schicht **30**, d. h. der Oberfläche der Schicht **30**, die der ersten Barriere **24** (und der dielektrischen Schicht **26**) zugewandt ist, aufweisen kann.

**[0044]** Die anderen in Fig. 16 bis Fig. 22 beispielhaft dargestellten Prozessschritte können ansonsten als im Wesentlichen den in Fig. 9 bis Fig. 15 beispielhaft dargestellten Prozessschritten entsprechend betrachtet werden, nämlich:

- Abscheiden einer Cu-„Saat“-Schicht **32** (Fig. 16);
- Bereitstellen der weiteren Cu RDL-Maske **34**, die den Bereich unbedeckt lässt, in dem die Durchgangslöcher **22** vorgesehen sind, indem die stufenförmige Ausbildung **300** auch unbedeckt gelassen wird (Fig. 17);
- Bildung der Metallisierung **36**, beispielsweise Cu RDL, über den Durchgangslöchern **22** (Fig. 18);
- Entfernen („Strippen“) der Maske **34**, Entfernen der zweiten Barrierschicht **30** (beispielsweise TiN-TiW) und der Cu „Saat“ Schicht **32** von der Oberfläche, die von der Metallisierung **36** unbedeckt gelassen wird (Fig. 19);
- Abscheiden einer kombinierten Kappenschicht **38, 40** (beispielsweise Ni-Pd, Ni-Pd-Au, Ni-Au) auf der äußeren Oberfläche der Metallisierung **36** (Fig. 20);
- Entfernen des Dielektrikums **26** und mögliches Entfernen der ersten Barriere **24** (beispielsweise durch TiW-selektives Ätzen auf Tin), die sich über den Rand der Metallisierung **36** (Fig. 21 und Fig. 22) hinaus erstreckt.

**[0045]** Fig. 21 und Fig. 22 zeigen auf, dass der hierin beispielhaft beschriebene Prozess und vor allem die Bereitstellung der dielektrischen Opferschicht **26**

es möglich machen, die Bildung einer Barrierekap-  
penpassivierungsgrenzfläche am Rand der Metallisierung **36** zu verhindern.

**[0046]** Wieder verhindert dies die mögliche Bildung einer hohen thermomechanischen Belastung mit den entsprechenden Nachteilen, wie im Einleitungsteil dieser Beschreibung erläutert.

**[0047]** In einer oder mehreren Ausführungsformen, wie in **Fig. 16** bis **Fig. 22** beispielhaft dargestellt, kann die TiN-Schicht **30a** möglicherweise an der Kappenschicht **38** anliegen, um die Metallisierung **36** (mit der TiW-Schicht **30** an deren unterer Oberfläche) einzukapseln.

**[0048]** Ansonsten wird zu verstehen sein, dass die spezielle Materialauswahl, wie vorstehend beispielhaft dargelegt, vor allem in Zusammenhang mit bestimmten Prozessausführungsformen steht, beispielsweise in Verbindung mit dem RDL-Prozess. Eine oder mehrere Ausführungsformen können unterschiedliche Implementierungsoptionen, beispielsweise unterschiedliche Materialwahl und oder Schichtdicken, vorgeben.

**[0049]** Eine oder mehrere Ausführungsformen können somit ein Verfahren zum Herstellen von Halbleitervorrichtungen bereitstellen, die Metallisierungen (beispielsweise **36**, **38**, **40**) mit peripheren Abschnitten aufweisen, wobei mindestens eine unterliegende Schicht (beispielsweise **20**, **24**) Randbereiche aufweist, die sich den peripheren Abschnitten zugewandt erstrecken.

**[0050]** In einer oder mehreren Ausführungsformen kann das Verfahren aufweisen:

- Bereitstellen einer Opferschicht (beispielsweise **26**) zum Bedecken der Randbereiche der mindestens einen unterliegenden Schicht,
- Bereitstellen der Metallisierung, während die Randbereiche der mindestens einen unterliegenden Schicht von der Opferschicht bedeckt sind, und
- Entfernen der Opferschicht, wodurch sich die Randbereiche der mindestens einen unterliegenden Schicht den peripheren Abschnitten ohne eine Kontaktgrenzfläche dazwischen zugewandt erstrecken.

**[0051]** In einer oder mehreren Ausführungsformen können die Metallisierungen aufweisen:

- einen Metallisierungskörper (beispielsweise **36**), der vorzugsweise auch Kupfer aufweist, und
- eine äußere Oberflächenbeschichtung oder „Kappe“ (beispielsweise **38**, **40**) des Körpers, wobei die Beschichtung vorzugsweise mindestens eine einer Nickelschicht und einer Palladiumschicht aufweist, wobei sich die Randbereiche oh-

ne eine Kontaktgrenzfläche mit sowohl dem Metallisierungskörper als auch der äußeren Oberflächenbeschichtung den peripheren Abschnitten zugewandt erstrecken.

**[0052]** Eine oder mehrere Ausführungsformen können das Bereitstellen einer Barrierschicht (beispielsweise **30**, **30a**) aufweisen, die vorzugsweise TiN und TiW aufweist, unter dem Metallisierungskörper (**36**) liegt und an der äußeren Oberflächenbeschichtung anliegt, um den Metallisierungskörper vollständig zu bedecken, wobei die Barrierschicht (beispielsweise **30**, **30a**) vorgesehen wird (siehe beispielsweise **Fig. 19** und **Fig. 16**), während die Randbereiche der mindestens einen unterliegenden Schicht von der Opferschicht bedeckt sind.

**[0053]** Eine oder mehrere Ausführungsformen können das Bereitstellen der mindestens einen unterliegenden Schicht als eine Passivierungsschicht (beispielsweise **20**) aufweisen, auf der vorzugsweise eine entsprechende Barrierschicht (beispielsweise **24**) vorgesehen ist.

**[0054]** Eine oder mehrere Ausführungsformen können das Bereitstellen der entsprechenden Barrierschicht auf der Passivierungsschicht als eine Schicht aufweisen, die sich unter dem Metallisierungskörper erstreckt, wobei die Opferschicht vorgesehen ist, um die entsprechende Barrierschicht an den Randbereichen der mindestens einen unterliegenden Schicht zu bedecken (siehe beispielsweise **Fig. 12** und **Fig. 19**).

**[0055]** Eine oder mehrere Ausführungsformen können das Entfernen der entsprechenden Barrierschicht von der Passivierungsschicht an anderen Stellen als den Randbereichen aufweisen (vergleiche beispielsweise **Fig. 15** und **Fig. 22**).

**[0056]** In einer oder mehreren Ausführungsformen:

- kann die Passivierungsschicht eine Nitridpassivierungsschicht aufweisen und/oder
- kann die entsprechende Barrierschicht (**24**) eine TiW-Barriere aufweisen.

**[0057]** In einer oder mehreren Ausführungsformen kann die Opferschicht (beispielsweise **26**) Siliziumnitrid aufweisen.

**[0058]** In einer oder mehreren Ausführungsformen können die Metallisierungen Cu-RDL-Metallisierungen aufweisen.

**[0059]** Eine oder mehrere Ausführungsformen können eine Halbleitervorrichtung mit Metallisierungen mit peripheren Abschnitten bereitstellen, wobei mindestens eine unterliegende Schicht Randbereiche hat, diese sich den peripheren Abschnitten zugewandt erstrecken, wobei sich die Randbereiche der

mindestens einen unterliegenden Schicht den peripheren Abschnitten ohne eine Kontaktgrenzfläche dazwischen zugewandt erstrecken.

**[0060]** Unbeschadet der zugrundeliegenden Prinzipien können die Einzelheiten und Ausführungsformen bezüglich der Darstellungen hierin, die rein als nicht beschränkende Beispiele dienen, – sogar wesentlich – variieren, ohne dadurch vom Schutzzumfang abzuweichen.

**[0061]** Der Schutzzumfang ist durch die anliegenden Ansprüche bestimmt.

**ZITATE ENTHALTEN IN DER BESCHREIBUNG**

*Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.*

**Zitierte Patentliteratur**

- US 8476762 B1 [0024]

### Patentansprüche

1. Verfahren zum Herstellen von Halbleitervorrichtungen, die Metallisierungen (36, 38, 40) mit peripheren Abschnitten aufweisen, wobei mindestens eine unterliegende Schicht (20, 24) Randbereiche aufweist, die sich den peripheren Abschnitten zugewandt erstrecken, wobei das Verfahren aufweist:

– Bereitstellen einer Opferschicht (26) zum Bedecken der Randbereiche der mindestens einen unterliegenden Schicht (20, 24),

– Bereitstellen der Metallisierungen, (36, 38, 40) während die Randbereiche der mindestens einen unterliegenden Schicht (20, 24) von der Opferschicht (26) bedeckt sind, und

– Entfernen der Opferschicht (26), wodurch sich die Randbereiche der mindestens einen unterliegenden Schicht (20, 24) den peripheren Abschnitten ohne eine Kontaktgrenzfläche dazwischen zugewandt erstrecken.

2. Verfahren nach Anspruch 1, wobei die Metallisierungen (36, 38, 40) aufweisen:

– einen Metallisierungskörper (36), der vorzugsweise Kupfer aufweist, und

– eine äußere Oberflächenbeschichtung (38, 40) des Körpers (36), wobei die Beschichtung vorzugsweise mindestens eine einer Nickelschicht (38) und einer Palladiumschicht (40) aufweist, wobei sich die Randbereiche ohne eine Kontaktgrenzfläche mit sowohl dem Metallisierungskörper (36) als auch der äußeren Oberflächenbeschichtung (38, 40) den peripheren Abschnitten zugewandt erstrecken.

3. Verfahren nach Anspruch 2, das das Bereitstellen einer Barrierschicht (30, 30a) aufweist, die vorzugsweise TiN und TiW aufweist, unter dem Metallisierungskörper (36) liegt und an der äußeren Oberflächenbeschichtung (38, 40) anliegt, um den Metallisierungskörper (36) vollständig zu bedecken, wobei die Barrierschicht (30, 30a) vorgesehen wird, während die Randbereiche der mindestens einen unterliegenden Schicht (20, 24) von der Opferschicht (26) bedeckt sind.

4. Verfahren nach einem der vorhergehenden Ansprüche, das das Bereitstellen der mindestens einen unterliegenden Schicht als eine Passivierungsschicht (20) aufweist, auf der vorzugsweise eine entsprechende Barrierschicht (24) vorgesehen ist.

5. Verfahren nach Anspruch 4, das das Bereitstellen der entsprechenden Barrierschicht (24) auf der Passivierungsschicht (20) als eine Schicht, die sich unter dem Metallisierungskörper (36) erstreckt, aufweist, wobei die Opferschicht (26) vorgesehen wird, um die entsprechende Barrierschicht (24) an den Randbereichen der mindestens einen unterliegenden Schicht (20, 24) zu bedecken.

6. Verfahren nach Anspruch 4 oder Anspruch 5, das das Entfernen der entsprechenden Barrierschicht (24) von der Passivierungsschicht (20) an anderen Stellen als den Randbereiche aufweist.

7. Verfahren nach einem der Ansprüche 4 bis 6, wobei:

– die Passivierungsschicht eine dielektrische Passivierungsschicht (20) aufweist und/oder

– die entsprechende Barrierschicht (24) eine TiW-Barriere aufweist.

8. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Opferschicht (26) Siliziumnitrid aufweist.

9. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Metallisierungen (36, 38, 40) Cu-RDL-Metallisierungen aufweisen.

10. Halbleitervorrichtung, die Metallisierungen (36, 38, 40) mit peripheren Abschnitten aufweist, wobei mindestens eine unterliegende Schicht (20, 24) Randbereiche aufweist, die sich den peripheren Abschnitten zugewandt erstrecken, wobei sich die Randbereiche der mindestens einen unterliegenden Schicht (20, 24) den peripheren Abschnitten ohne eine Kontaktgrenzfläche dazwischen zugewandt erstrecken.

Es folgen 19 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

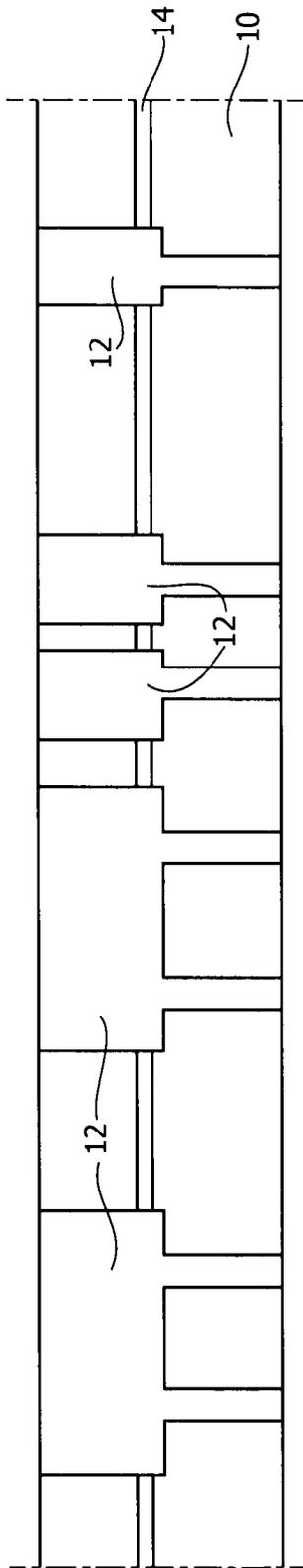
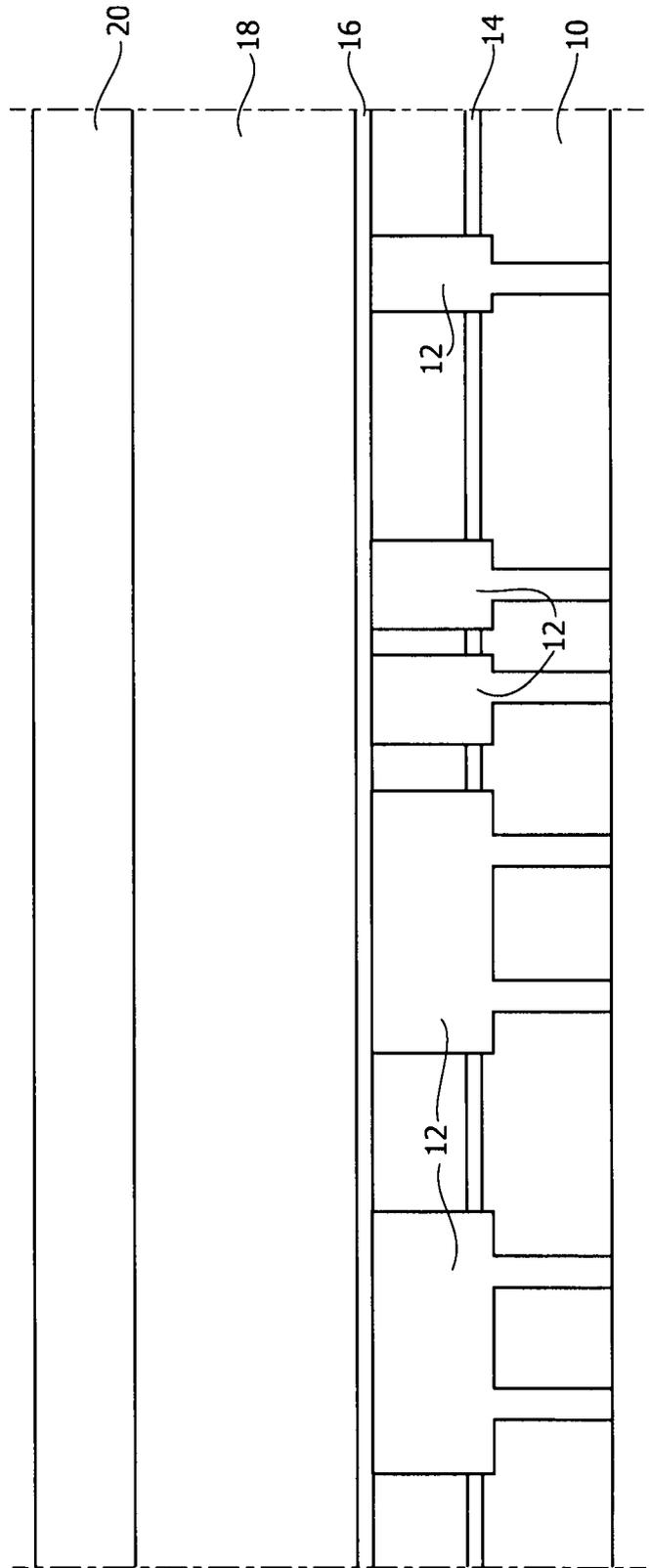


FIG. 2



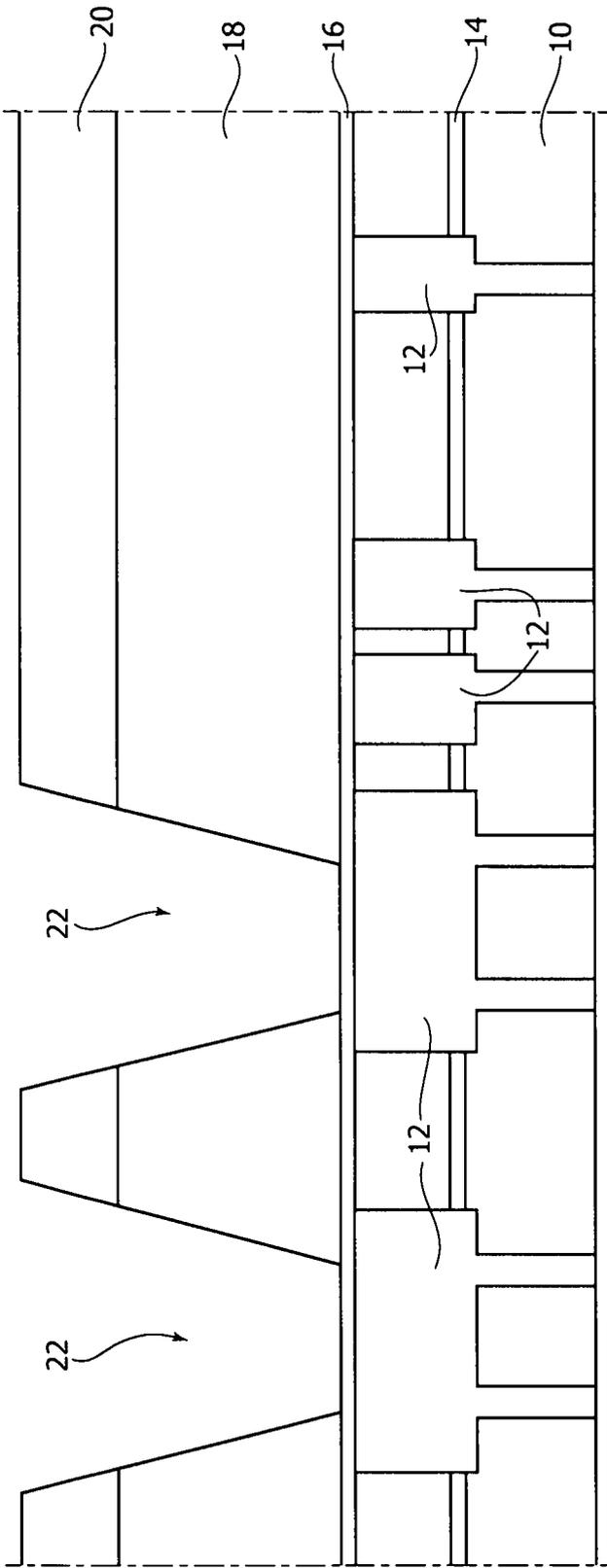


FIG. 3

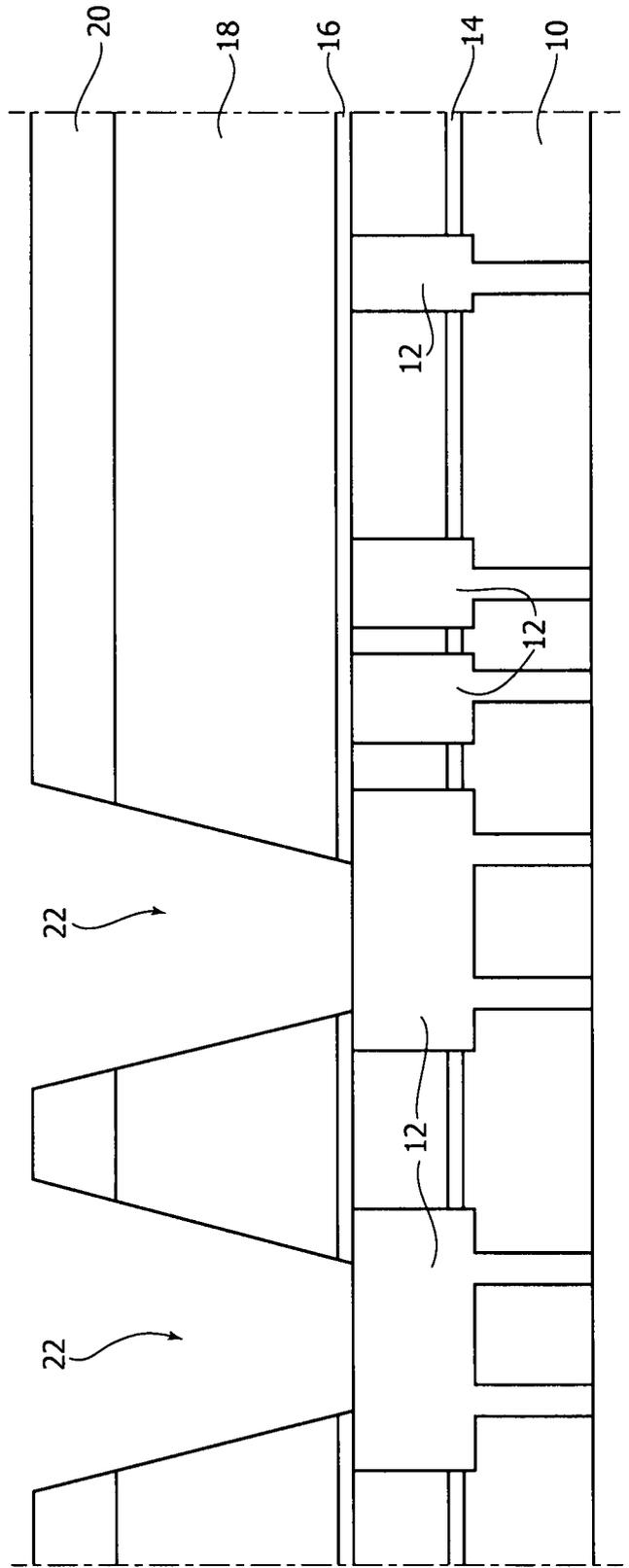


FIG. 4

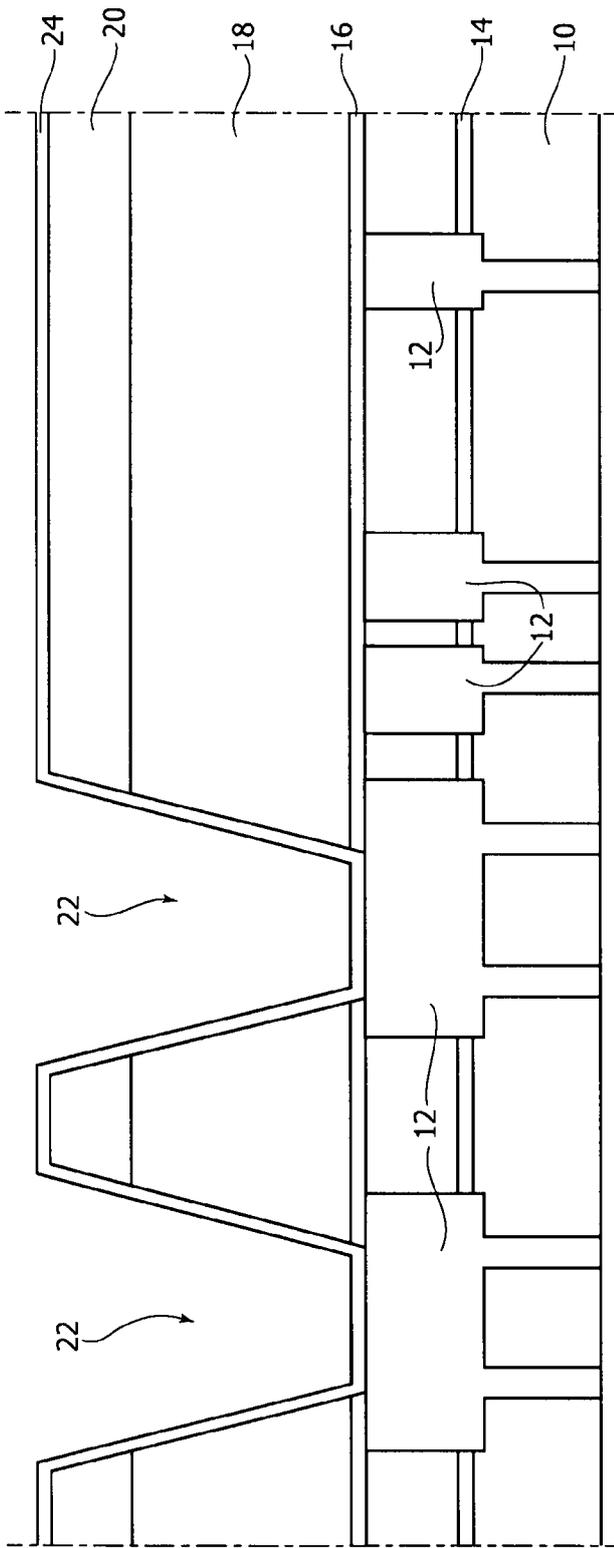


FIG. 5

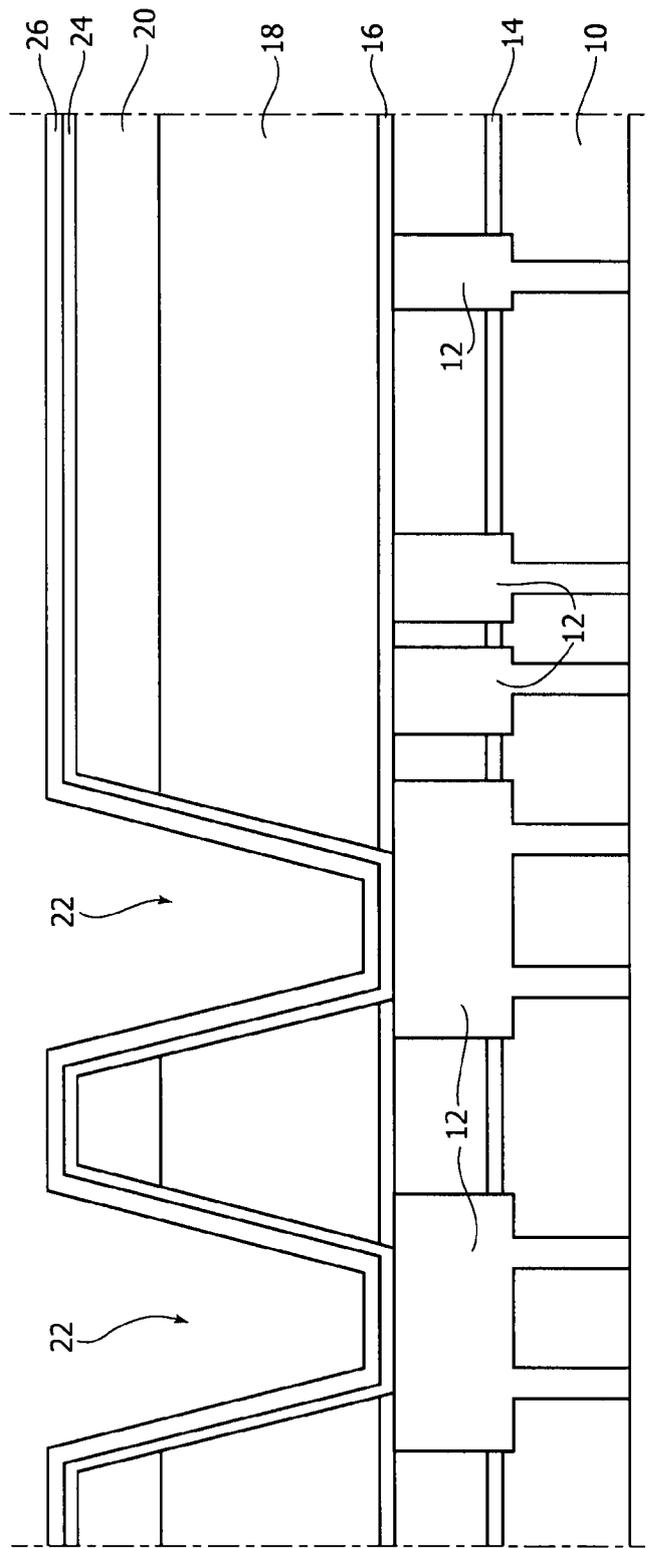


FIG. 6

FIG. 7

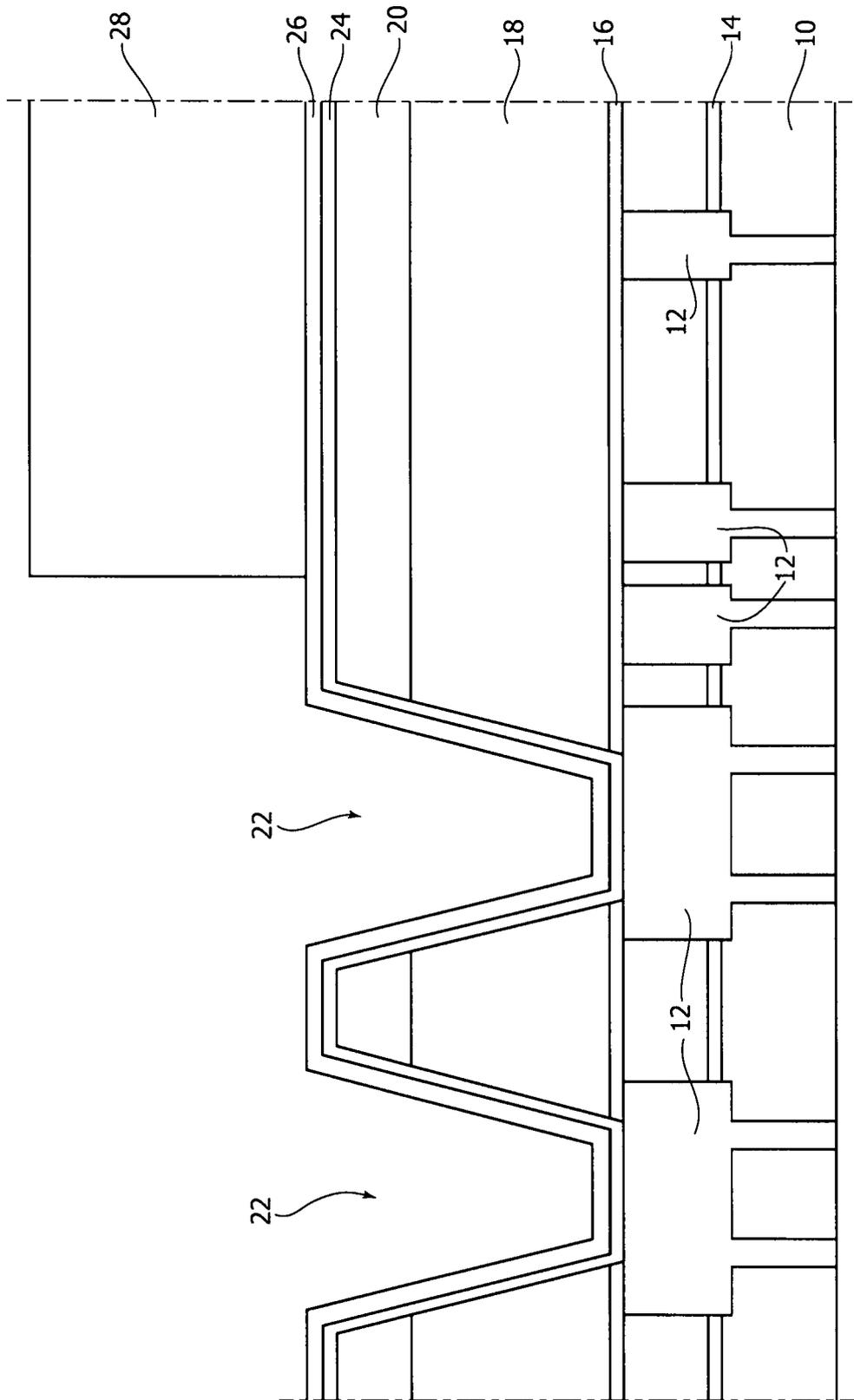


FIG. 8

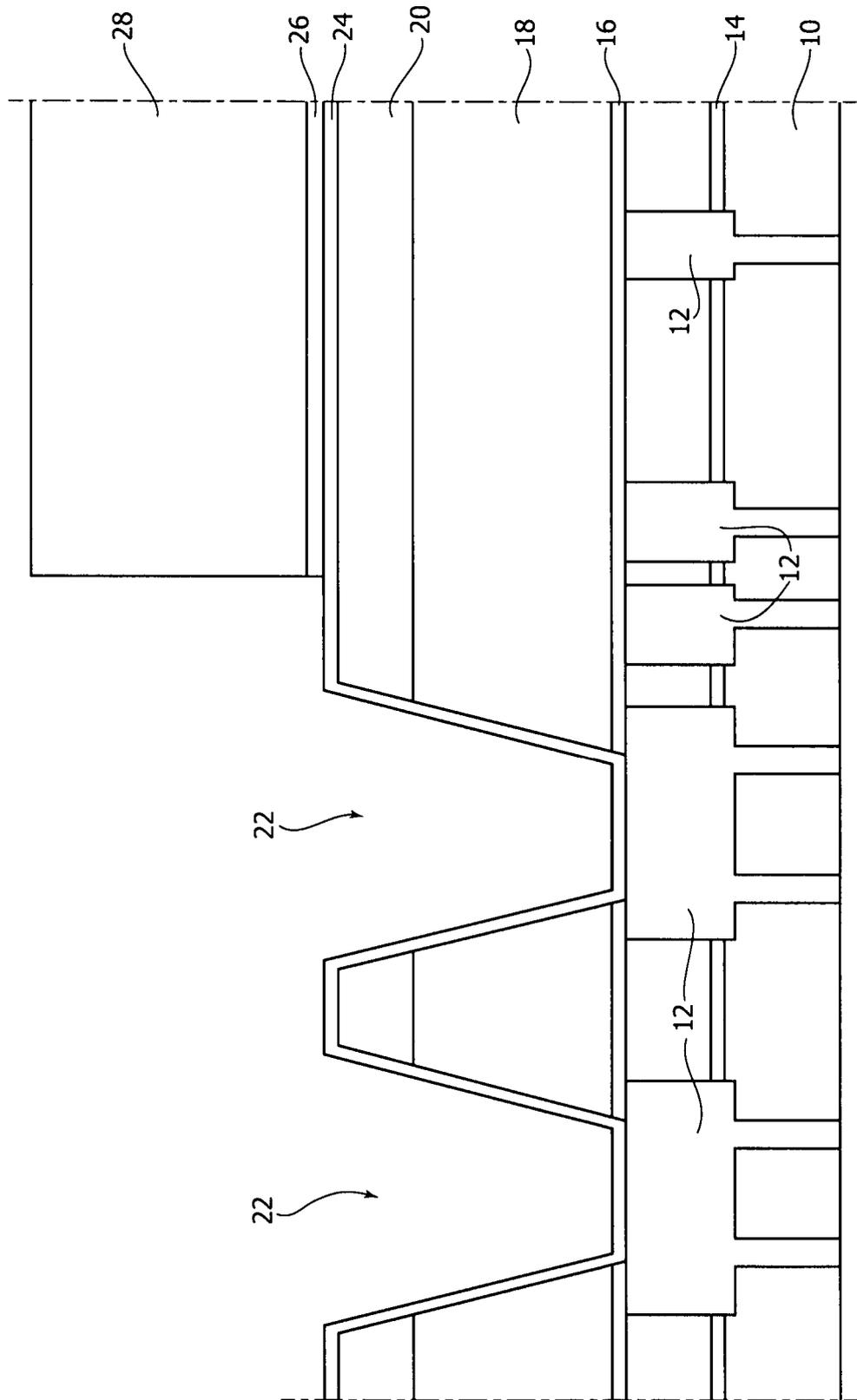


FIG. 9

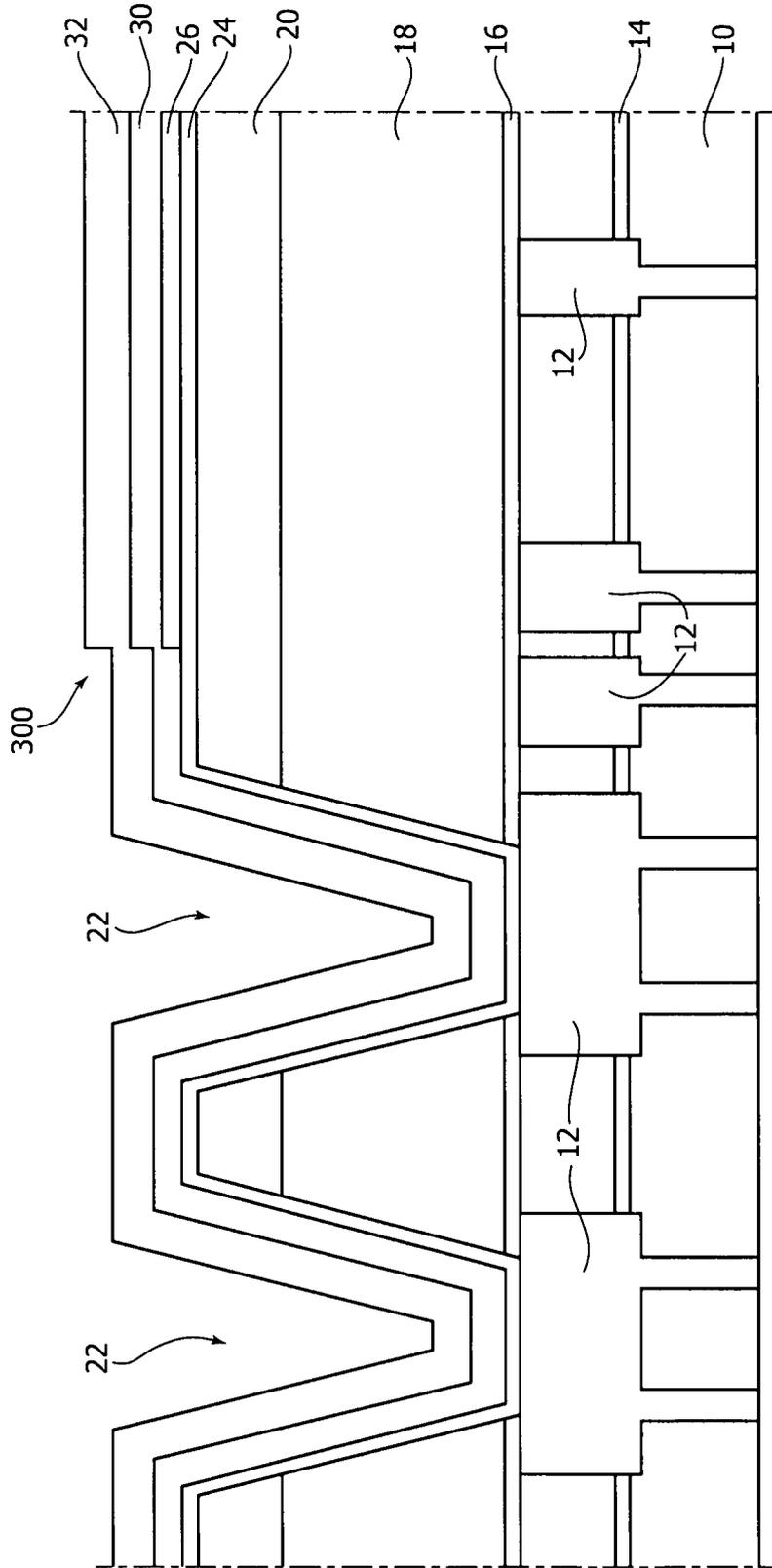


FIG. 10

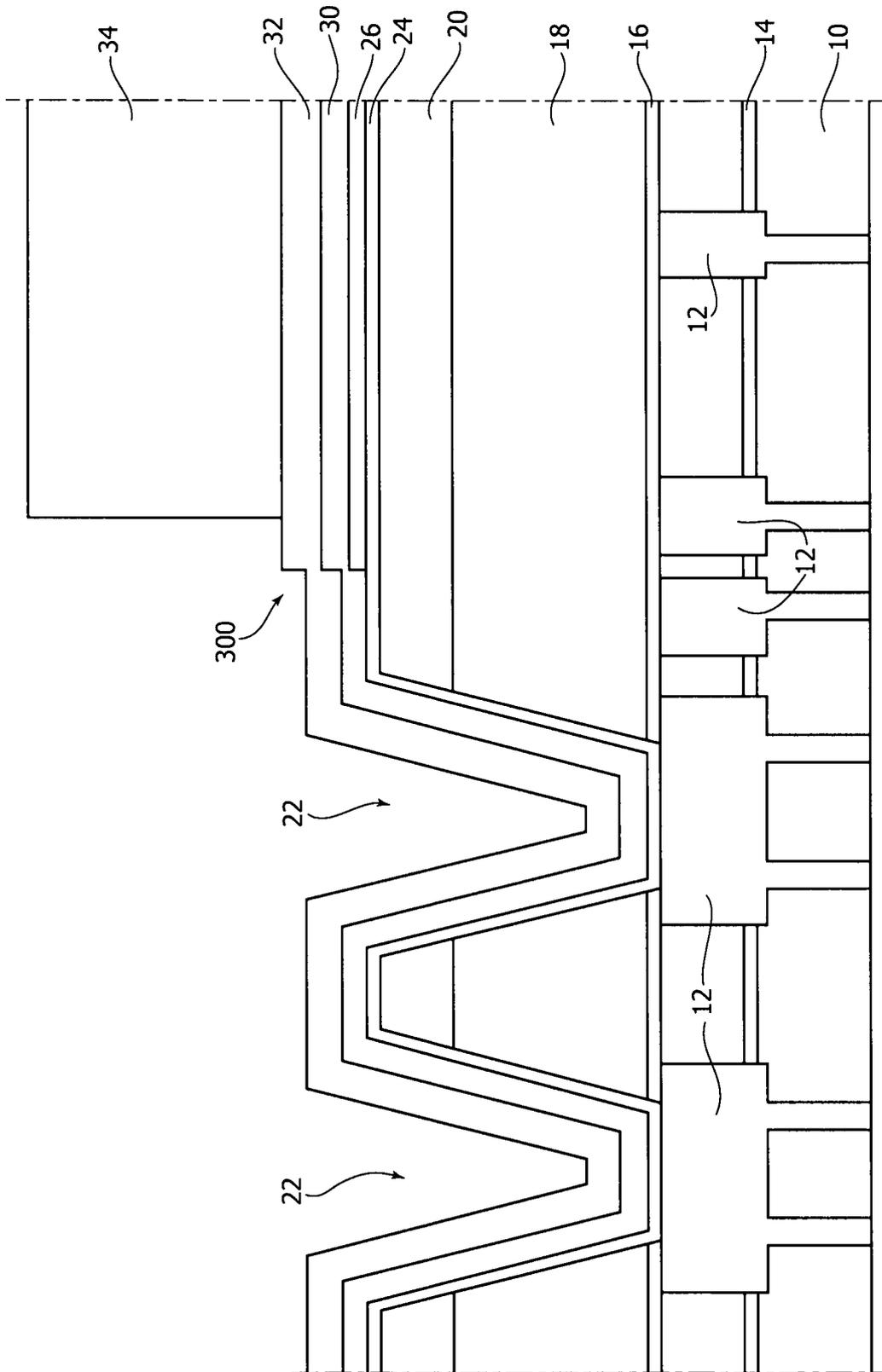


FIG. 11

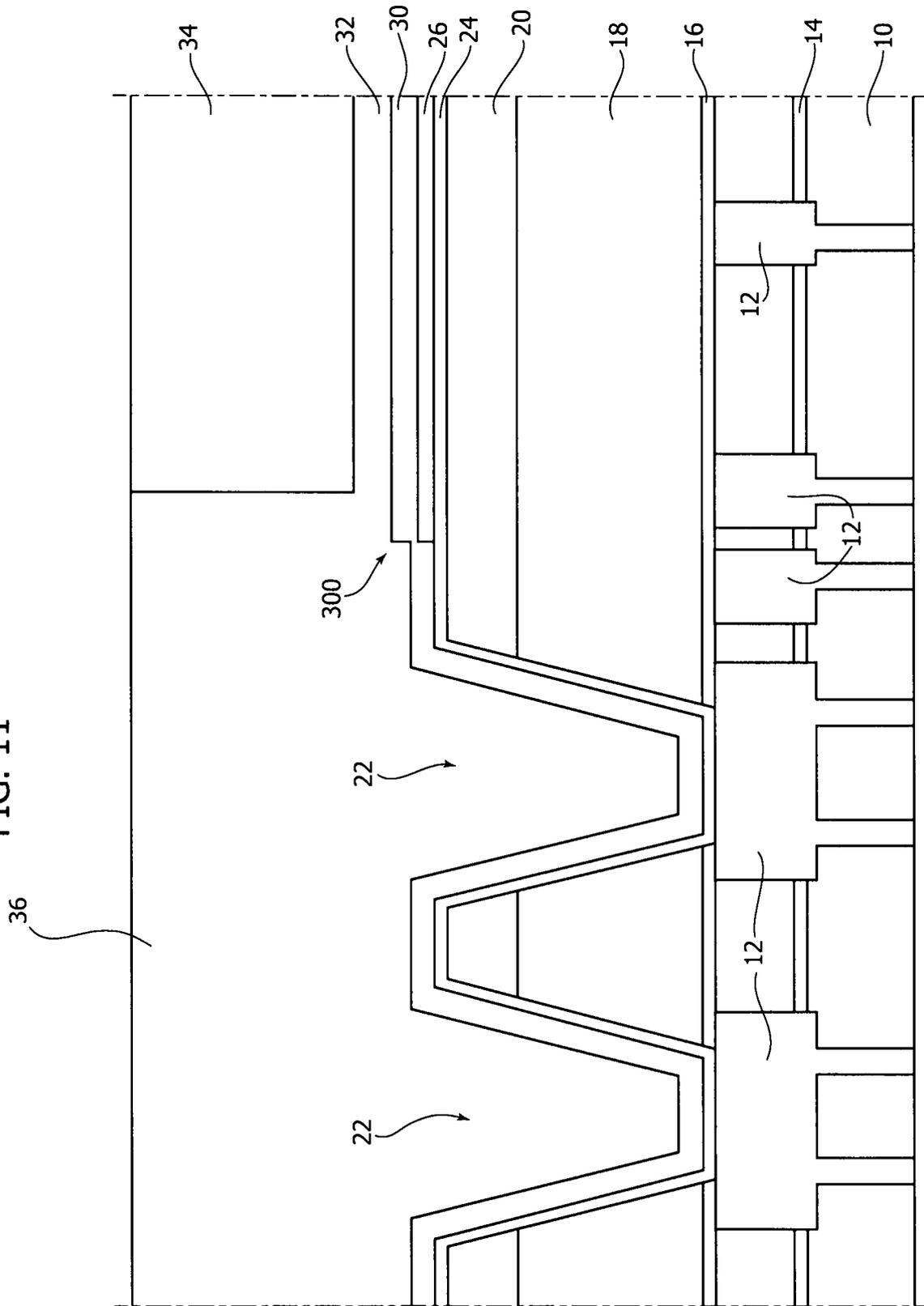


FIG. 12

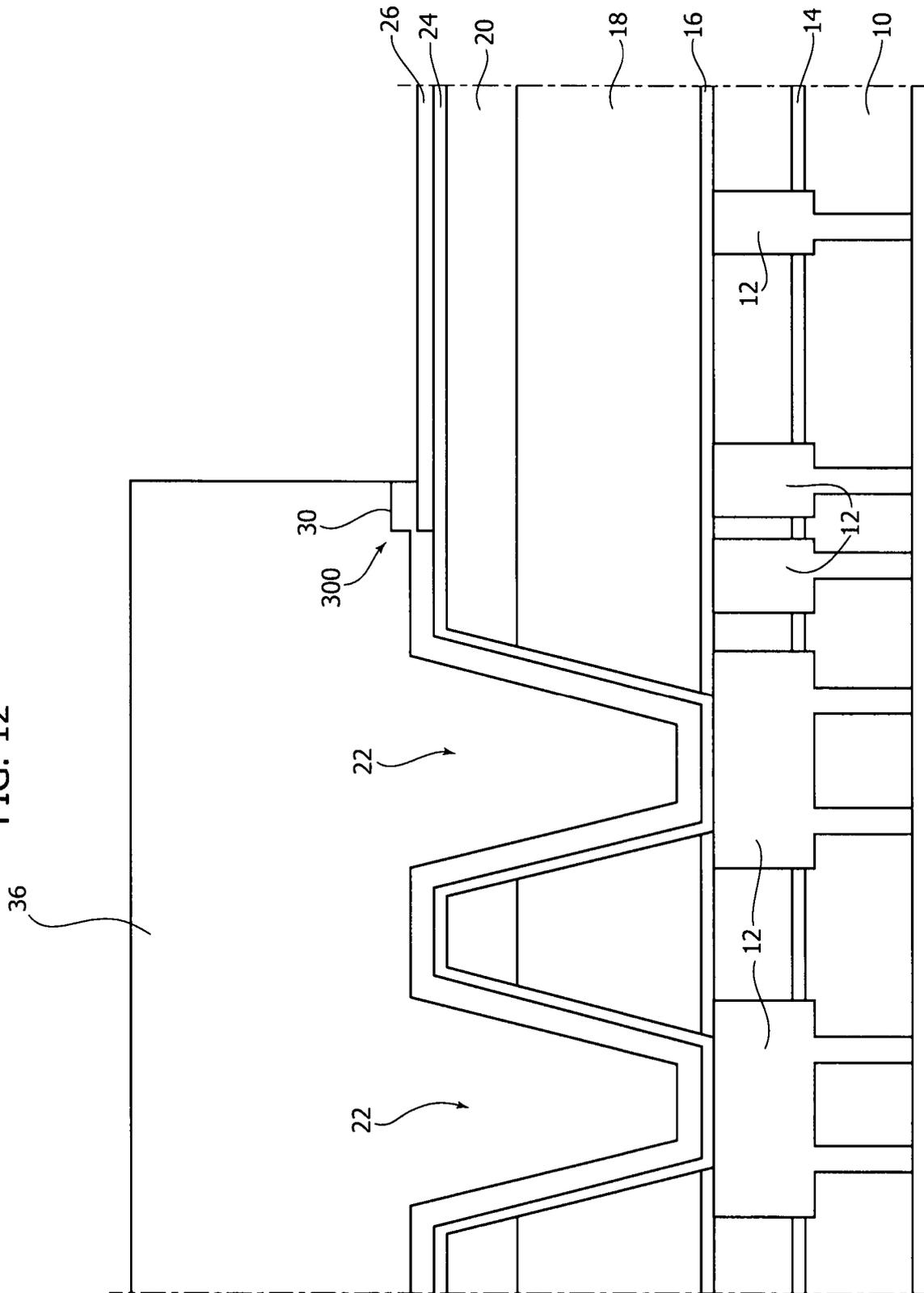


FIG. 13

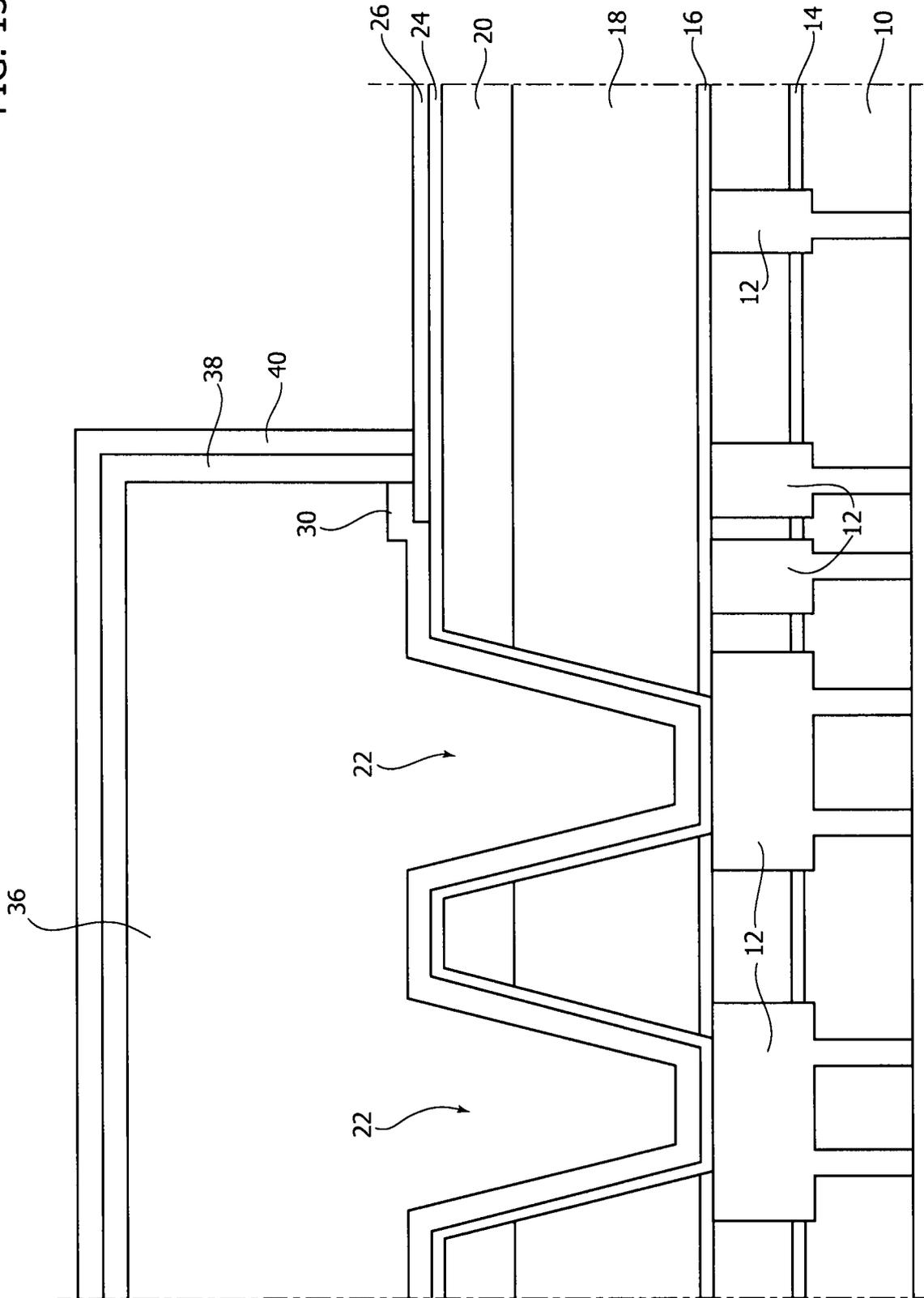


FIG. 14

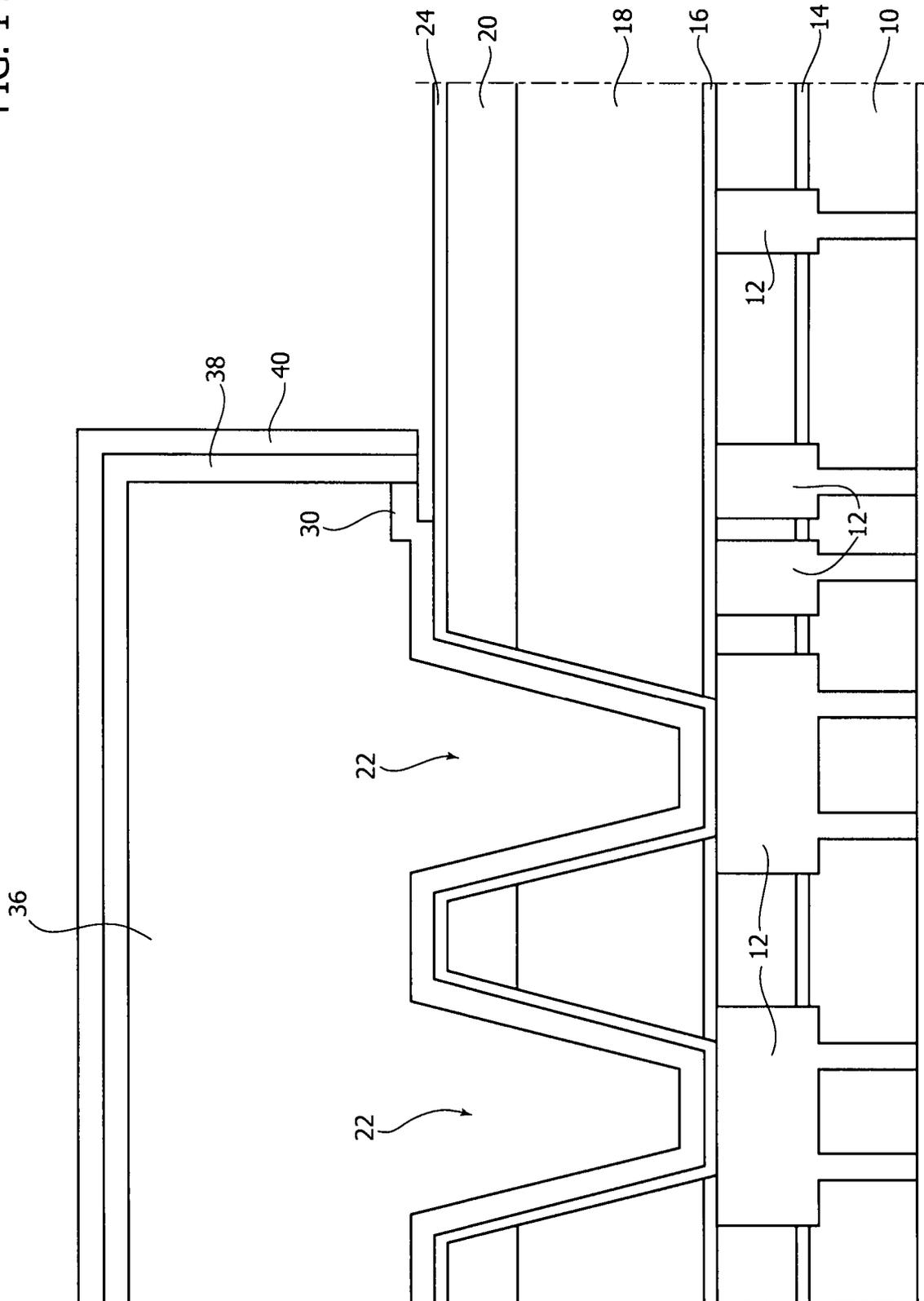


FIG. 15

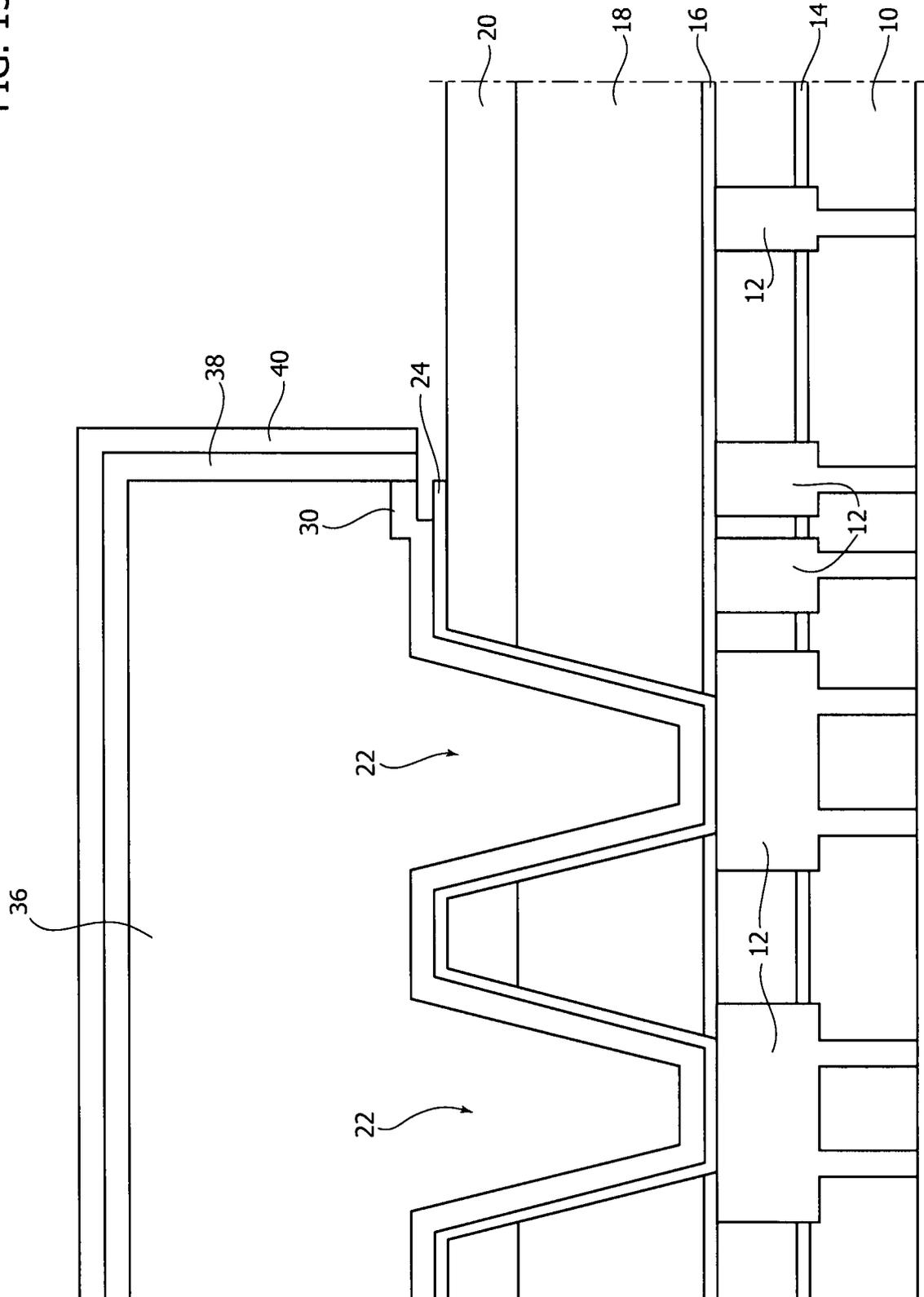


FIG. 16

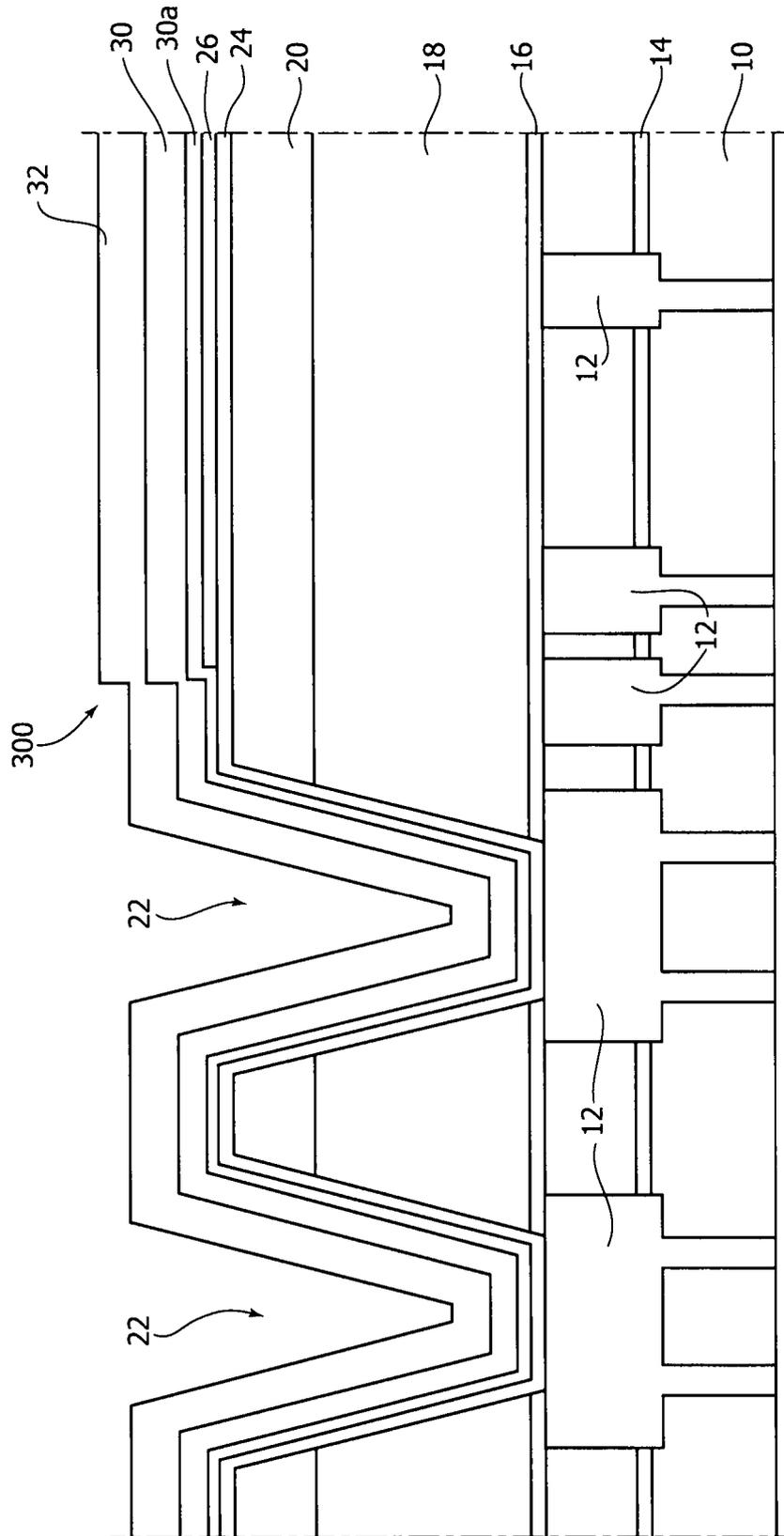


FIG. 17

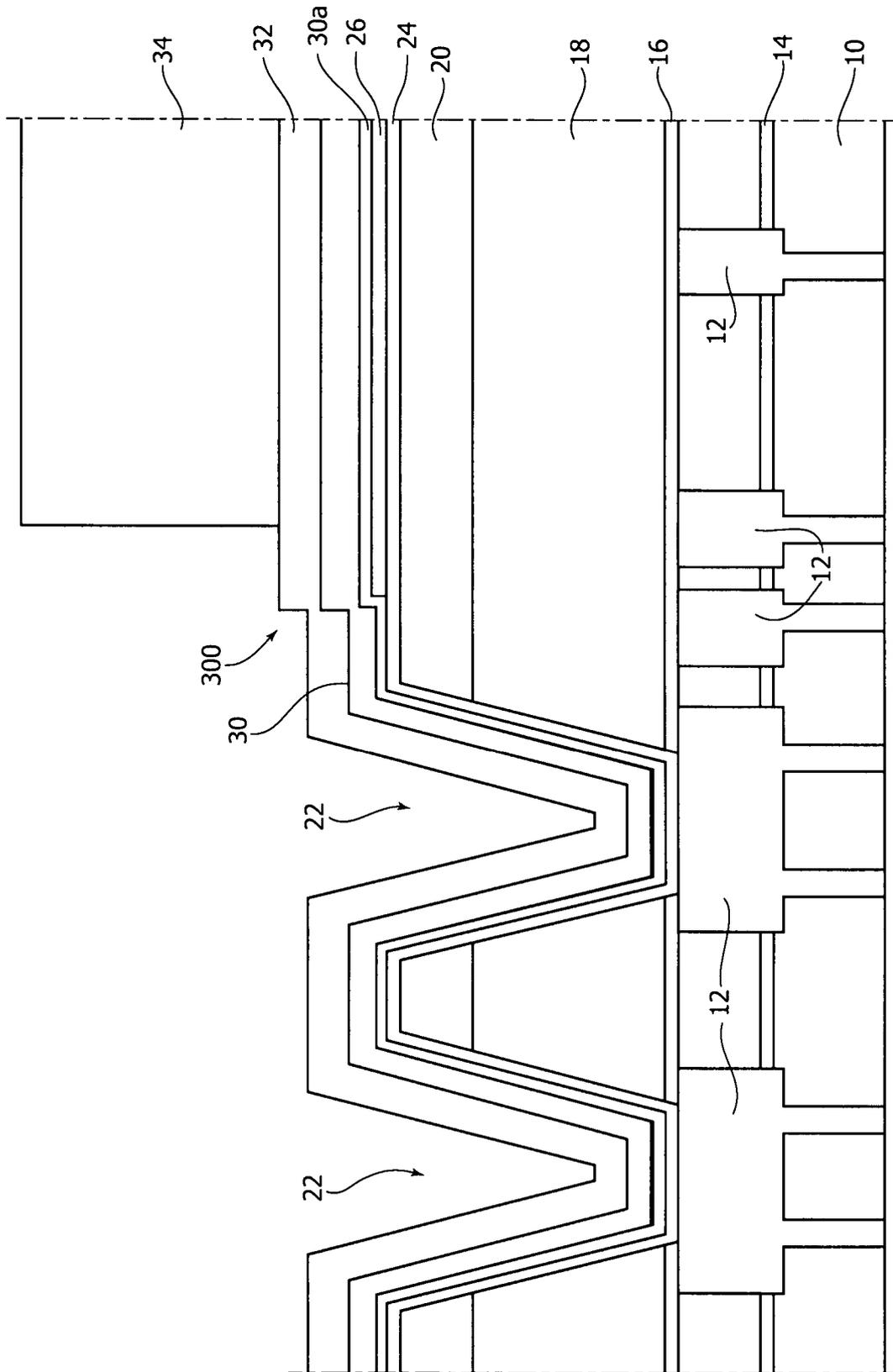


FIG. 18

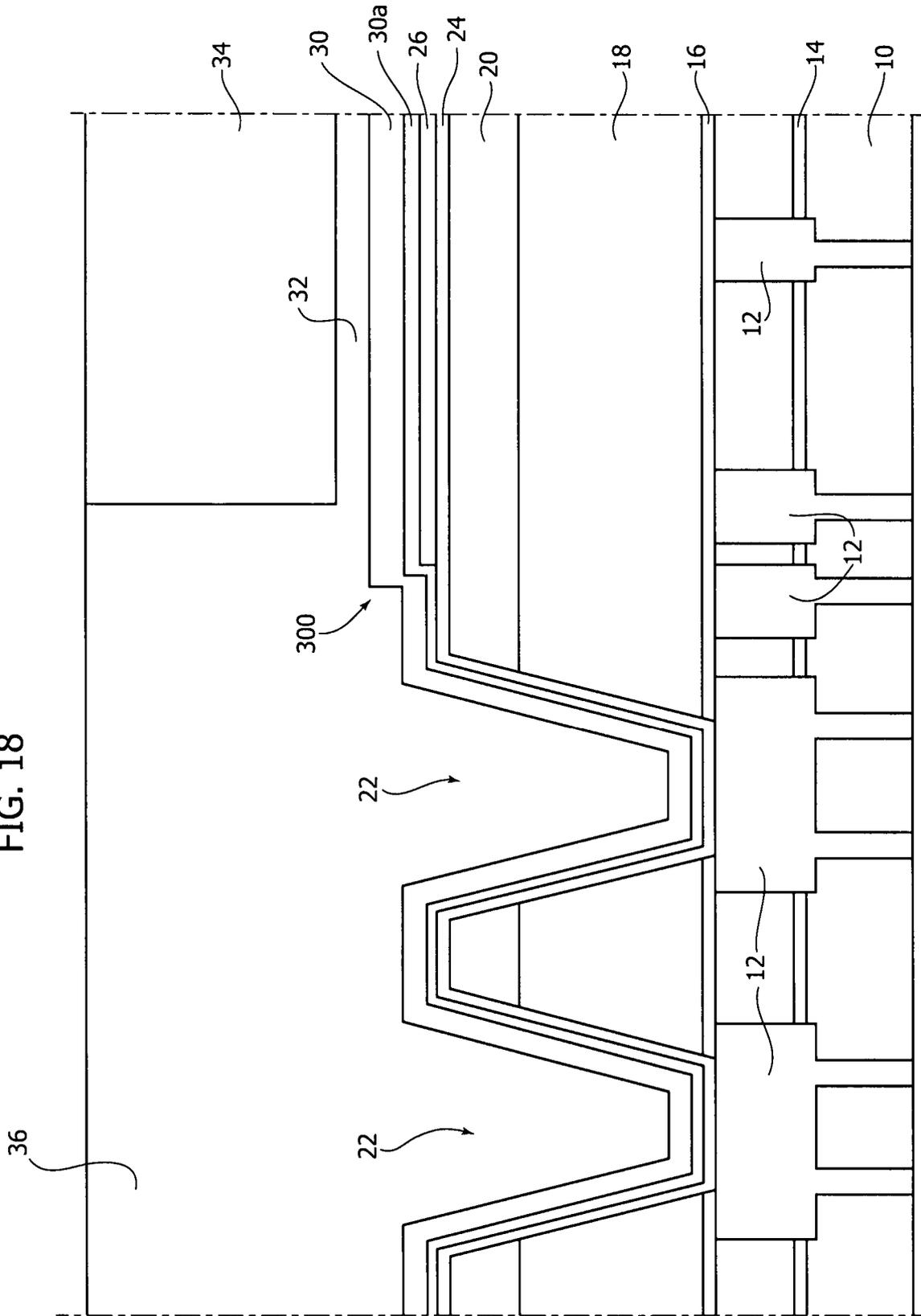


FIG. 19

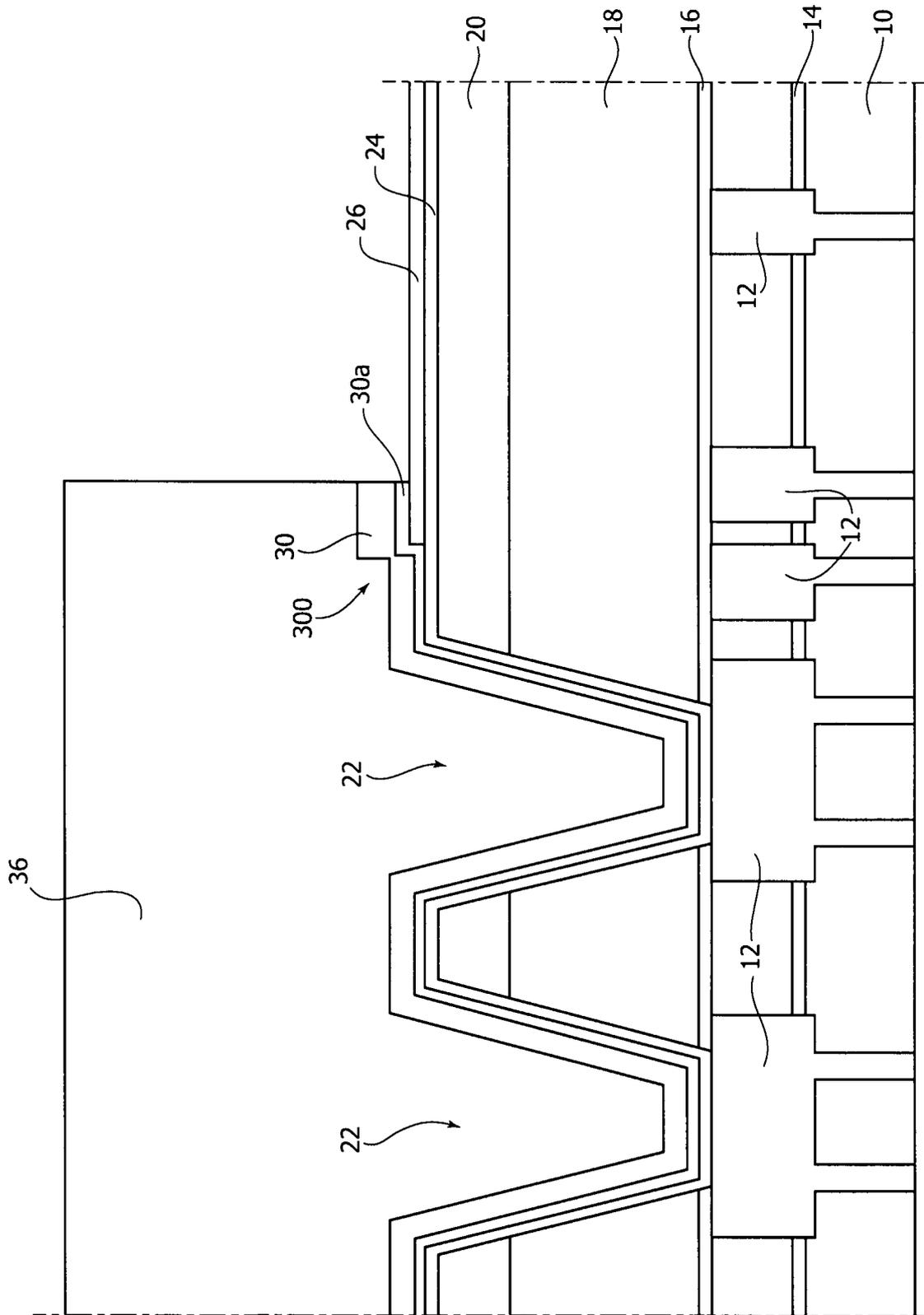


FIG. 20

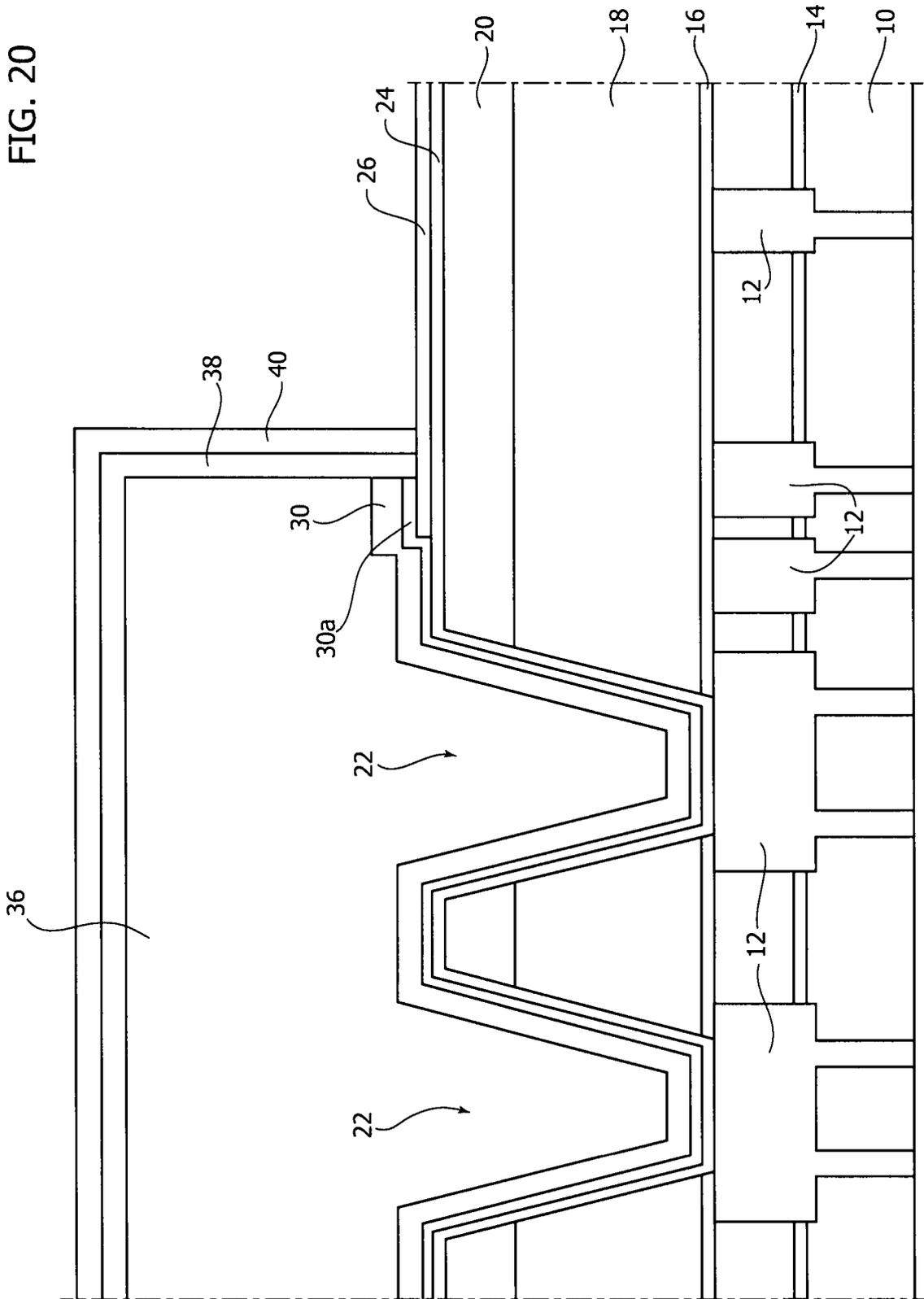


FIG. 21

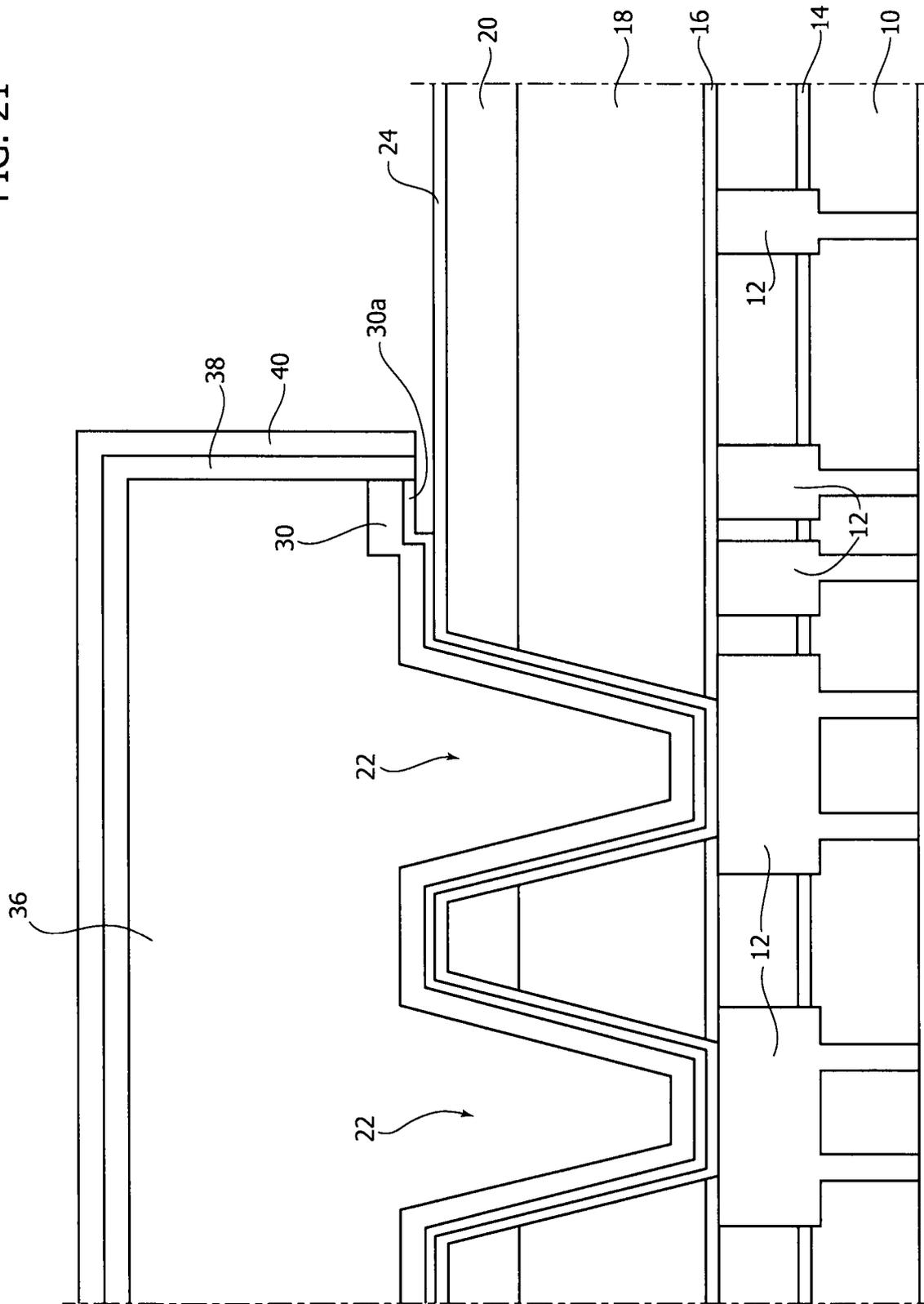


FIG. 22

