



(10) **DE 11 2011 104 502 T5** 2013.12.24

(12)

Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2012/087474**
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
(21) Deutsches Aktenzeichen: **11 2011 104 502.6**
(86) PCT-Aktenzeichen: **PCT/US2011/061623**
(86) PCT-Anmeldetag: **21.11.2011**
(87) PCT-Veröffentlichungstag: **28.06.2012**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **24.12.2013**

(51) Int Cl.: **H01L 23/12 (2013.01)**
H01L 23/48 (2013.01)

(30) Unionspriorität:
12/976,903 **22.12.2010** **US**

(74) Vertreter:
Maucher Börjes Jenkins, 80802, München, DE

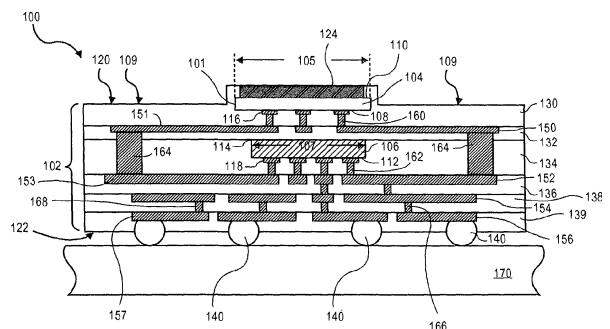
(71) Anmelder:
Intel Corporation, Santa Clara, Calif., US

(72) Erfinder:
Gonzalez, Javier Soto, Chandler, Ariz., US;
Jomaa, Houssam, Phoenix, Ariz., US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Multichip-Montageeinheit mit einem Substrat mit mehreren vertikal eingebetteten Plättchen und Verfahren zur Herstellung derselben**

(57) Zusammenfassung: Eine Vorrichtung umfasst ein Substrat, welches eine Anschlussfleckseite mit mehreren Kontaktflecken und eine Plättchenseite gegenüber der Anschlussfleckseite aufweist. Die Vorrichtung umfasst ein erstes Plättchen und ein zweites Plättchen, wobei das erste Plättchen und das zweite Plättchen derart in das Substrat eingebettet sind, dass das zweite Plättchen zwischen dem ersten Plättchen und der Anschlussfleckseite des Substrats angeordnet ist.



Beschreibung

ALLGEMEINER STAND DER TECHNIK

1. GEBIET DER ERFINDUNG

[0001] Offenbarte Ausführungsformen betreffen Halbleiter-Mikroelektronik-Montageeinheiten und Herstellungsverfahren.

2. BESCHREIBUNG DES STANDES DER TECHNIK

[0002] Der heutige Markt der Verbraucherelektronik verlangt oft nach komplexen Funktionen, welche sehr komplizierte Schaltungen erforderlich machen. Die Maßstabsverkleinerung zu immer kleineren Grundbaublöcken, z. B. Transistoren, hat mit jeder weiteren Generation den Einbau von noch komplizierteren Schaltungen auf einem Einzelplättchen ermöglicht. Andererseits werden, obwohl die Maßstabsverkleinerung typischerweise als Verringerung der Größe betrachtet wird, für eine fortgeschrittene Funktionalität und Leistung in einem Computersystem zunehmend mehrere montierte Plättchen miteinander verbunden. Auch kann die Größe einer speziellen Halbleiter-Montageeinheit in der Tat heraufgesetzt werden, um mehrere Plättchen in eine einzige Halbleiter-Montageeinheit einzubauen.

[0003] Es können jedoch strukturelle Probleme entstehen, wenn versucht wird, mehrere montierte Plättchen zu verbinden. Zum Beispiel kann die Auswirkung von Unterschieden der Wärmeausdehnungskoeffizienten (Coefficients of Thermal Expansion, CTE) zwischen Komponenten, die in den Halbleiter-Montageeinheiten verwendet werden, zu schädlichen Defekten führen, wenn montierte Plättchen zusammengefügt werden. In ähnlicher Weise kann die Auswirkung von Unterschieden der Wärmeausdehnungskoeffizienten (CTE) zwischen Komponenten, die in einer einzelnen Halbleiter-Montageeinheit verwendet werden, als Ergebnis der Durchführung eines Halbleiterplättchen-Montageverfahrens für mehr als ein Plättchen in der einzelnen Montageeinheit zu schädlichen Defekten führen.

[0004] Halbleiter-Montageeinheiten werden verwendet, um einen Chip oder ein Plättchen einer integrierten Schaltung (Integrated Circuit, IC) zu schützen, und auch, um das Plättchen mit einer elektrischen Schnittstelle zu externen Schaltungen versehen. Mit steigendem Bedarf für kleinere elektronische Einheiten werden Halbleiter-Montageeinheiten so ausgestaltet, dass sie noch kompakter sind und eine größere Schaltungsdichte unterstützen müssen. Zum Beispiel wird bei einigen Halbleiter-Montageeinheiten nun ein kernloses Substrat verwendet, welches nicht die dicke Harzkernschicht umfasst, die man üblicherweise in herkömmlichen Substraten findet. Ferner

führt der Bedarf für Einheiten höherer Leistung dazu, dass eine verbesserte Halbleiter-Montageeinheit benötigt wird, welche eine Mischtechnologie-Plättchenstapelung ermöglicht oder eine Plättchenstapelungsmöglichkeit bereitstellt, wobei ein dünnes Montageprofil und eine niedrige Gesamtverformung bewahrt werden, um mit einem anschließenden Verfahren des Zusammenbauens kompatibel zu sein.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0005] Um die Art und Weise zu verstehen, wie Ausführungsformen erhalten werden, wird eine speziellere Beschreibung verschiedener Ausführungsformen, die nachstehend kurz beschrieben sind, unter Bezugnahme auf die angehängten Zeichnungen gegeben. Diese Zeichnungen zeigen Ausführungsformen, welche nicht notwendigerweise maßstabsgetreu sind und nicht als im Umfang beschränkt anzusehen sind. Einige Ausführungsformen werden durch die Verwendung der begleitenden Zeichnungen mit zusätzlicher Ausführlichkeit und in zusätzlichen Einzelheiten beschrieben und erläutert, in welchen:

[0006] [Fig. 1A](#) und [Fig. 1B](#) eine Multichip-Montageeinheit (Multi-Chip Package, MCP), welche mehrere Plättchen aufweist, die in ein Substrat eingebettet und vertikal darin angeordnet sind, gemäß einer Ausführungsform der vorliegenden Erfindung veranschaulichen;

[0007] [Fig. 2A](#) bis [Fig. 2L](#) ein Verfahren zum Bilden einer Multichip-Montageeinheit (MCP), welche mehrere Plättchen aufweist, die in ein Substrat eingebettet und vertikal darin angeordnet sind, gemäß einer Ausführungsform der vorliegenden Erfindung veranschaulichen;

[0008] [Fig. 3](#) ein Computersystem gemäß einer Ausführungsform der Erfindung zeigt;

[0009] [Fig. 4](#) eine Multichip-Montageeinheit, welche mehr als zwei Plättchen aufweist, die in ein Substrat eingebettet und vertikal darin angeordnet sind, gemäß einer Ausführungsform der vorliegenden Erfindung veranschaulicht;

[0010] [Fig. 5](#) eine Multichip-Montageeinheit, welche mehr als zwei Plättchen aufweist, die in ein Substrat eingebettet und vertikal darin angeordnet sind, gemäß einer anderen Ausführungsform der vorliegenden Erfindung veranschaulicht.

DETAILLIERTE BESCHREIBUNG

[0011] Es wird eine Multichip-Montageeinheit (MCP), welche mehrere vertikal eingebettete Plättchen aufweist, und ihr Herstellungsverfahren beschrieben. Es wird nun auf Zeichnungen Bezug genommen, wobei gleiche Strukturen mit gleichen Suf-

fix-Bezugszeichen versehen sein können. Um die Struktur verschiedener Ausführungsformen deutlicher zu zeigen, sind die hierin enthaltenen Zeichnungen diagrammartige Darstellungen der IC-Strukturen. Daher kann das tatsächliche Aussehen der hergestellten IC-Strukturen, zum Beispiel in einer Mikroaufnahme, anders sein, wobei es immer noch die beanspruchte Struktur der veranschaulichten Ausführungsformen beinhaltet. Überdies zeigen die Zeichnungen möglicherweise nur Strukturen, die geeignet sind, um die veranschaulichten Ausführungsformen zu verstehen. Weitere Strukturen, die auf dem Fachgebiet bekannt sind, sind möglicherweise nicht enthalten, um die Klarheit der Zeichnungen zu bewahren. Außerdem sind in der vorliegenden Beschreibung zahlreiche spezielle Einzelheiten ausgeführt, um für ein gründliches Verständnis der Ausführungsformen der vorliegenden Erfindung zu sorgen. In anderen Fällen sind wohlbekannt Halbleiterverarbeitungs- und Montagetechniken nicht in speziellen Einzelheiten ausgeführt worden, um Ausführungsformen der vorliegenden Erfindung nicht unnötig zu verschleiern.

[0012] Ausführungsformen der vorliegenden Erfindung umfassen eine Multichip-Montageeinheit, welche ein Substrat mit mehreren vertikal angeordneten darin eingebetteten Plättchen aufweist. Das Substrat umfasst eine Anschlussfleckseite und eine Plättchen-seite. Ein erstes Plättchen und ein zweites Plättchen sind derart in das Substrat eingebettet, dass sich das zweite Plättchen zwischen dem ersten Plättchen und der Anschlussfleckseite des Substrats befindet. Das Substrat der Montageeinheit umfasst mehrere Leitungsschichten, isolierende Schichten und Durchkontaktierungen zum Erzeugen einer Zwischenverbindungsstruktur in dem Substrat, welche für eine elektrische Verbindung zwischen dem ersten Plättchen und dem zweiten Plättchen sorgt. In einer Ausführungsform der vorliegenden Erfindung befindet sich zwischen dem ersten Plättchen und dem zweiten Plättchen mindestens eine Leitungsschicht. Die Multichip-Montageeinheit, welche ein Substrat mit einem vertikal angeordneten und darin eingebetteten Plättchen aufweist, kann gemäß Ausführungsformen der vorliegenden Erfindung über ein Bumpless-Build-up-Layer(BBUL)-Verfahren gebildet werden. In einer Ausführungsform der vorliegenden Erfindung wird das erste Plättchen an einem temporären Träger befestigt, und eine isolierende Schicht und eine Leitungsschicht werden über dem ersten Plättchen und um dieses herum gebildet und betten das erste Plättchen darin ein. Anschließend wird ein zweites Plättchen an einer der isolierenden Schichten befestigt, und weitere isolierende Schichten und Leitungsschichten werden auf dem zweiten Plättchen und um dieses herum gebildet, wodurch sie das zweite Plättchen ebenso in dem Substrat einbetten. Auf diese Weise werden sowohl das erste als auch das zweite Plättchen in das Substrat eingebettet, und elek-

trische Zwischenverbindungen werden in dem Substrat gebildet (Substratleitung), welche das erste und das zweite Plättchen elektrisch verbinden. Der Träger kann anschließend entfernt werden, um ein kernloses Substrat zu erzeugen.

[0013] Ausführungsformen der vorliegenden Erfindung ermöglichen die Bildung der Multichip-Montageeinheit mit einer dünnen Konfiguration der Montageeinheit und einer kleinen Standfläche, wodurch wertvoller Raum auf Hauptplatinen von Einheiten eingespart wird. Außerdem ermöglichen Ausführungsformen der vorliegenden Erfindung die elektrische Verbindung von zwei Plättchen ohne die Anwendung der Montageeinheit-auf-Montageeinheit(Package-on-Package, POP)-Technologie, welche die Oberflächenmontagetechnologie (Surface Mount Technology, SMT) erforderlich macht, welche aufgrund von Substratverformung für Zuverlässigkeitsprobleme anfällig sein kann. Außerdem wird in Ausführungsformen der vorliegenden Erfindung ein Niedertemperatur-Bumpless-Build-up-Layer(BBUL)-Verfahren angewendet, um das Substrat zu bilden, um die Auswirkungen nicht zueinander passender Wärmeausdehnungskoeffizienten (CTE) zwischen den eingebetteten Plättchen und dem Substrat zu verringern oder zu eliminieren, wodurch die Herstellung einer sehr ebenen Multichip-Montageeinheit ermöglicht wird.

[0014] [Fig. 1A](#) ist eine Darstellung einer Querschnittsansicht einer Halbleiter-Montageeinheit **100**, welche ein Substrat **102** mit mehreren vertikal darin angeordneten Plättchen aufweist. In einer Ausführungsform der vorliegenden Erfindung ist das Substrat **102** ein kernloses Substrat. Das Substrat **102** weist eine Plättchenseite **120** und eine Anschlussfleckseite **122** gegenüber der Plättchenseite auf. Die Montageeinheit **100** enthält ein erstes Plättchen **104** und ein zweites Plättchen **106**. Das erste Plättchen **104** weist eine aktive Fläche **108** und eine Rückfläche **110** gegenüber der aktiven Fläche **108** auf. In ähnlicher Weise weist das zweite Plättchen **106** eine aktive Fläche **112** und eine Rückfläche **114** gegenüber der aktiven Fläche **112** auf. Das erste Plättchen und das zweite Plättchen können aus einem beliebigen wohlbekannt Halbleitermaterial gebildet werden, einschließlich, ohne darauf beschränkt zu sein, Silicium (Si), Siliciumgermanium (SiGe), Germanium (Ge) sowie ein beliebiger III-V-Halbleiter, wie z. B. Galliumarsenid (GaAs) und Indiumantimonid (InSb). Die aktiven Flächen **108** und **112** umfassen mehrere Halbleitereinheiten, einschließlich, ohne darauf beschränkt zu sein, Transistoren, Kondensatoren und Widerständen, die durch eine Plättchen-Zwischenverbindungsstruktur untereinander zu funktionellen Schaltungen verbunden sind, um dadurch eine integrierte Schaltung zu bilden. Wie auf dem Fachgebiet wohlbekannt ist, kann die Plättchen-Zwischenverbindungsstruktur eine beliebige Anzahl von Metallisie-

rungsschichten umfassen, z. B. M1 bis M11, deren Anzahl und Dicken in Abhängigkeit von einer gegebenen Anwendung variieren können. Die erste Metallisierungsebene (M1) steht mit den Halbleitereinheiten der aktiven Fläche in Kontakt, während die letzte Metallisierungsebene (z. B. M11) elektrische Kontakte zur Herstellung einer Verbindung zur Außenwelt umfasst. Das erste Plättchen **104** ist mit den elektrischen Kontakten **116** dargestellt, und das zweite Plättchen **106** ist mit den elektrischen Kontakten **118** dargestellt. In einer Ausführungsformen der vorliegenden Erfindung sind die aktive Fläche **108** des ersten Plättchens **104** und die aktive Fläche **112** des zweiten Plättchens **106** einander zugewandt oder zeigen als mehrere externe leitfähige Kontakte **140**, die auf dem Substrat **102** ausgebildet sind, in dieselbe Richtung, wie in [Fig. 1A](#) veranschaulicht. Das heißt, das erste Plättchen **104** und das zweite Plättchen **106** sind in einer „nach unten zeigenden“ Konfiguration im Substrat **102** angeordnet.

[0015] Das erste Plättchen **104** weist eine erste Standfläche oder einen ersten Flächenbereich **105** auf, und das zweite Plättchen **106** weist eine zweite Standfläche oder einen zweiten Flächenbereich **107** auf. In einer Ausführungsform der vorliegenden Erfindung weist das erste Plättchen **104** eine größere Standfläche als das zweite Plättchen **106** auf. Das zweite Plättchen **106** ist in das Substrat **102** eingebettet und ist zwischen dem ersten Plättchen **104** und der Anschlussfleckseite **122** des Substrats **102** angeordnet. Auf diese Weise sind das erste Plättchen **104** und das zweite Plättchen **106** vertikal in dem Substrat **102** angeordnet. In einer Ausführungsform der vorliegenden Erfindung liegt mindestens ein Abschnitt der Standfläche **107** des zweiten Plättchens **106** innerhalb der Standfläche **105** des ersten Plättchens **104**. In einer Ausführungsform, wie sie in [Fig. 1A](#) veranschaulicht ist, liegt die gesamte Standfläche **107** des zweiten Plättchens **106** innerhalb der Standfläche **105** des ersten Plättchens **104**. In einer Ausführungsform der vorliegenden Erfindung handelt es sich bei dem ersten Plättchen **104** um eine Speichereinheit, z. B., ohne darauf beschränkt zu sein, einen statischen Direktzugriffsspeicher (Static Random Access Memory, SRAM), einen dynamischen Direktzugriffsspeicher (Dynamic Random Access Memory, DRAM), einen nichtflüchtigen Speicher (Nonvolatile Memory, NVM), und bei dem zweiten Plättchen **106** um eine Logikeinheit, z. B., ohne darauf beschränkt zu sein, einen Mikroprozessor oder einen digitalen Signalprozessor.

[0016] Die Anschlussfleckseite **122** umfasst mehrere leitfähige Kontaktflecken und/oder Leitungsspuren, mit welchen mehrere externe leitfähige Kontakte **140** verbunden sind. Externe leitfähige Kontakte **140** sorgen für eine elektrische Verbindung der Montageeinheit **100** mit anderen Einheiten. Das Substrat **102** umfasst mehrere Leitungsschichten, eine Isolier-

rungsschicht und Durchkontaktierungen, welche zusammen eine Substrat-Zwischenverbindungsstruktur erzeugen. Die Substrat-Zwischenverbindungsstruktur stellt eine elektrische Verbindung zwischen dem ersten Plättchen **104** und dem zweiten Plättchen **106** sowie eine elektrische Verbindung des ersten und zweiten Plättchens mit externen elektrischen Kontakten **140** bereit, die auf der Anschlussfleckseite **122** ausgebildet sind.

[0017] Die Substrat-Zwischenverbindungsstruktur stellt direkte elektrische Verbindungen des ersten Plättchens **104** mit dem zweiten Plättchen **106** bereit, so dass Signale direkt zwischen dem ersten Plättchen und dem zweiten Plättchen ausgetauscht werden können. Die Substrat-Zwischenverbindungsstruktur kann auch elektrische Verbindungen zwischen dem zweiten Plättchen **106** und externen leitfähigen Kontakten **140** umfassen. In einigen Ausführungsformen der vorliegenden Erfindung stellt die Substrat-Zwischenverbindungsstruktur auch eine elektrische Verbindung zwischen dem ersten Plättchen **104** und externen leitfähigen Kontakten **140** bereit. In anderen Ausführungsformen gibt es keine elektrischen Verbindungen zwischen den externen leitfähigen Kontakten **140** und dem ersten Plättchen **104**. Das heißt, in einer Ausführungsform der vorliegenden Erfindung führen alle externen Verbindungen zu dem ersten Plättchen **104** durch das zweite Plättchen **106**. In einer speziellen Ausführungsform werden alle anderen elektrischen Signale zu dem ersten Plättchen **104** außer Spannungsversorgungssignalen durch das zweite Plättchen **106** bereitgestellt.

[0018] In einer Ausführungsform der vorliegenden Erfindung umfasst das Substrat **102** eine erste isolierende Schicht **130**, wie in [Fig. 1A](#) veranschaulicht. Das erste Plättchen **104** ist in die erste isolierende Schicht **130** eingebettet. Das heißt, die aktive Fläche **108** und Seitenwände **101** des ersten Plättchens stehen mit der isolierenden Schicht **130** in Kontakt. Eine erste Leitungsschicht **150**, welche mehrere leitfähige Spuren umfasst, ist auf der ersten isolierenden Schicht **130** angeordnet. Mehrere leitfähige Durchkontaktierungen **160** befinden sich in der ersten isolierenden Schicht **130** und verbinden leitfähige Spuren der ersten Leitungsschicht **150** elektrisch mit elektrischen Kontakten **116** des ersten Plättchens **104**. Eine oder mehrere der leitfähigen Spuren **151** der ersten Leitungsschicht **150** leiten Signale aus der Standfläche **105** des ersten Plättchens **104** heraus zu einem Rand des Substrats **102**. Eine zweite isolierende Schicht **132** ist auf der ersten isolierenden Schicht **130** und auf der ersten Leitungsschicht **150** angeordnet, wie in [Fig. 1A](#) veranschaulicht. Die erste Leitungsschicht **150** ist zwischen der ersten isolierenden Schicht **130** und der zweiten isolierenden Schicht **132** eingebettet. Die Rückfläche **114** des zweiten Plättchens **106** ist auf der zweiten isolierenden Schicht **132** angeordnet. Eine dritte isolierende Schicht **134**

ist auf der zweiten isolierenden Schicht **132** und auf dem zweiten Plättchen **106** und um dieses herum angeordnet, wie in [Fig. 1A](#) veranschaulicht. Das zweite Plättchen **106** ist in die dritte isolierende Schicht **134** eingebettet und vollständig zwischen der zweiten isolierenden Schicht **132** und der dritten isolierenden Schicht **134** eingekapselt und eingebettet.

[0019] Eine zweite Leitungsschicht **152**, welche mehrere leitfähige Spuren umfasst, ist auf der dritten isolierenden Schicht **134** angeordnet. In einer Ausführungsform der vorliegenden Erfindung leiten eine oder mehrere leitfähige Spuren **153** der zweiten Leitungsschicht **152** Signale vom Rand des Substrats **102** in die Standfläche **107** des zweiten Plättchens **106** hinein, um eine elektrische Verbindung zu dem zweiten Plättchen **106** bereitzustellen. Mehrere leitfähige Durchkontaktierungen **162** sind in der dritten isolierenden Schicht **134** zwischen leitfähigen Spuren der zweiten Leitungsschicht **152** und elektrischen Kontakten **118** des zweiten Plättchens **106** ausgebildet, um Spuren der zweiten Leitungsschicht **152** elektrisch mit elektrischen Kontakten **118** auf dem zweiten Plättchen zu verbinden. Außerdem sind mehrere leitfähige Durchkontaktierungen **164** durch die zweite isolierende Schicht **132** und die dritte isolierende Schicht **134** hindurch ausgebildet, um elektrisch Spuren der zweiten Leitungsschicht **152** mit Spuren der ersten Leitungsschicht **150** zu verbinden, wie in [Fig. 1A](#) veranschaulicht.

[0020] In einer Ausführungsform der vorliegenden Erfindung weisen die leitfähigen Durchkontaktierungen **164** einen größeren Durchmesser als die leitfähigen Durchkontaktierungen **162** auf. Es sei angemerkt, dass sich die leitfähigen Durchkontaktierungen **164** tiefer in das Substrat hinein erstrecken als die leitfähigen Durchkontaktierungen **162**. In einer Ausführungsform der vorliegenden Erfindung weisen die Durchkontaktierungen **164** einen Durchmesser von 100 µm bis 150 µm auf, während die Durchkontaktierungen **162** einen Durchmesser von 30 µm bis 50 µm aufweisen. Dementsprechend wird durch Erhöhen des Durchmessers der leitfähigen Durchkontaktierungen **164** das Seitenverhältnis (Höhe:Breite) der leitfähigen Durchkontaktierungen **164** verringert, wodurch die zuverlässige Füllung der leitfähigen Durchkontaktierungen ermöglicht wird. Es versteht sich, dass, obwohl die Durchkontaktierung **164** als vollständig mit einem leitfähigen Film gefüllt dargestellt ist, die Durchkontaktierung **164** so gebildet werden kann, dass nur die Seitenwände der Durchkontaktierung **164** einen darin ausgebildeten leitfähigen Film aufweisen und die Mitte ungefüllt bleibt. Die nachfolgende Bildung einer isolierenden Schicht kann genutzt werden, um das ungefüllte Volumen der Durchkontaktierung zu füllen, vgl. zum Beispiel [Fig. 2J](#).

[0021] Eine vierte isolierende Schicht **136** ist auf der dritten isolierenden Schicht **134** und auf Spuren der zweiten Leitungsschicht **152** und um diese herum angeordnet. In einer Ausführungsform der vorliegenden Erfindung werden nur zwei Leitungsschichten **150** und **152** bereitgestellt, eine Leitungsschicht (**150**) zum Bereitstellen leitfähiger Spuren zum Leiten von Signalen aus der Standfläche **105** des ersten Plättchens **104** heraus und eine Leitungsschicht **152** zum Bereitstellen leitfähiger Spuren zum Leiten von Signalen in die Standfläche **107** des zweiten Plättchens **106** hinein. Wenn die Leitungsschicht **152** die letzte Leitungsschicht des Substrats ist, können in der vierten isolierenden Schicht **136** mehrere Kontaktflecköffnungen ausgebildet sein, um Kontaktflecken auf Spuren **153** der zweiten Leitungsschicht zu definieren, zu welchen anschließend externe elektrische Kontakte **140** gebildet werden.

[0022] Falls erwünscht, können jedoch in Abhängigkeit von speziellen Leitungserfordernissen zusätzliche Leitungsschichten, isolierende Schichten und Durchkontaktierungen eingebaut werden. Zum Beispiel kann auf der vierten isolierenden Schicht **136** eine dritte Leitungsschicht **154** angeordnet sein, welche mehrere leitfähige Spuren umfasst. Mehrere leitfähige Durchkontaktierungen **166** können durch die vierte isolierende Schicht hindurch ausgebildet sein, um eine elektrische Verbindung zwischen leitfähigen Spuren der zweiten Leitungsschicht **152** und leitfähigen Spuren der dritten Leitungsschicht **154** bereitzustellen. Auf der vierten isolierenden Schicht **136** und auf leitfähigen Spuren der dritten Leitungsschicht **154** und um diese herum kann eine fünfte isolierende Schicht **138** ausgebildet sein.

[0023] Ferner kann auf der fünften isolierenden Schicht **138** eine vierte Leitungsschicht **156** angeordnet sein. Wenn die vierte Leitungsschicht **156** die letzte Leitungsschicht ist, kann sie mehrere Leitungsschichten/leitfähige Kontaktflecken **157** umfassen, mit welchen elektrische Kontakte **140** verbunden sind. Die vierte Leitungsschicht **156** kann auch Leitungsspuren **157** umfassen, um den Ort der Kontaktflecken umzuverteilen. Mehrere Durchkontaktierungen **168** sind durch die fünfte isolierende Schicht **138** hindurch ausgebildet, um Spuren/Kontaktflecken der vierten Leitungsschicht **156** elektrisch mit Spuren der dritten Leitungsschicht **154** zu verbinden. Eine letzte, sechste isolierende Schicht **139**, z. B. eine Lötmaskenschicht, kann auf der fünften isolierenden Schicht **138** und auf der vierten Leitungsschicht **156** und um diese herum ausgebildet sein. In der Lötmaskenschicht **139** sind Öffnungen ausgebildet, um zu ermöglichen, dass externe elektrische Kontakte **140** an den Kontaktflecken der Leitungsschicht **156** befestigt werden.

[0024] In Ausführungsformen der vorliegenden Erfindung kann die Montageeinheit **100** einen Plätt-

chenbefestigungsfilm (Die Attach Film, DAF) **124** umfassen, z. B. einen Die-Bonding-Film (DBF) auf Epoxidbasis, der an der Rückfläche **110** des ersten Plättchens **104** befestigt ist. In anderen Ausführungsformen wird der Plättchenbefestigungsfilm (DAF) **124** entfernt, um einen Zugang zu der Rückfläche **110** des ersten Plättchens **104** ermöglichen. Der DAF **124** wird nicht als Teil des Substrats **102** angesehen. Außerdem kann das Substrat **102** in Ausführungsformen der vorliegenden Erfindung ein kernloses Substrat sein, weil es durch ein Aufbauschichtverfahren auf einem Träger gebildet wird, wobei der Träger schließlich von dem Substrat **102** entfernt wird. Ferner kann das Substrat **102** als kernloses Substrat angesehen werden, weil es keinen dicken Kern wie z. B. ein Epoxidharz mit faserverstärktem Glas umfasst.

[0025] Wie in [Fig. 1A](#) veranschaulicht, umfasst das Substrat **102** mindestens eine Leitungsschicht **150**, welche zwischen dem ersten Plättchen **104** und dem zweiten Plättchen **106** angeordnet ist. Außerdem umfasst das Substrat **102** in einer Ausführungsform der vorliegenden Erfindung mindestens eine leitfähige Spur, z. B. die leitfähige Spur **151**, welche einen Abschnitt aufweist, der zwischen der Standfläche **105** des ersten Plättchens **104** und der Standfläche **107** des zweiten Plättchens **106** angeordnet ist, und einen Abschnitt aufweist, welcher sich außerhalb der Standfläche **107** des zweiten Plättchens **106** erstreckt. Außerdem erkennt der Fachmann, obwohl in [Fig. 1A](#) nur eine einzige Leitungsschicht **132** so dargestellt ist, dass sie zwischen dem ersten Plättchen **104** und dem zweiten Plättchen **106** ausgebildet ist, dass zwei oder mehr Leitungsschichten zwischen dem ersten Plättchen **104** und dem zweiten Plättchen **106** angeordnet sein können. Außerdem versteht es sich, obwohl drei Leitungsschichten dargestellt sind, welche zwischen den externen Kontakten **140** und dem zweiten Plättchen **106** ausgebildet sind, dass dies nur der Veranschaulichung einer Ausführungsform der vorliegenden Erfindung dient und dass in Abhängigkeit von Leitungserfordernissen mehr oder weniger Leitungsschichten zwischen dem zweiten Plättchen **106** und den externen Kontakten **140** ausgebildet sein können.

[0026] In einer Ausführungsform der vorliegenden Erfindung handelt es sich bei den externen leitfähigen Kontakten **140** um Lötkekeln, welche in einer Matrixform angeordnet sind, um ein Ball Grid Array bereitzustellen. Die externen leitfähigen Kontakte **140** müssen jedoch nicht notwendigerweise die Form von Kugeln annehmen und können andere Formen oder Strukturen aufweisen, z. B., ohne darauf beschränkt zu sein, Säulen, Bumps, Anschlussflecken und Stifte. Externe Kontakte **140** ermöglichen die elektrische Verbindung und Kommunikation der Halbleiter-Montageeinheit **100** mit einem Verankerungssubstrat **170**. Wenn zum Beispiel die Halbleiter-Montageeinheit **100** ein Teil eines Computers oder

eines Handgeräts, z. B. eines Smartphones oder eines Handlesegeräts ist, ist das Verankerungssubstrat **170** eine Hauptplatine. In anderen Ausführungsformen kann das Verankerungssubstrat **170** eine andere Halbleiter-Montageeinheit sein, um eine Montageeinheit-auf-Montageeinheit (POP)-Einheit herzustellen.

[0027] [Fig. 1B](#) ist eine Veranschaulichung des in [Fig. 1A](#) dargestellten Substrats der Montageeinheit **100**, welche spezielle elektrische Verbindungen weiter umreißt, die gemäß Ausführungsformen der vorliegenden Erfindung in dem Substrat **102** enthalten sein können. In einer Ausführungsform der vorliegenden Erfindung umfasst das Substrat **102** mindestens eine elektrische Verbindung **182**, welche eine direkte elektrische Verbindung zwischen dem ersten Plättchen **104** und dem zweiten Plättchen **106** bereitstellt, wobei die elektrische Verbindung **182** nicht mit einem externen Kontakt **140** elektrisch verbunden ist. Solche Verbindungen sind für Signale geeignet, welche nur zwischen dem ersten Plättchen **104** und dem zweiten Plättchen **106** ausgetauscht werden. Wenn zum Beispiel das erste Plättchen **104** eine Speichereinheit ist und das zweite Plättchen **106** eine Logikeinheit ist, können Signale wie Adressierungssignale, Datensignale, Schreibfreigabesignale und Lesefreigabesignale über direkte elektrische Verbindungen wie die elektrische Verbindung **182** zwischen dem ersten Plättchen **104** und dem zweiten Plättchen **106** ausgetauscht werden. Außerdem kann das Substrat **102** der Montageeinheit in einer Ausführungsform der vorliegenden Erfindung eine oder mehrere elektrische Verbindungen **184** umfassen, welche sowohl das erste Plättchen **104** als auch das zweite Plättchen **106** mit einem externen leitfähigen Kontakt **140** verbinden. Auf diese Weise wird das Signal, das der Montageeinheit **100** durch den elektrischen Kontakt **140** bereitgestellt wird, sowohl dem ersten Plättchen als auch dem zweiten Plättchen bereitgestellt. Ein Beispiel für ein solches Signal können Versorgungsspannungssignale wie z. B. VCC und VSS sein. In einer anderen Ausführungsform der vorliegenden Erfindung umfasst das Substrat **102** der Montageeinheit eine oder mehrere elektrische Verbindungen **186**, welche eine direkte elektrische Verbindung zwischen externen Kontakten **140** und dem zweiten Plättchen **106** bereitstellen, ohne dass das Signal direkt dem ersten Plättchen **104** bereitgestellt wird. Wenn zum Beispiel das zweite Plättchen **106** eine Logikeinheit ist, z. B. ein Mikroprozessor, können Befehle über mehrere elektrische Verbindungen **186** nur dem zweiten Plättchen bereitgestellt werden. Außerdem, wenngleich in [Fig. 1B](#) nicht dargestellt, kann das Substrat **102** eine oder mehrere elektrische Verbindungen zwischen dem ersten Plättchen **104** und einem externen elektrischen Kontakt **140** bereitstellen, um zu ermöglichen, dass Signale direkt dem ersten Plättchen **104** bereitgestellt werden, ohne dass sie dem zweiten Plättchen **106** bereitgestellt werden.

Ausführungsformen der vorliegenden Erfindung umfassen ein Substrat **102** der Montageeinheit, welches alle oder einige der oben beschriebenen elektrischen Verbindungen enthalten kann, z. B. die elektrischen Verbindungen **182**, **184** und **186**.

[0028] Die Halbleiter-Montageeinheit **100**, welche ein Substrat mit mehreren vertikal eingebetteten Plättchen aufweist, umfasst ein vollständig eingebettetes und umgebenes zweites Plättchen **106**. Wie in dieser Beschreibung verwendet, bedeutet „vollständig eingebettet und umgeben“, dass alle Flächen des zweiten Plättchens **106** mit einem isolierenden Film des Substrats **102** in Kontakt stehen. Die Halbleiter-Montageeinheit **100** umfasst auch ein vollständig eingebettetes erstes Plättchen **104**. Wie in dieser Beschreibung verwendet, bedeutet „vollständig eingebettet“, dass die aktive Fläche **108** und die gesamten Seitenwände des ersten Plättchens **104** mit einem isolierenden Film des Substrats **102** in Kontakt stehen. Das erste Plättchen **104** ist jedoch nicht „umgeben“, da die Rückfläche **110** des ersten Plättchens **104** nicht mit einem isolierenden Film des Substrats **102** in Kontakt steht. Zwei Ausführungsformen eines „vollständig eingebetteten“ ersten Plättchens **104** werden hierin beschrieben. In einer ersten Ausführungsform, wie in **Fig. 1A** dargestellt, gibt es eine Fläche (z. B. die Rückfläche **110**) des ersten Plättchens, welche aus der globalen Planaritätsfläche der Plättchenseite des Substrats **102** hervorsticht, z. B. aus der Fläche **109** des Substrats **102** hervorsticht, welche in **Fig. 1A** dargestellt ist. In einer Ausführungsform steht keine Fläche des ersten Plättchens **104** aus der globalen Planaritätsfläche der Plättchenseite des Substrats **102** hervor, z. B. kein Hervorstehen aus der Fläche **109** des Substrats **102**.

[0029] Im Gegensatz zu den obigen Definitionen eines „vollständig eingebetteten und umgebenen“ und „vollständig eingebetteten“ Plättchens ist ein „teilweise eingebettetes“ Plättchen ein Plättchen, bei welchem eine vollständige Fläche, jedoch nur ein Teil der Seitenwände mit einem isolierenden Film eines Substrats **102** in Kontakt steht. Im weiteren Gegensatz ist ein „nicht eingebettetes“ Plättchen ein Plättchen, bei welchem höchstens eine Fläche und kein Teil der Seitenwände mit einem verkapselnden Film eines Substrats in Kontakt steht.

[0030] **Fig. 2A** bis **Fig. 2L** veranschaulicht ein Verfahren zur Herstellung einer Halbleiter-Montageeinheit, welche mehrere Plättchen aufweist, die in ein Substrat eingebettet sind, gemäß Ausführungsformen der vorliegenden Erfindung. Es wird ein Träger **201** bereitgestellt. Der Träger **201** weist eine Ätzstoppschicht **202** auf. Eine zweite Schicht **206**, z. B. eine Kupferfolie, kann geätzt werden, um eine Aussparung oder Vertiefung **205** um eine Plättchenbefestigungsfläche **204** herum zu erzeugen. In einer Ausführungsform der vorliegenden Erfindung um-

fasst der Träger **201** keine zweite Schicht **206**, so dass in dem Träger **201** keine Aussparung oder Vertiefung ausgebildet ist.

[0031] **Fig. 2B** veranschaulicht eine Querschnittsansicht während der weiteren Verarbeitung bei der Herstellung einer Montageeinheit, welche mehrere Plättchen aufweist, die in ein Substrat eingebettet sind, gemäß einer Ausführungsform der vorliegenden Erfindung. Während der Verarbeitung kann der Träger **201** an eine identische Struktur **201'** angepasst werden, um einen Rückseite-an-Rückseite-Träger **210** für Verarbeitungszwecke zu bilden. Dadurch wird der Verarbeitungsdurchsatz effektiv verdoppelt. Bei der Beschreibung der Verarbeitung auf den Trägern **201** und **201'** kann auf die Bezugszahlen der Verarbeitung des Trägers **201** verwiesen werden, aber es versteht sich, dass auf dem Träger **201'** eine kopierte Verarbeitung durchgeführt wird und kopierte Strukturen hergestellt werden. Der Träger **210** umfasst Haftungstrennschichten **212**, **212'** und ein Klebstoff-Bindemittel **214**. Eine Schneidezzone **216** ist an jedem Ende des Trägers **210** für die Trennungsverarbeitung bereitgestellt, wie noch weiter veranschaulicht wird. Der Rückseite-an-Rückseite-Träger **210** kann einen Teil eines größeren Feldes bilden, wobei mehrere identische Zonen den Querschnitt des Rückseite-an-Rückseite-Trägers **210** aufweisen, um eine Massenverarbeitung zu ermöglichen. In einer Ausführungsform weist ein solches Feld ungefähr 1.000 Vertiefungen **205** auf, wo ein Plättchen angeordnet werden kann.

[0032] **Fig. 2C** ist eine Querschnittsansicht des in **Fig. 2B** abgebildeten Rückseite-an-Rückseite-Trägers **210** nach der weiteren Verarbeitung gemäß einer Ausführungsform der vorliegenden Erfindung. Der Rückseite-an-Rückseite-Träger **210** ist durch Anordnen eines ersten Plättchens **222** auf der Ätzstoppschicht **204** weiter verarbeitet worden. Das erste Plättchen **222** weist eine aktive Fläche **224** gegenüber einer Rückfläche **226** auf. Die aktive Fläche **224** umfasst mehrere Kontaktflecken **225** zur Herstellung elektrischer Kontakte zu dem ersten Plättchen **222**. Das erste Plättchen **222** weist eine erste Standfläche **229** auf. In einer Ausführungsform ist die Rückfläche **226** des ersten Plättchens **222** unter Verwendung einer Haftschiicht **228**, z. B. eines Materials auf Epoxidbasis oder eines Die-Bonding-Films (DBF), an der Ätzstoppschicht **202** befestigt. In einer Ausführungsform der vorliegenden Erfindung ist das Plättchen mit der größeren Standfläche der beiden Plättchen, die in das Substrat eingebettet werden sollen, das befestigte erste Plättchen (also das erste Plättchen **222**). Durch das Befestigen des größeren Plättchens wird ein größerer Flächenkontakt mit dem Träger **201** bereitgestellt, was dabei hilft, eine Verformung zu verhindern und während des Aufbauverfahrens die Planarität zu bewahren. In einer alternativen Ausführungsform ist das kleinere der beiden Plätt-

chen das erste Plättchen. **Fig. 2C** veranschaulicht auch das Anbringen des Plättchens **222'** auf dem Träger **201'**, um die Vorrichtung **220** zu bilden.

[0033] **Fig. 2D** ist eine Querschnittsansicht der Vorrichtung **220** nach der weiteren Verarbeitung gemäß einer Ausführungsform der vorliegenden Erfindung. Die Vorrichtung **220** ist verarbeitet worden, dass sie einen ersten isolierenden Film **232** erhalten hat. In einer Ausführungsform der vorliegenden Erfindung wird der erste isolierende Film **232** durch Laminieren eines isolierenden Films auf den Träger **201** und das erste Plättchen **222** gebildet. Nachdem der Film auf den Träger **201** und das erste Plättchen **222** laminiert ist, wird er bei einer geeigneten Temperatur, z. B. etwa 180°C, gehärtet. In einer Ausführungsform der vorliegenden Erfindung ist der erste isolierende Film **232** ein Ajinomoto-Aufbaufilm (Ajinomoto Build-up Film, ABF). In einer Ausführungsform der vorliegenden Erfindung wird, wenn der Träger **201** eine zweite Schicht **206**, welche eine Vertiefung **205** bildet, und eine Ätzstoppschicht **202** umfasst, die erste isolierende Schicht **232** in direktem Kontakt mit der zweiten isolierenden Schicht und der Ätzstoppschicht gebildet. Die isolierende Schicht **232** wird auf und in direktem Kontakt mit der aktiven Fläche **224** sowie Seitenwänden **223** des ersten Plättchens **222** gebildet. Auf diese Weise wird das Plättchen **222** in die isolierende Schicht **232** eingebettet. In einer Alternative zum Laminieren kann die isolierende Schicht **232** durch Aufschleudern und Härten eines isolierenden Films gebildet werden. In ähnlicher Weise kann ein erster isolierender Film **232'** auf dem Plättchen **222'** und um dieses herum gebildet werden, um die Vorrichtung **230** herzustellen, die in **Fig. 2D** veranschaulicht ist.

[0034] **Fig. 2E** ist eine Veranschaulichung der Vorrichtung **230** in **Fig. 2D** nach einer weiteren Verarbeitung gemäß einer Ausführungsform der vorliegenden Erfindung. Mehrere Durchkontaktierungsöffnungen **242** sind durch die erste isolierende Schicht **232** hindurch gebildet worden, um elektrische Kontakte **225** des ersten Plättchens **222** freizulegen. In einer Ausführungsform der vorliegenden Erfindung werden die Durchkontaktierungsöffnungen **242** durch Laserbohren gebildet. Das Laserbohren kann unter Verwendung eines Kohlendioxid(CO₂)-Gas-Laserstrahls, eines Ultraviolett(UV)-Laserstrahls oder eines Excimer-Laserstrahls durchgeführt werden. In einer Ausführungsform der vorliegenden Erfindung werden Durchkontaktierungsöffnungen **242** gebildet, welche einen Durchmesser von 30 bis 50 Mikrometer aufweisen. Durch das Laserbohren wird gemäß einigen Ausführungsformen eine höhere Verbindungsdichte als bei Bohrverfahren des Standes der Technik ermöglicht, so dass kleine Durchkontaktierungsgrößen und Abstände ermöglicht werden, was auf diese Weise zu einem verbesserten Design und einer skalierbaren Miniaturisierung bei geringen Kosten führt.

Außerdem werden durch das Laserbohren eine hohe Ausrichtungsgenauigkeit (z. B. 10 bis 15 Mikrometer) und ein hoher Durchsatz (etwa 2.000 Durchkontaktierungen/Sekunde) und ein weiter Bereich möglicher Durchkontaktierungsgrößen (z. B. 30 Mikrometer bis etwa 300 Mikrometer) und niedrige Kosten (etwa 2 Cent je 1.000 Durchkontaktierungen) ermöglicht. Die Kombination aus hoher Ausrichtungsgenauigkeit und kleiner Durchkontaktierungsgröße macht Durchkontaktierungsabstände von bis zu 60 Mikrometern möglich, wobei diese Abstände viel kleiner als typische Abstände von plattierten Durchgangsöffnungen von etwa 400 Mikrometern sind, die auf Montageeinheiten verwendet werden, die Kerne enthalten. Die Durchkontaktierungsöffnungen **242'** können in ähnlicher Weise in der isolierenden Schicht **232'** gebildet werden, um eine Vorrichtung **240** bereitzustellen, die in **Fig. 2E** veranschaulicht ist.

[0035] **Fig. 2F** ist eine Veranschaulichung der Vorrichtung **240**, die in **Fig. 2E** dargestellt ist, nach einer weiteren Verarbeitung gemäß einer Ausführungsform der vorliegenden Erfindung. Wie in **Fig. 2F** veranschaulicht, werden Durchkontaktierungsöffnungen **242** mit einem leitfähigen Material wie Kupfer gefüllt, um mehrere leitfähige Durchkontaktierungen **252** zu bilden, welche mit Kontaktflecken **225** des ersten Plättchens **222** elektrisch verbunden sind. Außerdem wird auf der ersten isolierenden Schicht **232** und in Kontakt mit den leitfähigen Durchkontaktierungen **252** eine erste Leitungsschicht **254** gebildet, welche mehrere leitfähige Spuren **256**, z. B. Kupferspuren, umfasst, wie in **Fig. 2F** veranschaulicht. In einer Ausführungsform der vorliegenden Erfindung wird mindestens eine leitfähige Spur **256** gebildet, welche elektrisch mit dem Kontakt **225** verbunden ist und welche sich aus der Standfläche **229** des ersten Plättchens **222** heraus in Richtung des Randes des Substrats erstreckt.

[0036] In einer Ausführungsform der vorliegenden Erfindung werden die Durchkontaktierungen **242** unter Anwendung eines semiadditiven Verfahrens (Semi-Additive Process, SAP) gleichzeitig mit der Bildung der leitfähigen Spuren **256** der ersten Leitungsschicht **254** gefüllt, um die leitfähigen Durchkontaktierungen **252** zu bilden. Bei einem semiadditiven Verfahren wird über der Fläche des isolierenden Films **232** sowie in den Durchkontaktierungsöffnungen **242** und den Seitenwänden der Durchkontaktierungsöffnungen **242** eine stromlose Keimschicht, z. B. eine stromlose Kupferkeimschicht, gebildet, welche zum Beispiel eine Dicke von weniger als 1 Mikrometer aufweist. Anschließend wird auf der stromlosen Keimschicht eine Photoresistschicht gebildet und belichtet und entwickelt, wodurch eine Resiststruktur gebildet wird, welche entsprechend der Struktur unmaskierte Bereiche frei lässt, wo leitfähige Spuren **256** erwünscht sind. Die leitfähigen Spuren **256** und leitfähigen Durchkontaktierungen **252** werden dann

durch elektrolytisches Plattieren z. B. einer Kupferschicht unter Verwendung des stromlosen Kupferplattierungsfilms als Keimschicht gebildet. Die Elektroplattierung wird fortgesetzt, bis die Durchkontaktierungen **252** vollständig gefüllt sind und die ersten leitfähigen Spuren **256** in einer gewünschten Dicke gebildet sind, z. B. 2 bis 20 Mikrometer. Die Photoresistmaske wird anschließend entfernt, und es wird ein Kurzkontakt-Ätzverfahren angewendet, um die verbleibende Keimschicht zu entfernen.

[0037] Die oben beschriebene SAP-Technik kann angewendet werden, um Durchkontaktierungen zu füllen und leitfähige Spuren bei einer Temperatur von weniger als 100°C und typischerweise von 50°C bis 80°C zu bilden. Die Anwendung eines semiadditiven Ansatzes ermöglicht, dass dünne leitfähige Spuren mit feinen Leitungs- und Zwischenraumelementen gebildet werden, z. B. Leitungs- und Zwischenraumelementen von weniger als 30 Mikrometern. Die Anwendung eines semiadditiven Verfahrens (SAP) zum Füllen der Durchkontaktierungen **252** und zum Bilden der ersten Leitungsschicht **254** ermöglicht, dass das erste Plättchen **222** elektrisch mit dem Substrat der Montageeinheit verbunden wird, ohne ein Hochtemperaturverfahren anzuwenden, z. B. Wärmekompressions-Bonding oder eine Oberflächenbefestigungstechnologie unter Verwendung bleifreier Lötmetalle, welche bei anderen Montagetechnologien, z. B. Flip-Chip-Bonding und Wire-Bonding, typischerweise angewendet werden, um ein Plättchen elektrisch mit Substrat der Montageeinheit zu verbinden. Durch Anwendung eines Niedertemperaturverfahrens, z. B. eines Verfahrens bei weniger als 100°C, um das erste Plättchen **222** elektrisch mit dem Substrat zu verbinden, werden das Substrat und das Plättchen keinen hohen Temperaturen ausgesetzt, welche aufgrund der CTE-Fehlanpassung zwischen dem ersten Plättchen **222** und Schichten der Vorrichtung **240** zu einer Verformung der Montageeinheit führen können. Es kann eine ähnliche Verarbeitung angewendet werden, um die leitfähigen Durchkontaktierungen **252'** und die Leitungsschicht **254'** zu bilden, um die Vorrichtung **250** bereitzustellen, welche in [Fig. 2F](#) veranschaulicht ist.

[0038] [Fig. 2G](#) veranschaulicht die Vorrichtung **250** der [Fig. 2F](#) nach einer weiteren Verarbeitung gemäß Ausführungsformen der vorliegenden Erfindung. Die Vorrichtung **250** ist weiter verarbeitet worden, so dass sie eine zweite isolierende Schicht **261** und ein zweites Plättchen **262** umfasst, welches eine aktive Fläche **264** und eine gegenüberliegende Rückfläche **266** aufweist. Die aktive Fläche **264** des zweiten Plättchens **262** umfasst mehrere elektrische Kontakte **265** zum Bereitstellen einer elektrischen Verbindung zu dem zweiten Plättchen **262**. Die zweite isolierende Schicht **261** wird über Spuren **256** der ersten Leitungsschicht **254** und auf der ersten isolierenden Schicht **232** gebildet, wie in [Fig. 2F](#) veranschaulicht.

Die Rückfläche **266** des zweiten Plättchens **262** wird an der zweiten isolierenden Schicht **261** befestigt.

[0039] In einer Ausführungsform der vorliegenden Erfindung wird die Rückfläche **266** des zweiten Plättchens **262** unter Nutzung der Klebrigkeit der zweiten isolierenden Schicht **261** an der zweiten isolierenden Schicht **261** befestigt. Zum Beispiel wird in einer Ausführungsform der vorliegenden Erfindung ein isolierender Film wie z. B. ABF über die Leitungsschicht **254** und die erste isolierende Schicht laminiert, der isolierende Film wird dann nur teilweise gehärtet, zum Beispiel bei einer Temperatur von 70°C, um die Klebrigkeit des isolierenden Films zu bewahren. As zweite Plättchen **262** wird dann auf dem teilweise gehärteten isolierenden Film angeordnet, wobei das zweite Plättchen **262** durch die Klebrigkeit des teilweise gehärteten isolierenden Films befestigt wird. Nach dem Befestigen des zweiten Plättchens **262** kann die teilweise gehärtete isolierende Schicht vollständig gehärtet werden, zum Beispiel durch Erwärmen auf eine Temperatur von etwa 180°C, um die zweite isolierende Schicht **261** zu bilden. Auf diese Weise ist kein Klebstoff oder Plättchenbefestigungsfilm notwendig, um das zweite Plättchen **262** an der zweiten isolierenden Schicht **261** zu befestigen. Durch das Weglassen eines Plättchenbefestigungsfilms wird die Stufenhöhe des befestigten zweiten Plättchens verringert, was dazu beiträgt, die Topographie des zweiten Plättchens **262** zu reduzieren, und ermöglicht, dass nachfolgende Aufbauschichten planarer gebildet werden.

[0040] In einer Ausführungsform ist das zweite Plättchen **262** so angeordnet, dass wenigstens ein Abschnitt der Standfläche **269** des zweiten Plättchens **262** innerhalb der Standfläche **229** des ersten Plättchens **222** liegt. In einer Ausführungsform der vorliegenden Erfindung weist das zweite Plättchen **262** eine Standfläche **269** auf, welche kleiner als die Standfläche **229** des ersten Plättchens **222** ist, und das zweite Plättchen **262** ist auf der isolierenden Schicht **261** angeordnet, so dass die gesamte Standfläche **269** des zweiten Plättchens **262** innerhalb der Standfläche **229** des ersten Plättchens **222** liegt, wie in [Fig. 2G](#) veranschaulicht. In einer Ausführungsform der vorliegenden Erfindung ist das zweite Plättchen **262** eine Logikeinheit, z. B. ein Mikroprozessor, der von der Intel Corporation hergestellt wird, oder ein digitaler Signalprozessor.

[0041] Als Nächstes wird auf der zweiten isolierenden Schicht **261** und der aktiven Fläche des zweiten Plättchens **262** eine dritte isolierende Schicht **268** gebildet, wie in [Fig. 2G](#) dargestellt. Das zweite Plättchen ist vollständig in die dritte isolierende Schicht **268** und die zweite isolierende Schicht **261** eingebettet und von diesen umgeben, wie in [Fig. 2G](#) dargestellt. In einer Ausführungsform der vorliegenden Erfindung wird die dritte isolierende Schicht **268** durch

Laminieren eines isolierenden Films auf den zweiten isolierenden Film **261** und das zweite Plättchen **262** und Härten des laminierten Films wie oben beschrieben gebildet. In einer Ausführungsform der vorliegenden Erfindung ist das zweite Plättchen **262** ein dünnes Plättchen, z. B. ein Plättchen, welches auf eine Dicke von 50 bis 150 Mikrometern verdünnt worden ist. Es ist vorteilhaft, ein dünnes Plättchen **262** bereitzustellen, so dass die isolierende Schicht **268** nicht zu dick gebildet werden muss, um das zweite Plättchen **262** vollständig zu verkapseln. In einer Ausführungsform wird die dritte isolierende Schicht **268** in einer Dicke gebildet, die ungefähr 20 bis 30 Mikrometer dicker als die Dicke des zweiten Plättchens ist, um für eine ausreichende Isolierung des zweiten Plättchens von nachfolgend gebildeten Leitungsschichten zu sorgen. Es versteht sich, dass, wenn das zweite Plättchen **262** zu dick ist, die dritte isolierende Schicht **268** dick gebildet werden muss, wodurch es schwierig wird, zuverlässige Durchkontaktierungsverbindungen zu leitfähigen Spuren **256** der ersten Leitungsschicht **254** zu konstruieren. Ein zweites Plättchen **262'** kann in ähnlicher Weise auf einer zweiten isolierenden Schicht **258'** und einer dritten isolierenden Schicht **268'** befestigt werden, welche über dem zweiten Plättchen **268** gebildet werden, um die Vorrichtung **260** herzustellen, die in [Fig. 2G](#) veranschaulicht ist.

[0042] [Fig. 2H](#) ist eine Veranschaulichung der Vorrichtung **260** der [Fig. 2G](#) nach einer weiteren Verarbeitung gemäß einer Ausführungsform der vorliegenden Erfindung. Es sind mehrere Durchkontaktierungsöffnungen **272** durch die isolierende Schicht **268** hindurch gebildet worden, um elektrische Kontakte **265** des zweiten Plättchens **262** freizulegen, wie in [Fig. 2H](#) veranschaulicht. In einer Ausführungsform weisen die Durchkontaktierungsöffnungen **272** einen Durchmesser von 30 µm bis 50 µm auf. Außerdem sind durch die dritte isolierende Schicht **268** und die zweite isolierende Schicht **258** hindurch mehrere Durchkontaktierungsöffnungen **274** gebildet worden, um Teile der leitfähigen Spuren **256** der ersten Leitungsschicht **254** freizulegen. In einer Ausführungsform weisen die Durchkontaktierungsöffnungen **274** einen größeren Durchmesser als die Durchkontaktierungsöffnungen **272** auf, z. B. einen Durchmesser von 100 bis 150 Mikrometern. In einer Ausführungsform weisen die Durchkontaktierungsöffnungen **274** einen Durchmesser auf, der mindestens das Doppelte des Durchmessers der Durchkontaktierungsöffnungen **272** beträgt. Es versteht sich, dass der Durchmesser der Durchkontaktierungsöffnungen **274** in einigen Ausführungsformen zumindest teilweise durch die Kombination der Dicken der zweiten isolierenden Schicht **261** und der isolierenden Schicht **268** über den leitfähigen Spuren **254** bestimmt wird, so dass die Durchkontaktierungsöffnungen **274** mit einem herstellbaren Seitenverhältnis (Höhe:Breite) gebildet werden. In einer Ausführungsform der vorlie-

genden Erfindung weisen die Durchkontaktierungsöffnungen **274** einen größeren Durchmesser als die Durchkontaktierungsöffnungen **272** auf. In einer Ausführungsform der vorliegenden Erfindung werden die Durchkontaktierungsöffnungen **274** mit einem solchen Durchmesser gebildet, dass die Durchkontaktierungsöffnungen ein Seitenverhältnis von etwa 2:1 oder weniger aufweisen. In einer Ausführungsform der vorliegenden Erfindung werden die Durchkontaktierungsöffnungen **272** und **274** unter Anwendung eines Laserbohrverfahrens gebildet, wie oben ausgeführt. Die Durchkontaktierungsöffnungen **272'** und **274'** können in ähnlicher Weise in isolierenden Schichten **268'** und **258'** gebildet werden, um die Vorrichtung **270** herzustellen, die in [Fig. 2H](#) veranschaulicht ist.

[0043] [Fig. 2I](#) ist eine Veranschaulichung der Vorrichtung **270** der [Fig. 2H](#) nach einer weiteren Verarbeitung gemäß einer Ausführungsform der vorliegenden Erfindung. Die Durchkontaktierungsöffnungen **272** werden mit einem leitfähigen Material wie Kupfer gefüllt, um leitfähige Durchkontaktierungen **282** zu bilden, die mit Kontaktflecken **265** des zweiten Plättchens **262** in Kontakt stehen. Außerdem werden die Durchkontaktierungsöffnungen **274** mit einem leitfähigen Material wie Kupfer gefüllt, um mehrere leitfähige Durchkontaktierungen **284** bereitzustellen, die mit leitfähigen Spuren **256** der ersten Leitungsschicht **254** in Kontakt stehen.

[0044] Außerdem ist die Vorrichtung **270** weiter verarbeitet worden, so dass sie eine zweite Leitungsschicht **286** umfasst, welche mehrere leitfähige Spuren **288** aufweist. Die zweite Leitungsschicht **286** ist auf der dritten isolierenden Schicht **268** angeordnet, wie in [Fig. 2H](#) dargestellt. In einer Ausführungsform der vorliegenden Erfindung wird mindestens eine leitfähige Spur **288** gebildet, die sowohl mit einer leitfähigen Durchkontaktierung **282** als auch mit einer leitfähigen Durchkontaktierung **284** in Kontakt steht. In einer Ausführungsform der vorliegenden Erfindung wird ein semiadditives Verfahren (SAP) wie oben beschrieben angewendet, um gleichzeitig die Durchkontaktierungen **282** und die Durchkontaktierungen **284** zu füllen und die Leitungsschicht **286** zu bilden.

[0045] In einer Ausführungsform der vorliegenden Erfindung ist das semiadditive Verfahren so ausgestaltet, dass eine leitfähige Schicht gebildet wird, welche dick genug ist, um kleine Durchkontaktierungen **272** vollständig zu füllen, um vollständig gefüllte leitfähige Durchkontaktierungen **282** zu bilden, welche aber nicht dick genug ist, um große Durchkontaktierungsöffnungen **274** vollständig zu füllen. In einem solchen Fall bildet sich der plattierte Film formangepasst auf den Seitenwänden der Durchkontaktierung **274**, wodurch eine „becherförmige“ leitfähige Durchkontaktierung **284** mit einem ungefüllten Mittelteil **285** gebildet wird. Durch die Anwendung eines

semiadditiven Verfahrens wird ermöglicht, dass das zweite Plättchen **262** elektrisch mit Leitungsschichten des Substrats verbunden wird, ohne Hochtemperatur-Lötverbindungsverfahren anzuwenden, die normalerweise angewendet werden, um ein Plättchen elektrisch mit einem Substrat einer Montageeinheit zu verbinden. Die leitfähigen Durchkontaktierungen **282'** und **284'** und zweite Leitungsschichten **286** können in ähnlicher Weise gebildet werden, um die Vorrichtung **280** herzustellen, die in [Fig. 2I](#) veranschaulicht ist.

[0046] [Fig. 2J](#) ist eine Veranschaulichung der Vorrichtung **280** der [Fig. 2I](#) nach einer weiteren Verarbeitung gemäß einer Ausführungsform. Auf der zweiten Leitungsschicht **286** und auf der dritten isolierenden Schicht **268** wird eine vierte isolierende Schicht **292** gebildet. In einer Ausführungsform der vorliegenden Erfindung wird die vierte isolierende Schicht **292** durch Laminieren eines isolierenden Films auf die dritte isolierende Schicht **268** und die zweite Leitungsschicht **286** gebildet. In einer Ausführungsform der vorliegenden Erfindung ragt die vierte isolierende Schicht **292** in ungefüllte Mittelteile **285** der Durchkontaktierung **284**, wie in [Fig. 2J](#) dargestellt. Eine vierte isolierende Schicht **292'** kann in ähnlicher Weise bereitgestellt werden, um die Vorrichtung **290** herzustellen, die in [Fig. 2J](#) veranschaulicht ist. Wenn die zweite Leitungsschicht **286** die letzte Leitungsschicht ist, kann die Herstellung des Substrats durch Bilden von Öffnungen in der isolierenden Schicht **292** abgeschlossen werden, um Kontaktflächen oder -flecken in der Leitungsschicht **286** zu definieren, zu welchen externe elektrische Kontakte gebildet werden können.

[0047] Wenn jedoch weitere Leitungsfunktionalitäten benötigt werden, können eine oder mehrere weitere Leitungsschichten und isolierende Schichten zusammen mit Zwischenverbindungs-Durchkontaktierungen gebildet werden, wie oben beschrieben. Zum Beispiel kann die Vorrichtung **290** der [Fig. 2J](#) gemäß einer Ausführungsform der vorliegenden Erfindung weiter verarbeitet werden, um weitere Leitungsschichten und isolierende Schichten zu bilden. Zum Beispiel kann auf der vierten isolierenden Schicht **292** eine dritte Leitungsschicht **295** gebildet werden, welche mehrere Spuren aufweist, und mehrere leitfähige Kontakte **296** können zwischen Spuren der dritten Leitungsschicht **295** und der zweiten Leitungsschicht **286** gebildet werden. Außerdem kann über der dritten Leitungsschicht **295** eine fünfte isolierende Schicht **296** gebildet werden. Eine vierte Leitungsschicht **297**, welche mehrere leitfähige Spuren aufweist, kann auf der fünften isolierenden Schicht **296** gebildet werden, und mehrere leitfähige Durchkontaktierungen **298** können durch die isolierende Schicht **296** hindurch gebildet werden, um Spuren der vierten Leitungsschicht **297** elektrisch mit der dritten Leitungsschicht **295** zu verbinden, wie in [Fig. 2K](#) veranschaulicht ist.

Wenn die vierte Leitungsschicht **297** die letzte Leitungsschicht ist, kann auf der vierten Leitungsschicht **297** und auf der fünften isolierenden Schicht **296** eine letzte isolierende Schicht **299** gebildet werden. Anschließend werden durch die letzte isolierende Schicht **298** hindurch mehrere Öffnungen gebildet, um Teile leitfähiger Spuren der vierten Leitungsschicht **297** freizulegen, um darauf Kontaktflecken zu definieren. Eine ähnliche Verarbeitung kann für die Vorrichtung **290** bereitgestellt werden, um die Vorrichtung **294** herzustellen, die in [Fig. 2K](#) veranschaulicht ist.

[0048] [Fig. 2L](#) ist eine Querschnittsansicht der Vorrichtung **295** der [Fig. 2K](#) nach einer weiteren Verarbeitung. Die Rückseite-an-Rückseite-Vorrichtungen sind durch Entfernen von Abstandsmaterial in der Schneidezzone **216** ([Fig. 2B](#)) sowie der Haftungstrennschichten **212** und der Ätzstoppschicht **204** auseinandergezogen worden. Es ist eine hergestellte Multichip-Montageeinheit **400** dargestellt. Mehrere externe elektrische Kontakte, z. B. leitfähige Bumps **410**, können für eine elektrische Kommunikation mit einem Verankerungssubstrat ([Fig. 1A](#)) bereitgestellt werden. Externe elektrische Kontakte **410** sind auf Kontaktflecken der letzten Leitungsschicht **297** angeordnet.

[0049] Obwohl die vorliegende Erfindung in Bezug auf eine Multichip-Montageeinheit beschrieben worden ist, welche ein Substrat **102** mit zwei eingebetteten Plättchen aufweist, kann das Substrat auch drei oder mehr eingebettete Plättchen umfassen, falls erwünscht. Zum Beispiel kann in einer Ausführungsform der vorliegenden Erfindung eine Multichip-Montageeinheit **450** gebildet werden, welche ein Substrat **460** mit drei eingebetteten Plättchen aufweist, indem ein drittes Plättchen **470** in einer weiteren einbettenden isolierenden Schicht **480** eingebettet wird, welche über der ersten isolierenden Schicht **130** gebildet wird, wie in [Fig. 4](#) veranschaulicht. Eine weitere Leitungsschicht **492**, welche mehrere leitfähige Spuren umfasst, und eine weitere isolierende Schicht **490** können zwischen der weiteren einbettenden isolierenden Schicht **480** und der dritten isolierenden Schicht **130** angeordnet werden, wie in [Fig. 4](#) dargestellt. Mehrere leitfähige Durchkontaktierungen **494** können zwischen elektrischen Kontakten des dritten Plättchens **470** und einer weiteren Leitungsschicht **492** gebildet werden, um das dritte Plättchen **470** elektrisch mit dem Substrat **460** zu verbinden. Außerdem können mehrere große leitfähige Durchkontaktierungen **496**, von denen eine in [Fig. 4](#) dargestellt ist, in der weiteren isolierenden Schicht **490** und der ersten isolierenden Schicht **130** gebildet werden, um Spuren der ersten Leitungsschicht **150** elektrisch mit Spuren der weiteren Leitungsschicht **492** zu verbinden. Mehrere direkte elektrische Verbindungen können unter Verwendung großer leitfähiger Durchkontaktierungen **164** und **496** und der Leitungsschicht

ten **492**, **150** und **152** und kleiner Durchkontaktierungen **162** und **492** zwischen dem dritten Plättchen **470** und dem zweiten Plättchen **106** gebildet werden. Eine innere elektrische Verbindung kann in dem Substrat **460** gebildet werden, um das dritte Plättchen **470** entweder mit dem zweiten Plättchen **106** oder dem ersten Plättchen **105** oder sowohl mit dem ersten Plättchen **104** als auch mit dem zweiten Plättchen **106** zu verbinden sowie um elektrische Verbindungen zwischen dem dritten Plättchen **470** und externen leitfähigen Kontakten **140** bereitzustellen. Weitere Plättchen, z. B. ein viertes, ein fünftes und ein sechstes Plättchen, können in ähnlicher Weise eingebettet werden, falls erwünscht.

[0050] Außerdem kann in einer anderen Ausführungsform der vorliegenden Erfindung eine Multichip-Montageeinheit **500** gebildet werden, welche ein Substrat **502** mit einem dritten eingebetteten Plättchen aufweist, indem ein drittes Plättchen **560** benachbart zu dem ersten Plättchen **104** im Substrat **102** angeordnet wird, wie in [Fig. 5](#) veranschaulicht. In der ersten isolierenden Schicht **130** können Durchkontaktierungen **580** enthalten sein, um eine elektrische Verbindung zwischen der ersten Leitungsschicht **150** und dem dritten Plättchen **560** bereitzustellen, um das dritte Plättchen **560** elektrisch mit dem Substrat **502** zu verbinden. Auf diese Weise wird das dritte Plättchen **560** zusammen mit dem ersten Plättchen **104** in die isolierende Schicht **130** eingebettet, wie in [Fig. 5](#) veranschaulicht. Die erste Leitungsschicht **150**, die Durchkontaktierungen **160** und die Durchkontaktierungen **580** können verwendet werden, um eine oder mehrere direkte elektrische Verbindungen **570** zwischen dem ersten Plättchen **104** und dem dritten Plättchen **560** bereitzustellen, wie in [Fig. 5](#) veranschaulicht. Außerdem die erste Leitungsschicht **150** und die zweite Leitungsschicht **152** und die Durchkontaktierungen **164**, **162** und **580** verwendet werden, um eine oder mehrere direkte elektrische Verbindungen zwischen dem zweiten Plättchen **106** und dem dritten Plättchen **560** bereitzustellen, wie in [Fig. 5](#) veranschaulicht.

[0051] Die Multichip-Montageeinheiten **450** und **500** können auf eine Weise hergestellt werden, wie sie in Bezug auf [Fig. 2A](#) bis [Fig. 2L](#) beschrieben ist.

[0052] [Fig. 3](#) zeigt ein Computersystem gemäß einer Ausführungsform der Erfindung. Das System **300** umfasst einen Prozessor **310**, eine Speichereinheit **320**, eine Speichersteuerung **330**, eine Graphiksteuerung **340**, eine Ein- und Ausgabe-Steuerung (E/A-Steuerung) **350**, ein Display **352**, eine Tastatur **354**, eine Zeigereinheit **356** und eine Peripherieeinheit **358**, welche in einigen Ausführungsformen alle über einen Bus **360** kommunikativ miteinander verbunden sein können. Der Prozessor **310** kann ein Universalprozessor oder eine anwendungsspezifische integrierte Schaltung (ASIC) sein. Die E/A-

Steuerung **350** kann ein Kommunikationsmodul für die drahtgebundene oder drahtlose Kommunikation umfassen. Die Speichereinheit **320** kann eine dynamische Direktzugriffsspeicher(DRAM)-Einheit, eine statische Direktzugriffsspeicher(SRAM)-Einheit, eine Flash-Speicher-Einheit oder eine Kombination dieser Speichereinheiten sein. Somit muss die Speichereinheit **320** im System **300** in einigen Ausführungsformen keine DRAM-Einheit umfassen.

[0053] Eine oder mehrere der im System **300** dargestellten Komponenten können in einer oder mehreren IC-Montageeinheiten, wie zum Beispiel der Montageeinheitsstruktur **100** der [Fig. 1A](#), enthalten sein und/oder können solche umfassen. Zum Beispiel können der Prozessor **310** oder die Speichereinheit **320** oder zumindest ein Teil der E/A-Steuerung **350** oder eine Kombination dieser Komponenten in einer IC-Montageeinheit enthalten sein, welche mindestens eine Ausführungsform einer Struktur umfasst, die in den verschiedenen Ausführungsformen beschrieben sind.

[0054] Diese Elemente erfüllen ihre herkömmlichen Funktionen, die auf dem Fachgebiet wohlbekannt sind. Insbesondere kann die Speichereinheit **320** in einigen Fällen verwendet werden, um eine Langzeitspeicherung für die ausführbaren Befehle für ein Verfahren zum Bilden montierter Strukturen gemäß Ausführungsformen der vorliegenden Erfindung bereitzustellen, und kann in anderen Ausführungsformen verwendet werden, um die ausführbaren Befehle eines Verfahrens zum Bilden von Montageeinheitsstrukturen gemäß Ausführungsformen der vorliegenden Erfindung während der Ausführung durch den Prozessor **310** auf einer kürzeren Zeitbasis zu speichern. Außerdem können die Befehle mit maschinenzugänglichen Medien, die mit dem System kommunikativ verbunden sind, zum Beispiel Compact-Disc-Nur-Lese-Speichern (Compact Disc Read Only Memories, CD-ROMs), Digital Versatile Discs (DVDs) und Floppy-Discs, Trägerwellen und/oder sich ausbreitenden Signalen, gespeichert oder auf andere Weise verbunden werden. In einer Ausführungsform kann die Speichereinheit **320** dem Prozessor **310** die ausführbaren Befehle zur Ausführung zuführen.

[0055] Das System **300** kann Computer (z. B. Tischcomputer, Laptops, Handcomputer, Server, Web-Geräte, Router usw.), drahtlose Kommunikationseinheiten (z. B. Mobiltelefone, schnurlose Telefone, Pager, persönliche digitale Assistenten usw.), computerbezogene Peripheriegeräte (z. B. Drucker, Scanner, Monitore), Unterhaltungseinheiten (z. B. Fernsehgeräte, Radios, Stereoanlagen, Cassetten- und Compact-Disc-Abspielgeräte, Videorecorder, Camcorder, Digitalkameras, MP3(Motion Picture Experts Group, Audio Layer 3)-Player, Videospiele, Armbanduhren usw.) und Ähnliches umfassen.

[0056] Somit sind eine Multichip-Montageeinheit, welche ein Substrat mit mehreren vertikal angeordneten darin eingebetteten Plättchen aufweist, und ihr Herstellungsverfahren beschrieben worden.

Patentansprüche

1. Vorrichtung, welche das Folgende aufweist:
ein Substrat, welches eine Plättchenseite und eine Anschlussfleckseite gegenüber der Plättchenseite aufweist, wobei die Anschlussfleckseite mehrere Kontaktflecken aufweist;
ein erstes Plättchen, welches eine erste aktive Fläche und eine Rückfläche gegenüber der aktiven Fläche aufweist;
ein zweites Plättchen, welches eine aktive Fläche und eine Rückfläche gegenüber der aktiven Fläche aufweist; und
wobei das erste Plättchen und das zweite Plättchen derart in das Substrat eingebettet sind, dass das zweite Plättchen zwischen dem ersten Plättchen und der Anschlussfleckseite des Substrats angeordnet ist.
2. Vorrichtung nach Anspruch 1, wobei das erste Plättchen eine erste Standfläche aufweist und wobei das zweite Plättchen eine zweite Standfläche aufweist und wobei zumindest ein Teil der ersten Standfläche des ersten Plättchens innerhalb der zweiten Standfläche des zweiten Plättchens angeordnet ist.
3. Vorrichtung nach Anspruch 1, wobei die erste Standfläche größer als die zweite Standfläche ist.
4. Vorrichtung nach Anspruch 3, wobei die Standfläche des zweiten Plättchens vollständig innerhalb der ersten Standfläche des ersten Plättchens angeordnet ist.
5. Vorrichtung nach Anspruch 1, wobei die aktive Fläche des ersten Plättchens und die aktive Fläche des zweiten Plättchens der Anschlussfleckseite des Substrats zugewandt sind.
6. Vorrichtung nach Anspruch 1, wobei das erste Plättchen durch eine elektrische Verbindung mit dem zweiten Plättchen verbunden ist, welche vollständig in das Substrat eingebettet ist.
7. Vorrichtung nach Anspruch 6, wobei die elektrische Verbindung zwischen dem ersten Plättchen und dem zweiten Plättchen keine vertikale Verbindung umfasst, welche einen Durchmesser von mehr als 150 Mikrometern aufweist.
8. Vorrichtung nach Anspruch 2, wobei das erste Plättchen durch eine elektrische Verbindung, die in das Substrat eingebettet ist, mit einem der Anschlussflecken verbunden ist.
9. Vorrichtung nach Anspruch 2, welche eine Leitungsschicht umfasst, die zwischen dem ersten Plättchen und dem zweiten Plättchen in das Substrat eingebettet ist.
10. Vorrichtung nach Anspruch 1, wobei das erste Plättchen in eine erste isolierende Schicht des Substrats eingebettet ist und das zweite Plättchen in eine zweite isolierende Schicht des Substrats eingebettet ist.
11. Vorrichtung nach Anspruch 10, welche ferner das Folgende umfasst:
eine dritte isolierende Schicht, welche zwischen der ersten isolierenden Schicht und der zweiten isolierenden Schicht angeordnet ist; und
eine erste Leitungsschicht, welche mehrere erste Spuren umfasst, welche in die dritte isolierende Schicht eingebettet sind, und wobei eine der ersten Spuren der ersten Zwischenverbindungsschicht zwischen dem ersten Plättchen und dem zweiten Plättchen ausgebildet ist.
12. Vorrichtung nach Anspruch 11, welche ferner eine vierte isolierende Schicht zwischen dem zweiten Plättchen und den mehreren Kontaktflecken umfasst, wobei die vierte isolierende Schicht eine zweite Leitungsschicht aufweist, welche mehrere darin eingebettete zweite Spuren umfasst.
13. Vorrichtung nach Anspruch 12, welche ferner mehrere erste Durchkontaktierungen mit einem ersten Durchmesser in dem vierten Dielektrikum zwischen der zweiten Leitungsschicht und dem zweiten Plättchen umfasst; und mehrere zweite Durchkontaktierungen mit einem zweiten Durchmesser in der dritten Dielektrikumsschicht und der zweiten Dielektrikumsschicht und zwischen der ersten Leitungsschicht und der zweiten Leitungsschicht umfasst, wobei der zweite Durchmesser größer als der erste Durchmesser ist.
14. Verfahren zum Bilden einer Multichip-Montageeinheit, welches das Folgende umfasst:
Befestigen eines ersten Plättchens an einem Träger;
Bilden einer ersten isolierenden Schicht über dem ersten Plättchen und dem Träger, so dass das erste Plättchen in die erste isolierende Schicht eingebettet ist;
Anordnen eines zweiten Plättchens über der ersten isolierenden Schicht; und
Bilden einer zweiten isolierenden Schicht über dem zweiten Plättchen, so dass das zweite Plättchen in die zweite isolierende Schicht eingebettet ist.
15. Verfahren nach Anspruch 14, welches ferner das Bilden einer Leitungsschicht zwischen dem ersten Plättchen und dem zweiten Plättchen umfasst.

16. Verfahren nach Anspruch 14, welches ferner das Bilden einer dritten isolierenden Schicht zwischen der ersten isolierenden Schicht und der zweiten isolierenden Schicht und das Befestigen des zweiten Plättchens an der dritten isolierenden Schicht umfasst.

17. Verfahren nach Anspruch 16, welches ferner das Folgende umfasst:

Teilhärten der dritten isolierenden Schicht nach dem Bilden der dritten isolierenden Schicht und vor dem Befestigen des ersten Plättchens, um eine teilweise gehärtete dritte isolierende Schicht zu bilden;
Befestigen des zweiten Plättchens an der teilweise gehärteten dritten isolierenden Schicht; und
vollständiges Härten der teilweise gehärteten dritten isolierenden Schicht nach dem Befestigen des zweiten Plättchens.

18. Verfahren nach Anspruch 17, welches ferner das Bilden einer ersten Leitungsschicht zwischen der ersten isolierenden Schicht und der dritten isolierenden Schicht umfasst, wobei die dritte Leitungsschicht eine erste Spur aufweist, die mit dem ersten Plättchen in elektrischem Kontakt steht.

19. Verfahren nach Anspruch 18, welches ferner das Bilden einer zweiten Leitungsschicht auf der zweiten isolierenden Schicht umfasst, wobei die zweite isolierende Schicht eine zweite Spur aufweist, welche mit dem zweiten Plättchen und der ersten Spur in elektrischem Kontakt steht.

20. Multichip-Montageeinheit, welche das Folgende umfasst:

ein erstes Plättchen, welches eine aktive Fläche gegenüber einer Rückfläche aufweist;
eine erste isolierende Schicht, wobei das erste Plättchen in die erste isolierende Schicht eingebettet ist;
eine erste Durchkontaktierung in der ersten isolierenden Schicht und in elektrischem Kontakt mit der aktiven Fläche des ersten Plättchens;
eine erste Leitungsschicht, welche eine erste leitfähige Spur aufweist, auf der ersten isolierenden Schicht, wobei die erste leitfähige Spur mit der ersten Durchkontaktierung in Kontakt steht;
eine zweite isolierende Schicht auf der ersten Leitungsschicht und der ersten isolierenden Schicht;
ein zweites Plättchen, welches eine aktive Fläche gegenüber einer Rückfläche aufweist, wobei sich die Rückfläche des zweiten Plättchens auf der zweiten isolierenden Schicht befindet;
eine dritte isolierende Schicht auf der aktiven Fläche des zweiten Plättchens und der zweiten isolierenden Schicht;
eine dritte leitfähige Durchkontaktierung in der isolierenden Schicht und in Kontakt mit der aktiven Fläche des zweiten Plättchens;
eine vierte leitfähige Durchkontaktierung in der dritten isolierenden Schicht und der zweiten isolierenden

Schicht und in Kontakt mit der ersten leitfähigen Spur der ersten Leitungsschicht;
eine zweite Leitungsschicht, welche eine zweite leitfähige Spur aufweist, auf der dritten isolierenden Schicht, wobei die zweite leitfähige Spur mit der zweiten leitfähigen Durchkontaktierung und der dritten leitfähigen Durchkontaktierung in Kontakt steht; und
eine vierte isolierende Schicht auf der dritten isolierenden Schicht und der zweiten Leitungsschicht.

Es folgen 14 Blatt Zeichnungen

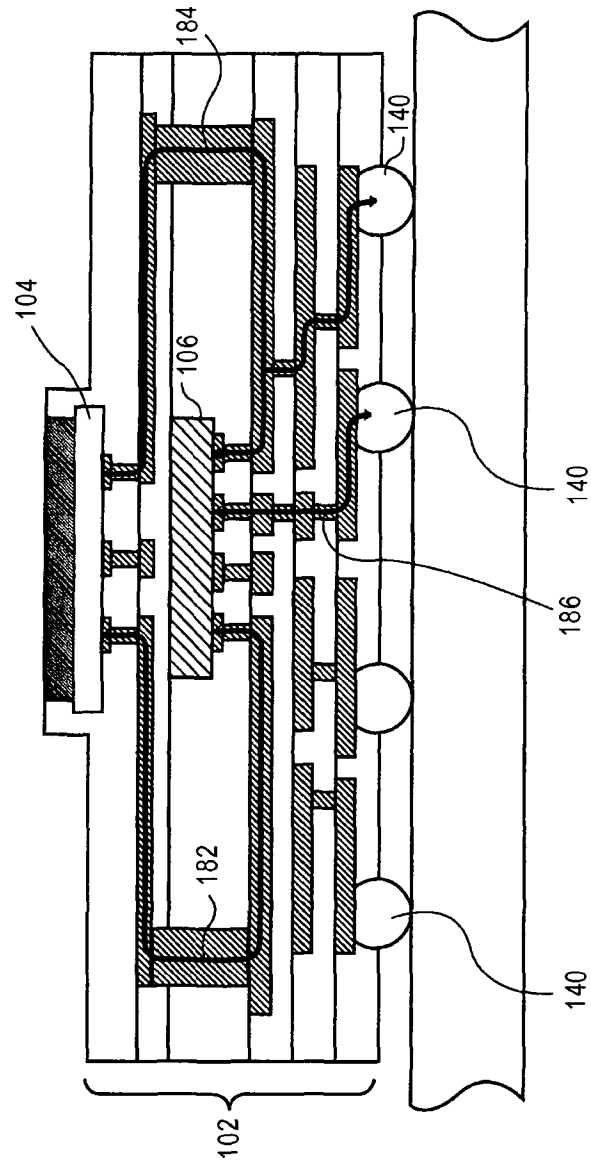


FIG. 1B

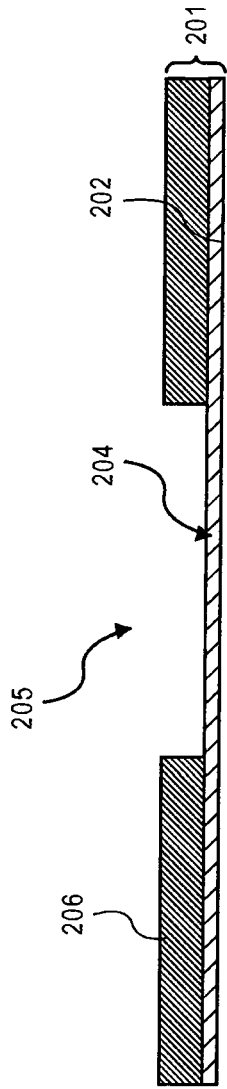


FIG. 2A

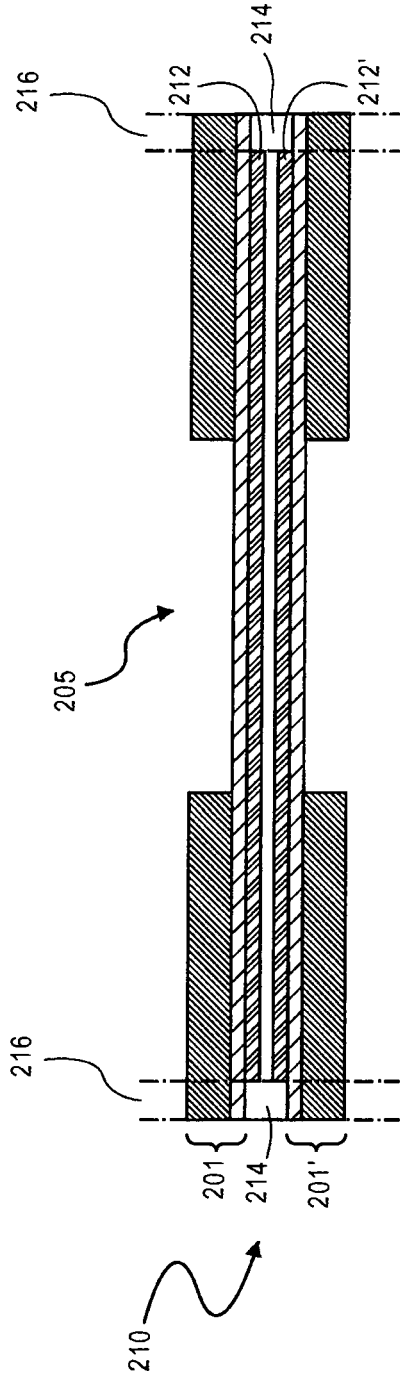


FIG. 2B

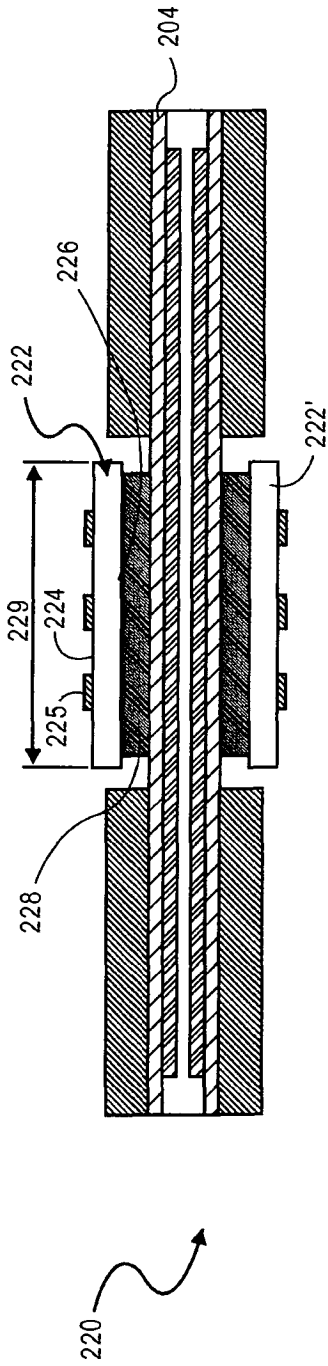


FIG. 2C

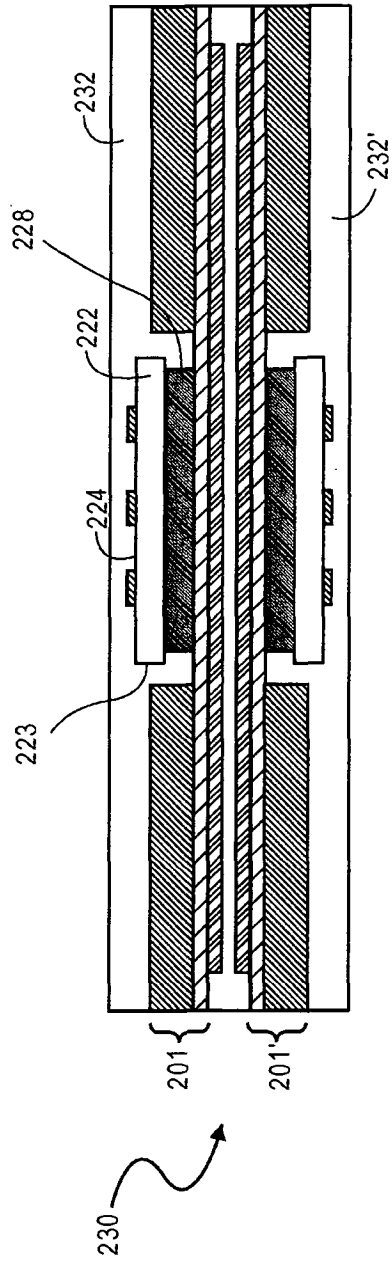


FIG. 2D

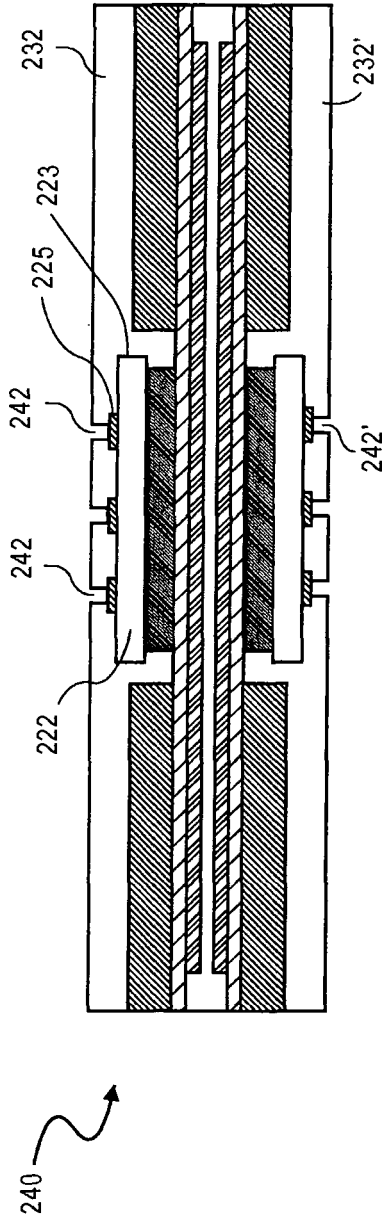


FIG. 2E

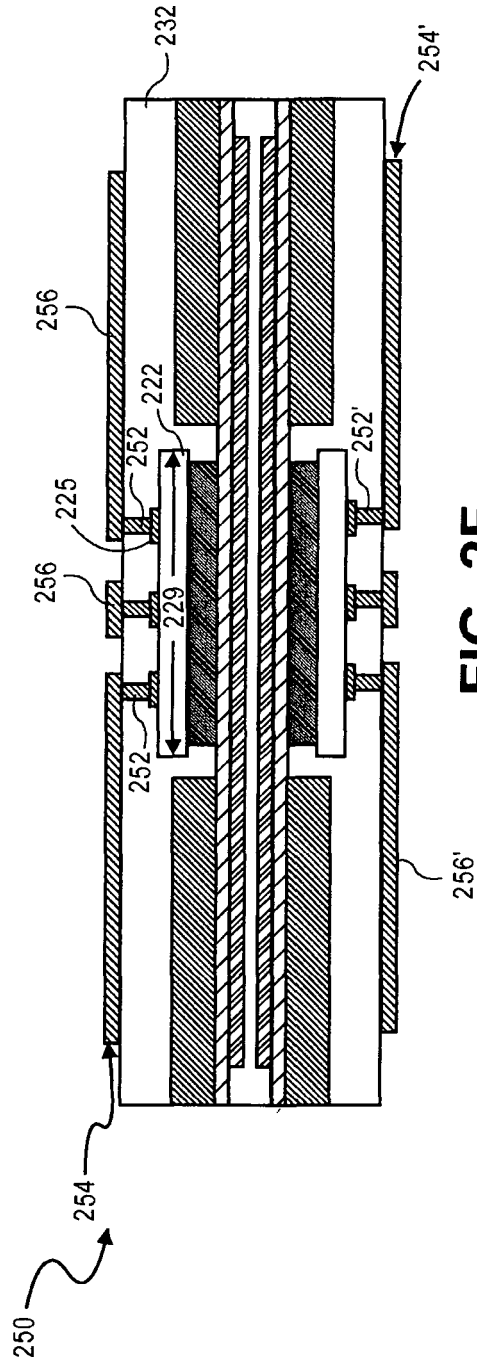


FIG. 2F

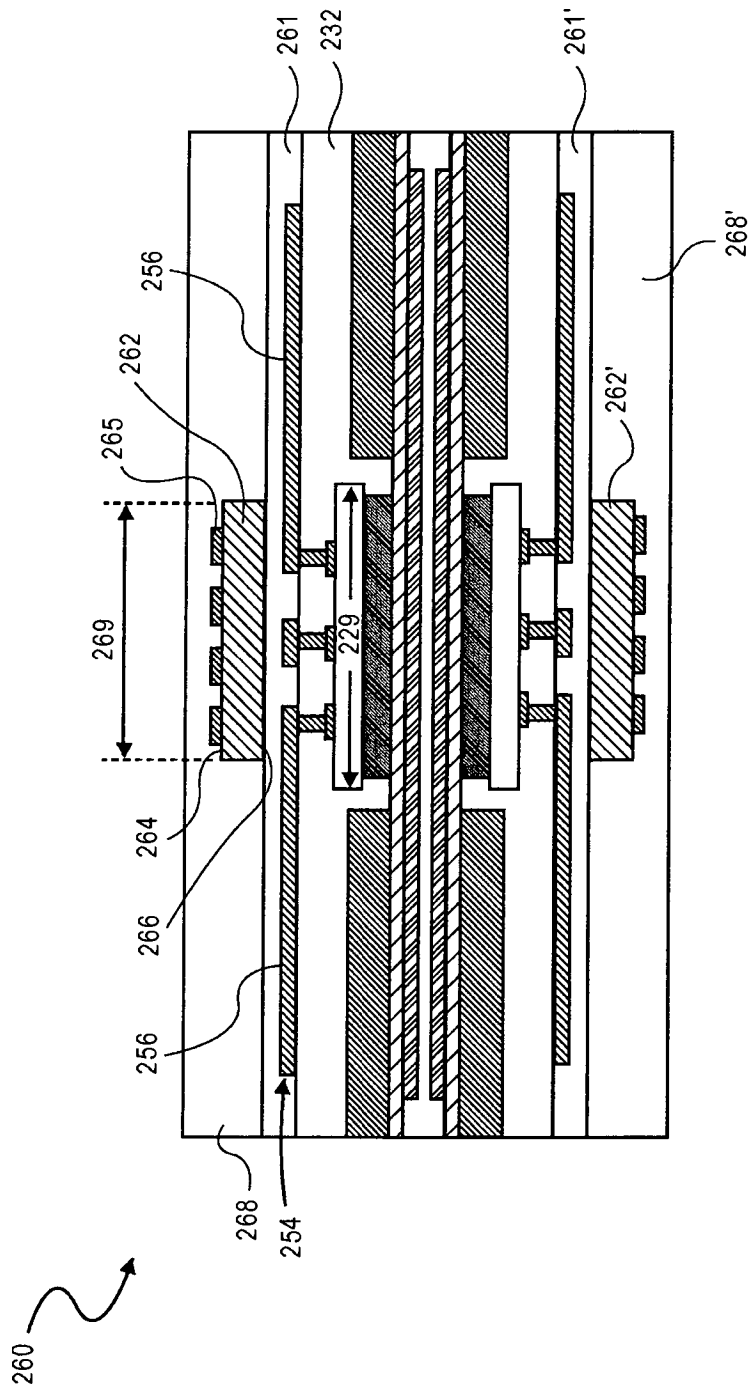


FIG. 2G

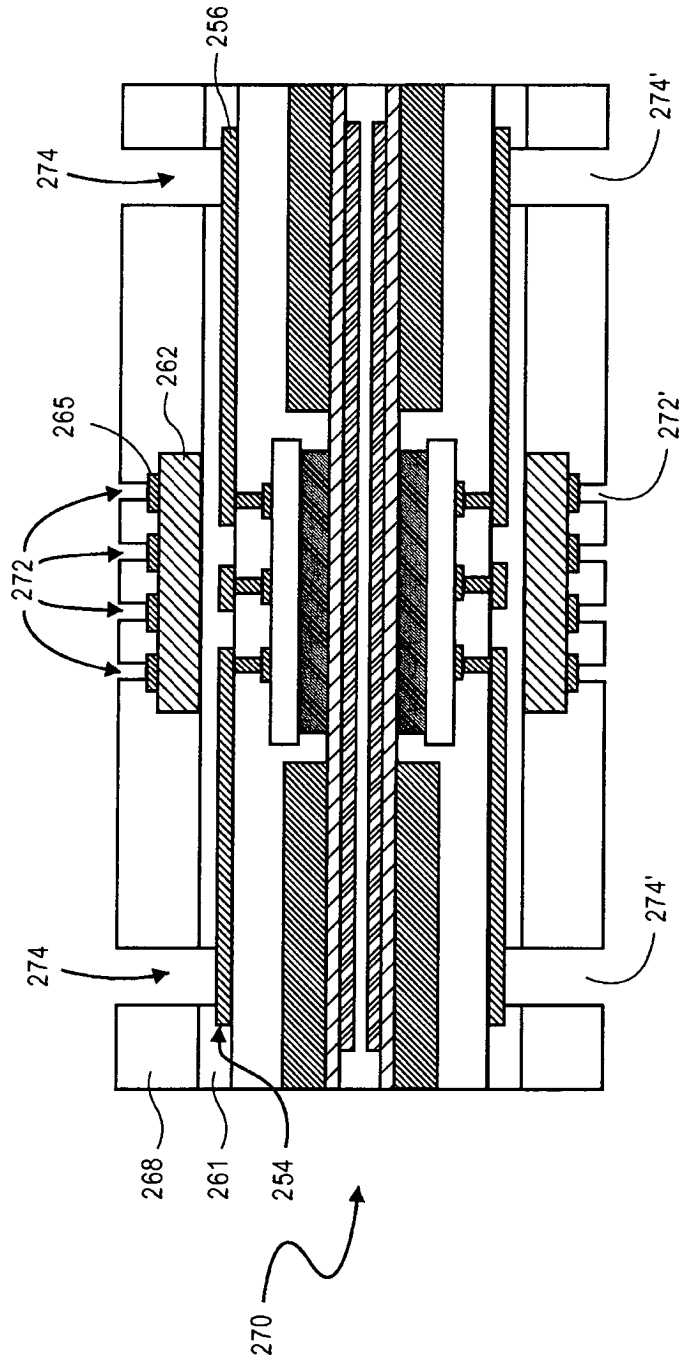


FIG. 2H

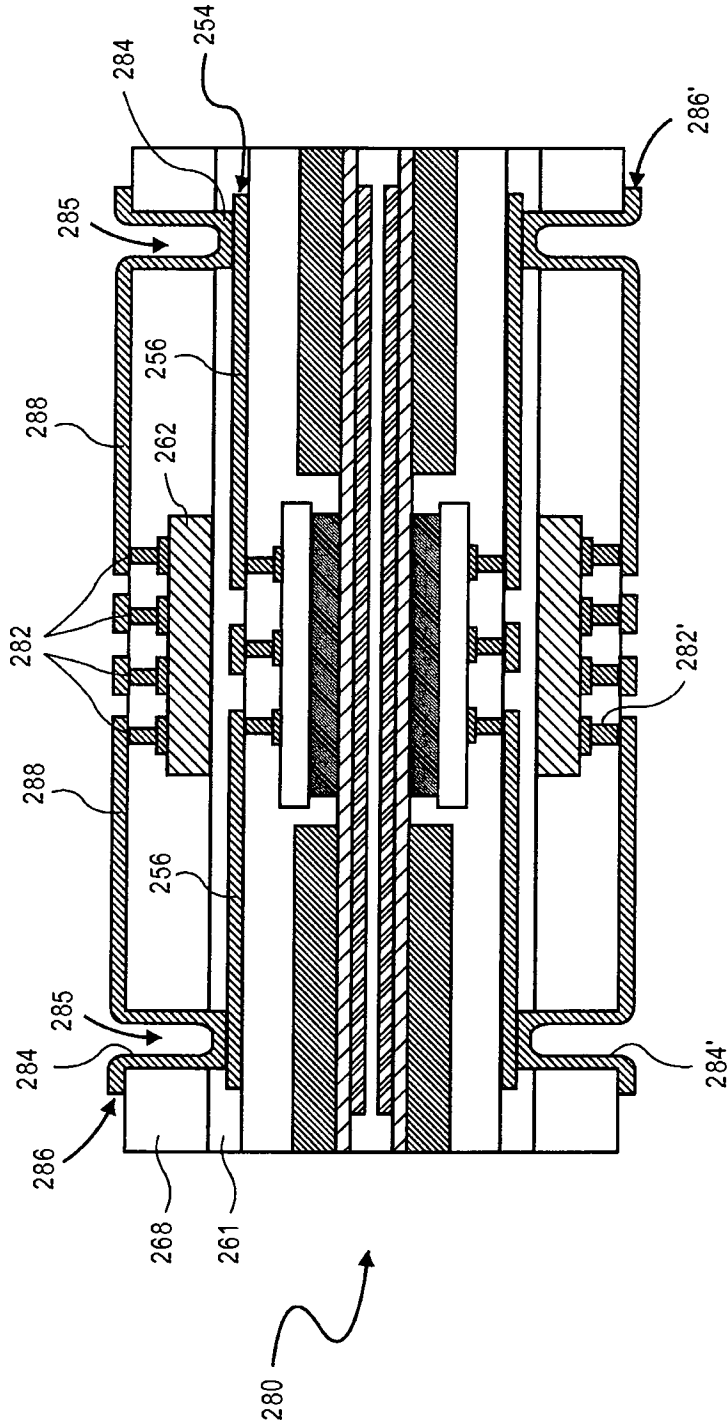


FIG. 2I

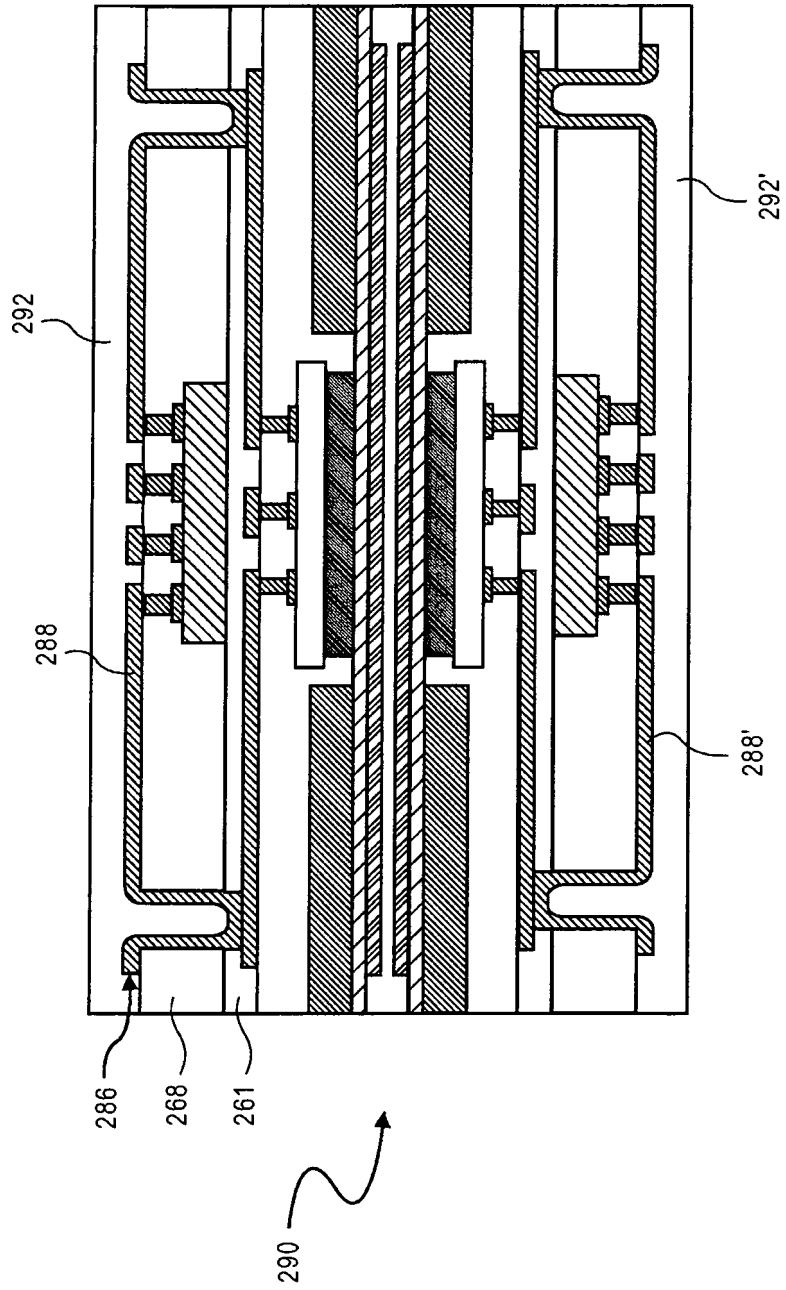


FIG. 2J

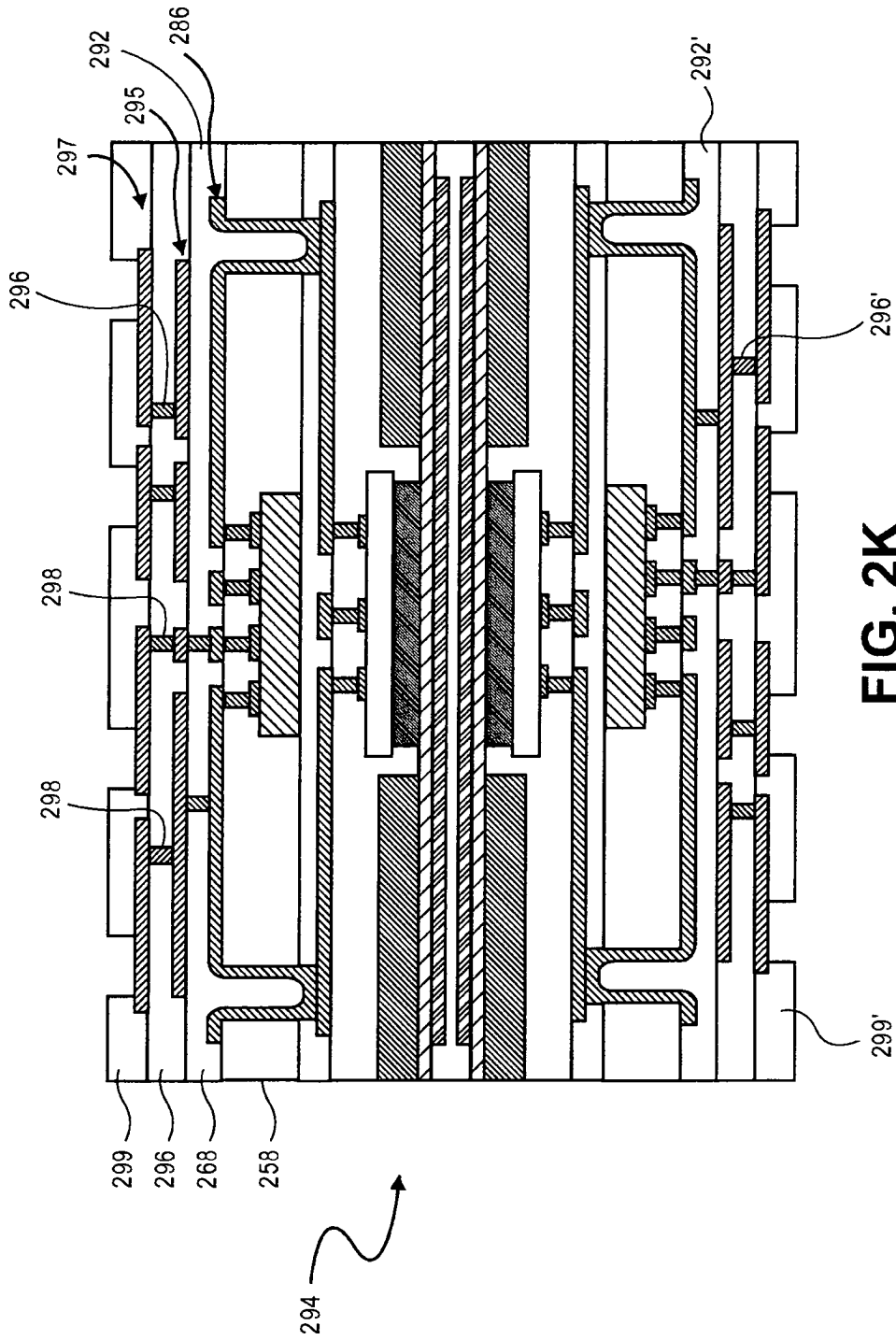


FIG. 2K

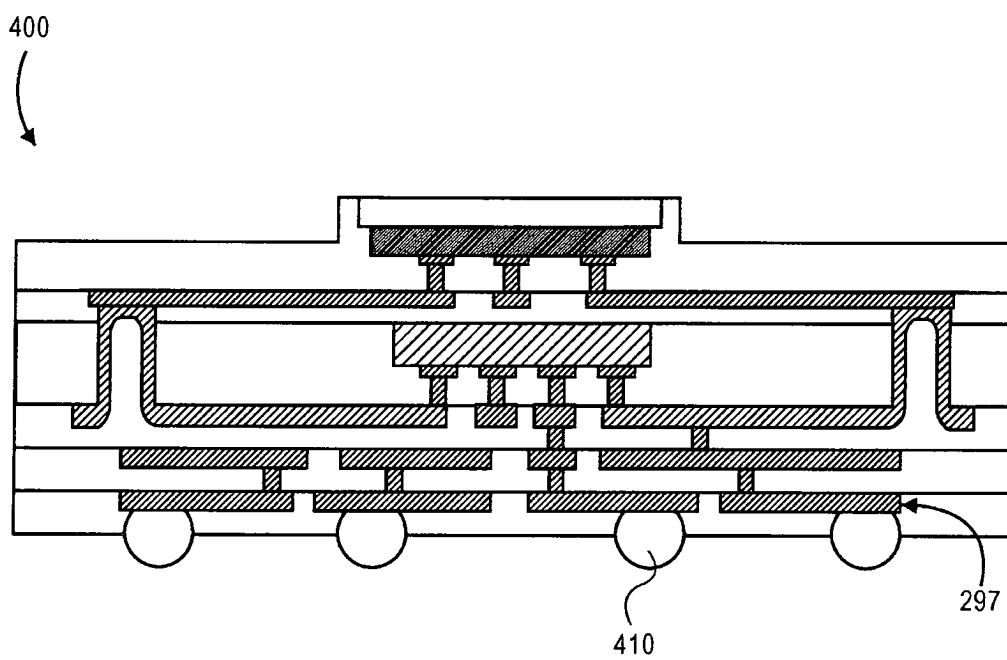


FIG. 2L

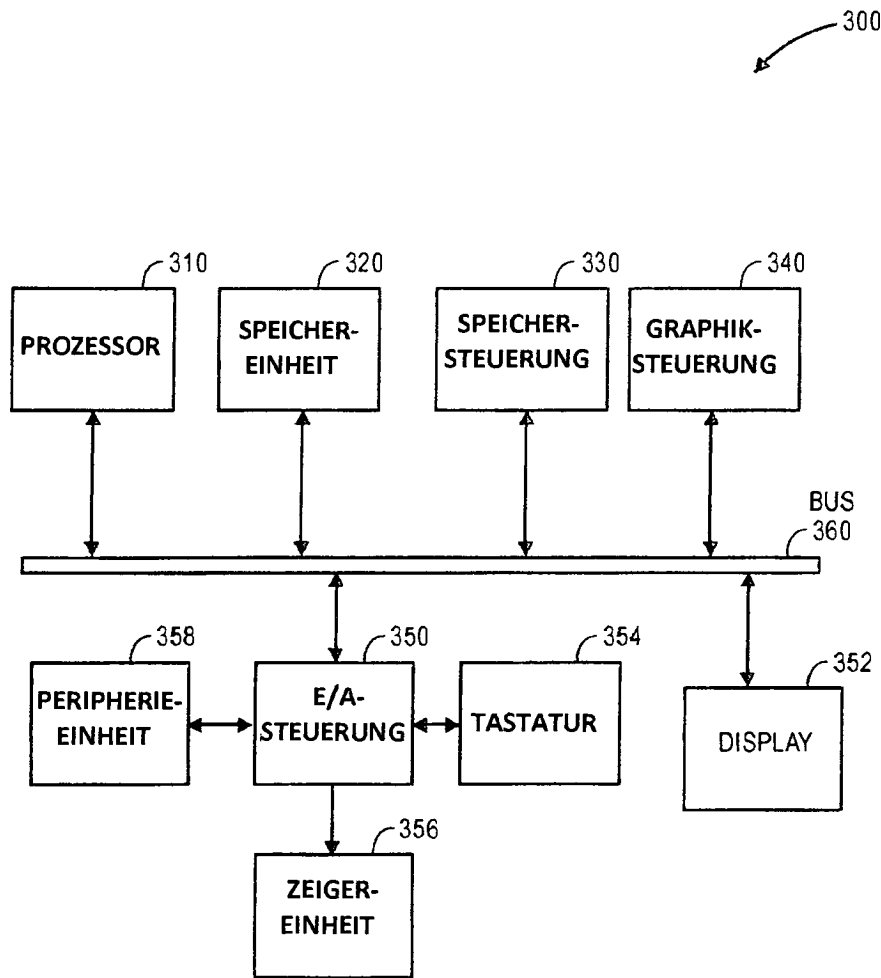


FIG. 3

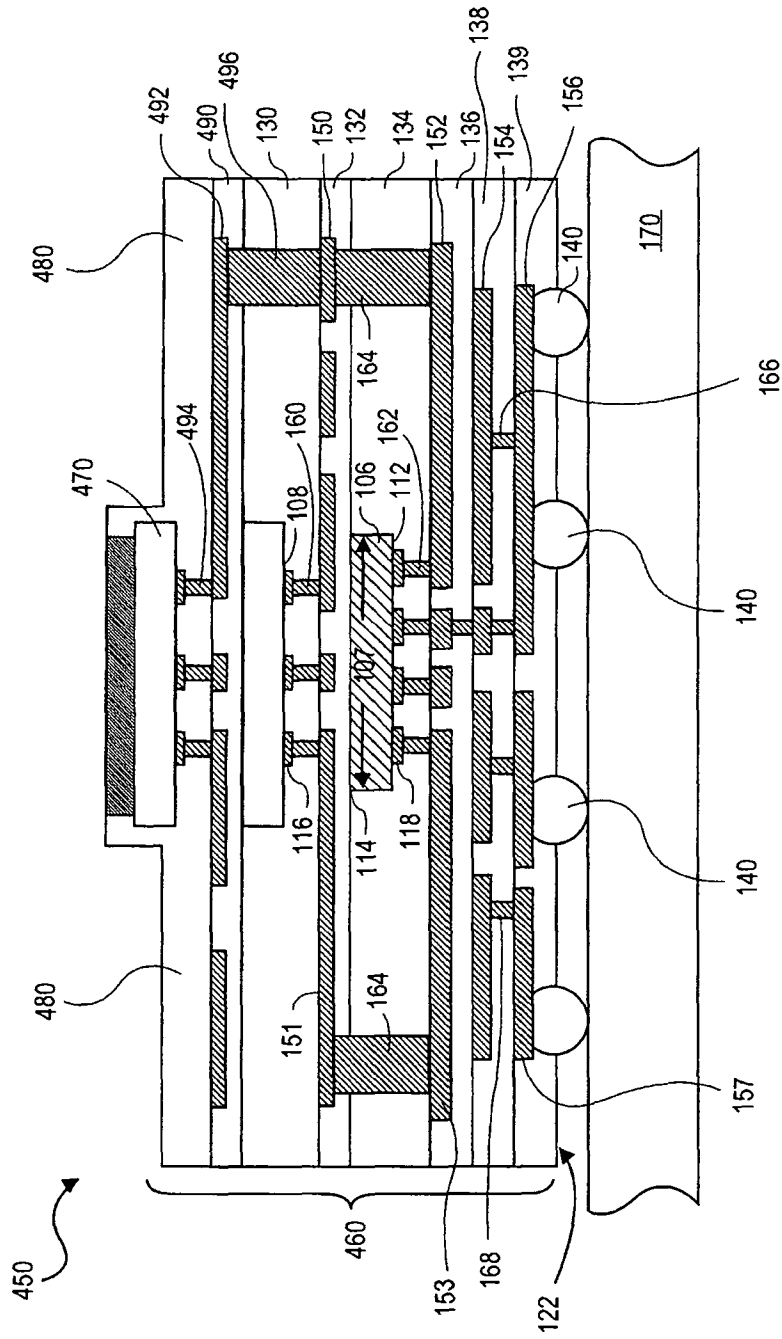


FIG. 4

