



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 199 29 095 B4 2005.12.08**

(12)

Patentschrift

(21) Aktenzeichen: **199 29 095.4**
 (22) Anmeldetag: **24.06.1999**
 (43) Offenlegungstag: **27.01.2000**
 (45) Veröffentlichungstag
 der Patenterteilung: **08.12.2005**

(51) Int Cl.7: **G11C 7/00**
G11C 7/08

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
P 10-182373 29.06.1998 JP
P 10-185098 30.06.1998 JP

(62) Teilung in:
199 64 434.9

(73) Patentinhaber:
Fujitsu Ltd., Kawasaki, Kanagawa, JP

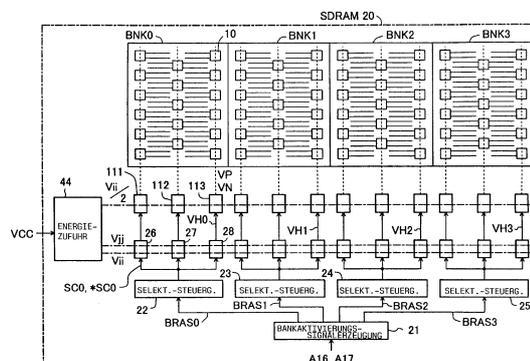
(74) Vertreter:
W. Seeger und Kollegen, 81369 München

(72) Erfinder:
Mori, Kaoru, Kawasaki, Kanagawa, JP;
Matsumiya, Masato, Kawasaki, Kanagawa, JP;
Kitamoto, Ayako, Kawasaki, Kanagawa, JP;
Yamada, Shinichi, Kawasaki, Kanagawa, JP; Ishii,
Yuki, Kawasaki, Kanagawa, JP; Kanou, Hideki,
Kawasaki, Kanagawa, JP; Takita, Masato,
Kawasaki, Kanagawa, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
US 57 64 580 A
US 56 17 363 A

(54) Bezeichnung: **Halbleiterspeichervorrichtung mit übersteuertem Leseverstärker und Halbleitervorrichtung**

(57) Hauptanspruch: Halbleiterspeichervorrichtung, die eine Vielzahl von Bänken enthält, wobei jede Bank einen Verstärker zum Verstärken einer Spannung zwischen einem Bitleitungspaar umfaßt, welche Halbleiterspeichervorrichtung für jede Bank umfaßt:
 eine Selektionsschaltung, die einen Ausgang hat, zum Selektieren entweder einer ersten oder einer zweiten Energiezufuhrspannung, die von dem Ausgang als Reaktion auf ein Selektionssteuersignal vorzusehen ist, welche zweite Energiezufuhrspannung zum schnelleren Aktivieren des Leseverstärkers als unter Verwendung der ersten Energiezufuhrspannung dient;
 eine Selektionssteuerschaltung zum Erzeugen des Selektionssteuersignals zum Selektieren der zweiten Energiezufuhrspannung für eine vorbestimmte Periode als Reaktion auf die Aktivierung eines entsprechenden Bankaktivierungssignals und zum anschließenden Selektieren der ersten Energiezufuhrspannung; und
 eine Leseverstärkerteilschaltung zum Zuführen der Energiezufuhrspannung, die durch die Selektionsschaltung selektiert wurde, zu dem Leseverstärker als Reaktion auf die Aktivierung eines Leseverstärkersteuersignals.



Beschreibung

HINTERGRUND DER ERFINDUNG 1. Gebiet der Erfindung

[0001] Die vorliegende Erfindung betrifft eine Halbleiterspeichervorrichtung, die mehrere Bänke hat, mit übersteuertem Leseverstärker und eine Halbleitervorrichtung mit einer Speicherschaltung.

Stand der Technik

2. Beschreibung der verwandten Technik

[0002] Fig. 21 zeigt eine Schaltung, der ein Leseverstärker **10** einer synchronen dynamischen Speichervorrichtung mit wahlfreiem Zugriff (SDRAM) nach Stand der Technik zugeordnet ist.

[0003] Der Leseverstärker **10** wird durch eine Spannung zwischen Energiezufuhrspannungen VP und VN aktiviert, die von der Leseverstärkerteilschaltung **11** vorgesehen werden. In der Schaltung **11** sind ein PMOS-Transistor **12** und NMOS-Transistoren **13** bis **15** seriell verbunden, wird ein Leseverstärkersteuersignal C0 von einer Steuerschaltung (nicht gezeigt) für die Gateelektrode des NMOS-Transistors **15** vorgesehen und wird ein Signal *C0, das zu diesem Signal komplementär ist (* bedeutet low-aktiv), für die Gateelektroden der Transistoren **12** bis **14** vorgesehen. In dem Fall, wenn die Leseverstärkersteuersignale C0 und *C0 low bzw. high sind, sind die Transistoren **13** und **14** ein, und die Transistoren **12** und **15** sind aus, wodurch Spannungen Vii/2 durch die Transistoren **13** und **14** als VP und VN für den Leseverstärker **10** vorgesehen werden und der Leseverstärker **10** inaktiv ist. In diesem Zustand werden Transferelemente **16** und **17** eingeschaltet, und eine Vorladeschaltung **18** wird mit dem Aktivieren eines Vorladesignals PR eingeschaltet, wodurch Bitleitungen BL01, BL02, *BL01 und *BL02 auf die Spannung Vii/2 vorgeladen werden. Die Spannung Vii/2 wird auf die Zellenplatte des Kondensators einer Speicherzelle **19** angewendet.

[0004] Wenn zum Beispiel Daten aus der Speicherzelle **19** ausgelesen werden, die "HIGH" speichert, wird eine Wortleitung WL0 angehoben, und eine positive Ladung bewegt sich von der Speicherzelle **19** zu der Bitleitung BL01, wodurch eine Spannungsdifferenz von etwa 100 bis 200 mV zwischen den Bitleitungen BL01 und *BL01 auftritt. Um den Leseverstärker **10** schneller zu aktivieren, steigt als Reaktion auf die Veränderung einer Reihenadresse, wie in Fig. 22 gezeigt, eine Energiezufuhrspannung VH von Vii auf Vjj an, um eine Bitleitung zu übersteuern. Die Spannungen Vii und Vjj betragen zum Beispiel 1,5 V bzw. 2,0 V.

[0005] Als nächstes gehen die Leseverstärkersteu-

ersignale C0 und *C0 auf high bzw. low über, werden die Transistoren **12** und **15** eingeschaltet, werden die Transistoren **13** und **14** ausgeschaltet, und die Spannungen VH und 0V werden als VP und VN über die Transistoren **12** bzw. **15** für den Leseverstärker **10** vorgesehen. Dadurch wird der Leseverstärker **10** aktiviert, um die Spannungsdifferenz zwischen den Bitleitungen BL01 und *BL01 zu verstärken. Nachdem die Bitleitungen BL01 und *BL01 durch diese Verstärkung zwischen den Spannungen Vii und 0V voll ausgeschwungen sind, wird die Spannung VH auf die Spannung Vii verringert.

[0006] Wenn das Lesen vollendet worden ist, wird die Wortleitung WL0 low, und dann werden die Leseverstärkersteuersignale C0 und *C0 low bzw. high, und VP und VN kehren beide auf die Spannung Vii/2 zurück, wodurch der Leseverstärker **10** inaktiv wird. Ferner wird die Vorladeschaltung **18** mit dem Aktivieren des Vorladesignals PR eingeschaltet, und die Bitleitungsspannung wird auf Vii/2 zurückgesetzt.

[0007] In einem SDRAM nach Stand der Technik, der mit einer Vielzahl von Bänken versehen ist, wird die Spannung VH für Leseverstärkerteilschaltungen der jeweiligen Bänke gemeinsam vorgesehen. Während ein Verarbeiten der Bänke vor dem Umschalten ausgeführt wird, wird die Bank nach dem Umschalten parallel verarbeitet. Wenn zum Beispiel sukzessive auf die Bänke 0 bis 3 geschaltet wird, wie in Fig. 23 gezeigt, fällt deshalb die Energiezufuhrspannung VH nicht auf die Spannung Vii ab, sondern die Spannung Vjj wird gehalten.

[0008] Als Resultat wird unnötigerweise Strom verbraucht, und da die Periode mit hoher Spannung länger als nötig wird, wird eine Verschlechterung von Transistorcharakteristiken beschleunigt.

[0009] Andererseits wird das Vorladen durch die Vorladeschaltung **18** von Fig. 21 primär mit dem Kurzschluß der Bitleitungen BL02 und *BL02 schnell ausgeführt, und ein zusätzliches Vorladen von der Zufuhrleitung bei einer Spannung Vii/2 erfolgt allmählich, da Vii/2 durch das Teilen der Spannung mit Widerständen erzeugt wird und ein Strom durch den Widerstand fließt. Wenn nach der Bank 3 wieder ein Lesen von der Bank 0 erfolgt und dieses Lesen von demselben Bitleitungspaar ausgeführt wird, dessen Spannungsdifferenz bei dem letzten Lesen von der Bank 0 verstärkt wurde, wie in Fig. 23 gezeigt, wird deshalb die Vorladespannung Vpr2 höher als die normale Vorladespannung Vpr1 = Vii/2. Eine Spannungsdifferenz ΔV zwischen einem Bitleitungspaar, nachdem auf ihm eine Speicherzelle ausgelesen wurde und bevor sie verstärkt wird, hängt von einer Vorladespannung Vpr des Bitleitungspaares ab und wird durch die folgende Gleichung ausgedrückt.

$$\Delta V = (V_{sn} - V_{pr}) \cdot C_s / (C_{BL} + C_s)$$

[0010] Dabei ist Cs die Kapazität der Speicherzelle, CBL die parasitäre Kapazität der Bitleitung, mit der die Speicherzelle verbunden ist, und Vsn die Spannung des Speicherknotens **191** vor dem Lesen.

[0011] Wie aus dieser Gleichung hervorgeht, nimmt ΔV ab, falls Vpr ansteigt und Vsn konstant ist. Das heißt, die Spannungsdifferenz ΔV_2 in **Fig. 23** zwischen einem Bitleitungspaar wird kleiner als die normale ΔV_1 .

[0012] Falls die Spannungsdifferenz ΔV zwischen einem Bitleitungspaar kleiner wird, kann es sein, da die Toleranz für eine Operation ohne Fehler in bezug auf die Leseverstärker abnimmt, daß der Leseverstärker **10** auf Grund einer Abweichung der Elementcharakteristiken des Leseverstärkers **10** fehlerhaft arbeitet. Ferner muß eine Auffrischzykluszeit verkürzt werden, um die Speicherknotenspannung Vsn hoch zu halten, wodurch eine Erhöhung eines unwirtschaftlichen Stromes herbeigeführt wird.

[0013] Ein anderer Grund zum Anheben der Vorladespannung Vpr liegt vor, falls eine Energiezufuhrschaltung des Sourcefolgertyps zum Treiben von Leseverstärkern verwendet wird, selbst wenn das oben beschriebene Übersteuern von Leseverstärkern nicht zum Einsatz kommt.

[0014] Das heißt, falls ein NMOS-Transistor in der Ausgangsstufe in einer Energiezufuhrschaltung für die Leseverstärker eingesetzt wird, wobei die Spannungen der Drain-, Gate- und Sourceelektroden von ihm eine externe Energiezufuhrspannung, eine konstante VG bzw. die Ausgangsspannung Vii der Energiezufuhrschaltung sein können, gilt etwa die Beziehung $V_{ii} = VG - V_{th}$, wobei V_{th} eine Schwellenspannung des NMOS-Transistors ist. Da jedoch der Stromverbrauch im Leseverstärker Null ist, nachdem die Spannung zwischen einem Bitleitungspaar durch den Leseverstärker voll ausgeschwungen ist, und ein kleiner Strom durch den NMOS-Transistor fließt, steigt Vii an, und dadurch erhöht sich die Vorladespannung $V_{ii}/2$, wodurch eine Erhöhung eines unwirtschaftlichen Stromes herbeigeführt wird.

[0015] Aus der US 5 764 580 A ist eine Halbleiterspeichervorrichtung bzw. eine Halbleitervorrichtung mit einer Speicherschaltung bekannt, bei der die Leseverstärker zu Beginn ihrer aktiven Phase übersteuert betrieben werden. Der US 5 617 363 A ist eine Halbleiterspeichervorrichtung zu entnehmen, die je Bank separate Leseverstärkertreiber aufweist.

Aufgabenstellung

ZUSAMMENFASSUNG DER ERFINDUNG

[0016] Daher ist es eine Aufgabe der vorliegenden Erfindung, eine Halbleiterspeichervorrichtung mit ei-

nem übersteuerten Leseverstärker vorzusehen, wobei ein unwirtschaftlicher Strom reduziert wird.

[0017] Gemäß einem Aspekt der vorliegenden Erfindung ist eine Halbleiterspeichervorrichtung vorgesehen, die eine Vielzahl von Bänken enthält, wobei jede Bank einen Verstärker zum Verstärken einer Spannung zwischen einem Bitleitungspaar umfaßt, welche Halbleiterspeichervorrichtung für jede Bank umfaßt: eine Selektionsschaltung, die einen Ausgang hat, zum Selektieren entweder einer ersten oder einer zweiten Energiezufuhrspannung, die von dem Ausgang als Reaktion auf ein Selektionssteuersignal vorzusehen ist, welche zweite Energiezufuhrspannung zum schnelleren Aktivieren des Leseverstärkers als unter Verwendung der ersten Energiezufuhrspannung dient; eine Selektionssteuerschaltung zum Erzeugen des Selektionssteuersignals zum Selektieren der zweiten Energiezufuhrspannung für eine vorbestimmte Periode als Reaktion auf die Aktivierung eines entsprechenden Bankaktivierungssignals und zum anschließenden Selektieren der ersten Energiezufuhrspannung; und eine Leseverstärkertreibschaltung zum Zuführen der Energiezufuhrspannung, die durch die Selektionsschaltung selektiert wurde, zu dem Leseverstärker als Reaktion auf die Aktivierung eines Leseverstärkersteuersignals.

[0018] Mit dieser Struktur arbeiten die Selektionssteuerschaltungen als Reaktion auf die jeweiligen Bankaktivierungssignale unabhängig, werden die jeweiligen Selektionsschaltungen für die jeweiligen Bänke mit den Ausgaben von den Selektionssteuerschaltungen unabhängig gesteuert und wird die Energiezufuhrspannung den Leseverstärkern über die Selektionsschaltungen und die Leseverstärkertreibschaltungen zugeführt. Deshalb wird die Energiezufuhrspannung für die Leseverstärker als Reaktion auf die Aktivierung der entsprechenden Bank nur für eine Periode, die zum Aktivieren der Leseverstärker mit höherer Geschwindigkeit erforderlich ist, die zweite Energiezufuhrspannung sein.

[0019] Demzufolge wird ein unwirtschaftlicher Ausgangsstrom der Energiezufuhrschaltung reduziert, und da die Periode der unnötigen Anwendung einer Übersteuerungsspannung auf Transistoren reduziert wird, wird auch eine Verschlechterung von deren Charakteristiken reduziert.

[0020] Da die Verringerung der Spannungsdifferenz zwischen einem Bitleitungspaar nach dem Auslesen einer Speicherzelle und vor dem Verstärken verhindert wird, wird ferner in bezug auf die Leseverstärker die Toleranz für eine Operation ohne Fehler größer, und auch der Stromverbrauch kann reduziert werden, wobei eine Auffrischzykluszeit verlängert wird.

[0021] Gemäß einem anderen Aspekt ist eine Energiezufuhrschaltung zum Treiben einer Last vorgese-

hen, die umfaßt: eine Spannungsregelschaltung zum Vorsehen einer geregelten Spannung, die niedriger als eine Energiezufuhrspannung ist; einen FET mit einer Drainelektrode, die mit der Energiezufuhrspannung gekoppelt ist, einer Sourceelektrode, die mit der Last gekoppelt ist, und einer Gateelektrode, die gekoppelt ist, um die geregelte Spannung zu empfangen; und eine Ableitungsschaltung mit einem Transistor, welcher Transistor einen Steuereingang hat, und einem Stromweg, der zwischen der genannten Sourceelektrode und einer Referenzzufuhrspannung gekoppelt ist, zum Ableiten eines Stromes, wobei der Transistor ein ist.

[0022] Gemäß diesem Aspekt wird die Veränderung der Zufuhrspannung effektiv reduziert, wobei ein kleiner Strom durch den Transistor fließt.

[0023] Falls diese Energiezufuhrschaltung für die Leseverstärker in einer Halbleiterspeichervorrichtung eingesetzt wird, wird ein Ansteigen des Vorladepotentials auf einem Bitleitungspaar verhindert. Deshalb wird in bezug auf die Leseverstärker die Toleranz für eine Operation ohne Fehler größer, und auch der Stromverbrauch kann reduziert werden, wobei eine Auffrischzykluszeit verlängert wird.

[0024] Andere Aspekte, Ziele und die Vorteile der vorliegenden Erfindung ergeben sich aus der folgenden eingehenden Beschreibung in Verbindung mit beiliegenden Zeichnungen.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0025] **Fig. 1** ist ein schematisches Blockdiagramm, das Schaltungen, denen Leseverstärker zugeordnet sind, in einem synchronen DRAM gemäß der ersten Ausführungsform der vorliegenden Erfindung zeigt;

[0026] **Fig. 2** ist ein Schaltungsdiagramm, das ein Strukturbeispiel eines Teils von **Fig. 1** zeigt;

[0027] **Fig. 3** ist ein Schaltungsdiagramm, das ein Strukturbeispiel der Selektionssteuerschaltung von **Fig. 2** zeigt;

[0028] **Fig. 4** sind Zeitdiagramme, die die Operation der Schaltung von **Fig. 3** zeigen;

[0029] **Fig. 5** ist ein Schaltungsdiagramm, das ein Strukturbeispiel der Energiezufuhrschaltung von **Fig. 1** zeigt;

[0030] **Fig. 6** sind Zeitdiagramme, die die Operation der Schaltung von **Fig. 1** zeigen, wenn Bänke BNK0 bis BNK3 sukzessive selektiert werden;

[0031] **Fig. 7** ist ein Blockdiagramm, das Schaltungen, denen Leseverstärker zugeordnet sind, in einem synchronen DRAM gemäß der zweiten Ausführungs-

form der vorliegenden Erfindung zeigt;

[0032] **Fig. 8** ist ein schematisches Blockdiagramm, das einen SDRAM zeigt, auf den die vorliegende Erfindung angewendet wird;

[0033] **Fig. 9** ist ein schematisches Diagramm, das einen Teil eines DRAM-Kerns gemäß der dritten Ausführungsform der vorliegenden Erfindung zeigt;

[0034] **Fig. 10** ist ein Diagramm, das die Beziehung zwischen der Ausgangsspannung und dem Ausgangsstrom einer Energiezufuhrschaltung zeigt;

[0035] **Fig. 11** ist ein Zeitdiagramm der Spannung eines Bitleitungspaares;

[0036] **Fig. 12** ist ein Diagramm, das ein anderes Beispiel einer Ableitungsschaltung zeigt;

[0037] **Fig. 13** ist ein schematisches Diagramm, das eine Schaltung, der eine stabilisierte Energiezufuhrschaltung zugeordnet ist, in einem SDRAM gemäß der vierten Ausführungsform der vorliegenden Erfindung zeigt;

[0038] **Fig. 14** ist ein schematisches Diagramm, das eine Schaltung, der eine stabilisierte Energiezufuhrschaltung zugeordnet ist, in einem SDRAM gemäß der fünften Ausführungsform der vorliegenden Erfindung zeigt;

[0039] **Fig. 15** ist ein schematisches Diagramm, das eine Schaltung, der eine stabilisierte Energiezufuhrschaltung zugeordnet ist, in einem SDRAM gemäß der sechsten Ausführungsform der vorliegenden Erfindung zeigt;

[0040] **Fig. 16** ist ein Diagramm, das ein Strukturbeispiel einer Oszillatorschaltung zeigt, die den Zeitgeber von **Fig. 15** bildet;

[0041] **Fig. 17** ist ein Diagramm, das ein Strukturbeispiel einer Zählerschaltung zeigt, die den Zeitgeber von **Fig. 15** bildet;

[0042] **Fig. 18** ist ein schematisches Diagramm, das eine Schaltung, der eine stabilisierte Energiezufuhrschaltung zugeordnet ist, in einem SDRAM gemäß der siebten Ausführungsform der vorliegenden Erfindung zeigt;

[0043] **Fig. 19** ist ein Diagramm, das ein Strukturbeispiel des Komparators von **Fig. 15** zeigt;

[0044] **Fig. 20** ist ein schematisches Diagramm, das eine Schaltung, der eine stabilisierte Energiezufuhrschaltung zugeordnet ist, in einem SDRAM gemäß der achten Ausführungsform der vorliegenden Erfindung zeigt;

[0045] [Fig. 21](#) ist ein Diagramm, das eine Schaltung, der ein Leseverstärker zugeordnet ist, eines synchronen DRAMs nach Stand der Technik zeigt;

[0046] [Fig. 22](#) ist ein Spannungswellenformdiagramm, das die Operation der Schaltung von [Fig. 21](#) zeigt;

[0047] [Fig. 23](#) ist ein Wellenformdiagramm nach Stand der Technik, das eine Energiezufuhrspannung für einen Leseverstärker und Bitleitungspaarspannungen in jeweiligen Bänken zeigt, wenn die Bänke 0 bis 3 sukzessive selektiert werden; und

[0048] [Fig. 24](#) ist ein Zeitdiagramm der Spannung eines Bitleitungspaars in einem DRAM-Kern nach Stand der Technik.

Ausführungsbeispiel

BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0049] Unter Bezugnahme auf die Zeichnungen, in denen gleiche Bezugszeichen über mehrere Ansichten hinweg gleiche oder entsprechende Teile bezeichnen, werden unten nun bevorzugte Ausführungsformen der vorliegenden Erfindung beschrieben. Ein Signal, das low-aktiv ist, wird durch Hinzufügen von zu einem Bezugszeichen gekennzeichnet.

[0050] Es sei erwähnt, daß die Verwendung der Ausdrücke "verbunden" und "gekoppelt" eine elektrische Verbindung zwischen zwei Elementen kennzeichnet und ein dazwischenliegendes Element zwischen den zwei "gekoppelten" oder "verbundenen" Elementen umfassen kann.

Erste Ausführungsform

[0051] [Fig. 1](#) zeigt Schaltungen, denen Leseverstärker zugeordnet sind, in einer synchronen dynamischen Speichervorrichtung mit wahlfreiem Zugriff (SDRAM) **20** gemäß der ersten Ausführungsform der vorliegenden Erfindung.

[0052] Der SDRAM **20** ist mit Bänken BNK0 bis BNK3 versehen, und die Bänke werden durch die oberen zwei Bits in der Adresse wie zum Beispiel durch die Bits A16 und A17 selektiert. Eine Bankaktivierungssignalerzeugungsschaltung **21** erzeugt Signale BRAS0 bis BRAS3. Jedes der Signale BRAS0 bis BRAS3 wird zu einer Ausgabzeitlage eines Aktivierungsbefehls aktiviert, wenn das entsprechende der decodierten Signale der Bankadressenbits A16 und A17 aktiviert ist, und inaktiviert, wenn der Zugriff auf dieselbe Reihe in der entsprechenden Bank beendet ist. Wenn Bänke umgeschaltet werden, überlappen sich Aktivierungsperioden der Bankaktivierungssignale BRAS0 bis BRAS3 zum Teil, da

ein Verarbeiten einer Bank nach dem Umschalten parallel zu dem Verarbeiten einer Bank vor dem Umschalten erfolgt, wenn zum Beispiel die Bänke BNK0 bis BNK3 sukzessive selektiert werden, wie in [Fig. 6](#) gezeigt.

[0053] Die Signale BRAS0 bis BRAS3 werden für die jeweiligen Selektionssteuerschaltungen **22** bis **25** vorgesehen, die untereinander dieselbe Struktur haben. Die Selektionssteuerschaltung **22** erzeugt als Reaktion auf die Aktivierung des Signals BRAS0 ein Selektionssteuersignal SC0, das für eine vorbestimmte Zeitdauer aktiv ist, und ein Selektionssteuersignal *SC0, das zu dem Signal SC0 komplementär ist, und sieht die Signale für die Steuereingänge der Selektionsschaltungen **26** bis **28** vor, die untereinander dieselbe Struktur haben.

[0054] Zum Beispiel ist in der Selektionsschaltung **28**, wie in [Fig. 2](#) gezeigt, die Sourceelektrode eines PMOS-Transistors **29** mit einer Zufuhrleitung einer Spannung V_{jj} zum schnelleren Aktivieren von Leseverstärkern verbunden, und die Drainelektrode des PMOS-Transistors **29** ist über einen PMOS-Transistor **30** mit einer Zufuhrleitung einer Spannung V_{ii} zum normalen Aktivieren der Leseverstärker verbunden. Die Signale *SC0 und SC0 von der Schaltung **28** werden für die Gateelektroden der Transistoren **29** bzw. **30** vorgesehen. Auf die N-Mulde, in der die Transistoren **29** und **30** gebildet sind, wird zum Beispiel die Spannung V_{jj} angewendet.

[0055] Wenn die Selektionssteuersignale *SC0 und SC0 low bzw. high sind, sind die Transistoren **29** und **30** ein bzw. aus, und die Spannung V_{jj} wird als V_{H0} durch den Transistor **29** ausgegeben. Wenn im Gegensatz dazu die Selektionssteuersignale *SC0 und SC0 high bzw. low sind, sind die Transistoren **29** und **30** aus bzw. ein, und die Spannung V_{ii} wird als V_{H0} durch den Transistor **30** ausgegeben. Die Spannung V_{H0} wird als Energiezufuhrspannung für eine Leseverstärkertreiberschaltung **113** vorgesehen, die dieselbe Struktur wie die Schaltung **11** von [Fig. 21](#) hat.

[0056] In [Fig. 2](#) sind dieselben Komponenten wie in [Fig. 21](#) mit denselben Bezugszeichen versehen, und deren überlappende Beschreibung wird weggelassen.

[0057] [Fig. 3](#) zeigt ein Strukturbeispiel der Selektionssteuerschaltung **22**, und [Fig. 4](#) enthält Zeitdiagramme, die die Operation dieser Schaltung zeigen.

[0058] In dieser Schaltung **22** wird das Bankaktivierungssignal BRAS0 durch Verzögerungsschaltungen **31** und **32** für einen Eingang eines NAND-Gatters **33** vorgesehen, während die Ausgabe TS der Verzögerungsschaltung **31** für den anderen Eingang des NAND-Gatters **33** vorgesehen wird. Das Signal TS wird in einer Steuerschaltung (nicht gezeigt) als Zeit-

lagersignal verwendet, um die Aktivierung des Leseverstärkers **10** zu starten, wobei die Leseverstärkersteuersignale C0 und *C0 in [Fig. 2](#) auf high bzw. low gesetzt werden. Die Verzögerungsschaltung **31** ist aus einer geraden Anzahl von Stufen, wie zum Beispiel zwei, von Basisverzögerungsschaltungen gebildet, die kaskadiert sind, wobei jede einen Inverter **34** und eine CR-Integrationsschaltung zur Verzögerung hat, die mit dem Ausgang des Inverters **34** verbunden ist.

[0059] Die Ausgabe *RST des NAND-Gatters **33** wird für eine Periode ab einem Anstieg der Ausgabe der Verzögerungsschaltung **32** bis zu einem Abfall des Signals TS low und wird für den Rücksetzeingang *R einer RS-Flipflop-Schaltung **37** vorgesehen. Das Rücksetzsignal *RST und das Bankaktivierungssignal BRAS0 werden für das NAND-Gatter **38** vorgesehen, und dessen Ausgabe *SET wird für eine Periode ab einem Anstieg des Bankaktivierungssignals BRAS0 bis zu einem Abfall des Rücksetzsignals *RST low und wird für den Setzeingang *S der RS-Flipflop-Schaltung **37** vorgesehen.

[0060] Unmittelbar nachdem die Energie eingeschaltet ist, wird der PMOS-Transistor **39** zwischen dem Inversionsausgang *Q der RS-Flipflop-Schaltung **37** und der Zufuhrleitung der Spannung V_{ij} verbunden, um zu bewirken, daß die Ausgabe der RS-Flipflop-Schaltung **37** in einem korrekten Anfangszustand ist, und das Bankaktivierungssignal BRAS0 wird für dessen Gateelektrode vorgesehen. Wenn das Signal BRAS0 low ist, ist der PMOS-Transistor **39** ein und der Inversionsausgang *Q high. Da in diesem Zustand der Setzeingang *S high ist, ist der Nichtinversionsausgang Q low. Dadurch wird der Anfangszustand der Ausgabe der RS-Flipflop-Schaltung **37** gewährleistet.

[0061] Mit dem Inversionsausgang *Q der RS-Flipflop-Schaltung **37** sind Inverter **40** und **41** zum Verstärken der Treibkapazität kaskadiert, und Inverter **42** und **43** sind ebenfalls mit dem Nichtinversionsausgang Q der RS-Flipflop-Schaltung **37** kaskadiert. Die Selektionssteuersignale SC0 und *SC0 werden den Invertern **43** bzw. **41** entnommen.

[0062] Mit solch einer Struktur erzeugt die Selektionsschaltung **22** als Reaktion auf die Aktivierung des Bankaktivierungssignals BRAS0 die Selektionssteuersignale SC0 und *SC0, die für eine vorbestimmte Zeitdauer aktiv sind.

[0063] Unter erneuter Bezugnahme auf [Fig. 1](#) werden Spannungen V_{ii} und V_{jj} von der Energiezufuhrschaltung **44** für die Selektionsschaltungen **26** bis **28** vorgesehen. Entweder die Spannung V_{ii} oder V_{jj}, die in den Selektionsschaltungen **26** bis **28** als Reaktion auf die Ausgabe der Selektionssteuerschaltung **22** selektiert wird, wird für die Leseverstärkertreibschal-

tungen **111** bis **113** vorgesehen, die untereinander dieselbe Struktur haben. Den Leseverstärkertreibschaltungen **111** bis **113** wird eine andere Spannung V_{ii/2} von der Energiezufuhrschaltung **44** zugeführt.

[0064] [Fig. 5](#) zeigt eine schematische Struktur der Energiezufuhrschaltung **44**.

[0065] In der Schaltung **44** wird die Energiezufuhrspannung VCC, die von außen zugeführt wird, auf die Drainelektrode eines NMOS-Transistors **45** angewendet, und die konstante Ausgangsspannung VG einer Spannungsregelschaltung **46** wird für die Gateelektrode des Transistors **45** vorgesehen, wodurch die Spannung V_{ii} der Sourceelektrode des NMOS-Transistors **45** entnommen wird. Da der NMOS-Transistor **45** anstelle eines PMOS-Transistors verwendet wird, ohne die Spannung V_{ii} zurückzuführen, um die Gateelektrode des NMOS-Transistors **45** zu steuern, kann die Spannung V_{ii} einen nahezu konstanten Wert (VG - V_{th}) haben, wobei V_{th} eine Schwellenspannung des NMOS-Transistors **45** ist, so daß die Struktur der Energiezufuhrschaltung **44** vereinfacht wird. Um die Spannung V_{ii} durch Reduzieren der Ausgabeschwankung zu stabilisieren, wird ein Kondensator **47** mit dem Ausgang der Spannungsregelschaltung **46** verbunden.

[0066] Eine andere Schaltung zum Erzeugen der Spannung V_{jj} ist auch so wie die Schaltung konstruiert, die die Spannung V_{ii} erzeugt. Die Spannung V_{ii/2} wird in einer Vorladespannungszufuhrschaltung **48** erzeugt.

[0067] Unter erneuter Bezugnahme auf [Fig. 1](#) werden die Ausgangsspannungen VP und VN der Leseverstärkertreibschaltungen **111** bis **113** für Leseverstärkergruppen der jeweiligen ersten bis dritten Reihen in der Bank BNK0 vorgesehen. Die Energiezufuhrleitungsverbindung zum Vorsehen der Spannungen VP und VN von der Leseverstärkertreibschaltung **113** für den Leseverstärker **10** in der Bank BNK0 ist zum Beispiel so wie in [Fig. 2](#) gezeigt.

[0068] In [Fig. 1](#) ist jede der Anordnungen zwischen der Selektionssteuerschaltung **23** und der Bank BNK1, der Selektionssteuerschaltung **24** und der Bank BNK2 und der Selektionssteuerschaltung **25** und der Bank BNK3 mit jener zwischen der Selektionssteuerschaltung **22** und der Bank BNK0 identisch. Die Energiezufuhrspannungen VH1 bis VH3 entsprechen jeweils der Energiezufuhrspannung VH0 in der Bank BNK0.

[0069] Als nächstes wird unter Bezugnahme auf [Fig. 6](#) eine Operation der vorliegenden Ausführungsform beschrieben, die so konstruiert ist, wie es oben erläutert wurde.

[0070] Im oben erwähnten Anfangszustand sind die

Selektionssteuersignale SC0 und *SC0 unmittelbar nach dem Einschalten der Energie low bzw. high, sind die PMOS-Transistoren **29** und **30** der Selektionsschaltung **28** in [Fig. 2](#) aus bzw. ein und wird die Spannung Vii selektiert.

[0071] [Fig. 6](#) zeigt den Fall, wenn die Bänke BNK0 bis BNK3 von [Fig. 1](#) sukzessive selektiert werden.

[0072] Falls die Bank BNK0 selektiert wird und dadurch das Bankaktivierungssignal BRAS0 high wird, werden als Reaktion darauf die Ausgaben SC0 und *SC0 der Selektionssteuerschaltung **22** high bzw. low, werden die PMOS-Transistoren **29** und **30** von [Fig. 2](#) ein- bzw. ausgeschaltet und steigt die Spannung VH0 von Vii auf Vjj an. Zu der Zeitlage, wenn das Signal TS in [Fig. 4](#) high wird, werden die Leseverstärkersteuersignale C0 und *C0 in [Fig. 2](#) high bzw. low, und die Energiezufuhrspannungen VP und VN verändern sich von Vii/2 auf Vjj bzw. 0V. Dadurch wird der Leseverstärker **10** aktiviert, und die Spannungsdifferenz zwischen den Bitleitungen BL01 und *BL01 wird verstärkt. Nachdem eine vorbestimmte Zeit ab Beginn der Aktivierung des Leseverstärkers **10** abgelaufen ist, kehren die Ausgaben SC0 und *SC0 der Selektionssteuerschaltung **22** auf low bzw. high zurück, werden die PMOS-Transistoren **29** und **30** aus- bzw. eingeschaltet und fällt die Spannung VH0 auf Vii ab.

[0073] Um den Energieverbrauch zu reduzieren, sei erwähnt, daß nur ein selektierter Speicherzellenblock, der eine selektierte Wortleitung enthält, und die Leseverstärkerreihen, zwischen denen diese selektierte Speicherzelle sandwichartig angeordnet ist, hinsichtlich jeder Bank aktiviert werden. Zum Beispiel können in dem Zustand, wenn die Leseverstärkersteuersignale C0 und *C0, die für die Leseverstärkerteilschaltung **111** vorgesehen sind, low bzw. high sind, die Leseverstärkersteuersignale C0 und *C0, die den den Leseverstärkerschaltungen **112** und **113** geliefert werden, hoch bzw. runter gehen. Deshalb können die Leseverstärkerteilschaltungen **111** bis **113** nicht durch eine Leseverstärkerteilschaltung zur gemeinsamen Verwendung ersetzt werden.

[0074] Als nächstes wird, wenn das Bankaktivierungssignal BRAS1 high wird, die Bank BNK1 selektiert, und dieselbe Operation wie bei der Bank BNK0 wird für die Bank BNK1 ausgeführt. Die Operation für die Bänke BNK2 und BNK3 danach ist auch dieselbe.

[0075] In der ersten Ausführungsform arbeiten auf der Basis der Bankaktivierungssignale BRAS0 bis BRAS3 die jeweiligen Selektionssteuerschaltungen **22** bis **25** unabhängig voneinander, und durch die Ausgaben von den Selektionssteuerschaltungen **22** bis **25** werden die Selektionsschaltungen für jeweilige Bänke unabhängig gesteuert, und die Energiezufuhrspannungen von der Energiezufuhrschaltung **44**

werden über Selektionsschaltungen und Leseverstärkerteilschaltungen für Leseverstärker vorgesehen, so daß die Spannungen VH0 bis VH3 für eine erforderliche Periode als Reaktion auf die Aktivierung der jeweiligen Bänke die Spannung Vjj sein werden.

[0076] Deshalb wird ein unnötiger Verbrauch der Ausgangsströme von der Energieschaltung **44** reduziert, und auch der Zeitraum des unnötigen Anwendens einer hohen Spannung auf Transistoren wird reduziert, wodurch eine Verschlechterung der Charakteristiken der Transistoren verringert wird.

[0077] Der ferner das Verringern der Spannungsdifferenz ΔV zwischen dem Bitleitungspaar nach dem Auslesen der Speicherzelle und vor dem Verstärken verhindert werden kann, kann die Auffrischzykluszeit verlängert und der Stromverbrauch zum Auffrischen reduziert werden.

Zweite Ausführungsform

[0078] [Fig. 7](#) zeigt eine Schaltung, der die Leseverstärker zugeordnet sind, des SDRAM **20A** gemäß der zweiten Ausführungsform der vorliegenden Erfindung.

[0079] In der Schaltung wird anstelle der Selektionsschaltungen **26** bis **28** von [Fig. 1](#) nur eine Selektionsschaltung **26A** mit derselben Struktur wie die Selektionsschaltung **26** und einer Treibkapazität, die größer als jene der Selektionsschaltung **26** ist, verwendet, um die Ausgabe VH0 den Leseverstärkerteilschaltungen **111** bis **113** gemeinsam zuzuführen. Die Struktur für jede der Bänke BNK1 bis BNK3 ist dieselbe wie die für die Bank BNK0.

Dritte Ausführungsform

[0080] [Fig. 8](#) zeigt die schematische Struktur eines SDRAM **20B**, auf den die vorliegende Erfindung angewendet ist.

[0081] Der SDRAM **20B** umfaßt bekannterweise einen DRAM-Kern **101**, der eine Bank 0 und Bank 1 hat, eine Steuersignalerzeugungsschaltung **102**, ein Modusregister **103**, einen Spaltenadressenzähler **104**, einen Taktpuffer **105**, einen Befehlsdecodierer **106**, einen Adressenpuffer **107**, einen Bankselektor **108**, einen E/A-Datenpuffer **109**, eine Energiezufuhrschaltung **44A**.

[0082] Ein Taktsignal CLK und ein Taktfreigabesignal CKE werden von außen für den Taktpuffer **105** vorgesehen, während ein Chipselektionssignal *CS, ein Reihenadressen-Strobe-Signal *RAS, ein Spaltenadressen-Strobe-Signal *CAS und ein Schreibfreigabesignal *WE von außen für den Befehlsdecodierer **106** vorgesehen werden. Ferner wird eine Adresse ADDR von außen für den Adressenpuffer

107 und den Bankselektor **108** vorgesehen, während eine Datenmaske DQM von außen für den E/A-Datenpuffer **109** vorgesehen wird. Zusätzlich wird auf Eingangs- oder Ausgangsdaten DQ durch den E/A-Datenpuffer **109** zugegriffen.

[**0083**] Der Befehlsdecodierer **106**, der Adressenpuffer **107**, der Bankselektor **108** und der E/A-Datenpuffer **109** werden synchron mit einem Taktsignal von dem Taktpuffer **105** betrieben.

[**0084**] In dem DRAM-Kern **101** hat jede Bank ein Speicherzellenarray, eine Ableitungsschaltung, die später beschrieben wird, und einen Leseverstärker. Bankaktivierungssignale BRAS0 und BRAS1 und Leseverstärkeraktivierungssignale C0 und C1 werden von der Steuersignalerzeugungsschaltung **102** für die Bänke 0 bzw. 1 vorgesehen.

[**0085**] Wenn der Bankselektor **108** die Bank 0 erkennt und der Befehlsdecodierer **106** einen Aktivierungsbefehl erkennt, wobei *RAS aktiv ist, aktiviert die Steuersignalerzeugungsschaltung **102** ein Bankaktivierungssignal BRAS0 (die Bankaktivierungssignalerzeugungsschaltung **21** von [Fig. 1](#) und [Fig. 7](#) umfaßt die Blöcke **102**, **106** und **108**). Als nächstes steigt in der Bank 0 die Wortleitung an, die durch die Reihenadresse von dem Adressenpuffer **107** selektiert wurde, wodurch Daten aus den Speicherzellen, die durch die Wortleitung selektiert wurden, auf Bitleitungspaare gelesen werden, wobei auf jedem Bitleitungspaar eine kleine Spannungsdifferenz vorhanden ist. Als Reaktion auf die Leseverstärkeraktivierungssignale C0 wird jede kleine Spannungsdifferenz verstärkt. Als nächstes wird als Reaktion auf einen Lesebefehl oder einen Schreibbefehl von dem Befehlsdecodierer **106** eine Spaltenadresse von dem Adressenpuffer **107** in dem Spaltenadressenzähler **104** verriegelt, und dadurch werden die selektierten Bitleitungspaare in der Bank 0 mit dem Datenbus zwischen den Bänken und dem E/A-Datenpuffer **109** zu der Zeitlage des Steuersignals von der Steuersignalerzeugungsschaltung **102** verbunden.

[**0086**] Als nächstes folgt eine Beschreibung einer stabilisierten Energiezufuhrschaltung, die der wichtigste Teil dieser Ausführungsform ist.

[**0087**] [Fig. 9](#) zeigt eine Schaltung, die die stabilisierte Energiezufuhrschaltung in dem SDRAM zugeordnet ist.

[**0088**] Der DRAM-Kern **101** ist mit Bänken 0 und 1 versehen, und die Bank 0 umfaßt eine Leseverstärkerreihe, die aus einer Vielzahl von Leseverstärkern A1, A2, ..., AX gebildet ist, und ein Speicherzellenarray (nicht gezeigt). Tatsächlich hat jede Bank eine Vielzahl von Leseverstärkerreihen, wobei [Fig. 9](#) der Einfachheit halber nur eine zeigt. Die Leseverstärker A1, A2, ..., AX sind zwischen den Treibleitungen von

Spannungen VP und VN verbunden, und die VP-Leitung ist durch den Transistorschalter **12** der Leseverstärkertreiberschaltung **213A**, die ferner Transistorschalter **15** und **13A** hat, mit der Sourceelektrode des NMOS-Transistors **45** verbunden, der eine Energiezufuhrschaltung **44A** bildet, die dieselbe wie jene von [Fig. 5](#) ist. Die VN-Leitung ist durch den Transistorschalter **15** mit der Erdleitung verbunden. Der Transistorschalter **13A** zum Inaktivieren der Leseverstärker ist zwischen den VP- und VN-Leitungen verbunden.

[**0089**] Wie oben erwähnt, gilt etwa die Beziehung $V_{ii} = V_G - V_{th}$, wobei V_{th} die Schwellenspannung des NMOS-Transistors **45** ist. Genauer gesagt, die Ausgangsspannung V_{ii} hängt von dem Strom I ab, der in dem Transistor **45** fließt, wie in [Fig. 10](#) gezeigt, wobei die Energiezufuhrspannung VCC 2,5 V beträgt und die Gatespannung VG des NMOS-Transistors 2,1 V beträgt.

[**0090**] Eine Ableitungsschaltung **50** umfaßt einen NMOS-Transistor **51**, der zwischen der Sourceelektrode des NMOS-Transistors **45** und der Erdleitung mit VSS verbunden ist, und eine Steuerschaltung. Die Steuerschaltung ist gebildet aus einer NOR-Schaltung **52**, die Eingänge hat, die gekoppelt sind, um die Bankaktivierungssignale BRAS0 und BRAS1 von der Steuersignalerzeugungsschaltung **102** von [Fig. 8](#) zu empfangen, und einen Inverter **53**, der zwischen dem Ausgang des NOR-Gatters **52** und der Gateelektrode des NMOS-Transistors **51** verbunden ist.

[**0091**] Der NMOS-Transistor **51** hat solch eine kleine Größe, daß der Strom, der durch ihn hindurchfließt, klein ist und in [Fig. 10](#) zum Beispiel einen Wert in dem Bereich von 1 bis 10 μA hat, wodurch ein unwirtschaftlicher Energieverbrauch durch diesen Strom unbedeutend klein ist und die Schwankung der Zufuhrspannung V_{ii} effektiv reduziert wird, selbst wenn der Strom für die Leseverstärker Null wird. Da dieser Strom klein ist, ist der NMOS-Transistor **51** in der Nähe des NMOS-Transistors **45** angeordnet, um einen Verdrahtungswiderstand zu reduzieren.

[**0092**] Die Schaltungsstruktur der Bank 1 und ihrer peripheren Schaltung für die Bank 1 ist dieselbe wie jene der Bank 0 und ihrer peripheren Schaltung für die Bank 0, bankspezifische Leitungen ausgenommen.

[**0093**] Der Transistor **51** wird eingeschaltet, wenn irgendeines der Bankaktivierungssignale BRAS0 und BRAS1 high ist, wodurch der unwirtschaftliche Energieverbrauch viel kleiner wird.

[**0094**] [Fig. 11](#) ist ein Zeitdiagramm, das die Veränderung der Spannungen des Bitleitungspaars BL01 und *BL01 in der Bank 0 zeigt.

[0095] Anfangs sind die Leseverstärkeraktivierungssignale C0 low, wodurch in [Fig. 9](#) die Transistorschalter **12** und **15** aus sind und der Transistor und der Transistorschalter **13A** ein ist, und die Spannungen VP und VN betragen jeweils $V_{ii0}/2$, wobei V_{ii0} eine Spannung V_{ii} ist, wenn der Strom, der durch den NMOS-Transistor **45** fließt, dem des NMOS-Transistors **51** im Ein-Zustand gleich ist. Beide Bankaktivierungssignale BRAS0 und BRAS1 sind low, wodurch der NMOS-Transistor **51** aus ist.

[0096] Eine Bankadresse, die die Bank 0 bezeichnet, eine Reihenadresse und eine Kombination von Steuersignalen *CS, *RAS, *CAS und *WE, die einen Aktivierungsbefehl kennzeichnen, werden für den Bankselektor **108**, den Adressenpuffer **107** bzw. den Befehlsdecodierer vorgesehen. CKE ist high, wodurch CLK effektiv ist, und bei einem Anstieg des Taktes CLK wird der Aktivierungsbefehl von dem Befehlsdecodierer **106** ausgegeben.

[0097] Das Bankaktivierungssignal BRAS0 wird aktiviert, und der NMOS-Transistor **51** wird eingeschaltet. Eine Wortleitung WL, die der Reihenadresse in der Bank 0 entspricht, wird angehoben, wodurch Daten aus den Speicherzellen, die durch die Wortleitung selektiert wurden, auf Bitleitungspaare gelesen werden, die BL0 und *BL0 enthalten, wobei auf jedem Bitleitungspaar eine kleine Spannungsdifferenz vorhanden ist. Als Reaktion auf die Leseverstärkeraktivierungssignale C0 (tatsächlich auch auf eine Speicherblockadresse, die der Leseverstärkerreihe entspricht) wird der Transistorschalter **13A** eingeschaltet und werden die Transistorschalter **12** und **15** eingeschaltet, wodurch die Leseverstärker A1 bis AX aktiviert werden, und jede kleine Spannungsdifferenz wird verstärkt. Mit dieser Verstärkung erreichen die Spannungen der Bitleitungen BL01 und *BL01 zum Beispiel $VP = V_{ii0}$ bzw. $VN = 0$, wie in [Fig. 11](#) gezeigt.

[0098] Nachdem die Bitleitungspaare voll ausgeschwungen sind, werden eine Spaltenadresse und eine Kombination von Steuersignalen *CS, *RAS, *CAS und *WE, die einen Lesebefehl kennzeichnen, für den Adressenpuffer **107** bzw. den Befehlsdecodierer vorgesehen. Bei einem Anstieg des Taktes CLK wird der Lesebefehl von dem Befehlsdecodierer **106** ausgegeben.

[0099] Eine Spaltenadresse von dem Adressenpuffer **107** wird in dem Spaltenadressenzähler **104** verriegelt, und dadurch werden die selektierten Bitleitungspaare in der Bank 0 mit dem Datenbus zwischen den Bänken und dem E/A-Datenpuffer **109** zu der Zeitlage des Steuersignals von der Steuersignalerzeugungsschaltung **102** verbunden.

[0100] Es gibt einen Fall, wenn ein DRAM-Kern in einem statischen Zustand ist, wobei eine Wortleitung high bleibt. Da nach Stand der Technik V_{ii} allmählich

ansteigt, fließt ein Strom von der VP-Leitung durch den entsprechenden Leseverstärker zu der Bitleitung BL01, wodurch die Bitleitung BL01 auch allmählich über V_{ii0} ansteigt, wie in [Fig. 24](#) gezeigt. Bei der vorliegenden Erfindung bleiben jedoch selbst dann, wenn die Wortleitung WL für eine lange Zeit selektiert wird, die Spannungen der VP-Leitung und der Bitleitung BL01 ohne anzusteigen auf einem konstanten Wert V_{ii0} .

[0101] Danach wird das Signal C0 low, wodurch die Transistorschalter **12** und **15** ausgeschaltet werden und der Transistorschalter **13A** eingeschaltet wird, die Spannungen VP und VN jeweils $V_{ii0}/2$ erreichen und die Leseverstärker A1 bis AX inaktiviert werden.

[0102] Als nächstes werden die Bitleitungspaare jeweils kurzgeschlossen, und die Bitleitungsspannung erreicht $V_{ii0}/2$.

[0103] Als Resultat wird eine Spannungsdifferenz zwischen einem Bitleitungspaar nach dem Auslesen einer Speicherzelle auf ihm und vor dem Verstärken nicht reduziert, wodurch in bezug auf die Leseverstärker die Toleranz für eine Operation ohne Fehler größer wird. Das heißt, der Leseverstärker **10** wird mit größerer Zuverlässigkeit ohne Fehler arbeiten. Deshalb kann eine Auffrischzykluszeit verlängert werden, wodurch eine Reduzierung eines unwirtschaftlichen Stromes herbeigeführt wird.

[0104] [Fig. 12](#) zeigt ein anderes Beispiel einer Ableitungsschaltung **50A**, die ein NAND-Gatter **54** als Steuerschaltung anstelle des NOR-Gatters **52** und des Inverters **53** von [Fig. 9](#) umfaßt, und das NAND-Gatter **54** hat Eingänge, die gekoppelt sind, um die Bankaktivierungssignale *BRAS0 und *BRAS1 zu empfangen.

Vierte Ausführungsform

[0105] [Fig. 13](#) zeigt eine Schaltung, der eine stabilisierte Energiezufuhrschaltung zugeordnet ist, in einem SDRAM gemäß der vierten Ausführungsform.

[0106] Eine Ableitungsschaltung **50B** umfaßt NMOS-Transistoren **511** und **512**, die jeweils zwischen der Sourceelektrode des NMOS-Transistors **45** und der Erdleitung verbunden sind. Die Gateelektroden der NMOS-Transistoren **511** und **512** empfangen die Bankaktivierungssignale BRAS0 bzw. BRAS1.

[0107] Wenn das Bankaktivierungssignal BRAS0 oder BRAS1 high ist, ist deshalb der jeweilige Transistor **511** oder **512** ein. Ein unwirtschaftlicher Energieverbrauch durch den Strom, der zu der Ableitungsschaltung **50B** fließt, ist unbedeutend klein, und die Schwankung der Zufuhrspannung V_{ii} wird selbst dann effektiv reduziert, wenn der Strom für die Lese-

verstärker Null wird.

[0108] Da die Ableitungsschaltung **50B** gemäß der vierten Ausführungsform nur aus den Transistoren **511** und **512** gebildet ist, kann sie einfacher konstruiert werden. Ferner ist ein Transistor zum Ableiten in der Ableitungsschaltung **50B** für jede Bank angeordnet, und derselbe Stabilisierungseffekt wird selbst dann erreicht, wenn irgendeine Bank aktiviert wird.

Fünfte Ausführungsform

[0109] [Fig. 14](#) ist ein Diagramm, das eine Schaltung, der eine stabilisierte Energiezufuhrschaltung zugeordnet ist, in einem SDRAM gemäß der fünften Ausführungsform zeigt.

[0110] Eine Ableitungsschaltung **50C** umfaßt die Ableitungsschaltung **50B** von [Fig. 13](#) und ferner ein UND-Gatter **52B**, das Eingänge hat, die gekoppelt sind, um das Bankaktivierungssignal BRAS0 und ein Zeitlagensignal T zu empfangen, einen Inverter **53**, der zwischen dem Ausgang des UND-Gatters **52B** und der Gateelektrode des NMOS-Transistors **511** verbunden ist, und eine andere Kombination aus einem UND-Gatter und einem Inverter, die dem NMOS-Transistor **512** entspricht.

[0111] Das Zeitlagensignal T ist so, daß es nach Ablauf einer vorbestimmten Zeit ab dem Anstieg einer Wortleitung aktiv wird. Diese vorbestimmte Zeit ist derart, daß die VP-Leitung zu der Rücksetzzeit von Bitleitungspaaren auf Vii0 ist, und die Zeit ist so lang wie möglich, um einen unwirtschaftlichen Energieverbrauch zu reduzieren.

[0112] Der NMOS-Transistor **511** oder **512** ist ein, nachdem die vorbestimmte Zeit ab dem Anstieg einer Wortleitung bis zu dem Inaktivwerden des Bankaktivierungssignals BRAS0 oder BRAS1 abgelaufen ist.

[0113] Gemäß der fünften Ausführungsform kann ein unwirtschaftlicher Energieverbrauch sehr reduziert werden, da die Ableitungszeit der Ableitungsschaltung **50C** kürzer als jene der Schaltung **50B** ist.

Sechste Ausführungsform

[0114] [Fig. 15](#) ist ein Diagramm, das eine Schaltung, der eine stabilisierte Energiezufuhrschaltung zugeordnet ist, in einem SDRAM gemäß der sechsten Ausführungsform zeigt.

[0115] Eine Ableitungsschaltung **50D** umfaßt einen Einschaltverzögerungszeitgeber **53A** zwischen dem Ausgang eines ODER-Gatters **52C** und der Gateelektrode des NMOS-Transistors **51**. Dieses ODER-Gatter **52C** und der Zeitgeber **53A** bilden eine Steuerschaltung. Das ODER-Gatter **52C** hat Eingänge, die gekoppelt sind, um die Bankaktivierungssig-

nale BRAS0 und BRAS1 zu empfangen.

[0116] Der NMOS-Transistor **51** ist ein, nachdem die gesetzte Zeit des Zeitgebers **53A** ab dem Anstieg des Bankaktivierungssignals BRAS0 oder BRAS1 auf high bis zu dem Zeitpunkt, zu dem die Bankaktivierungssignale BRAS0 und BRAS1 low werden, abgelaufen ist. Der Zeitgeber **53A** wird zurückgesetzt, wenn die Ausgabe des ODER-Gatters **52C** low wird.

[0117] Gemäß der sechsten Ausführungsform der vorliegenden Erfindung kann, da die Ableitungszeit der Ableitungsschaltung **50D** kürzer als jene der Schaltung **50B** ist, ein unwirtschaftlicher Energieverbrauch wie in der fünften Ausführungsform sehr reduziert werden.

[0118] Der Zeitgeber **53A** kann zum Beispiel aus einer Kombination von einer Oszillatorschaltung und einer Zählerschaltung zum Zählen von Impulsen von der Oszillatorschaltung gebildet sein. [Fig. 16](#) und [Fig. 17](#) zeigen eine Oszillatorschaltung **53A1** bzw. eine Zählerschaltung **53A2**, die auf den Zeitgeber **53A** anwendbar sind und in der Technik bekannt sind.

[0119] Die Oszillatorschaltung **53A1** umfaßt, wie in [Fig. 16](#) gezeigt, NMOS-Transistoren **120** bis **136**, PMOS-Transistoren **137** bis **153**, Inverter **154** bis **156** und Widerstände **157** und **158**. Die NMOS-Transistoren **121** bis **125** und die PMOS-Transistoren **149** bis **153** bilden eine Ringoszillatorschaltung **60**. Wenn ein aktiviertes Bankaktivierungssignal von dem Freigabeingang **6** der Oszillatorschaltung **53A1** vorgesehen wird, beginnt die Oszillatorschaltung **53A1** zu arbeiten, und Impulse, die von der Ringoszillatorschaltung **60** erzeugt werden, werden von dem Ausgang **7** vorgesehen.

[0120] Die Zählerschaltung **53A2** umfaßt, wie in [Fig. 17](#) gezeigt, D-Flipflops D-FF1 bis D-FF3, die kaskadiert sind. D-FF1 bis D-FF3 haben untereinander dieselbe Struktur. D-FF1 umfaßt NMOS-Transistoren **159** bis **164**, PMOS-Transistoren **165** bis **170**, Inverter **171** bis **174** und NAND-Gatter **75** und **76**. Das Signal von dem Ausgang **7** der Oszillatorschaltung **53A1** wird für den Takteingang **7** der Zählerschaltung **53A2** vorgesehen, das Ausgangssignal des ODER-Gatters **52C** wird für den Rücksetzeingang **6** (*RST) der Zählerschaltung **53A2** vorgesehen, und das Zeitablaufsignal wird von dem Ausgang **8** des D-FF3 vorgesehen. Durch Erhöhen oder Verringern der Anzahl der kaskadierten D-Flipflops ist es möglich, die erforderliche Verzögerungszeit einzustellen.

[0121] Es sei erwähnt, daß der Zeitgeber **53A** aus der Oszillatorschaltung **53A1** gebildet sein kann, falls das Signal mit zweckmäßiger Zeitperiode durch die Oszillatorschaltung **53A1** erzeugt werden kann.

Siebte Ausführungsform

[0122] [Fig. 18](#) ist ein Diagramm, das eine Schaltung, der eine stabilisierte Energiezufuhrschaltung zugeordnet ist, in einem SDRAM gemäß der siebten Ausführungsform zeigt.

[0123] Die Ableitungsschaltung **50E** umfaßt den NMOS-Transistor, der zwischen der Sourceelektrode des NMOS-Transistors **45** und der Erdleitung verbunden ist, und einen Komparator **54** als Steuerschaltung zum Vergleichen einer Spannung, die zu V_{ii} proportional ist, mit einer Referenzspannung V_{ref} und Vorsehen einer Ausgabe für die Gateelektrode des NMOS-Transistors **51** als Reaktion auf das Vergleichsresultat. Falls $KV_{ii} > V_{ref}$ ist, ist dann die Ausgabe des Komparators **54** high, um zu bewirken, daß der NMOS-Transistor **51** ein ist, oder sonst ist die Ausgabe des Komparators **54** low, um zu bewirken, daß der NMOS-Transistor aus ist, wobei K eine Proportionalkonstante und $V_{ref}/K = V_{ii0}$ ist.

[0124] [Fig. 19](#) zeigt ein Strukturbeispiel des Komparators **54**. Der Komparator **54** umfaßt NMOS-Transistoren **177** bis **180**, PMOS-Transistoren **181** bis **184**, Widerstände **185** und **186**, einen Inverter **187** und einen Kondensator **188**. Der Komparator **54** vergleicht die Spannung KV_{ii} , die durch Teilen der Spannung V_{ii} , die von dem Eingang **9** vorgesehen wird, mit den Widerständen **185** und **186** erhalten wird, mit der Referenzspannung V_{ref} , und wenn $KV_{ii} > V_{ref}$ ist, ist die Ausgabe A high.

[0125] Für den FREIGABE-Eingang EN des Komparators **54** wird zum Beispiel ein Chipfreigabesignal CS vorgesehen, und falls der Freigabeeingang EN low ist, sind die NMOS-Transistoren **177** und **179** aus und ist der Ausgang A low, wodurch ein unwirtschaftlicher Energieverbrauch reduziert wird.

Achte Ausführungsform

[0126] [Fig. 20](#) ist ein Diagramm, das eine Schaltung, der eine stabilisierte Energiezufuhrschaltung zugeordnet ist, in einem SDRAM gemäß der achten Ausführungsform zeigt.

[0127] Die Ableitungsschaltung **50F** umfaßt PMOS-Transistoren **511A** und **512A** anstelle der NMOS-Transistoren **511** und **512** von [Fig. 13](#), und die Bankaktivierungssignale $*BRAS0$ und $*BRAS1$ anstelle der Signale $BRAS0$ und $BRAS1$ werden für die Gateelektroden der PMOS-Transistoren **511A** bzw. **512A** vorgesehen.

[0128] Obwohl bevorzugte Ausführungsformen der vorliegenden Erfindung beschrieben worden sind, versteht sich, daß die Erfindung nicht darauf begrenzt ist und daß verschiedene Veränderungen und Abwandlungen vorgenommen werden können, ohne

den Grundgedanken und Schutzzumfang der Erfindung zu verlassen.

[0129] Zum Beispiel können anstelle der PMOS-Transistoren **29** und **30** von [Fig. 2](#) andere Arten von Schaltelementen verwendet werden.

[0130] Ferner kann anstelle des Treibens einer Leseverstärkerreihe durch die Leseverstärkertreibschaltung **111** von [Fig. 1](#) solch eine Struktur vorhanden sein, daß diese Leseverstärkerreihe in eine Vielzahl von Leseverstärkergruppen geteilt ist, Leseverstärkertreibschaltungen mit kleinerer Treibkapazität als die Leseverstärkertreibschaltung **111** für jede Leseverstärkergruppe verwendet werden, die Ausgabe der Selektionsschaltung **26** den Leseverstärkergruppen durch die jeweiligen Leseverstärkertreibschaltungen gemeinsam zugeführt wird. Dies gilt auch für andere Leseverstärkertreibschaltungen von [Fig. 1](#) und [Fig. 7](#).

[0131] Weiterhin ist die Bitleitungsvorladespannung nicht auf die Spannung $V_{ii}/2$ begrenzt, und sie kann zum Beispiel eine Spannung V_{ii} oder eine Erdspannung sein. In [Fig. 2](#) ist die Leseverstärkerinaktivierungsspannung, die für die Leseverstärkertreibschaltung **113** vorgesehen ist, dieselbe wie die Bitleitungsvorladespannung, die für die Vorladeschaltung **18** vorgesehen ist.

[0132] Wenn die Bitleitungsvorladespannung zum Beispiel die Spannung V_{ii} ist, wird die Spannung V_{ii} anstelle der Spannung $V_{ii}/2$ für die Leseverstärkertreibschaltung **113** vorgesehen. In diesem Fall ist die Spannung V_{H0} auf V_{ii} festgelegt, und für die Sourceelektrode des NMOS-Transistors **15** wird entweder die Erdspannung zum normalen Aktivieren des Leseverstärkers oder die negative Spannung zum schnelleren Aktivieren des Leseverstärkers von einer Selektionsschaltung (nicht gezeigt) vorgesehen. Diese Selektionsschaltung wird durch die Selektionssteuersignale $SC0$ und $*SC0$ von [Fig. 4](#) gesteuert, und wenn das Signal $SC0$ high oder low ist, wird jeweilig die negative oder Erdspannung selektiert.

[0133] Wenn die Bitleitungsvorladespannung die Erdspannung ist, wird die Energiezufuhrspannung V_{H0} , die der Leseverstärkertreibschaltung **113** zugeführt wird, wie im Fall der oben erläuterten Ausführungsform umgeschaltet.

[0134] Die Transistoren **45** und **51** können von einer anderen Art sein, wie etwa MIS- oder Bipolartransistoren.

[0135] Ferner kann in [Fig. 9](#) eine normalhohe Spannung oder ein Chipselektionssignal für die Gateelektrode der NMOS-Transistoren **51** ohne Verwendung des NOR-Gatters **52** und des Inverters **53** vorgesehen werden.

[0136] In [Fig. 15](#) kann die Leseverstärkertreibschaltung [113A](#) zum Beispiel dieselbe wie die Schaltung [113](#) von [Fig. 2](#) sein, und des weiteren kann die Selektionsschaltung [28](#) von [Fig. 2](#) zwischen dem Transistorschalter [12](#) und dem Vii-Ausgang eingefügt werden, um die Leseverstärker mit Vjj zu übersteuern. In diesem Fall wird der Zeitgeber so eingestellt, daß der Transistor ein sein wird, nachdem durch die Selektionsschaltung [28](#) von Vjj auf Vii umgeschaltet ist.

[0137] Eine Energiezufuhrschaltung, die eine Ableitungsschaltung der vorliegenden Erfindung enthält, ist nicht nur auf eine Halbleiterspeichervorrichtung sondern auch auf verschiedene Halbleitervorrichtungen anwendbar.

Patentansprüche

1. Halbleiterspeichervorrichtung, die eine Vielzahl von Bänken enthält, wobei jede Bank einen Verstärker zum Verstärken einer Spannung zwischen einem Bitleitungspaar umfaßt, welche Halbleiterspeichervorrichtung für jede Bank umfaßt:

eine Selektionsschaltung, die einen Ausgang hat, zum Selektieren entweder einer ersten oder einer zweiten Energiezufuhrspannung, die von dem Ausgang als Reaktion auf ein Selektionssteuersignal vorzusehen ist, welche zweite Energiezufuhrspannung zum schnelleren Aktivieren des Leseverstärkers als unter Verwendung der ersten Energiezufuhrspannung dient;

eine Selektionssteuerschaltung zum Erzeugen des Selektionssteuersignals zum Selektieren der zweiten Energiezufuhrspannung für eine vorbestimmte Periode als Reaktion auf die Aktivierung eines entsprechenden Bankaktivierungssignals und zum anschließenden Selektieren der ersten Energiezufuhrspannung; und

eine Leseverstärkertreibschaltung zum Zuführen der Energiezufuhrspannung, die durch die Selektionsschaltung selektiert wurde, zu dem Leseverstärker als Reaktion auf die Aktivierung eines Leseverstärkersteuersignals.

2. Halbleiterspeichervorrichtung nach Anspruch 1, bei der die Leseverstärkertreibschaltung ihre Ausgabe von der Energiezufuhrspannung auf eine Bitleitungsvorladespannung umschaltet, um sie dem Leseverstärker zuzuführen, wenn das Leseverstärkersteuersignal inaktiv ist.

3. Halbleiterspeichervorrichtung nach Anspruch 2, bei der die Selektionsschaltung umfaßt:

einen ersten Transistorschalter, der zwischen einem Leiter mit der ersten Energiezufuhrspannung und dem Ausgang der Selektionsschaltung verbunden ist; und

einen zweiten Transistorschalter, der zwischen einem Leiter mit der zweiten Energiezufuhrspannung und dem Ausgang der Selektionsschaltung verbun-

den ist.

4. Halbleiterspeichervorrichtung nach Anspruch 2, ferner mit einer Energiezufuhrschaltung zum Zuführen der ersten und zweiten Energiezufuhrspannungen.

5. Halbleiterspeichervorrichtung nach Anspruch 4, bei der die Selektionssteuerschaltung umfaßt: eine Schaltung zum Erzeugen eines Setzimpulses als Reaktion auf die Aktivierung des entsprechenden Bankaktivierungssignals; eine Verzögerungsschaltung zum Verzögern des entsprechenden Bankaktivierungssignals; eine Schaltung zum Erzeugen eines Rücksetzimpulses als Reaktion auf die Aktivierung eines Ausgangssignals der Verzögerungsschaltung; und eine Flipflop-Schaltung mit einem Setzeingang, der gekoppelt ist, um den Setzimpuls zu empfangen, einem Rücksetzeingang, der gekoppelt ist, um den Rücksetzimpuls zu empfangen, und einem Ausgang, der gekoppelt ist, um das Selektionssteuersignal vorzusehen.

6. Halbleiterspeichervorrichtung nach Anspruch 4, ferner mit einer Schaltung zum Erzeugen der Bankaktivierungssignale, die für eine vorbestimmte Periode als Reaktion auf die Ausgabe eines Aktivierungsbefehls aktiviert werden.

7. Halbleiterspeichervorrichtung nach Anspruch 5, bei der die Selektionsschaltung und die Selektionssteuerschaltung für eine Vielzahl von Leseverstärkerreihen in der entsprechenden Bank gemeinsam verwendet werden.

8. Halbleitervorrichtung mit einer Speicherschaltung, welche Speicherschaltung eine Vielzahl von Bänken enthält, wobei jede Bank einen Verstärker zum Verstärken einer Spannung zwischen einem Bitleitungspaar umfaßt, welche Speicherschaltung für jede Bank umfaßt:

eine Selektionsschaltung, die einen Ausgang hat, zum Selektieren entweder einer ersten oder einer zweiten Energiezufuhrspannung, die von dem Ausgang als Reaktion auf ein Selektionssteuersignal vorzusehen ist, welche zweite Energiezufuhrspannung zum schnelleren Aktivieren des Leseverstärkers als unter Verwendung der ersten Energiezufuhrspannung dient;

eine Selektionssteuerschaltung zum Erzeugen des Selektionssteuersignals zum Selektieren der zweiten Energiezufuhrspannung für eine vorbestimmte Periode als Reaktion auf die Aktivierung eines entsprechenden Bankaktivierungssignals und zum anschließenden Selektieren der ersten Energiezufuhrspannung; und

eine Leseverstärkertreibschaltung zum Zuführen der Energiezufuhrspannung, die durch die Selektionsschaltung selektiert wurde, zu dem Leseverstärker

als Reaktion auf die Aktivierung eines Leseverstärkersteuersignals.

Es folgen 23 Blatt Zeichnungen

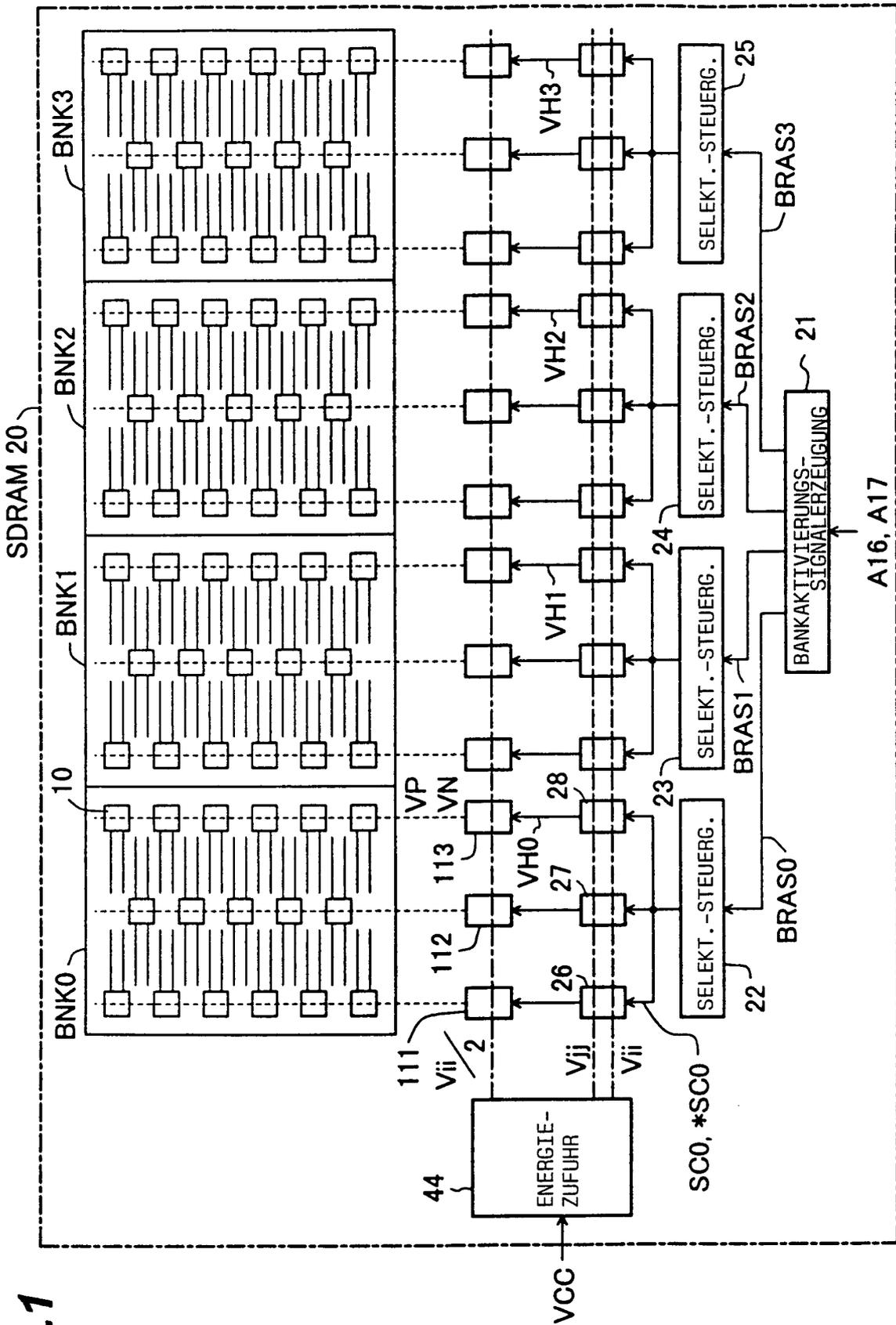


FIG.1

FIG.3

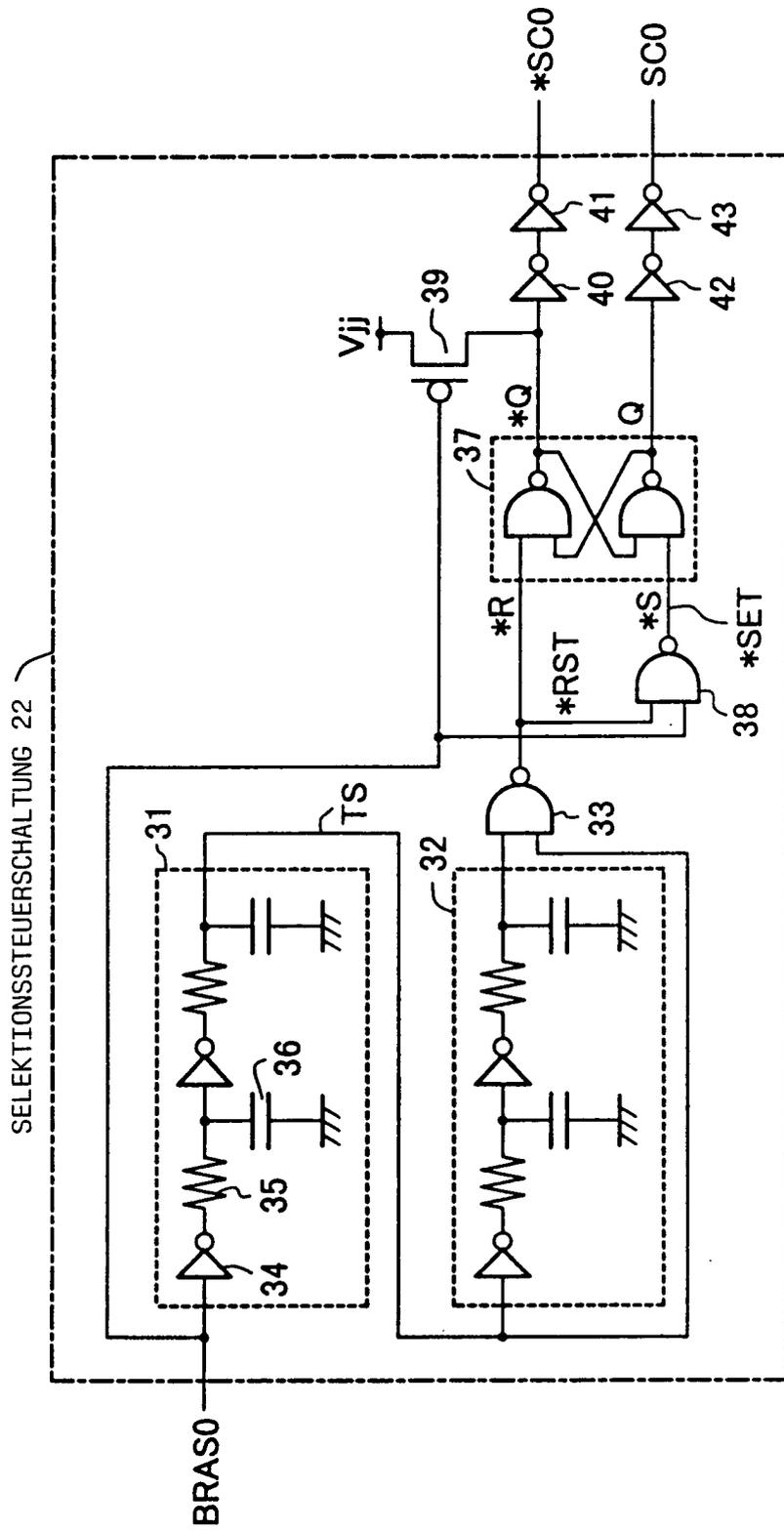


FIG.4

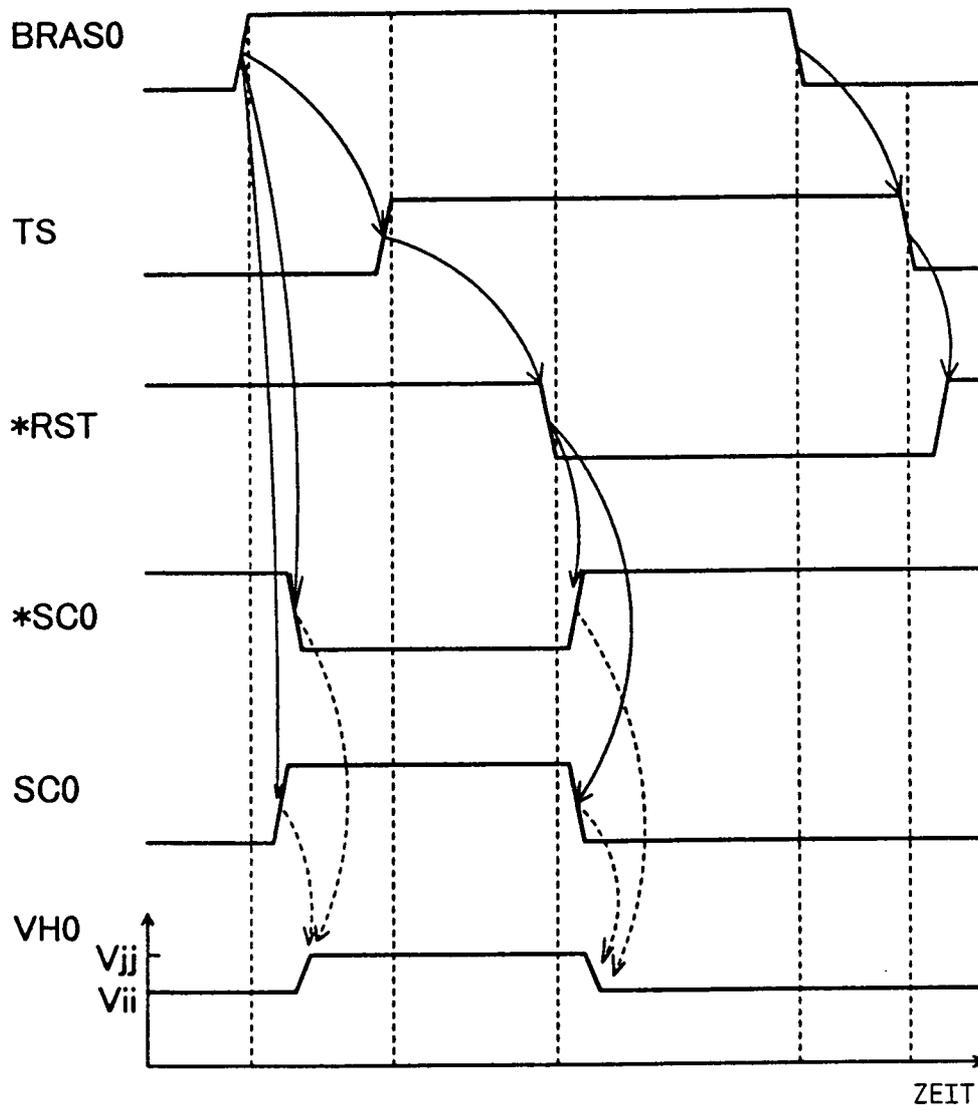


FIG.5

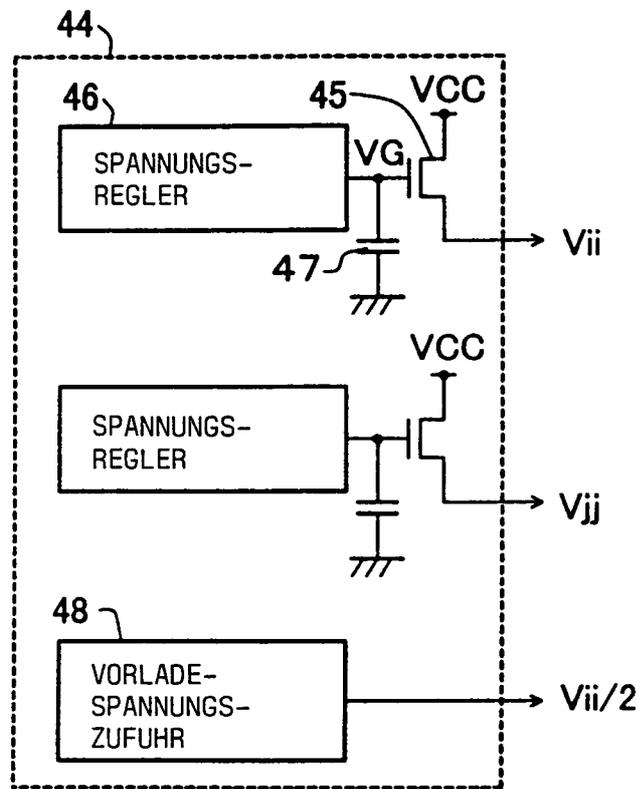


FIG6.

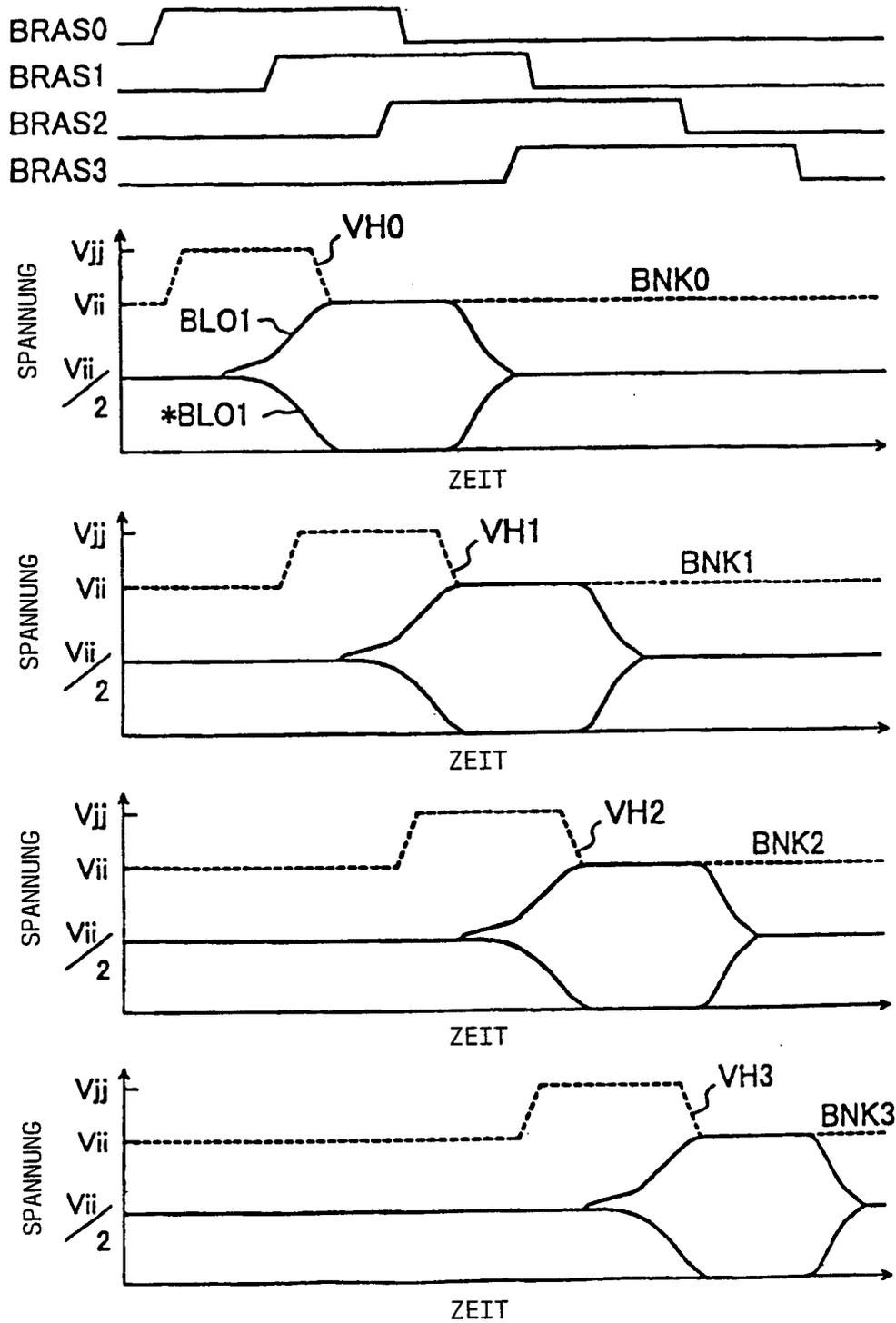
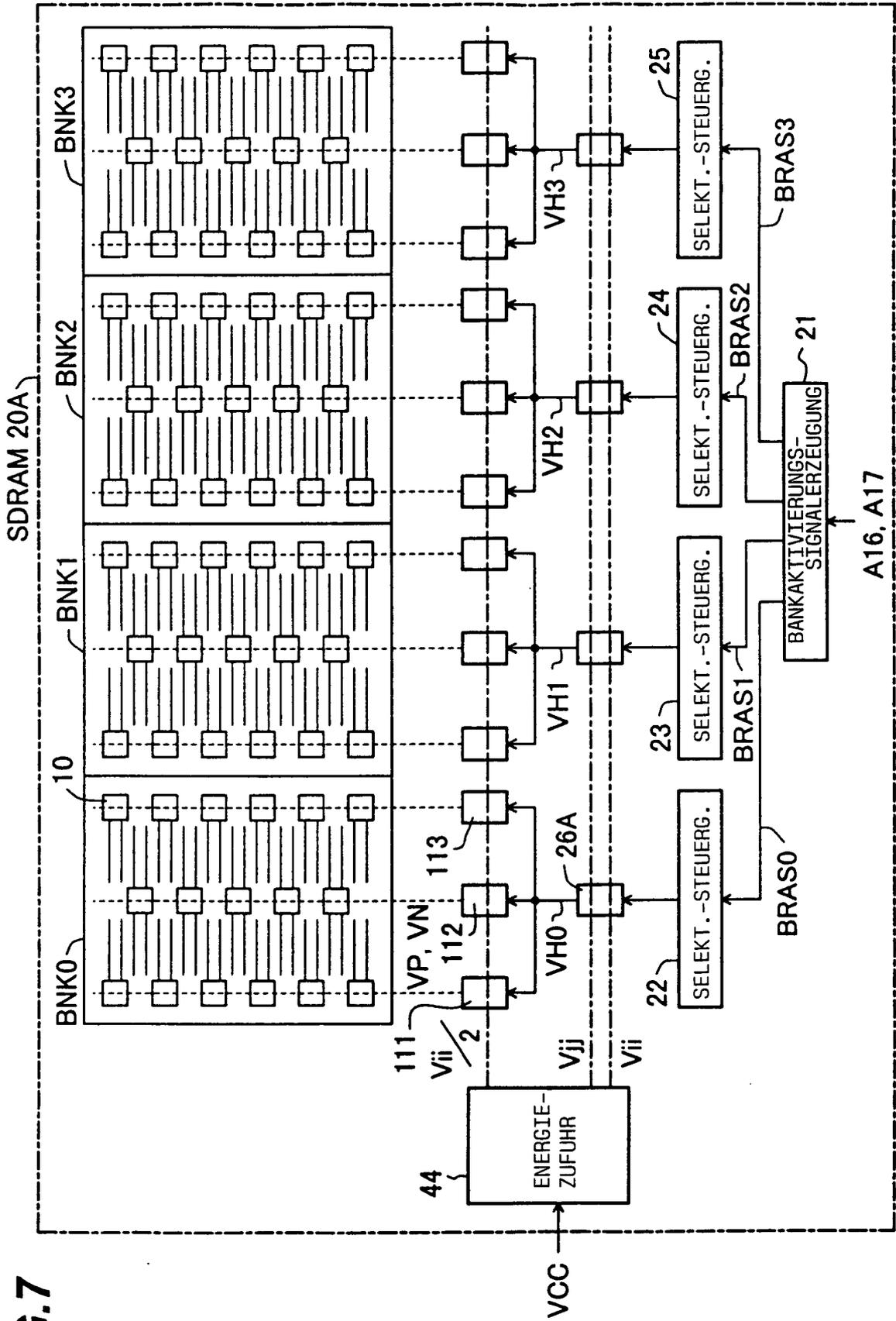


FIG.7



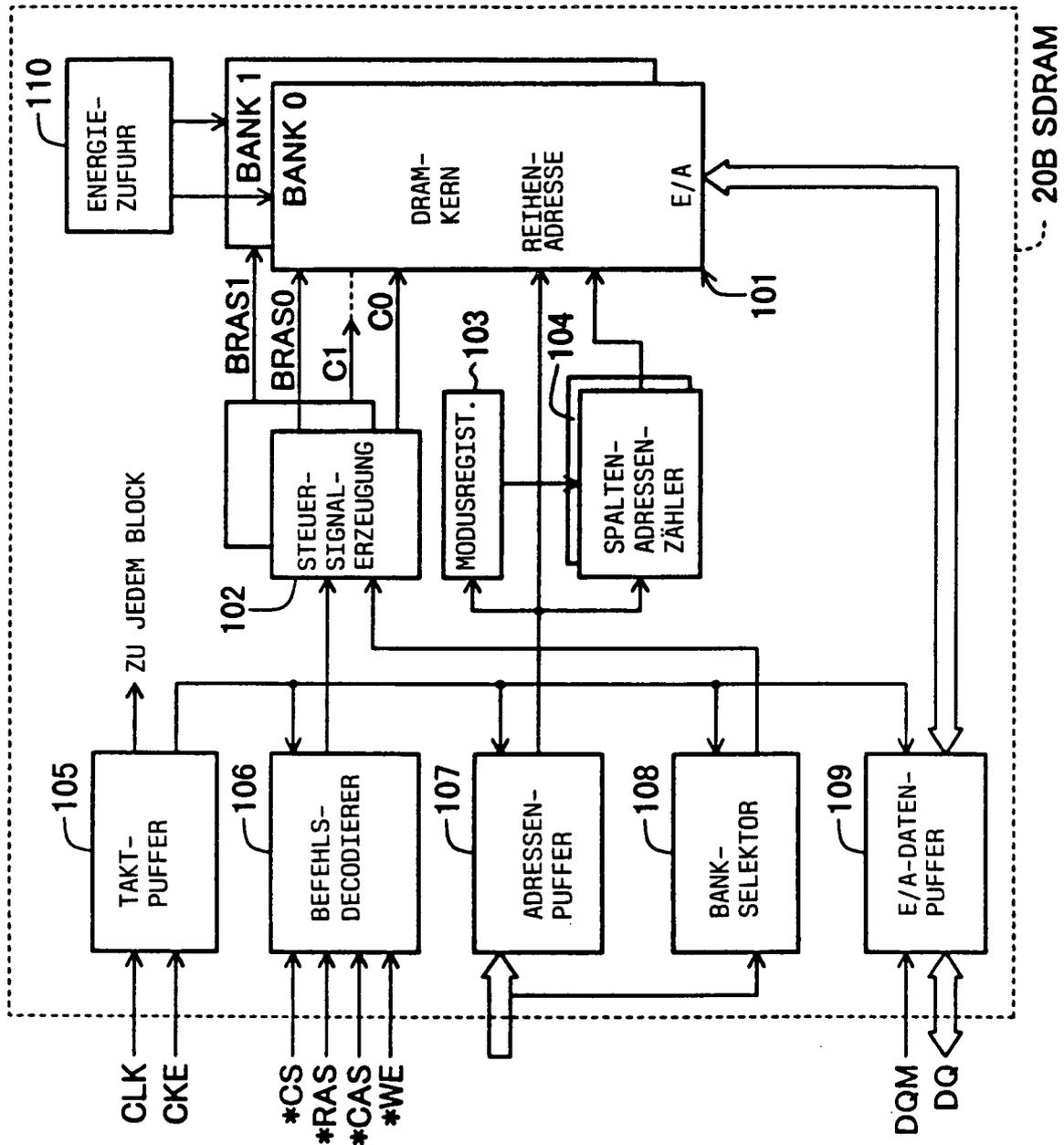


FIG.8

FIG.9

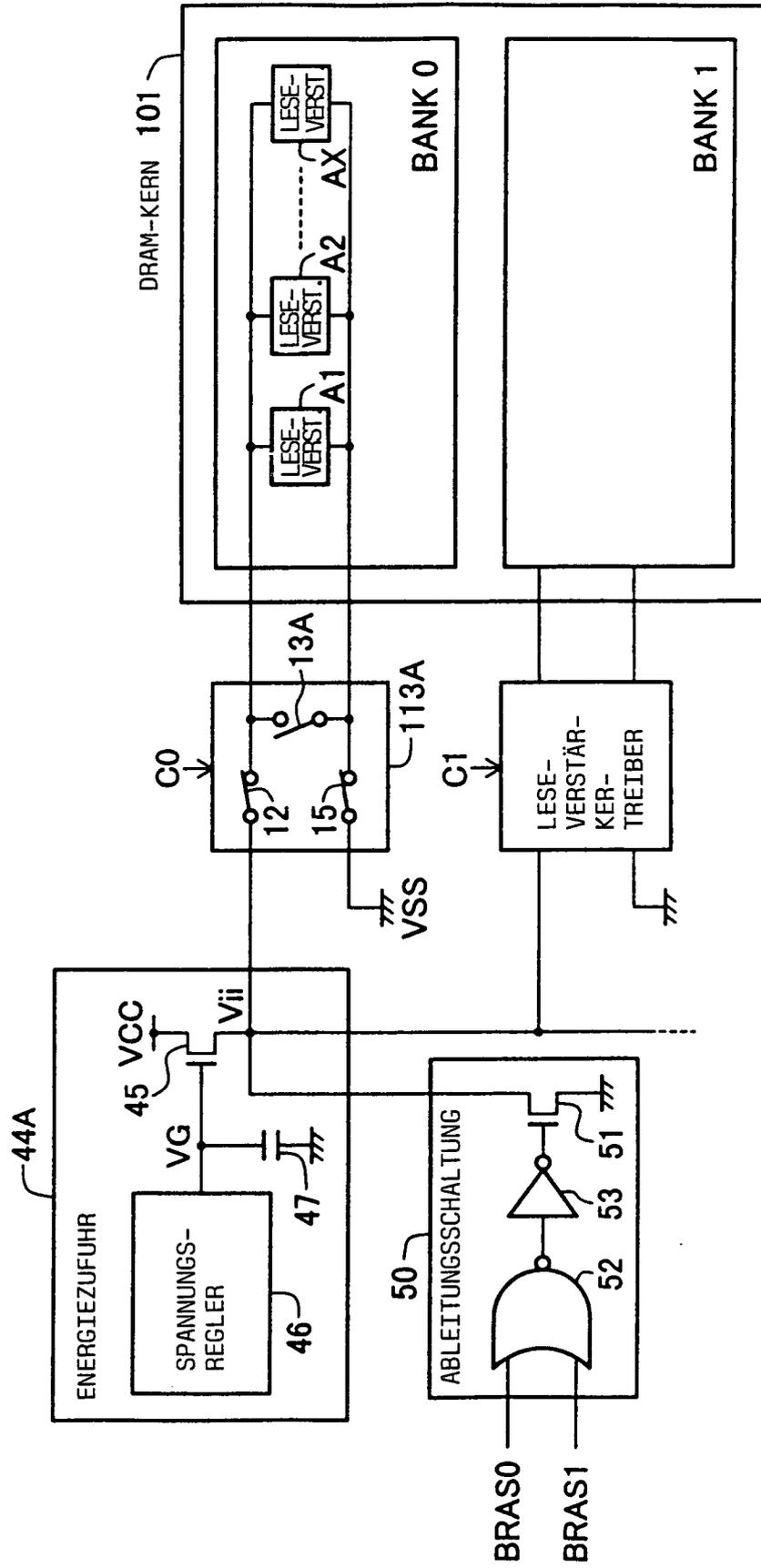


FIG.10

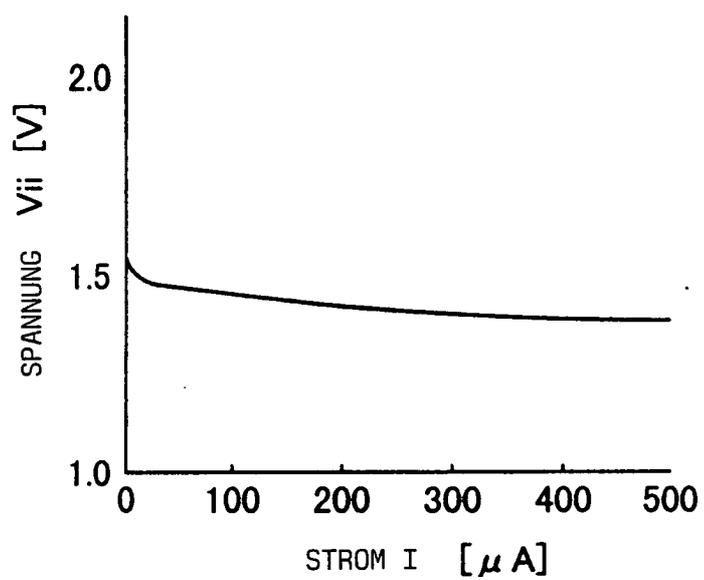


FIG.11

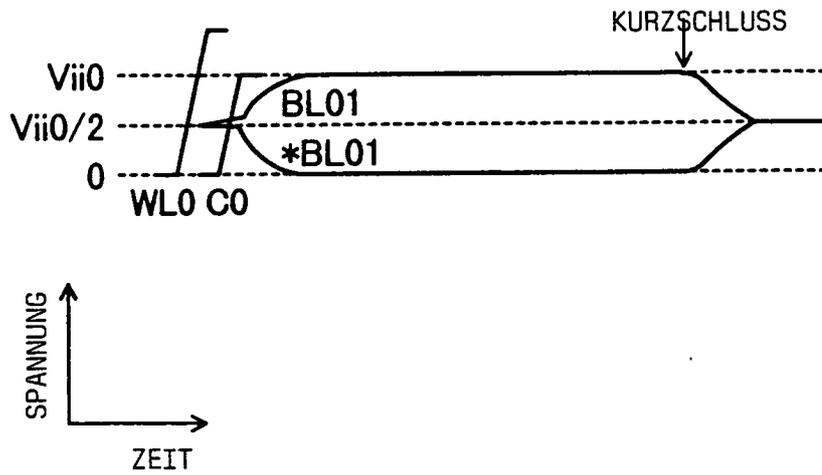


FIG.12

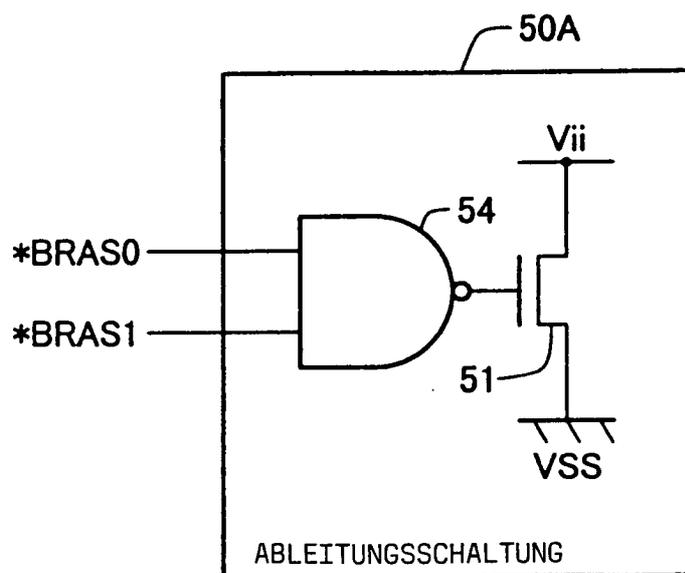


FIG.13

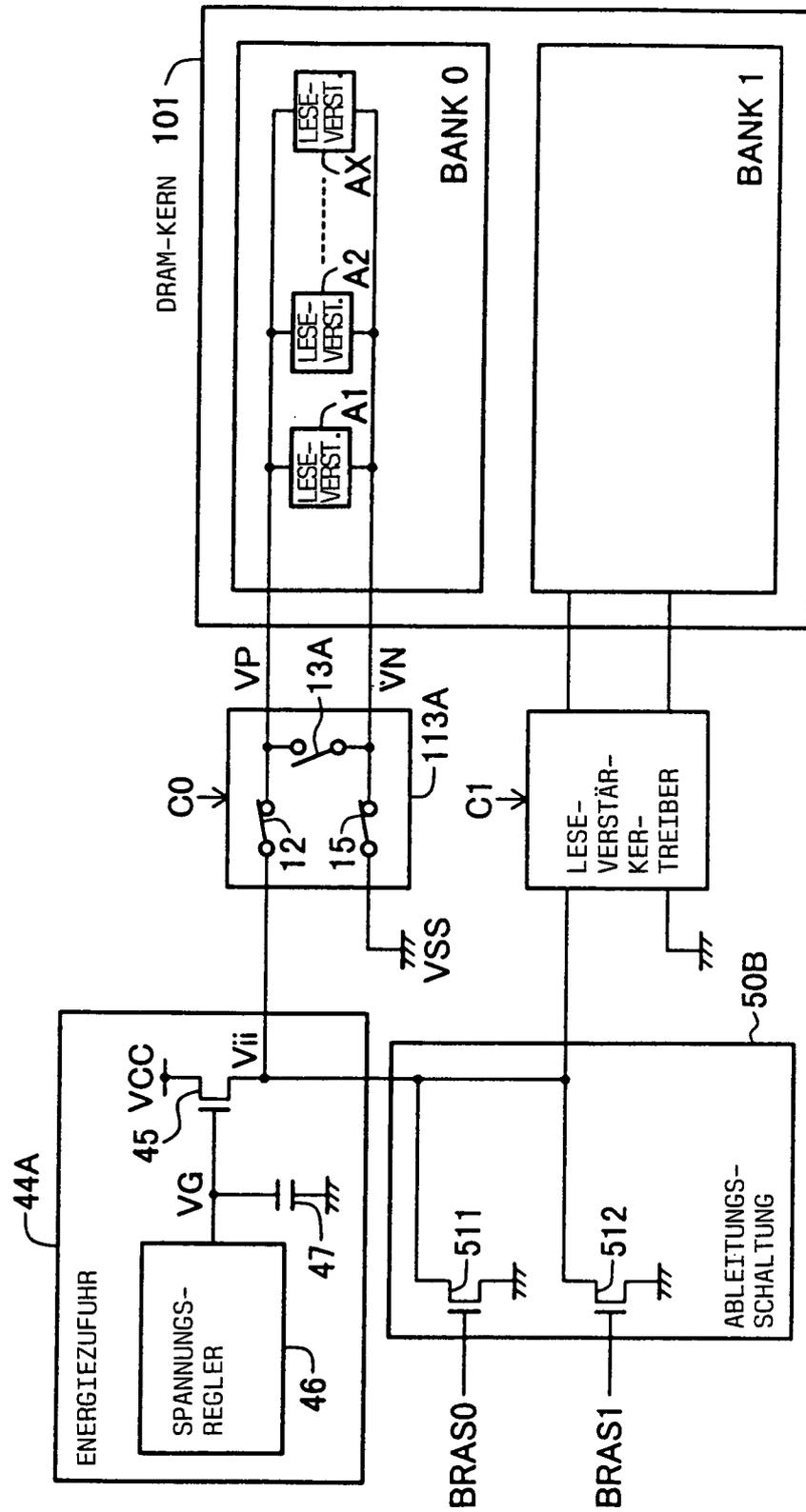


FIG.14

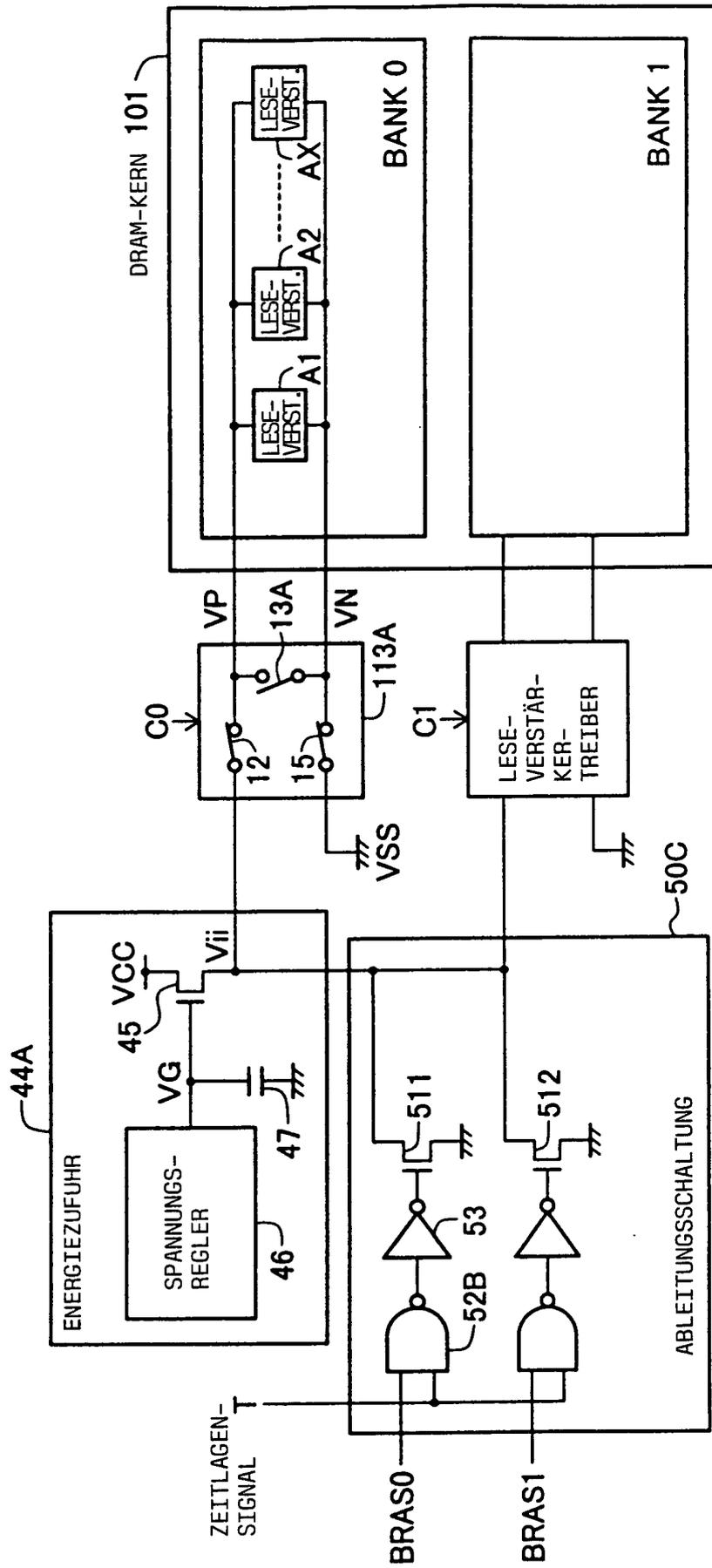
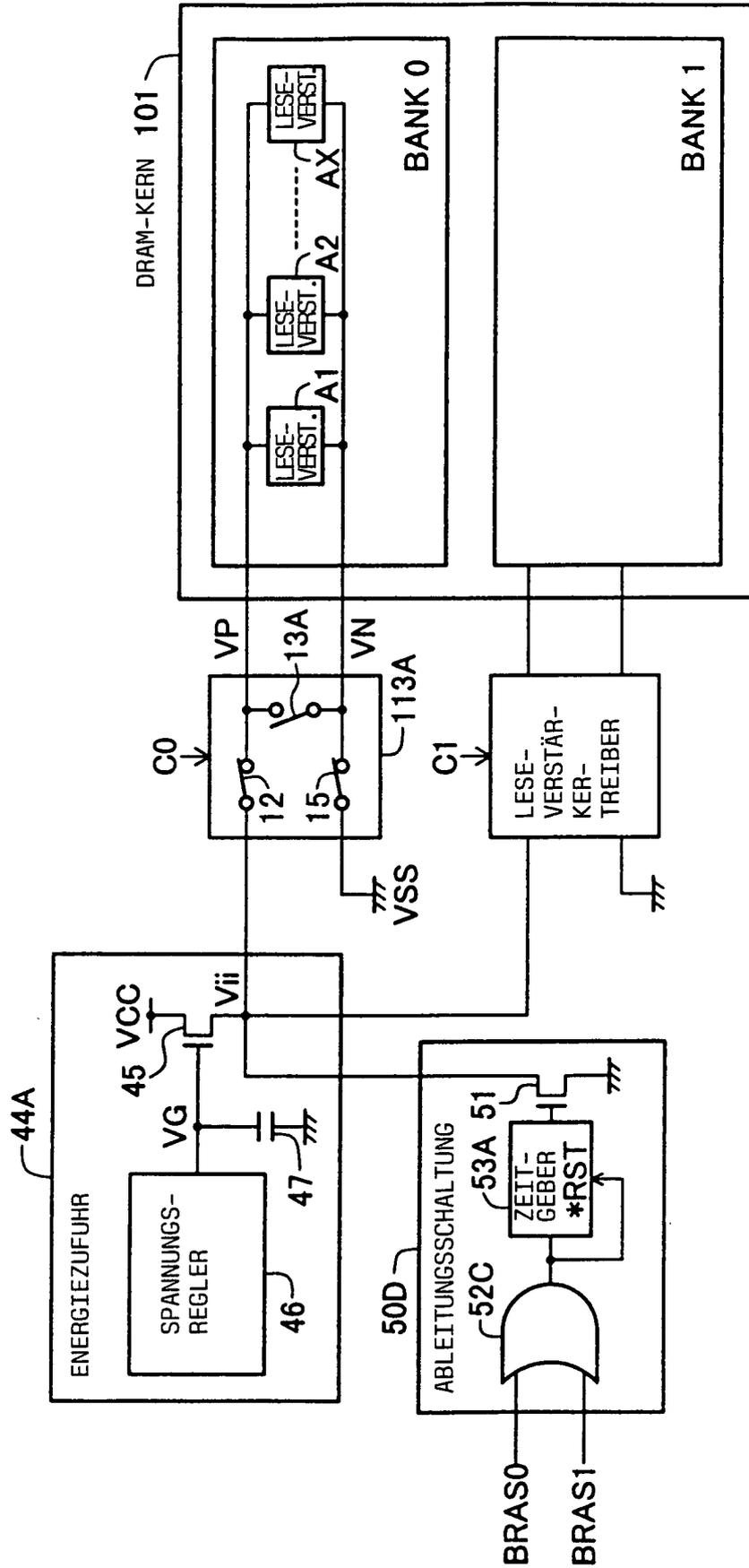


FIG.15



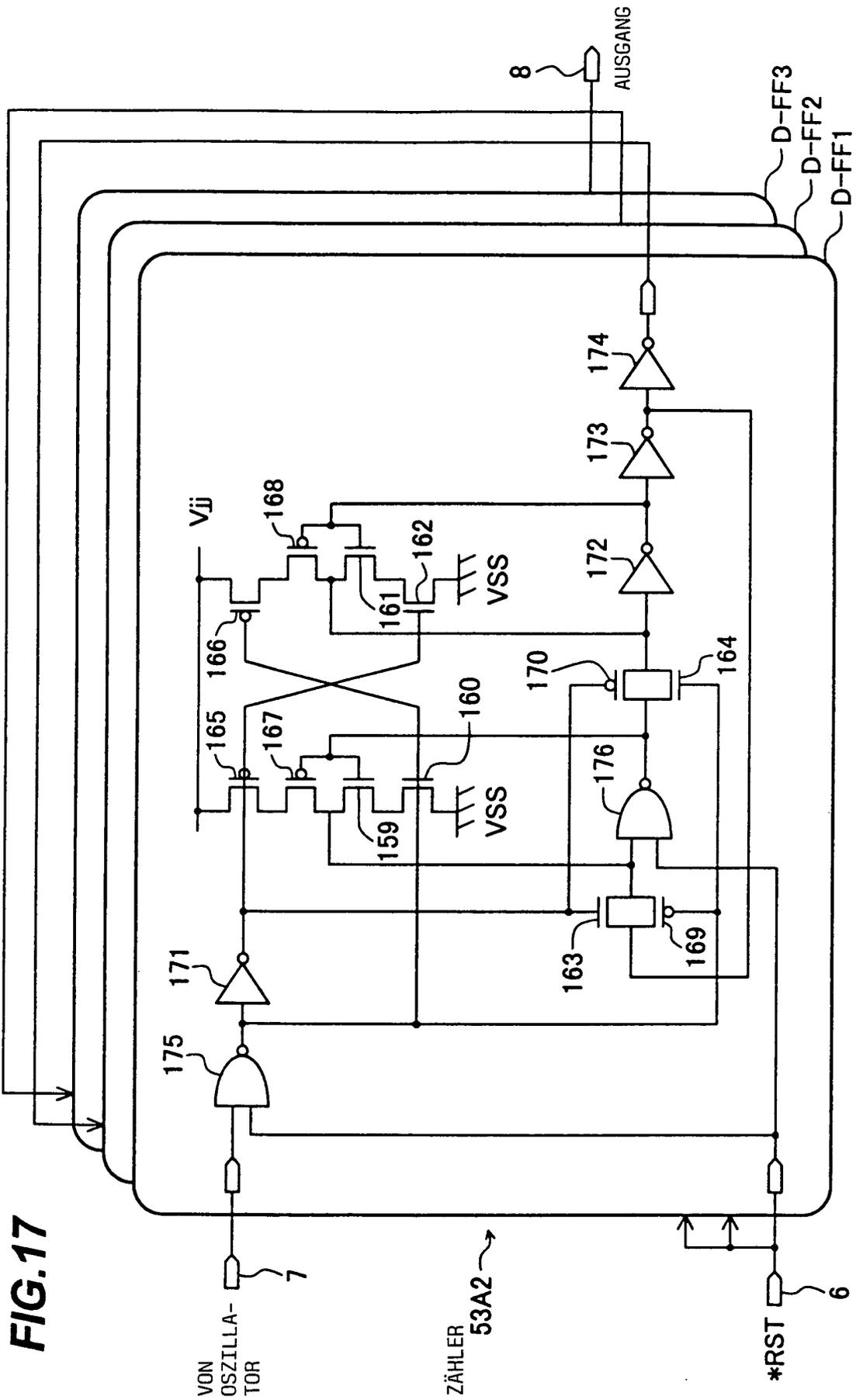


FIG.18

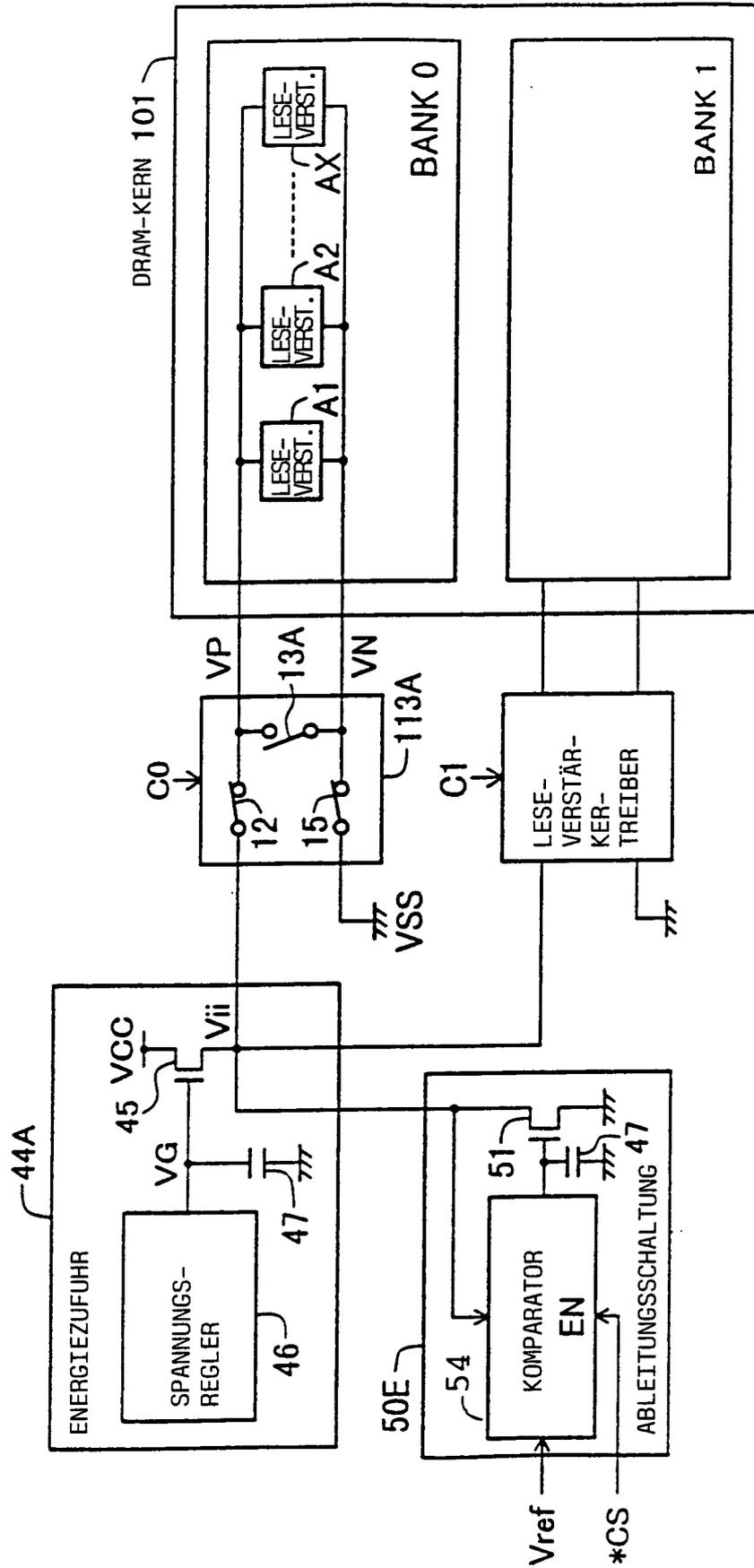


FIG.19

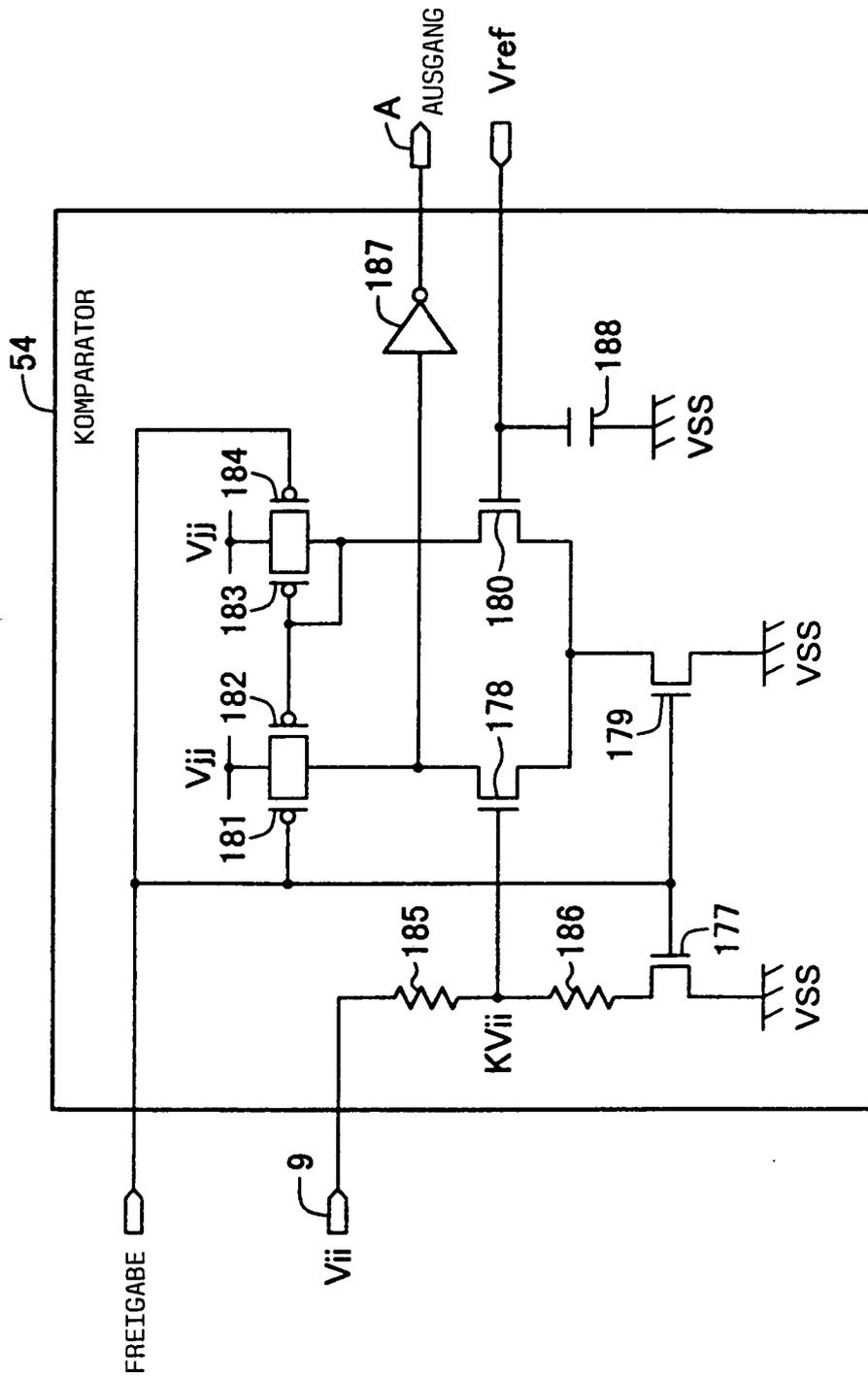
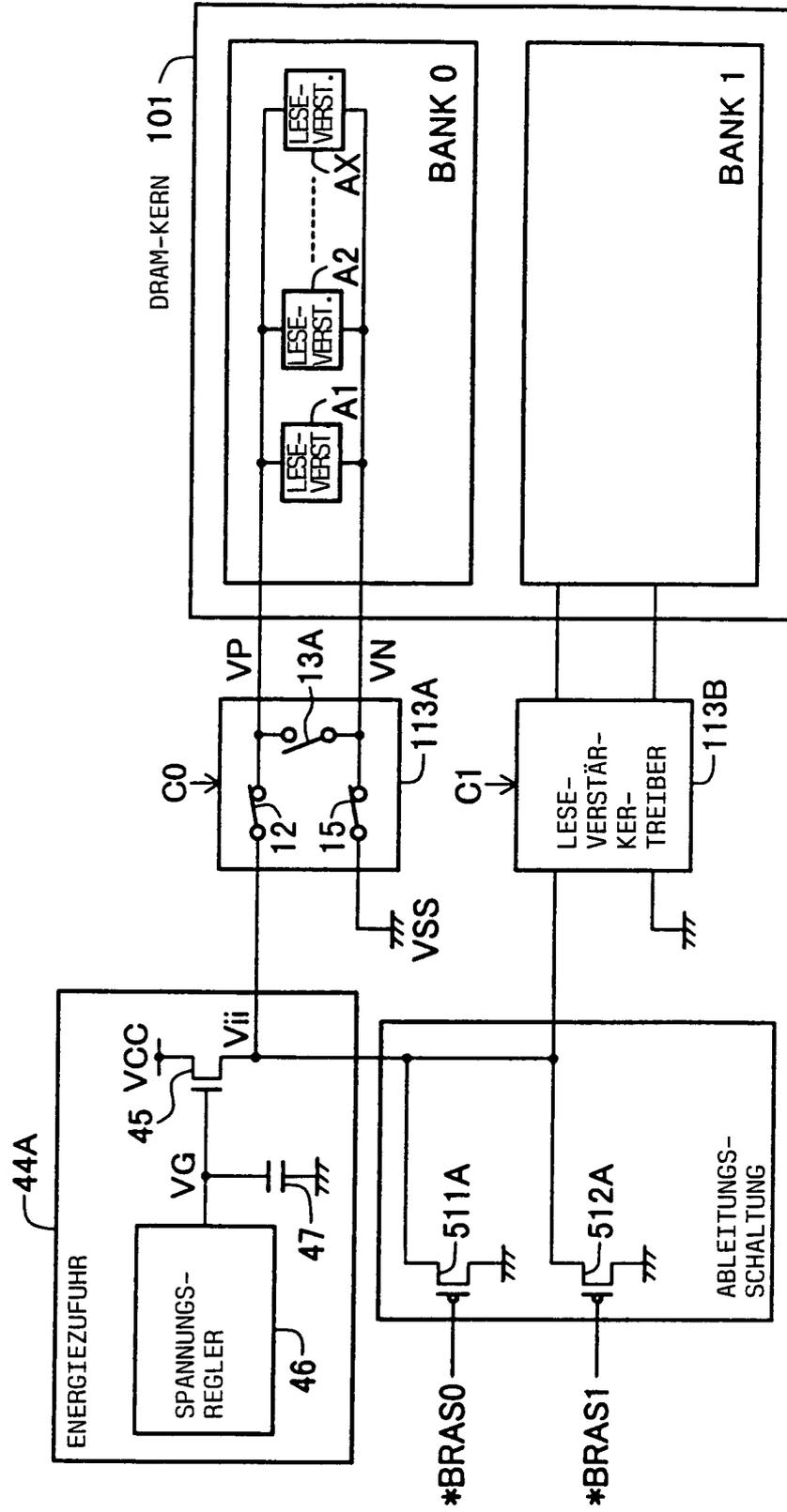


FIG.20



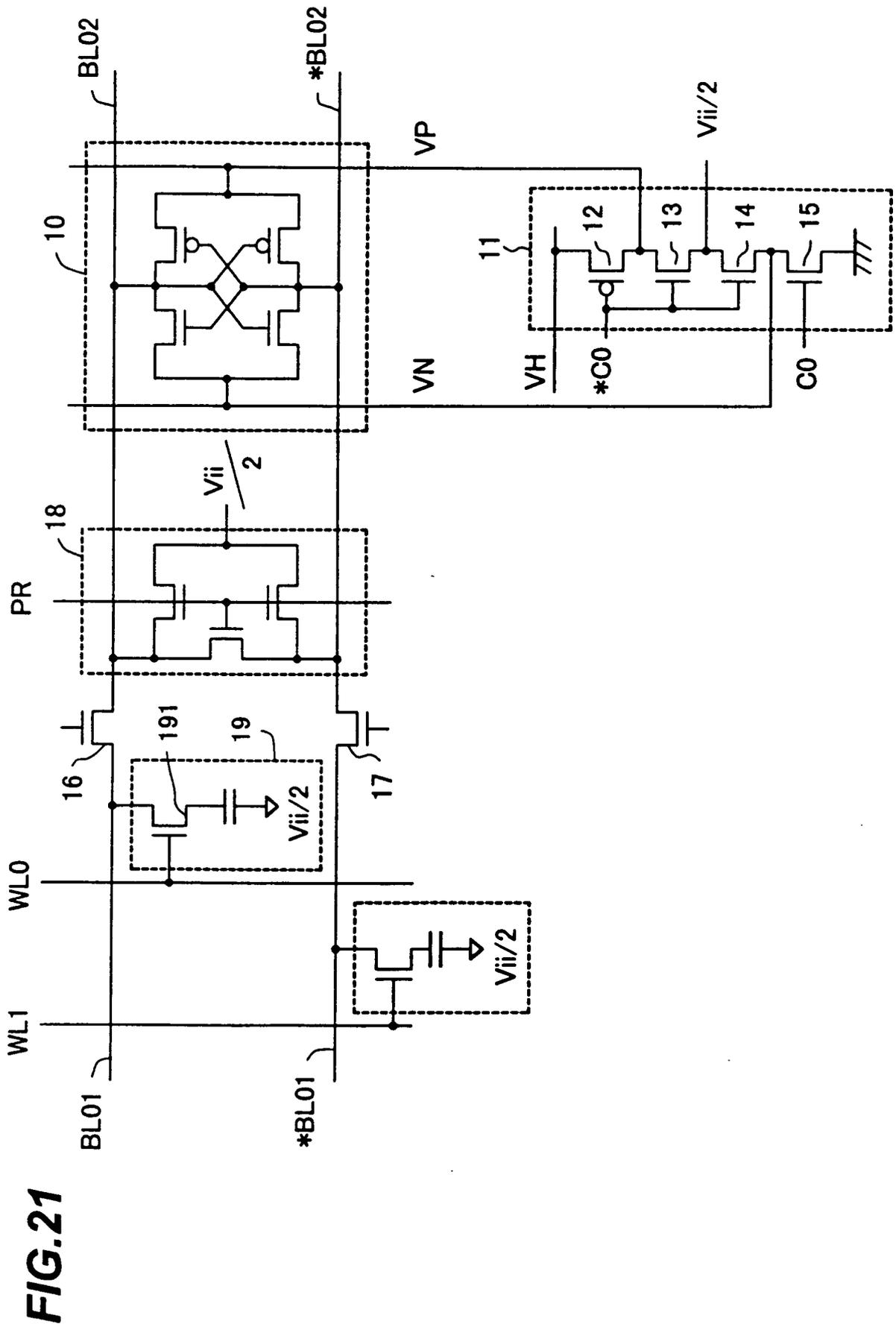


FIG. 21

FIG.22

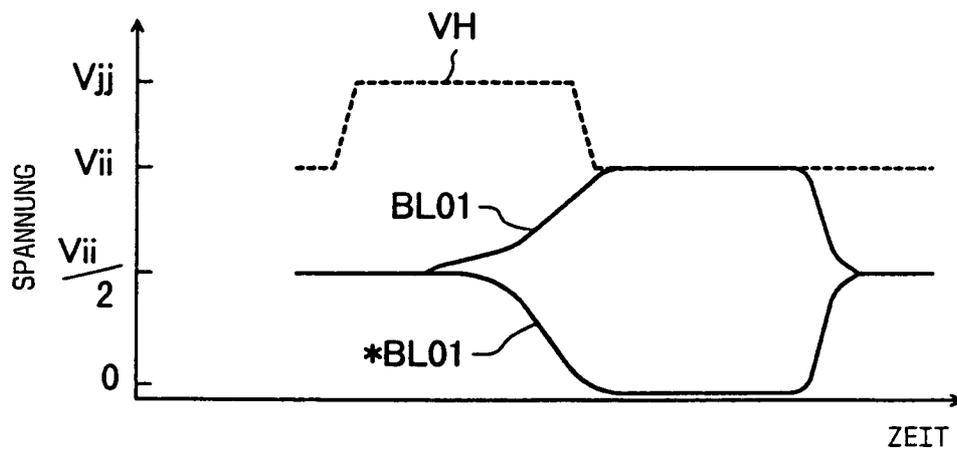


FIG.23

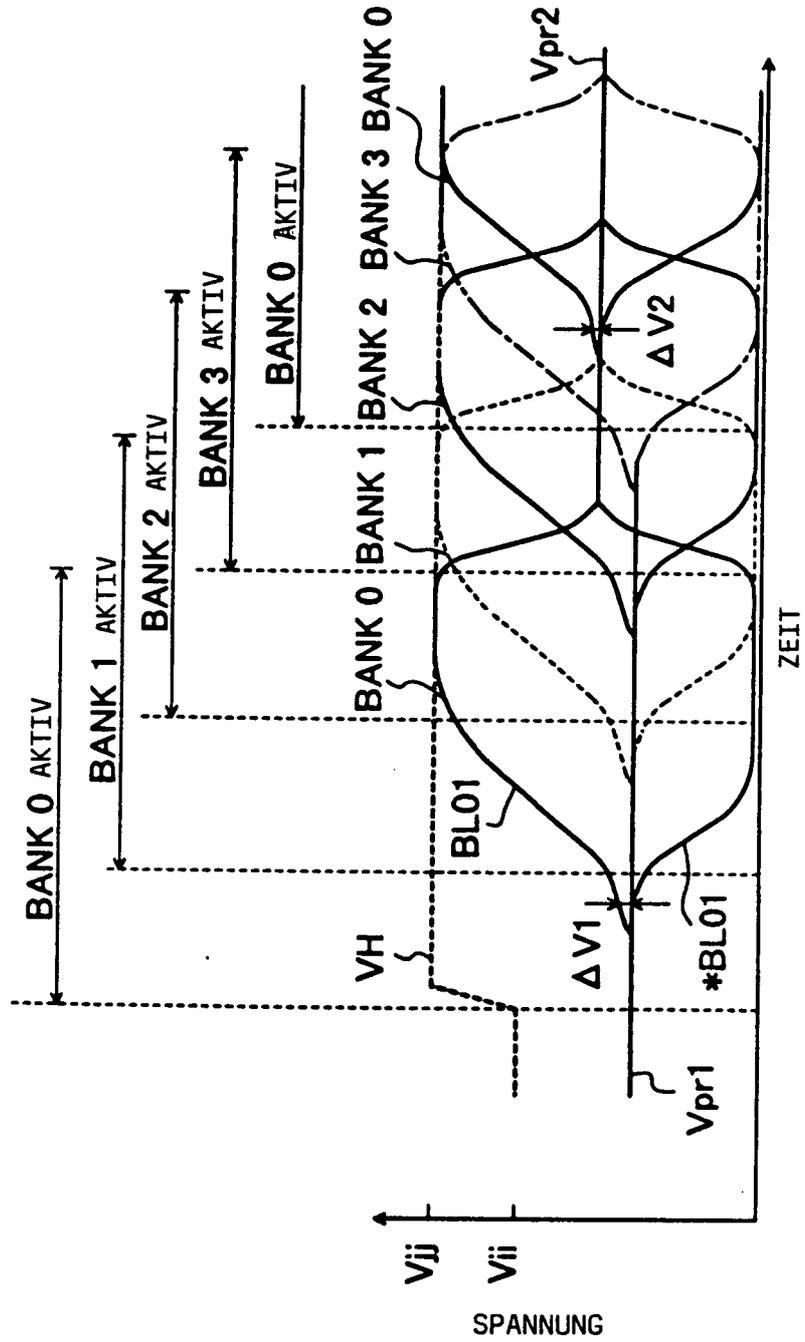


FIG.24

