

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

①1 N° de publication :

3 059 155

(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national :

16 61379

⑤1 Int Cl⁸ : H 01 L 27/085 (2017.01), H 01 L 29/778, 25/07, 23/48

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 23.11.16.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 25.05.18 Bulletin 18/21.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥0 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦1 Demandeur(s) : EXAGAN — FR.

⑦2 Inventeur(s) : LO VERDE DOMENICO, GUILLOT
LAURENT et LETERTRE FABRICE.

⑦3 Titulaire(s) : EXAGAN.

⑦4 Mandataire(s) : IP TRUST.

⑤4 CIRCUIT INTEGRE FORME D'UN EMPILEMENT DE DEUX PUCES CONNECTEES EN SERIE.

⑤7 L'invention concerne un circuit intégré (100) comprenant une première puce (30) comportant un transistor à haute tension en mode déplétion et une deuxième puce (40) comportant un dispositif en mode enrichissement, les première (30) et deuxième (40) puces comportant sur leur face avant respectivement des premiers et deuxièmes plots de contact de grille (31,41), de source (32,42) et de drain (33,43). Le circuit intégré (100) est remarquable en ce que :

La première puce (30) et la deuxième puce (40) sont assemblées entre elles au niveau de leurs faces avant (34,44) respectives et forment un empilement (50), la surface de la première puce (30) étant supérieure à celle de la deuxième puce (40) de manière à ce qu'une partie périphérique de la face avant (34) de la première puce (30) ne soit pas masquée par la deuxième puce (40),

La première puce (30) comporte au moins un plot de contact additionnel (331) disposé sur sa face avant (34), isolé électriquement du transistor à haute tension en mode déplétion, et en contact avec le deuxième plot de contact de grille (41),

Le premier plot de contact de grille (31) est en contact avec le deuxième plot de contact de source (42) et/ou le premier plot de contact de source (32) est en contact avec le deuxième plot de contact de drain (43),

Le premier plot de contact de grille (31) et le plot de contact additionnel (331) s'étendent au moins en partie dans la partie périphérique de la première puce (30).

FR 3 059 155 - A1



CIRCUIT INTEGRE FORME D'UN EMPILEMENT DE DEUX PUCES CONNECTEES
EN SERIE

5

DOMAINE DE L'INVENTION

La présente invention concerne un circuit intégré comprenant un empilement d'une puce incluant un transistor en mode enrichissement sur une puce incluant un transistor à haute tension en mode déplétion, les deux puces étant connectées en série.

ARRIERE PLAN TECHNOLOGIQUE DE L'INVENTION

15 Les transistors HEMT (transistors à haute mobilité électronique) élaborés sur des matériaux semi-conducteurs III-N sont classiquement « normally on », c'est-à-dire qu'ils présentent une tension de seuil négative et peuvent conduire le courant avec une tension de grille à 0V. Ces composants avec tensions de seuil négatives sont appelés composants en mode déplétion (« depletion mode » ou « D-mode » selon la terminologie anglo-saxonne).

Il est préférable pour les applications d'électronique de puissance d'avoir des composants dits « normally off », c'est-à-dire présentant une tension de seuil positive : ces composants ne peuvent pas conduire le courant lorsque la tension de grille est à 0 volt et sont communément appelés composants en mode enrichissement (« E-mode »).

La fabrication de composants à haute tension sur matériaux semi-conducteurs III-N en E-mode s'avère complexe. Une alternative à un composant E-mode haute tension simple est de combiner un composant D-mode à haute tension avec un composant E-mode, par exemple à basse tension. Un tel dispositif hybride comprend typiquement un transistor HEMT D-mode élaboré sur matériaux semi-conducteurs III-N et un transistor MOSFET (Transistor métal/oxyde/semi-conducteur à effet de champ) E-mode élaboré sur silicium.

Par exemple, comme illustré sur la figure 1, des puces 1,2 comprenant respectivement les composants HEMT et MOSFET peuvent être couplées pour former un circuit intégré de type cascode 3 : le drain 2a et la source 2b de la puce MOSFET E-mode 2 sont respectivement connectés à la source 1b et à la grille 1c de la puce HEMT D-mode 1 ; cette connexion électrique se fait dans le boîtier 4 du circuit intégré 3 comprenant les deux puces électroniques 1,2, habituellement par connexion filaire 5 (« wire bonding » selon la terminologie anglo-saxonne) entre différents plots de contact de grille 1c,2c, de source 1b,2b et de drain 1a,2a accessibles sur chacune des puces 1,2. Dans un circuit intégré cascode 3, la grille 2c de la puce MOSFET 2 contrôle la mise en mode passant ou bloquant du circuit intégré 3.

Le plot de contact de grille 2c de la puce MOSFET 2 est connecté dans le boîtier 4 du circuit intégré 3 à une broche de grille 3c. Le plot de contact de source 2b de la puce MOSFET 2 est connecté dans le boîtier 4 à une broche de source 3b. Enfin, le plot de contact de drain de la puce HEMT 1 est connecté, toujours dans le boîtier 4, à une broche de drain 3a. Habituellement, les connexions entre les plots de contact des puces et les broches sont faits par connexion filaire 5 ou à l'aide de clips de raccordement électrique. Les trois broches 3a,3b,3c constituent les terminaux électriques du circuit intégré 3 vers l'extérieur du boîtier 4.

Dans un circuit intégré de type cascode, alors qu'une commutation rapide est un des avantages attendus d'une puce HEMT, les interconnexions (notamment les connexions filaires) entre les différents composants limitent la vitesse de commutation. En effet, les interconnexions créent des surtensions ou sous-tensions parasites pouvant endommager les différents transistors lors de chaque commutation. Il est donc nécessaire de réduire les fronts de commutations (vitesse de commutation) pour limiter ces excursions en tension parasites. Pour accéder à des vitesses de commutation élevées, il est donc nécessaire de minimiser les inductances et résistances parasites liées aux interconnexions dans un arrangement cascode.

De plus, le fait que les deux puces soient côte-à-côte dans le boîtier nécessite l'utilisation d'un substrat d'interconnexion (par exemple, DBC for « Direct bonded copper » selon la terminologie anglo-saxonne) et augmente les dimensions latérales nécessaires du boîtier.

Le document US8847408 présente un circuit intégré cascode dépourvu de substrat d'interconnexion comprenant un premier transistor III-N sur lequel est empilé un second transistor MOSFET ; la face arrière du transistor MOSFET qui comporte le plot de contact de drain du MOSFET est assemblée sur le plot de contact de source du transistor III-N, sur la face avant de ce dernier. Bien que réduisant les dimensions latérales nécessaires du boîtier cette configuration présente certains inconvénients. Notamment, la présence des inductances et résistances parasites liées aux connexions électriques entre les plots de contact de grille, de source du MOSFET et les broches associées.

OBJET DE L'INVENTION

Un objet de la présente invention est de proposer une solution alternative, obviant tout ou partie des inconvénients de l'état de l'art. Un objet de l'invention est notamment de proposer un circuit intégré comprenant un empilement d'une puce comportant un dispositif en mode enrichissement sur une puce comportant un transistor à haute tension en mode déplétion, dans lequel les inductances et résistances parasites liées aux interconnexions sont réduites.

BREVE DESCRIPTION DE L'INVENTION

La présente invention concerne un circuit intégré comprenant une première puce comportant un transistor à haute tension en mode déplétion et une deuxième puce comportant un dispositif en mode enrichissement ; la première puce comporte sur une face avant des premiers plots de contact de grille, de

source et de drain et la deuxième puce comporte des deuxièmes plots de contact de grille, de source et de drain.

Le circuit intégré est remarquable en ce que :

- 5 • La première puce et la deuxième puce sont assemblées entre elles au niveau de leurs faces avant respectives et forment un empilement, la surface de la face avant de la première puce étant supérieure à celle de la deuxième puce de manière à ce qu'une partie périphérique de la face avant de la première puce ne soit pas masquée par la
10 deuxième puce,
- La première puce comporte au moins un plot de contact additionnel disposé sur sa face avant, isolé électriquement du transistor à haute tension en mode déplétion, et en contact avec le deuxième plot de contact
15 de grille,
- Le premier plot de contact de grille est en contact avec le deuxième plot de contact de source et/ou le premier plot de contact de source est en contact avec le deuxième plot de contact de drain,
- 20 • Le premier plot de contact de grille et le plot de contact additionnel s'étendent au moins en partie dans la partie périphérique de la première puce.

25 Selon d'autres caractéristiques avantageuses et non limitatives de l'invention, prises seules ou selon toute combinaison techniquement réalisable :

- 30 • le circuit intégré comprend un boîtier comportant au moins trois terminaux électriques, un terminal de grille, un terminal de source et un terminal de drain, et dans lequel est disposé l'empilement, la face arrière de la première puce étant disposée sur une plaque structurelle du boîtier connectée au terminal de source ;

- le premier plot de contact de grille, en contact avec le deuxième plot de contact de source, s'étend au-dessus d'une région active du transistor de la première puce et forme la surface principale d'assemblage entre la première puce et la deuxième puce ;
5
- le deuxième plot de contact de drain, en face arrière de la deuxième puce, est connecté au premier plot de contact de source situé dans la partie périphérique, au moyen d'un clip de raccordement électrique ;
- 10 • le premier plot de contact de source, en contact avec le deuxième plot de contact de drain, s'étend au-dessus d'une région active du transistor de la première puce et forme la surface principale d'assemblage entre la première puce et la deuxième puce ;
- 15 • le deuxième plot de contact de source, en face arrière de la deuxième puce, est connecté au premier plot de contact de grille au moyen d'un clip de raccordement électrique ;
- le premier plot de contact de source, en contact avec le deuxième plot de contact de drain, s'étend au-dessus
20 d'une région active du transistor de la première puce et forme la surface principale d'assemblage entre la première puce et la deuxième puce ;
- le deuxième plot de contact de source, en face avant de la deuxième puce, est en contact avec le premier plot de
25 contact de grille ;
- le plot de contact additionnel, le premier plot de contact de grille et le premier plot de contact de drain sont respectivement connectés au terminal de grille, au terminal de source et au terminal de drain ;
- 30 • au moins la connexion entre le premier plot de contact de grille et le terminal de source, et la connexion entre le premier plot de contact de drain et le terminal de drain

sont réalisées au moyen de clips de raccordement électrique ;

- 5 • la connexion entre le premier plot de contact de grille et le terminal de source se fait au moyen d'un clip de raccordement électrique entre la plaque structurelle du boitier et le premier plot de contact de grille, le terminal de source étant électriquement relié à la plaque structurelle ;
- 10 • la connexion entre le plot de contact additionnel et le terminal de grille est réalisée au moyen d'une connexion filaire ou d'un clip de raccordement électrique ;
- 15 • le circuit intégré comprend un boitier comportant au moins quatre terminaux électriques, un terminal de grille, un terminal de source, un terminal de drain et un terminal supplémentaire de grille, et dans lequel est disposé l'empilement, la face arrière de la première puce étant disposée sur une plaque structurelle du boitier connectée au terminal de source ;
- 20 • la première puce comporte un plot de contact additionnel supplémentaire disposé sur sa face avant, isolé électriquement du transistor à haute tension en mode déplétion, et s'étendant au moins en partie dans la partie périphérique de la première puce ;
- 25 • le premier plot de contact de source, en contact avec le deuxième plot de contact de drain, s'étend au-dessus d'une région active du transistor de la première puce et forme la surface principale d'assemblage entre la première puce et la deuxième puce ;
- 30 • le deuxième plot de contact de source, en face avant de la deuxième puce, est en contact avec le plot de contact additionnel supplémentaire ;
- le plot de contact additionnel, le plot de contact additionnel supplémentaire, le premier plot de contact de

drain et le premier plot de contact de grille sont respectivement connectés au terminal de grille, au terminal de source, au terminal de drain et au terminal supplémentaire de grille ;

- 5 • au moins la connexion entre le plot de contact additionnel supplémentaire et le terminal de source, et la connexion entre le premier plot de contact de drain et le terminal de drain sont réalisées au moyen de clips de raccordement électrique ;
- 10 • la connexion entre le plot de contact additionnel supplémentaire et le terminal de source se fait au moyen d'un clip de raccordement électrique entre la plaque structurelle du boîtier et le plot de contact additionnel supplémentaire, le terminal de source étant
- 15 électriquement relié à la plaque structurelle ;
- la connexion entre le plot de contact additionnel et le terminal de grille, et la connexion entre le premier plot de contact de grille et le terminal supplémentaire de grille sont réalisées au moyen de connexions filaires ou
- 20 de clips de raccordement électrique ;
- la première puce et la deuxième puce sont assemblées entre elles, au niveau de leurs faces avant respectives, par soudage des plots de contact en vis-à-vis ;
- la face arrière de la première puce comporte un pavé
- 25 conducteur assemblé par soudage sur la plaque structurelle du boîtier ;
- le dispositif en mode enrichissement inclus dans la deuxième puce comprend un transistor en mode enrichissement dont une électrode de grille est connectée
- 30 au plot de contact de grille de la deuxième puce ;
- le dispositif en mode enrichissement inclus dans la deuxième puce comprend un transistor en mode enrichissement et un composant de commande, une électrode

de grille du transistor en mode enrichissement étant connectée à une entrée du composant de commande et une sortie du composant de commande étant connectée au plot de contact de grille de la deuxième puce.

5

BREVE DESCRIPTION DES DESSINS

D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée qui va suivre en référence aux figures annexées sur lesquelles :

- la figure 1 présente un circuit intégré dans un boîtier selon l'état de la technique ;
- les figures 2a à 2d présentent des éléments du circuit intégré conforme à l'invention ;
- les figures 3a et 3b présentent respectivement une vue en coupe et une vue plane d'un circuit intégré selon un premier mode de réalisation de l'invention ;
- les figures 4a et 4b présentent respectivement une vue en coupe et une vue plane d'un circuit intégré selon un deuxième mode de réalisation de l'invention ;
- les figures 5a et 5b présentent respectivement une vue en coupe et une vue plane d'un circuit intégré selon un troisième mode de réalisation de l'invention ;
- les figures 6a et 6b présentent respectivement une vue en coupe et une vue plane d'un circuit intégré selon un quatrième mode de réalisation de l'invention.

30

DESCRIPTION DETAILLEE DE L'INVENTION

Dans la partie descriptive, les mêmes références sur les figures pourront être utilisées pour des éléments de même nature.

Les figures sont des représentations schématiques qui, dans un objectif de lisibilité, ne sont pas à l'échelle. En particulier, les épaisseurs des couches selon l'axe z ne sont pas à l'échelle par rapport aux dimensions latérales selon les axes x et y. Par ailleurs, pour permettre une visualisation plus aisée des connexions dans le circuit intégré selon l'invention, les vues en coupe pourront dans certains cas représenter des éléments compris dans plusieurs plans verticaux (plans (y,z) sur les figures) différents.

Bien sur, les représentations schématiques des figures ne limitent en rien les configurations et positionnements des éléments du circuit intégré selon l'invention.

L'invention concerne un circuit intégré 100 comprenant une première puce 30 comportant un transistor à haute tension en mode déplétion et une deuxième puce 40 comportant un dispositif en mode enrichissement. A titre d'exemple, le transistor à haute tension en mode déplétion pourra consister en un transistor HEMT élaboré sur GaN. Le dispositif en mode enrichissement pourra quant à lui consister en un transistor MOS à effet de champ (MOSFET) élaboré sur Silicium ; il pourra également consister en un dispositif comprenant un MOSFET couplé avec un composant de commande (driver).

La première puce 30 comporte, sur une face avant 34, des premiers plots de contact de grille 31, de source 32 et de drain 33 (figure 2a). La deuxième puce 40 comporte des deuxièmes plots de contact de grille 41, de source 42 et de drain 43 (figure 2b). Selon les modes de réalisation de l'invention, les deuxièmes plots de contact 41,42,43 pourront tous les trois être situés sur la face avant 44 de la deuxième puce 40, ou l'un parmi le deuxième plot de contact de drain 43 ou de source 42 pourra être situé sur la face arrière 45 de la deuxième puce 40.

Comme bien connu de l'homme du métier, les plots de contact sont composés d'un matériau métallique conducteur électrique, par exemple le cuivre, l'aluminium, le nickel ou tout autre matériau approprié. En particulier, le matériau métallique formant les plots de contacts est apte à être assemblé ou soudé. Les plots de contacts d'une puce selon l'invention pourront se présenter sous différentes formes : soit sous la forme de pavés en relief par rapport à la surface de la face avant de la puce, soit sous la forme de billes (« bumps » selon la terminologie anglo-saxonne) également en relief par rapport à la surface de la face avant de la puce. La disposition et les dimensions latérales (dans le plan (x,y)) des premiers 31,32,33 et deuxièmes 41,42,43 plots de contact sur les faces avant 34,44 respectives des première 30 et deuxième 40 puces ou la face arrière 45 de la deuxième puce 40 pourront être différentes, selon les modes de réalisation et variantes conformes à l'invention.

Dans le circuit intégré 100 selon l'invention, la première puce 30 et la deuxième puce 40 sont assemblées entre elles au niveau de leurs faces avant 34,44 respectives et forment un empilement 50 (figure 2c). La surface de la face avant 34 de la première puce 30 est supérieure à celle de la deuxième puce 40 de manière à ce qu'une partie périphérique de la face avant 34 de la première puce 30 ne soit pas masquée par la deuxième puce 40 : cette partie périphérique est par exemple illustrée sur la vue plane selon (x,y) de la figure 2c, c'est la partie à l'extérieur du contour en pointillé correspondant à la deuxième puce 40. Notons que la vue plane sur la figure 2c présente une vue de la deuxième puce 40 non assemblée, sa face avant 44 vers le haut, pour une meilleure visualisation de la disposition des deuxièmes plots de contact sur sa face avant 44. Dans l'empilement 50, elle est retournée, sa face avant 44 étant en vis-à-vis de la face avant 34 de la première puce. Sur la vue plane représentant la

première puce 30, la deuxième puce 40 retournée est illustrée par le contour en pointillé ; le repère triangulaire sur le contour de la deuxième puce 40 permet de comprendre le positionnement des deuxième plots de contact situés sur la face avant 44, dans l'empilement 50.

En plus des premiers plots de contact 31,32,33 énoncés précédemment, la première puce 30 comporte au moins un plot de contact additionnel 331 disposé sur sa face avant 34. Le plot de contact additionnel 331 est isolé électriquement du transistor à haute tension en mode déplétion de la première puce 30. Comme les autres plots de contact, il est composé d'un matériau métallique conducteur électrique apte à être assemblé ou soudé à un autre plot de contact en vis-à-vis.

En particulier, selon l'invention, le plot de contact additionnel 331 est en contact avec le deuxième plot de contact de grille 41. L'assemblage pour la mise en contact du plot additionnel 331 et du deuxième plot de contact de grille 41 pourra être réalisé par un procédé de collage métallique par exemple par thermo-compression ou un procédé de soudage ou brasage entre les matériaux composant les plots de contact en vis-à-vis. Il est ainsi possible d'obtenir un contact électrique de bonne qualité entre le plot additionnel 331 et le deuxième plot de contact de grille 41, avec un chemin de conduction fortement réduit, notamment par rapport à des connexions filaires.

Selon l'invention, le plot de contact additionnel 331 s'étend au moins en partie dans la partie périphérique de la première puce 30. Il s'étend bien-sur également dans la partie qui sera masquée par la deuxième puce 40, de sorte à être en vis-à-vis avec le deuxième plot de contact de grille 41 de la deuxième puce 40 dans l'empilement 50.

Selon l'invention, le premier plot de contact de grille 31 s'étend lui aussi, au moins en partie dans la partie périphérique de la première puce 30.

Selon les modes de réalisation et variantes détaillées par la suite, l'assemblage des faces avant 34,44 des première 5 30 et deuxième 40 puces pourra conduire soit à la mise en contact du premier plot de contact de grille 31 avec le deuxième plot de contact de source 42, soit à la mise en contact du premier plot de contact de source 32 avec le 10 deuxième plot de contact de drain 43, soit aux deux mises en contact précitées.

Avantageusement, le circuit intégré 100 comprend un boîtier 10 dont une partie isolante 15 destinée à encapsuler 15 les composants électroniques du circuit intégré 100 est formée par un matériau isolant électrique, typiquement de la résine. Le boîtier 10 comporte au moins trois terminaux électriques, un terminal de grille 11, un terminal de source 12 et un terminal de drain 13, comme illustré sur la figure 2d. Par 20 terminal électrique, on entend notamment une broche (telle qu'illustrée sur la figure 2d) ou un plot métallique ou tout autre moyen permettant de former un contact électrique externe du circuit intégré 100 : ce contact externe pourra ensuite être connecté à d'autres éléments, par exemple sur un circuit 25 imprimé.

Le boîtier 10 comporte également une plaque structurelle 14 conductrice. La plaque structurelle 14 est destinée à supporter les composants électroniques du circuit intégré 100. La plaque structurelle 14 est connectée à l'un 30 des trois terminaux 11,12,13 ; dans le cas illustré sur la figure 2d, la plaque structurelle 14 est connectée au terminal de source 12. Dans la présente description, par « connecté », on entend électriquement connecté : soit directement, c'est-à-dire par contact direct entre les deux éléments connectés,

soit indirectement, c'est-à-dire au moyen d'un élément intermédiaire, lui-même en contact avec les éléments électriquement connectés ; ledit élément intermédiaire pourra par exemple être un clip de raccordement électrique ou encore
5 une ou une pluralité de connexions filaires. La plaque structurelle 14 est habituellement encapsulée, de même que les composants électroniques du circuit intégré 100, dans la partie isolante 15 du boîtier 10.

L'empilement 50 est disposé sur la plaque structurelle
10 14 ; en particulier, la face arrière 35 de la première puce 30 est disposée sur la plaque structurelle 14 du boîtier 10 connectée au terminal de source 12. A titre d'exemple, la face arrière 35 de la première puce 30 pourra comporter un pavé conducteur en contact direct ou assemblé au moyen d'un
15 matériau conducteur électrique sur la plaque structurelle 14. Selon un autre exemple, la face arrière 35 de la première puce 30 pourra être assemblée au moyen d'un matériau adhésif conducteur électrique sur la plaque structurelle 14.

20 Les connexions électriques entre les deux puces 30,40 du circuit intégré 100 selon l'invention présentent des longueurs significativement réduites du fait du contact direct réalisé dans l'empilement 50. Par ailleurs, la présence du plot de contact additionnel 331 sur la face avant 34 de la
25 première puce 30, permet également de connecter efficacement le plot de contact de grille 41 de la deuxième puce 40 et de le rendre accessible en face avant 34 de la première puce 30, en vue de sa connexion sur le terminal de grille 11 du boîtier 10. Cela résulte en une significative réduction des
30 résistances et inductances parasites au niveau des nœuds concernés de connexion.

L'empilement 50 du circuit intégré 100 selon l'invention présente également l'avantage d'occuper un espace réduit avec des dimensions latérales limitées aux dimensions

de la première puce 30. Enfin, la configuration de l'empilement 50 permet de ne pas utiliser un substrat d'interconnexion, habituellement utilisé pour supporter et connecter les deux puces entre elles.

5

Selon un premier mode de réalisation de l'invention, le boîtier 10 comporte trois terminaux électriques 11,12,13. L'empilement 50 du circuit intégré 100 se présente comme
10 illustré sur les figures 3a et 3b.

Le premier plot de contact de grille 31, en contact avec le deuxième plot de contact de source 42, s'étend au-dessus d'une région active du transistor de la première puce 30, ce qui permet de mettre à profit une surface nécessairement
15 présente du transistor (région active) et ainsi de limiter l'étendue des plots de contact sur des régions non actives du transistor. Notons que la région active du transistor à haute tension en mode déplétion correspond à la région entre l'électrode de source et l'électrode de drain du transistor,
20 contenant le canal de conduction du courant.

Le premier plot de contact de grille 31 forme la surface principale d'assemblage entre la première puce 30 et la deuxième puce 40. Par surface principale d'assemblage, on entend la surface la plus étendue sur la face avant 34 de la
25 première puce 30, qui servira, en plus d'établir un contact électrique entre les plots de contact en vis-à-vis, à assurer la tenue mécanique entre les deux puces 30,40. Le deuxième plot de contact de source 42 présente lui aussi une surface étendue sur la face avant 44 de la deuxième puce 40, surface
30 qui viendra en contact avec le premier plot de contact de grille 31.

Avantageusement, le deuxième plot de contact de drain 43, en face arrière 45 de la deuxième puce 40, est connecté au premier plot de contact de source 32 situé dans la partie

périphérique de la première puce 30, au moyen d'un clip de raccordement électrique 20 (figure 3a).

Enfin, le plot de contact additionnel 331, le premier plot de contact de grille 31 et le premier plot de contact de drain 33 sont respectivement connectés au terminal de grille 11, au terminal de source 12 et au terminal de drain 13, comme illustré sur la figure 3b. Préférentiellement, au moins la connexion entre le premier plot de contact de grille 31 et le terminal de source 12, et la connexion entre le premier plot de contact de drain 33 et le terminal de drain 13 sont réalisées au moyen de clips de raccordement électrique 20. Selon une variante (non représentée), la connexion entre le premier plot de contact de grille 31 et le terminal de source 12 se fait au moyen d'un clip de raccordement électrique 20 entre la plaque structurelle 14 du boîtier 10 et le premier plot de contact de grille 31, le terminal de source 12 étant électriquement relié à la plaque structurelle 14.

La connexion entre le plot de contact additionnel 331 et le terminal de grille 11 peut être réalisée au moyen d'une connexion filaire ou d'un clip de raccordement électrique 20.

Selon ce premier mode de réalisation de l'invention, on obtient un circuit intégré 100, dont les première 30 et deuxième 40 puces sont connectées en arrangement cascade et dans lequel les résistances et inductances parasites liées aux connexions électriques entre les différents composants et éléments du circuit intégré 100 sont réduites du fait des chemins de connexion fortement réduits et de l'utilisation préférentielle de clips de raccordement électrique au lieu de connexions filaires sur les chemins de courant du circuit 100.

Selon un deuxième mode de réalisation de l'invention, le boîtier 10 comporte également trois terminaux électriques 11,12,13 et l'empilement 50 du circuit intégré 100 se présente comme illustré sur les figures 4a et 4b.

5 Le premier plot de contact de source 32 est en contact avec le deuxième plot de contact de drain 43, il s'étend au-dessus de la région active du transistor de la première puce 30 et forme la surface principale d'assemblage entre la première puce 30 et la deuxième puce 40. Le deuxième plot de
10 contact de drain 43 présente lui aussi une surface étendue sur la face avant 44 de la deuxième puce 40, surface qui viendra en contact avec le premier plot de contact de source 32.

Avantageusement, le deuxième plot de contact de source 42, en face arrière 45 de la deuxième puce 40, est connecté au
15 premier plot de contact de grille 31 au moyen d'un clip de raccordement électrique 20.

Enfin, le plot de contact additionnel 331, le premier plot de contact de grille 31 et le premier plot de contact de drain 33 sont respectivement connectés au terminal de grille 11, au
20 terminal de source 12 et au terminal de drain 13, comme illustré sur la figure 4b. Préférentiellement, au moins la connexion entre le premier plot de contact de grille 31 et le terminal de source 12, et la connexion entre le premier plot de contact de drain 33 et le terminal de drain 13 sont
25 réalisées au moyen de clips de raccordement électrique 20. Comme illustré sur la figure 4b, la connexion entre le premier plot de contact de grille 31 et le terminal de source 12 peut être réalisée au moyen d'un clip de raccordement électrique 20 entre la plaque structurelle 14 du boîtier 10 et le premier
30 plot de contact de grille 31, le terminal de source 12 étant électriquement relié à la plaque structurelle 14.

La connexion entre le plot de contact additionnel 331 et le terminal de grille 11 peut être réalisée au moyen d'une connexion filaire ou d'un clip de raccordement électrique 20.

Selon ce deuxième mode de réalisation de l'invention, on obtient un circuit intégré 100, dont les première 30 et deuxième 40 puces sont connectées en arrangement cascode et dans lequel les résistances et inductances parasites liées aux connexions électriques entre les différents composants et éléments du circuit intégré 100 sont fortement réduites par rapport aux solutions de l'état de l'art.

10

Selon un troisième mode de réalisation de l'invention, le boîtier 10 comporte également trois terminaux électriques 11,12,13 et l'empilement 50 du circuit intégré 100 se présente comme illustré sur les figures 5a et 5b. Les deuxième plots de contact de grille 41, de source 42 et de drain 43 se situent sur la face avant 44 de la deuxième puce 40 (figure 5b).

Le premier plot de contact de source 32 est en contact avec le deuxième plot de contact de drain 43 ; il s'étend au-dessus d'une région active du transistor de la première puce 30 et forme la surface principale d'assemblage entre la première puce 30 et la deuxième puce 40. Le deuxième plot de contact de drain 43 présente lui aussi une surface étendue sur la face avant 44 de la deuxième puce 40, surface qui viendra en contact avec le premier plot de contact de source 32.

Avantageusement, le deuxième plot de contact de source 42, en face avant 44 de la deuxième puce 40, est en contact avec le premier plot de contact de grille 31 (figures 5a).

Enfin, le plot de contact additionnel 331, le premier plot de contact de grille 31 et le premier plot de contact de drain 33 sont respectivement connectés au terminal de grille 11, au terminal de source 12 et au terminal de drain 13, comme illustré sur la figure 5b. Préférentiellement, au moins la connexion entre le premier plot de contact de grille 31 et le

terminal de source 12, et la connexion entre le premier plot de contact de drain 33 et le terminal de drain 13 sont réalisées au moyen de clips de raccordement électrique 20. Comme mentionné dans les modes de réalisation précédents, la connexion entre le premier plot de contact de grille 31 et le terminal de source 12 peut être réalisée au moyen d'un clip de raccordement électrique 20 entre la plaque structurelle 14 du boîtier 10 et le premier plot de contact de grille 31, le terminal de source 12 étant électriquement relié à la plaque structurelle 14.

La connexion entre le plot de contact additionnel 331 et le terminal de grille 11 peut être réalisée au moyen d'une connexion filaire ou d'un clip de raccordement électrique 20.

Selon ce troisième mode de réalisation de l'invention, on obtient un circuit intégré 100, dont les première 30 et deuxième 40 puces sont connectées en arrangement cascade et dans lequel les résistances et inductances parasites liées aux connexions électriques entre les différents composants et éléments du circuit intégré 100 sont fortement réduites par rapport aux solutions de l'état de l'art. Une connexion entre la face arrière 45 de la deuxième puce 40 et la face avant 34 de la première puce est également éliminée, puisque tous les deuxièmes plots de contact de la deuxième puce 40 (en face avant 44) sont en contact direct avec des plots de contact en face avant 34 de la première puce 30, ce qui réduit significativement le chemin de conduction et donc les inductances et résistances parasites associées.

30

Selon un quatrième mode de réalisation de l'invention, le boîtier 10 comporte au moins quatre terminaux électriques, un terminal de grille 11, un terminal de source 12, un terminal

de drain 13 et un terminal supplémentaire de grille 111. L'empilement 50 du circuit intégré 100 se présente comme illustré sur les figures 6a et 6b. Les deuxièmes plots de contact de grille 41, de source 42 et de drain 43 se situent sur la face avant 44 de la deuxième puce 40 (figure 6b).

Avantageusement, la première puce 30 comporte un plot de contact additionnel supplémentaire 332 disposé sur sa face avant 34, isolé électriquement du transistor à haute tension en mode déplétion, et s'étendant au moins en partie dans la partie périphérique de la première puce 30. Le premier plot de contact de source 32 s'étend au-dessus de la région active du transistor de la première puce 30 et forme la surface principale d'assemblage entre la première puce 30 et la deuxième puce 40. Le deuxième plot de contact de drain 43 présente lui aussi une surface étendue sur la face avant 44 de la deuxième puce 40, surface qui viendra en contact avec le premier plot de contact de source 32.

Avantageusement, le deuxième plot de contact de source 42, en face avant de la deuxième puce 40, est en contact avec le plot de contact additionnel supplémentaire 332 de la première puce 30.

Enfin, le plot de contact additionnel 331, le plot de contact additionnel supplémentaire 332, le premier plot de contact de drain 33 et le premier plot de contact de grille 31 sont respectivement connectés au terminal de grille 11, au terminal de source 12, au terminal de drain 13 et au terminal supplémentaire de grille 111.

Préférentiellement, au moins la connexion entre le plot de contact additionnel supplémentaire 332 et le terminal de source 12, et la connexion entre le premier plot de contact de drain 33 et le terminal de drain 13 sont réalisées au moyen de clips de raccordement électrique 20. Alternativement, la connexion entre le plot de contact additionnel supplémentaire 332 et le terminal de source 12 peut être fait au moyen d'un

clip de raccordement électrique 20 entre la plaque structurelle 14 du boîtier 10 et le plot de contact additionnel supplémentaire 332, le terminal de source 12 étant électriquement relié à la plaque structurelle 14.

5 La connexion entre le plot de contact additionnel 331 et le terminal de grille 11, et la connexion entre le premier plot de contact de grille 31 et le terminal supplémentaire de grille 111 sont réalisées au moyen de connexions filaires ou de clips de raccordement électrique 20.

10

Selon ce quatrième mode de réalisation de l'invention, on obtient un circuit intégré 100, dont les première 30 et deuxième 40 puces sont connectées en arrangement cascade : la grille du transistor à haute tension en mode déplétion de la première puce 30 (connectée au terminal supplémentaire de grille 111) peut être commandée indépendamment de la grille du dispositif en mode enrichissement de la deuxième puce 40 (connectée au terminal de grille 11).

20 Les résistances et inductances parasites liées aux connexions électriques entre les différents composants et éléments du circuit intégré 100 sont ici encore fortement réduites par rapport aux solutions de l'état de l'art, du fait des chemins de connexion fortement réduits et de l'utilisation préférentielle de clips de raccordement électrique au lieu de connexions filaires sur les chemins de courant du circuit
25 intégré 100.

Dans le circuit intégré 100 selon les différents modes
30 de réalisation de l'invention, le dispositif en mode enrichissement inclus dans la deuxième puce 40 pourra comprendre un transistor en mode enrichissement dont une électrode de grille est connectée au deuxième plot de contact de grille 41 de la deuxième puce 40. Le terminal de grille 11

du boîtier 10, connecté au deuxième plot de contact de grille 41 permet alors de transmettre un signal électrique pour commander la grille du transistor en mode enrichissement (par exemple, un MOSFET sur silicium).

5 Alternativement, le dispositif en mode enrichissement inclus dans la deuxième puce 40 pourra comprendre un transistor en mode enrichissement et un composant de commande : dans ce cas, une électrode de grille du transistor en mode enrichissement est connectée à une entrée du composant
10 de commande et une sortie du composant de commande est connectée au deuxième plot de contact de grille 41 de la deuxième puce 40. Le terminal de grille 11 du boîtier 10, connecté au deuxième plot de contact de grille 41 permet ici d'envoyer un signal électrique au composant de commande ; ce
15 dernier est ensuite apte à traiter ce signal pour commander la grille du transistor en mode enrichissement.

Bien entendu, l'invention n'est pas limitée aux modes de réalisation décrits et on peut y apporter des variantes de
20 réalisation sans sortir du cadre de l'invention tel que défini par les revendications.

REVENDEICATIONS

1. Circuit intégré (100) comprenant une première puce (30) comportant un transistor à haute tension en mode déplétion et une deuxième puce (40) comportant un dispositif en mode enrichissement, la première puce (30) comportant sur une face avant des premiers plots de contact de grille (31), de source (32) et de drain (33) et la deuxième puce (40) comportant des deuxièmes plots de contact de grille (41), de source (42) et de drain (43) ; le circuit intégré (100) étant caractérisé en ce que :
- La première puce (30) et la deuxième puce (40) sont assemblées entre elles au niveau de leurs faces avant (34,44) respectives et forment un empilement (50), la surface de la face avant (34) de la première puce (30) étant supérieure à celle de la deuxième puce (40) de manière à ce qu'une partie périphérique de la face avant (34) de la première puce (30) ne soit pas masquée par la deuxième puce (40),
 - La première puce (30) comporte au moins un plot de contact additionnel (331) disposé sur sa face avant (34), isolé électriquement du transistor à haute tension en mode déplétion, et en contact avec le deuxième plot de contact de grille (41),
 - Le premier plot de contact de grille (31) est en contact avec le deuxième plot de contact de source (42) et/ou le premier plot de contact de source (32) est en contact avec le deuxième plot de contact de drain (43),
 - Le premier plot de contact de grille (31) et le plot de contact additionnel (331) s'étendent au moins en partie dans la partie périphérique de la première puce (30).
2. Circuit intégré (100) selon la revendication précédente, comprenant un boîtier (10) comportant au moins trois

terminaux électriques, un terminal de grille (11), un terminal de source (12) et un terminal de drain (13), et dans lequel est disposé l'empilement (50), la face arrière (35) de la première puce (30) étant disposée sur une plaque structurelle (14) du boîtier (10) connectée au terminal de source (12).

3. Circuit intégré (100) selon la revendication précédente, dans lequel, le premier plot de contact de grille (31), en contact avec le deuxième plot de contact de source (42), s'étend au-dessus d'une région active du transistor de la première puce (30) et forme la surface principale d'assemblage entre la première puce (30) et la deuxième puce (40).

4. Circuit intégré (100) selon la revendication précédente, dans lequel le deuxième plot de contact de drain (43), en face arrière (45) de la deuxième puce (40), est connecté au premier plot de contact de source (32) situé dans la partie périphérique, au moyen d'un clip de raccordement électrique (20).

5. Circuit intégré (100) selon la revendication 2, dans lequel le premier plot de contact de source (32), en contact avec le deuxième plot de contact de drain (43), s'étend au-dessus d'une région active du transistor de la première puce (30) et forme la surface principale d'assemblage entre la première puce (30) et la deuxième puce (40).

6. Circuit intégré (100) selon la revendication précédente, dans lequel le deuxième plot de contact de source (42), en face arrière (45) de la deuxième puce (40), est

connecté au premier plot de contact de grille (31) au moyen d'un clip de raccordement électrique (20).

- 5 7. Circuit intégré (100) selon la revendication 5, dans lequel le deuxième plot de contact de source (42), en face avant (44) de la deuxième puce (40), est en contact avec le premier plot de contact de grille (31).
- 10 8. Circuit intégré (100) selon l'une des revendications 4, 6 ou 7, dans lequel le plot de contact additionnel (331), le premier plot de contact de grille (31) et le premier plot de contact de drain (33) sont respectivement connectés au terminal de grille (11), au terminal de source (12) et au terminal de drain (13).
- 15 9. Circuit intégré (100) selon la revendication précédente, dans lequel au moins la connexion entre le premier plot de contact de grille (31) et le terminal de source (12), et la connexion entre le premier plot de contact de drain (33) et le terminal de drain (13) sont réalisées au moyen de clips de raccordement électrique (20).
- 20 10. Circuit intégré (100) selon la revendication précédente, dans lequel la connexion entre le premier plot de contact de grille (31) et le terminal de source (12) se fait au moyen d'un clip de raccordement électrique (20) entre la plaque structurelle (14) du boîtier (10) et le premier plot de contact de grille (31), le terminal de source (12) étant électriquement
- 25 30 relié à la plaque structurelle (14).
11. Circuit intégré (100) selon l'une des trois revendications précédentes, dans lequel la connexion entre le plot de contact additionnel (331) et le terminal

de grille (11) est réalisée au moyen d'une connexion filaire ou d'un clip de raccordement électrique (20).

5 12. Circuit intégré (100) selon la revendication 1, comprenant un boîtier (10) comportant au moins quatre terminaux électriques, un terminal de grille (11), un terminal de source (12), un terminal de drain (13) et un terminal supplémentaire de grille (111), et dans lequel est disposé l'empilement (50), la face arrière (35) de la
10 première puce (30) étant disposée sur une plaque structurelle (14) du boîtier (10) connectée au terminal de source (12).

15 13. Circuit intégré (100) selon la revendication précédente, dans lequel la première puce (30) comporte un plot de contact additionnel supplémentaire (332) disposé sur sa face avant (34), isolé électriquement du transistor à haute tension en mode déplétion, et s'étendant au moins en partie dans la partie périphérique
20 de la première puce (30).

25 14. Circuit intégré (100) selon la revendication précédente, dans lequel, le premier plot de contact de source (32), en contact avec le deuxième plot de contact de drain (43), s'étend au-dessus d'une région active du transistor de la première puce (30) et forme la surface principale d'assemblage entre la première puce (30) et la deuxième puce (40).

30 15. Circuit intégré (100) selon l'une des deux revendications précédentes, dans lequel le deuxième plot de contact de source (42), en face avant (44) de la deuxième puce (40), est en contact avec le plot de contact additionnel supplémentaire (332).

16. Circuit intégré (100) selon la revendication précédente, dans lequel le plot de contact additionnel (331), le plot de contact additionnel supplémentaire (332), le premier plot de contact de drain (33) et le premier plot de contact de grille (31) sont respectivement connectés au terminal de grille (11), au terminal de source (12), au terminal de drain (13) et au terminal supplémentaire de grille (111).
17. Circuit intégré (100) selon la revendication précédente, dans lequel au moins la connexion entre le plot de contact additionnel supplémentaire (332) et le terminal de source (12), et la connexion entre le premier plot de contact de drain (33) et le terminal de drain (13) sont réalisées au moyen de clips de raccordement électrique (20).
18. Circuit intégré (100) selon la revendication précédente, dans lequel la connexion entre le plot de contact additionnel supplémentaire (332) et le terminal de source (12) se fait au moyen d'un clip de raccordement électrique (20) entre la plaque structurelle (14) du boîtier (10) et le plot de contact additionnel supplémentaire (332), le terminal de source (12) étant électriquement relié à la plaque structurelle (14).
19. Circuit intégré (100) selon l'une des trois revendications précédentes, dans lequel la connexion entre le plot de contact additionnel (331) et le terminal de grille (11), et la connexion entre le premier plot de contact de grille (31) et le terminal supplémentaire de grille (111) sont réalisées au moyen de connexions filaires ou de clips de raccordement électrique (20).

20. Circuit intégré (100) selon l'une des revendications précédentes, dans lequel le dispositif en mode enrichissement inclus dans la deuxième puce (40) comprend un transistor en mode enrichissement dont une électrode de grille est connectée au plot de contact de grille (41) de la deuxième puce (40).
- 5
21. Circuit intégré (100) selon l'une des revendications 1 à 19, dans lequel le dispositif en mode enrichissement inclus dans la deuxième puce (40) comprend un transistor en mode enrichissement et un composant de commande, une électrode de grille du transistor en mode enrichissement étant connectée à une entrée du composant de commande et une sortie du composant de commande étant connectée au plot de contact de grille (41) de la deuxième puce (40).
- 10
- 15

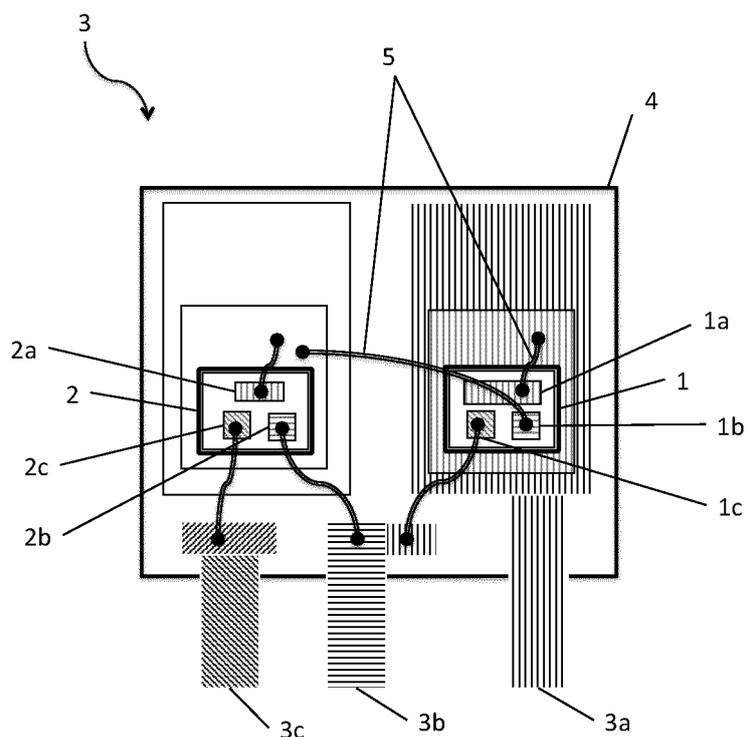


FIG.1 – Etat de l'art

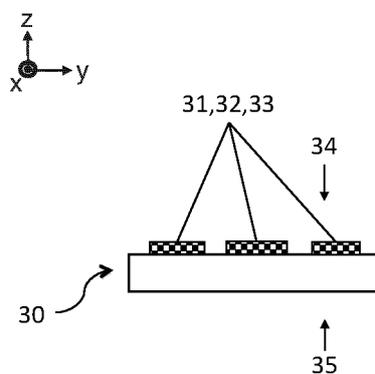


FIG.2a

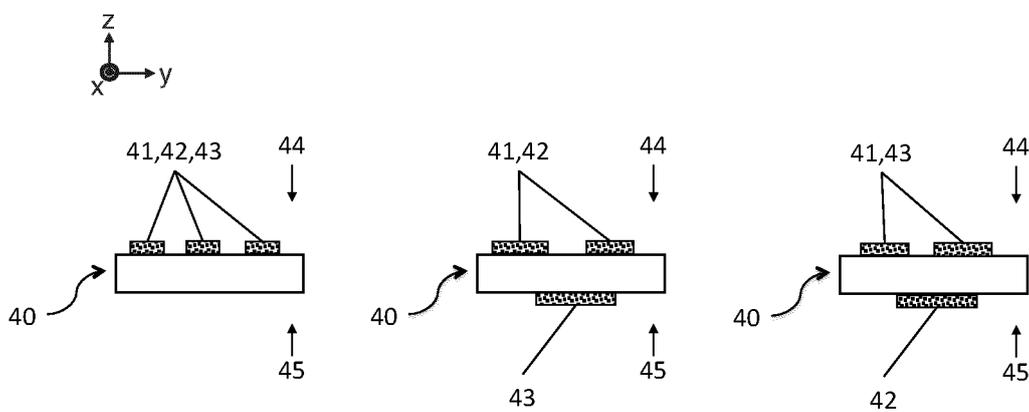


FIG.2b

2/6

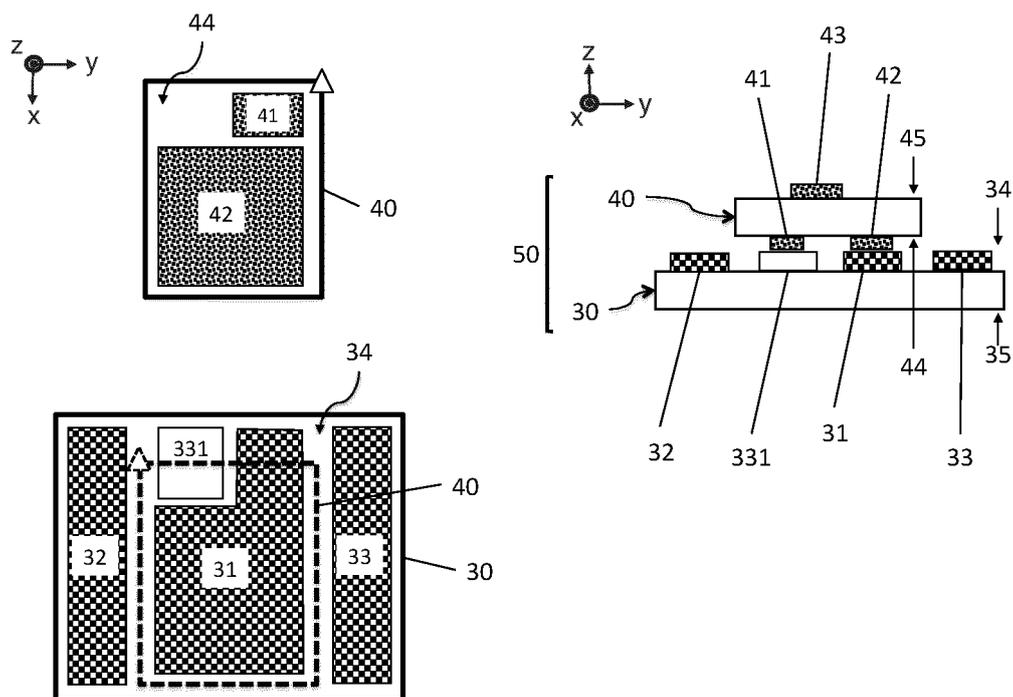


FIG. 2c

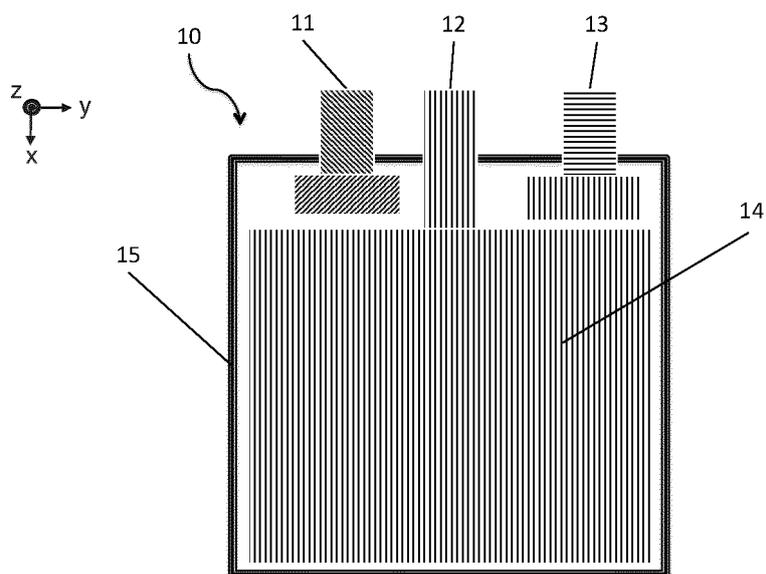


FIG. 2d

3/6

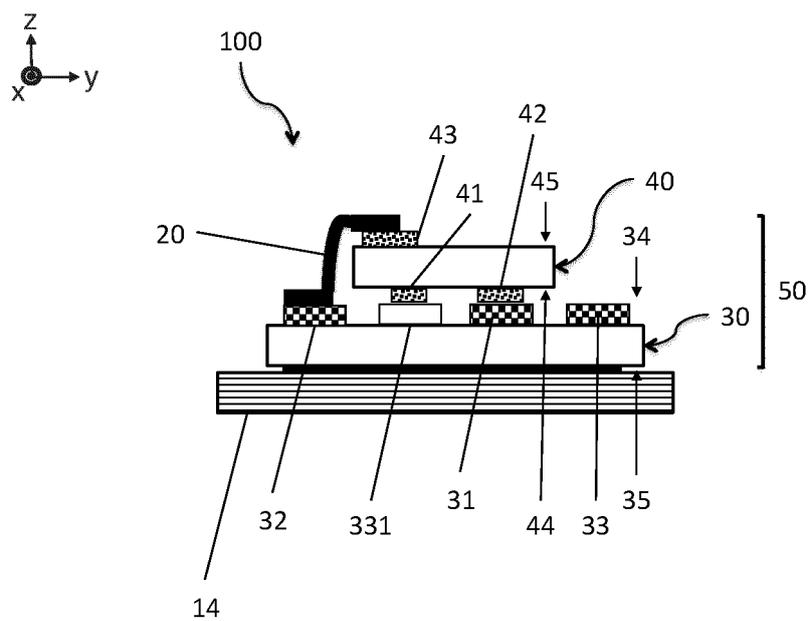


FIG. 3a

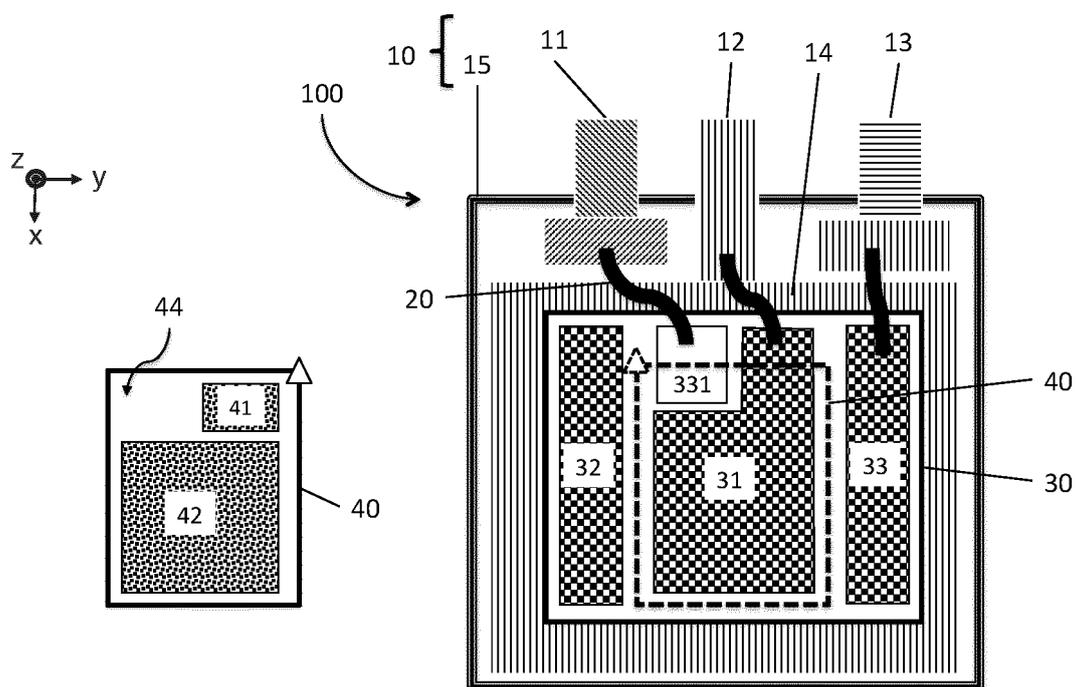


FIG. 3b

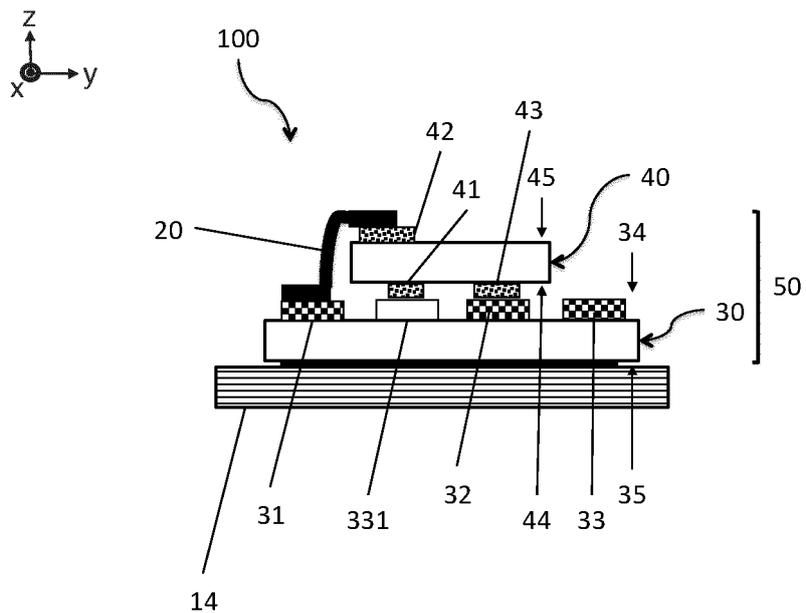


FIG. 4a

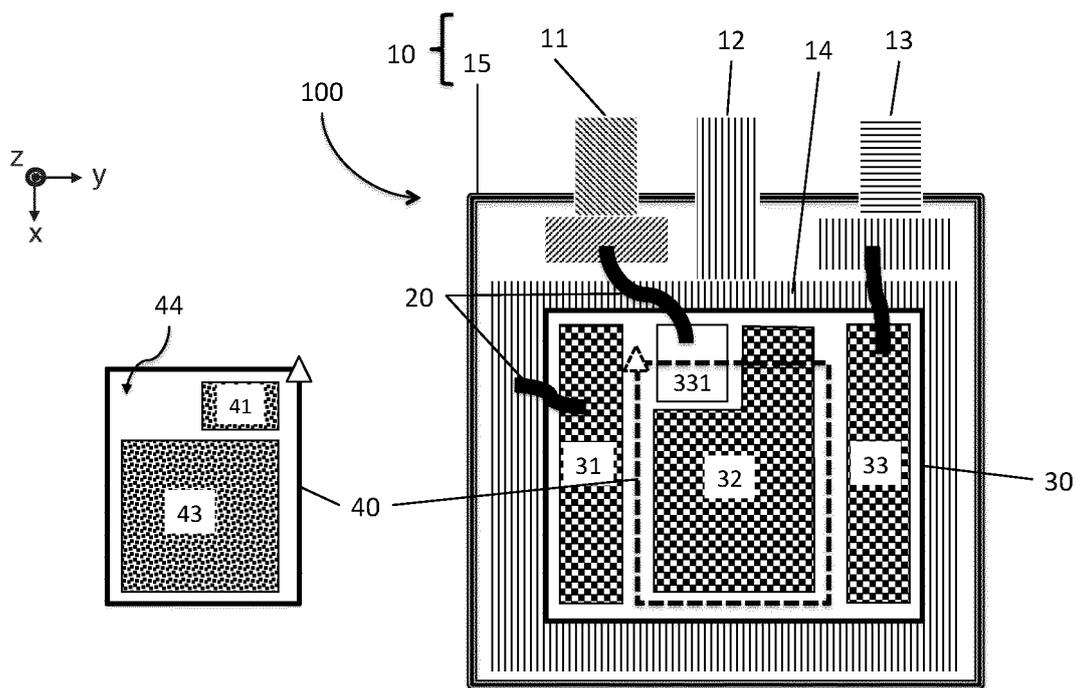


FIG. 4b

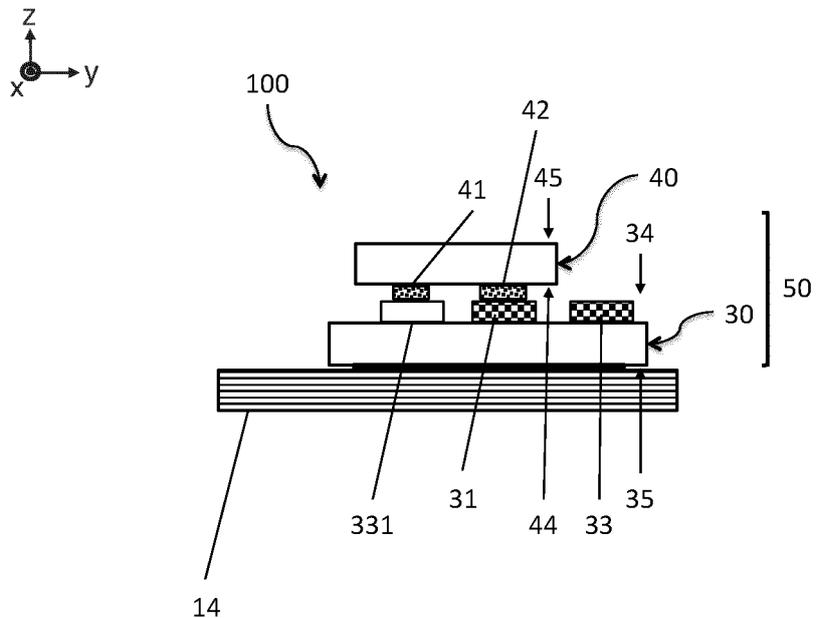


FIG. 5a

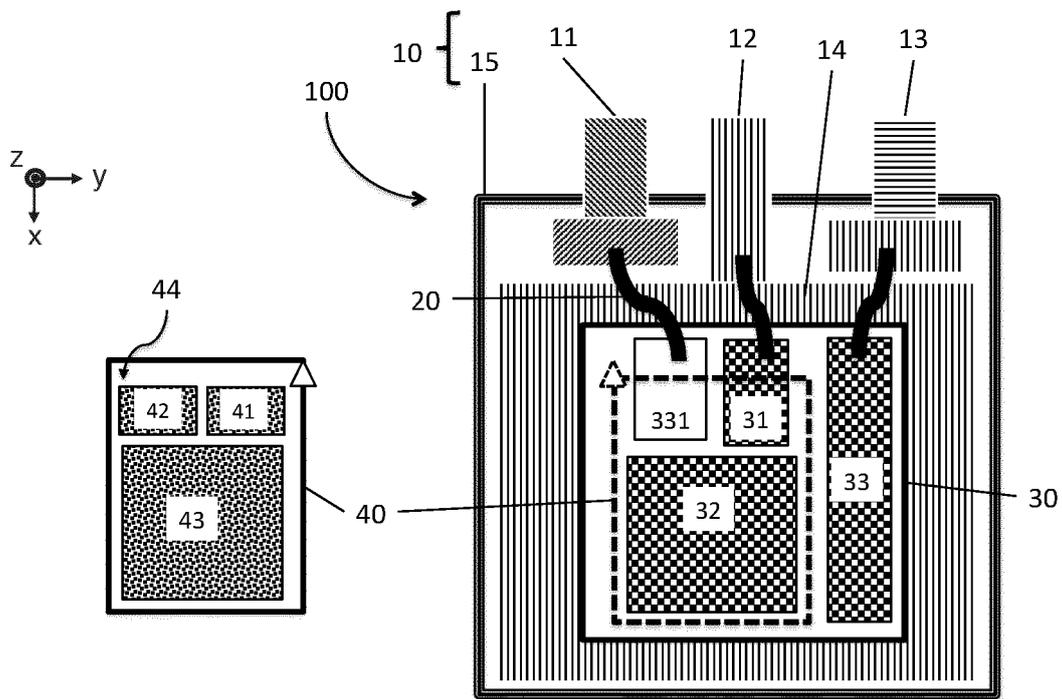


FIG. 5b

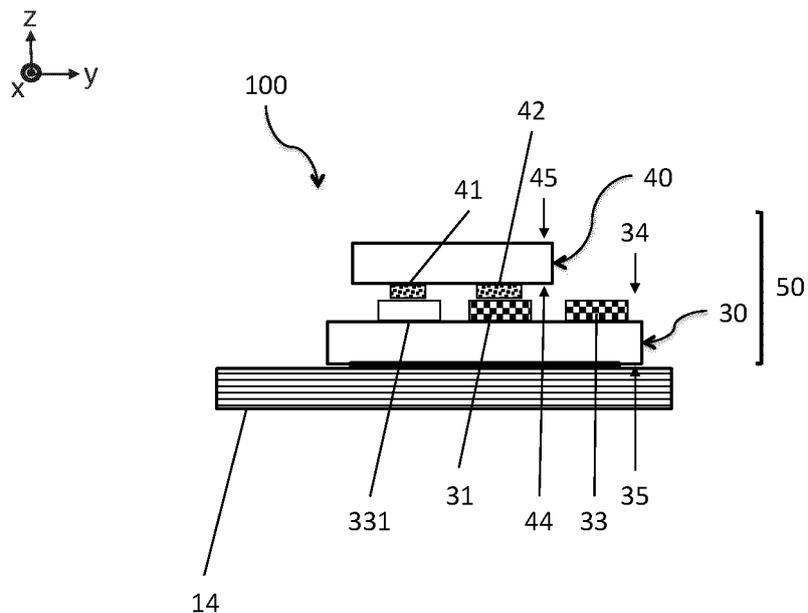


FIG. 6a

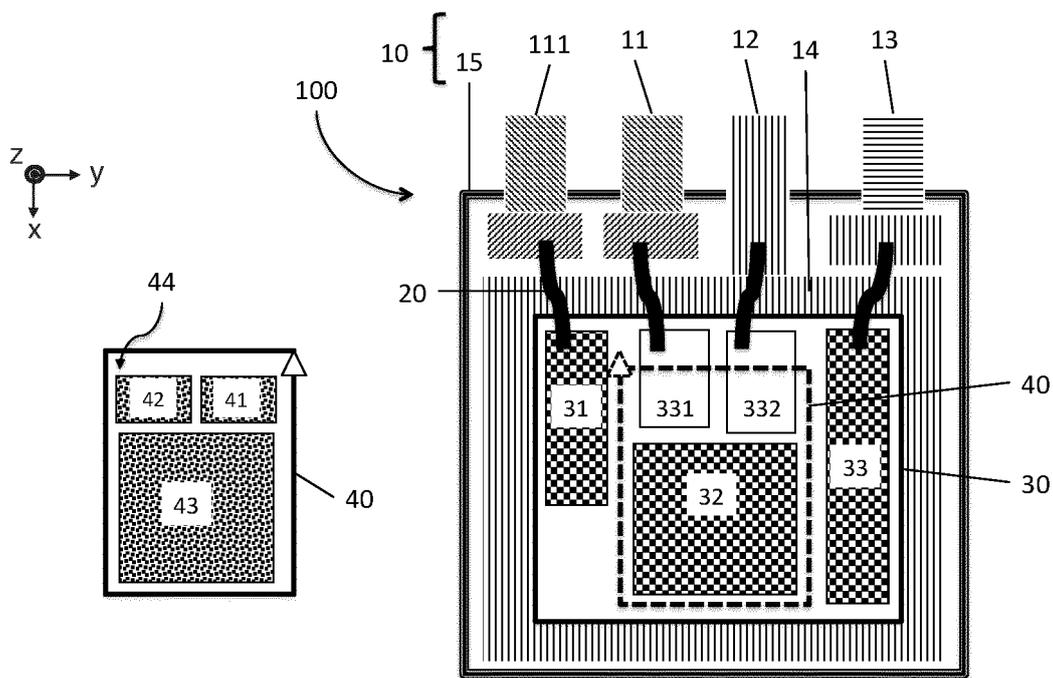


FIG. 6b



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement national

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 831815
FR 1661379

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	JP 2013 222905 A (SHARP KK) 28 octobre 2013 (2013-10-28) * abrégé *; revendications; figures 3,4,7 * * alinéas [0034], [0035], [0078] * -----	1-21	H01L27/085 H01L29/778 H01L25/07 H01L23/48
A	EP 2 511 952 A1 (INT RECTIFIER CORP [US]) 17 octobre 2012 (2012-10-17) * abrégé *; revendications; figures * -----	1-21	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
25 juillet 2017		Wirner, Christoph	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1661379 FA 831815**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **25-07-2017**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
JP 2013222905	A	28-10-2013	AUCUN	

EP 2511952	A1	17-10-2012	EP 2511952 A1	17-10-2012
			JP 5632416 B2	26-11-2014
			JP 2012222361 A	12-11-2012
			US 2012256189 A1	11-10-2012
