

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-276822

(P2008-276822A)

(43) 公開日 平成20年11月13日(2008.11.13)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 11/417 (2006.01)</b>	G 1 1 C 11/34 3 0 5	5 B 0 1 5
<b>G 1 1 C 11/413 (2006.01)</b>	G 1 1 C 11/34 3 0 1 A	

審査請求 未請求 請求項の数 16 O L (全 24 頁)

(21) 出願番号 特願2007-116379 (P2007-116379)  
 (22) 出願日 平成19年4月26日 (2007.4.26)

(71) 出願人 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区大手町二丁目6番2号  
 (74) 代理人 100081938  
 弁理士 徳若 光政  
 (72) 発明者 篠崎 雅雄  
 東京都千代田区大手町二丁目6番2号 株  
 式会社ルネサステクノロジ内  
 (72) 発明者 佐藤 創  
 東京都千代田区大手町二丁目6番2号 株  
 式会社ルネサステクノロジ内  
 Fターム(参考) 5B015 JJ03 JJ24 KA23 KB88

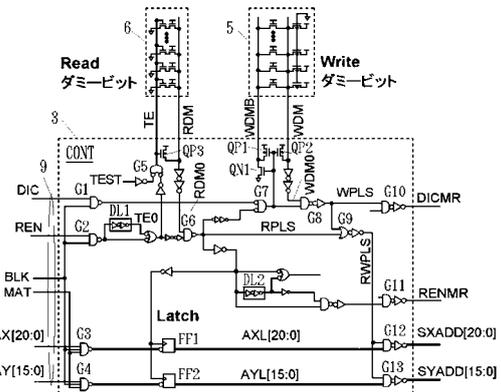
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】回路素子の増大を抑制しつつ、高速化を実現し、あるいはメモリセルの特性バラツキに反映されたタイミング調整が可能な半導体記憶装置を提供する。

【解決手段】メモリアレイの相補ビット線に対応した第1ダミー線と第2ダミー線と、スタティック型メモリセルと同じ形態で形成され、書き込み電流経路が上記第1ダミー線と第2ダミー線との間に接続された複数の第1ダミーセルとで書き込みダミービットを構成する。上記書き込みダミービットは、上記スタティック型メモリセルへの書き込み信号入力に対応して駆動MOSFETにより一方のレベルが上記第1ダミー線に入力され、他方のレベルにプリチャージされた上記第2ダミー線の信号変化をセンスして出力させる。タイミング制御回路は、上記書き込みダミービットからの出力信号により選択されたワード線を非選択状態にする。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

複数のワード線と、  
複数の相補ビット線と、

上記複数のワード線と複数の相補ビット線の交点に設けられ、複数のトランジスタが接続されてメモリセルを構成し、データが保持可能な複数のスタティック型メモリセルと、

上記スタティック型メモリセルとは複数のトランジスタの接続関係が異なる複数の第 1 ダミーセルと、

上記相補ビット線に対応した第 1 ダミー線及び第 2 ダミー線が上記複数の第 1 ダミーセルに接続され、

上記スタティック型メモリセルへの書き込み信号入力に対応した MOSFET により一方のレベルが上記第 1 ダミー線に入力され、上記第 1 ダミーセルの書き込み電流経路を通して他方のレベルにプリチャージされた上記第 2 ダミー線が上記第 1 ダミー線から入力された一方のレベルに従った信号変化をセンスして出力させる書き込みダミービットと、

上記書き込みダミービットからの出力信号により選択されたワード線を非選択状態にするタイミング信号を形成するタイミング制御回路とを有する半導体記憶装置。

**【請求項 2】**

請求項 1 において、

上記相補ビット線に対応した第 3 ダミー線及び第 4 ダミー線と、上記スタティック型メモリセルと同じ形態で形成された複数の第 2 ダミーセルとを有し、上記ワード線選択動作に対応して上記第 3 ダミー線を用いて上記複数の第 2 ダミーセルが選択され、上記複数の第 2 ダミーセルのロウレベルの読み出し電流経路が上記第 4 ダミー線に接続され、ハイレベルにプリチャージされた上記第 4 ダミー線のロウレベルへの変化をセンスして出力させる読み出しダミービットを更に備え、

上記タイミング制御回路は、上記読み出しダミービットからの出力信号により選択されたワード線を非選択状態にする半導体記憶装置。

**【請求項 3】**

請求項 2 において、

上記第 1 ダミーセル及び第 2 ダミーセルの数は、プログラマブルに変更可能にされる半導体記憶装置。

**【請求項 4】**

請求項 3 において、

上記書き込みダミービットの第 1 及び第 2 ダミー線には、寄生容量を上記相補ビット線の寄生容量に近づける第 1 ダミー素子が更に接続され、

上記読み出しダミービットの第 3 及び第 4 ダミー線には、寄生容量を上記相補ビット線の寄生容量に近づける第 2 ダミー素子が更に接続される半導体記憶装置。

**【請求項 5】**

請求項 2 において、

複数のワード線と、複数の相補ビット線と、上記複数のワード線と複数の相補ビット線の交点に設けられた複数のスタティック型メモリセルとからなる第 1 メモリマット及び第 2 メモリマットを有し、

上記読み出しダミービットは、上記第 1 メモリマット側に設けられ、

上記書き込みダミービットは、上記第 2 メモリマット側に設けられ、

上記第 1 メモリマットと第 2 メモリマットは、いずれか一方が選択状態にされる半導体記憶装置。

**【請求項 6】**

請求項 5 において、

上記第 1 メモリマットと第 2 メモリマットは、それぞれに設けられたワード線を選択するワード線選択回路を挟んで対称的に配置され、

上記読み出しダミービットは、上記第 1 メモリマットにおいてワード線選択回路に隣接

10

20

30

40

50

して配置され、

上記書き込みダミービットは、上記第2メモリマットにおいてワード線選択回路に隣接して配置される半導体記憶装置。

【請求項7】

請求項6において、

上記書き込みダミービットの上記ワード線選択回路側には、上記第1ダミーセルのパターン依存性が上記メモリセル側と同等となるような第1形状ダミー素子が設けられ、

上記読み出しダミービットの上記ワード線選択回路側には、上記第2ダミーセルのパターン依存性が上記メモリセル側と同等となるような第2形状ダミー素子が設けられる半導体記憶装置。

10

【請求項8】

請求項7において、

上記制御回路は、クロックの1周期に対応して第1動作及び第2動作に対応した読み出し動作と書き込み動作とをシリアルに行うように上記第1メモリマット又は第2メモリマットのいずれか一方のメモリマットのメモリセルの選択と読み出し及び書き込み動作を行う半導体記憶装置。

【請求項9】

請求項8において、

上記クロックの1周期において、前半のサイクルで上記第1動作が行われ、第2動作は、上記第1動作の終了タイミングを待って行われる半導体記憶装置。

20

【請求項10】

請求項9において、

上記クロックの1周期に占める読み出し動作の期間が書き込み動作の期間よりも長くされる半導体記憶装置。

【請求項11】

請求項10において、

上記第1メモリマット及び第2メモリマットを含むメモリアレイを有し、

上記メモリアレイは、

第1方向において上記第1メモリマット及び第2メモリマットと同様な複数対のメモリマットを有し、

30

上記第1方向とは直交する第2方向に、上記第1メモリマット及び第2メモリマットを含んだ複数対のメモリマットが偶数組設けられ、

前記制御回路は、それを中心にして上記第1及び第2方向において2個ずつのメモリマットが配置され、

上記第2方向に上記偶数組に対応したメモリマットを串刺しするように書き込み信号を伝える信号線と、読み出し信号を伝える信号線とが延長される半導体記憶装置。

【請求項12】

複数のワード線と、

複数の相補ビット線と、

上記複数のワード線と複数の相補ビット線の交点に設けられた複数のスタティック型メモリセルと、

40

上記相補ビット線に対応した第1ダミー線及び第2ダミー線と、上記スタティック型メモリセルと同じ形態で形成された複数の第1ダミーセルを有し、上記ワード線選択動作に対応して上記第1ダミー線を用いて上記複数の第1ダミーセルが選択され、上記複数の第1ダミーセルのロウレベルの読み出し電流経路が上記第2ダミー線に接続されて、ハイレベルにプリチャージされた上記第2ダミー線のロウレベルへの変化をセンスして出力させる読み出しダミービットと、

上記読み出しダミービットからの出力信号により選択されたワード線を非選択状態にするタイミング信号を形成するタイミング制御回路とを有する半導体記憶装置。

【請求項13】

50

複数のトランジスタが接続されて構成され、データが保持可能なメモリセルが行列状に並べられたメモリセル群と、

対応の行の前記メモリセルに接続された複数のワード線と、

対応の列の前記メモリセルに接続された複数の一对のビット線とをそれぞれが有し、一方のメモリセル群内のメモリセルへのデータ書込み動作もしくは読出し動作が行われる選択状態の場合には、他方のメモリセル群は非選択状態にある、第1と第2のメモリセルアレイと、

上記メモリセルとは複数のトランジスタの接続関係が異なり、上記第1のメモリセルアレイの列に隣接して列状に設けられ、上記第1のメモリセルへのデータ書込み動作および第2のメモリセルへのデータの書き込み動作のいずれにおいても活性化される複数の第1ダミーセルと、

上記メモリセルとは複数のトランジスタの接続関係が異なり、上記第2のメモリセルアレイの列に隣接して列状に設けられ、上記第1のメモリセルからのデータ読出し動作および第2のメモリセルからのデータの読出し動作のいずれにおいても活性化される複数の第2ダミーセルと、

を有する、半導体記憶装置。

【請求項14】

請求項13において、

前記第1と第2ダミーセルは、前記第1と第2のメモリアレイに挟まれるように配置され、

前記第1と第2ダミーセルに挟まれるように、前記第1および第2のメモリセルアレイのワード線を選択するワード選択回路がそれぞれ配置され、

前記第1および第2のメモリセルアレイのビット線対を選択するカラム選択回路がそれぞれ前記第1および第2のメモリセルアレイの行に隣接するように配置され、

前記第1、第2ダミーセルを制御する制御回路は、カラム選択回路に挟まれるように配置された半導体記憶装置。

【請求項15】

複数のトランジスタが接続されて構成され、データが保持可能なメモリセルが行列状に並べられたメモリセル群と、

対応の行の前記メモリセルに接続された複数のワード線と、

対応の列の前記メモリセルに接続された複数の一对のビット線とを有するメモリセルアレイと、

上記メモリセルとは複数のトランジスタの接続関係が異なり、上記メモリセルアレイの一方端列に並んで列状に設けられ、上記メモリセルへのデータ書込み動作において活性化される複数の書き込み動作用ダミーセルと、

上記メモリセルおよび書き込み動作用ダミーセルとは複数のトランジスタの接続関係が異なり、上記書き込み動作用ダミーセルの列に並んで列状に設けられ、上記メモリセルからのデータ読出し動作において活性化される複数の読出し動作用ダミーセルと、

を有する、半導体記憶装置。

【請求項16】

請求項15において、

上記メモリセルアレイの一方端行に並んで設けられるメモリセルアレイのビット線対を選択するカラム選択回路と、

上記メモリセルアレイの前記一方端列側に前記カラム選択回路と並んで設けられ、上記書き込み動作用ダミーセルと上記読出し動作用ダミーセルを制御する制御回路とを有する、半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体記憶装置に関し、主に高速な書き込み動作や読み出し動作が行われ

10

20

30

40

50

るスタティック型 R A M に利用して有効な技術に関するものである。

【背景技術】

【0002】

書き込み用ダミーセルを用いて書き込み動作遅延を検知し、またはそれとともに読み出し用ダミーセルを用いて読み出し動作遅延を検知し、書き込み動作や読み出し動作を終了させるスタティック型 R A M に関して、特開 2 0 0 6 - 0 0 4 4 6 3 公報がある。

【特許文献 1】特開 2 0 0 6 - 0 0 4 4 6 3 公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

10

特許文献 1 においては、書き込みイネーブル信号の伝播遅延を、ダミーワード線を駆動するのに要する遅延で代用し、書き込み回路によるメモリセルへの書き込み動作に要する遅延を、タイミング調整回路で行う。タイミング調整回路は、ビット線に対応するダミービット線に、ダミービット線を駆動する能力が、書き込み回路のビット線を駆動する能力に等しくされたダミーセル ( M O S F E T 6 ) で構成される。この構成は、上記ダミーワード線には、上記伝播遅延の代用のためにワード線に接続されるメモリセルと同等のメモリセルが接続される。同様に、ダミービット線にもビット線と同等の負荷容量となるようにダミーセル群が接続される。このように、ダミーワード線及びダミービット線には、ワード線及びビット線と同様な寄生容量にするためにだけの多数のメモリセルを有する。そして、メモリセル毎の特性のバラツキに適合させるためには、図 7 に示されているように上記多数のタイミング調整回路を設けて、そのうちの最も遅いものを検知信号とすることが記載されている。読み出し動作に対応して、上記同様な読み出し用ダミーワード線及びダミーセルとダミービット線が上記タイミング調整回路に設けられる。

20

【0004】

素子微細化により記憶容量は増大される。1つのワード線やビット線に接続されるメモリセルの数を増加させると、メモリセルの選択動作に長時間を費やすことになるので、1つのワード線やビット線に接続されるメモリセルの数は、約  $256 \times 256$  個程度に制限されたメモリマットとされ、選択動作の高速化を図ることが主流になっている。例えば、数十 M ビットのような記憶容量を実現するためには、最小選択単位である上記メモリマットの数は、1000 個程度にもなってしまう。したがって、前記特許文献 1 の構成では、書き込み及び読み出しタイミング調整を行うようにすると、上記書き込み用ダミーワード線、読み出し用ダミーワード線及びダミービット線の数が膨大になってしまう。特に、メモリセルの特性バラツキに適合させるためには、更に多数のダミービット線が必要となるという問題を有する。

30

【0005】

素子微細化に対応して1つのメモリチップ内でのメモリセル特性のバラツキが大きくなる傾向にある。前記特許文献 1 においては、上記メモリセル特性のバラツキとダミーセル 6 の駆動能力のバラツキとの間に格別な関連性を持たせていることの記載はない。したがって、ダミーセル 6 の駆動能力に対応してタイミング調整を行うことが、上記メモリセルの特性バラツキを補償するように機能するか疑問である。しかも、ダミーセルの駆動能力の最も小さいものが選ばれるというタイミング調整は、外部から入力されるクロック周期に同期して、メモリアクセスされるものでは意味がない。つまり、R A M 内部回路において、上記タイミング調整によりワード線の選択終了タイミングを遅らせたも、それとは無関係に次のメモリサイクルのためのアドレス信号、書き込み信号等が上記クロックに同期して入力される。この結果、上記前のメモリサイクルの終了タイミングを上記のようなタイミング調整で遅らせても、次のメモリサイクルと重なって、次のメモリサイクルではエラーとなってしまう。

40

【0006】

この発明の目的は、回路素子の増大を抑制しつつ、高速化を実現した半導体記憶装置を提供することにある。この発明の他の目的は、回路素子の増大を抑制しつつ、メモリセル

50

の特性バラツキに反映されたタイミング調整が可能な半導体記憶装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

本願において開示される実施例の1つは下記の通りである。複数のワード線と複数の相補ビット線の交点に複数のスタティック型メモリセルが設けられる。上記相補ビット線に対応した第1ダミー線と第2ダミー線と、複数の第1ダミーセルとを有する書き込みダミービットが設けられる。上記書き込みダミービットは、上記スタティック型メモリセルへの書き込み信号入力に対応して、上記相補ビット線に書き込み信号を伝える書き込み回路と同等の駆動能力を有するMOSFETにより一方のレベルが上記第1ダミー線に入力され、書き込み電流経路を通して他方のレベルにプリチャージされた上記第2ダミー線が上記第1ダミー線の一方のレベルに従った信号変化をセンスして出力させる。タイミング制御回路は、上記書き込みダミービットからの出力信号により選択されたワード線を非選択状態にする。

10

【0008】

本願において開示される実施例の他の1つは下記の通りである。複数のワード線と複数の相補ビット線の交点に複数のスタティック型メモリセルが設けられる。上記相補ビット線に対応した第3ダミー線と第4ダミー線と、上記スタティック型メモリセルと同じ形態で形成された複数の第2ダミーセルを有する読み出しダミービットが設けられる。上記読み出しダミービットは、上記ワード線選択動作に対応して上記第1ダミー線を用いて上記複数の第2ダミーセルが選択され、上記複数の第2ダミーセルのロウレベルの読み出し電流経路が上記第4ダミー線に接続されて、ハイレベルにプリチャージされた上記第4ダミー線のロウレベルへの変化をセンスして出力させる。タイミング制御回路は、上記読み出しダミービットからの出力信号により選択されたワード線を非選択状態にするタイミング信号を形成する。

20

【0009】

本願において開示される実施例の更に他の1つは下記の通りである。上記読み出し用ダミービット及び書き込み用ダミービットを設け、タイミング制御回路は、上記読み出しダミービットと書き込みダミービットからの出力信号によりそれぞれ選択されたワード線を非選択状態にする。

30

【発明の効果】

【0010】

メモリセルと同じ形態で形成された素子を用い、複数の読み出し電流経路及び書き込み電流経路を構成しているのでメモリセルの特性バラツキを反映した特性を持つダミーセルを得ることができる。相補ビット線に対応した信号線のみがダミーセルに接続されているので回路の簡素化ができる。ダミーセルは、複数の並列接続しているのでメモリセルの平均的な特性に対応し、しかもメモリセルの読み出し動作や書き込み動作に先行するダミービット線に信号変化させて検知するので、検知出力信号とメモリセルに対する読み出し及び書き込み動作との整合性を高くすることができる。

40

【発明を実施するための最良の形態】

【0011】

図3には、この発明に係るSRAMの一実施例の全体ブロック図が示されている。同図において、各ブロックの配置は実際の半導体チップ上での幾何学的な配置に合わせて示されている。半導体チップは、同図において点線で示したように横中央部に縦長に設けられたアドレス入力回路領域と、縦中央部に横長に設けられた間接論理領域とにより全体として4つのエリアに分けられる。これらの4つのエリアには、特に制限されないが、それぞれが同じメモリセルアレイとアドレス/データバス論理領域を有する。1つのエリアは、同図の左右に2個ずつのアレイ(9M array)に分けられる。1つのアレイが約9Mビットのような記憶容量を持つので、チップ全体では $8 \times 9 = 72$ Mビットのような大きな記憶

50

容量を持つようにされる。

#### 【0012】

図4には、図3の1つのアレイの詳細ブロック図が示されている。1つのアレイ(9M array)は、同図(図2でも同じ)の縦方向に1Mビットずつの9個のモジュール(1M module)に分けられる。各モジュール(1M module)は、2ビットずつのデータ入出力(I/O(0), I/O(1) ~ I/O(16), I/O(17))が割り当てられる。前記図3で4つに分けられた1つのエリアは、横中央部に縦長に設けられたアドレス/データバス論理領域を挟んで上記アレイ(9M array)が2個割り当てられる。アドレス/データバス論理領域は、上記それを挟む2つのアレイ(9M array)のうちいずれか一方のアレイ(9M array)を選択する。したがって、この実施例のSRAMは、各アレイからそれぞれ2×9ビットずつ平行にデータの書き込み/読み出しを行うことができる。4つのアレイを同時に選択する動作モード、あるいはメモリ選択回路の設定を行うと、72ビットのデータ入出力が可能になる。もしも、4つのアレイのうち1つのアレイのみを選択する動作モード、あるいはメモリ選択回路の設定を行うと、18ビットのデータ入出力が可能になる。

10

#### 【0013】

図5には、図4の1つのモジュール(1M module)を説明するためのメモリマップ構成図が示されている。図5は、図3との関係では縦横が入れ代わっている。つまり、図4の1つのモジュールを90°回転させて示したのが図5のモジュール(1M module)である。図5において、モジュール(1M module)は、左右(図4では上下)に2つに分けられる。更に上下(図4では左右)にBLK0 ~ BLK7からなるメモリブロックに分けられる。例示的に示されているメモリブロックBLK0は、上記のように最小制御単位であるメモリマップMAT00とメモリマップMAT01の2つに分割されている。これにより、最小制御単位であるメモリマップは、1モジュール(1M module)当たり、2×8=16個となる。1つのアレイでは、9個のモジュールを有するので16×9=144個のメモリマップが設けられる。そして、チップ全体では8個のアレイが設けられるので、144×8=1152個のメモリマップが設けられることになる。

20

#### 【0014】

上記メモリブロックBLK0に設けられる2つのメモリマップMAT00, MAT01と、それに隣接するメモリブロックBLK1に設けられる2つのメモリマップが1組とされて、その中央角部にタイミング制御回路が設けられる。メモリブロックBLK7に隣接して前記アドレス/データバス論理領域が設けられ、アドレスレジスタAREG、データレジスタDREG0, 1が設けられる。アドレスレジスタAREGは、モジュール中央部を延長される信号バスを通してアドレス信号が伝えられる。上記メモリブロックBLK1 ~ BLK7のメモリマップ上を書き込み信号を伝えるライトデータバス(Write Data Bus)と、読み出し信号を伝えるリードデータバス(Read Data Bus)とが、これらのメモリマップを串刺しするように延長される。

30

#### 【0015】

1つのメモリマップMAT00等は、264本のワード線と260対の相補ビット線とで構成される。このうち、正規ワード線は256本とされ、正規相補ビット線は256対とされる。そして残りのワード線及び相補ビット線は、上記正規ワード線及び相補ビット線に発生した不良を救済するための冗長用とされる。この実施例では、上記メモリマップMAT0とMAT1のような各メモリマップにおいて、それぞれの1対の相補ビット線を利用して、書き込みダミービットと読み出しダミービットが形成される。

40

#### 【0016】

図6には、図4の1つのモジュール(1M module)をより詳細に説明するためのメモリマップ構成図が示されている。代表として例示的に示されているメモリマップMAT00とMAT01には、ワード線WLを選択するワード選択回路SWDが設けられる。これらのワード線選択回路SWDは、互いに隣接するように配置される。前記図5に示したように、メモリマップMAT00, MAT01間を延長するようにアドレス信号線等の信号バス9が設けられている。このように最小制御単位であるメモリマップ近傍までX系とY系アド

50

レス信号を並走して伝えるようにすることにより、X系アドレスとY系アドレスとのスキューを小さくすることができ、上記スキューによるメモリ選択遅延を小さくすることができる。

#### 【0017】

ワード線選択回路は、後述する制御回路を通した上記アドレス信号線からのアドレス信号を受けて解読して1つのワード線の選択信号を形成するデコード回路と、それを増幅してワード線WLを駆動するワード線駆動回路から構成される。上記メモリマットMAT00においては、上記アドレス選択回路に隣接して設けられる1対の相補ビット線分を利用して、書き込み(Write)ダミービットが設けられる。他方のメモリマットMAT01においては、上記アドレス選択回路に隣接して設けられる1対の相補ビット線分を利用して、読み出し(Read)ダミービットが設けられる。

10

#### 【0018】

上記メモリブロックBLK0のメモリマットMAT00, MAT01及び隣接するメモリブロックBLK1のメモリマットMAT10, MAT11の4個が1組とされる。これら4個のメモリマット00, 01及び10, 11の中央角部にタイミング制御回路CONTが設けられる。上記メモリマットMAT00とメモリマットMAT10の間には、メモリマットMAT00とMAT10のそれぞれに対応してカラム選択回路YSW、センスアンプSA、ライトアンプWAがそれぞれ配置される。これら2組のカラム選択回路YSW、センスアンプSA、ライトアンプWAの間には、データバス等及び上記カラム選択回路YSW、センスアンプSA、ライトアンプWAを選択する選択回路が配置され、縦方向に延長される前記ライトデータバス(Write Data Bus)と、読み出し信号を伝えるリードデータバス(Read Data Bus)に導かれる。

20

#### 【0019】

同図では、メモリマットMAT00等を後の説明との整合性を採るために回路記号1で示している。2は、前記アドレス選択回路を示している。3は、前記タイミング制御回路CONTを示している。4は、各メモリマットに対応して設けられるカラム選択回路YSW、センスアンプSA、ライトアンプWAを示している。5は、上記書き込みダミービットを示している。6は、上記読み出しダミービットを示している。7は、メモリセル(MC)を示している。8は、前記アドレス/データバス論理領域の前記レジスタ及びドライバを示している。9は、アドレス信号等の信号バスを示している。

30

#### 【0020】

この実施例では、1つのモジュール当たり、1個のメモリマットが選択されて前記アドレス/データバス論理領域の前記レジスタ等に導かれる。それ故、アドレス選択回路2を挟んで左右に設けられるメモリマットMAT00, MAT01等において、両方のメモリマットが同時に選択されることはない。これにより、上記のように書き込みダミービットを一方のメモリマットMAT00に割り付け、読み出しダミービットを他方のメモリマットMAT01に割り付けても問題ない。つまり、メモリマットMAT00が選択されたときには、メモリマットMAT00の書き込みダミービットと、選択されないメモリマットMAT01の読み出しダミービットとを用いることができる。逆に、メモリマットMAT01が選択されたときには、メモリマットMAT01の読み出しダミービットと、選択されないメモリマットMAT00の書き込みダミービットとを用いることができる。このような構成とすることにより、前記特許文献1のような構成に比べて大幅な回路の簡素化を図ることができる。

40

#### 【0021】

この実施例では、書き込みダミービット及び読み出しダミービットを前記のように隣接するマット間のアドレス選択回路に隣接して配置していること、及びタイミング制御回路も上記マット回路に設けていることにより、上記書き込みダミービット及び読み出しダミービットの動作制御を行うタイミング制御回路を共通に形成ことができ、しかも接続配線が容易になるものである。

#### 【0022】

50

この実施例では、上記のように非選択メモリマツトに設けられる書き込みダミービット又は読み出しダミービットを用いる構成とすることにより、特許文献1のようなダミーワード線は存在しない。読み出しダミービット6では、前記のような1対分の相補ビット線分のうち一方をダミービット線とすると、他方をダミーセル選択線として利用する。書き込みダミービットでは、前記のような1対分の相補ビット線分のうち一方をダミービット出力線とすると、他方をダミービット入力線として用いる。このようにダミーワード線を必要としないので、それに接続されるダミーセル等及び選択回路等も必要としない。これにより、前記特許文献1の構成に比べて大幅な回路簡素化が可能になる。特に、前記のように1152個ものメモリマツトが設けられる構成では、本願発明のように上記ダミーワード線が不要であること、及び1つのメモリマツトには1つの相補ビット線に相当する分しかダミー回路を必要としないことがメモリチップ全体でみると大きな回路規模の差となって現れる。

#### 【0023】

図7には、図6の2つのメモリマツトと制御回路との関係を説明するブロック図が示されている。同図では、代表としてメモリマツト1(MAT00とMAT01)及び制御回路3(CONT)が例示的に示されている。メモリマツト1(MAT00)のワード線WLは、アドレス選択回路2により選択される。アドレス選択回路2(SWD+RDEC)は、制御回路3(CONT)を介してX系アドレス信号SXADDRが供給され、それをX系デコーダRDECで解読し、ワード線駆動回路でワード線WLの選択信号を形成する。メモリマツト1(MAT00)の相補ビット線BT, BBは、前記回路4(YSW/SA/WA)に含まれるカラム選択回路YSWで選択される。カラム選択回路YSWは、カラムデコーダCDECで選択され、メモリマツト1(MAT00)の相補ビット線BT, BBをライトアンプWAの出力端子又はセンスアンプSAの入力端子と接続させる。カラムデコーダCDECは、制御回路3(CONT)を介してY系アドレス信号SYADDRが供給され、それを解読して上記カラム選択回路YSWの選択信号を形成する。ライトアンプWAは、制御信号DICMRにより動作し、センスアンプSAは、制御信号RENMRにより動作する。データマルチプレクサDMAは、上記センスアンプSAで増幅された読み出し信号を選択出力する。メモリマツト1(MAT01)側にも上記同様な各回路が設けられる。

#### 【0024】

制御回路3(CONT)は、上記ワード線の選択に用いられるX系アドレス信号AXと相補ビット線の選択に用いられるY系アドレス信号AY、マツト選択信号MAT、ブロック選択信号BLK、書き込み制御信号DIC、及び読み出し制御信号RENとを受けて、上記メモリマツト1(MAT00、MAT01)等に対する前記のようなアドレス信号供給と、ライトアンプWA、センスアンプSAの制御信号及び書き込みダミービット5に対する入力信号WDMB及び読み出しダミービット6に対する選択信号TEを形成する。上記制御回路3(CONT)は、書き込み動作のときに、上記入力信号WDMBに対応した書き込みダミービット5からの出力信号WDMを受信すると、書き込み動作を終了させる。上記制御回路3(CONT)は、読み出し動作のときには、上記選択信号TEに対応した読み出しダミービット6からの出力信号RDMを受信すると、当該読み出し動作を終了させる。具体的な終了動作は、上記メモリマツト1(MAT00、MAT01)の選択ワード線を非選択にし、相補ビット線のイコライズ動作を実施する。

#### 【0025】

図8には、前記メモリマツトからの読み出し経路を説明するための回路図が示されている。同図では、代表としてワード線WL255が選択され、カラムスイッチにより相補ビット線BB0, BT0が選択された状態を示している。メモリセルは、図10(A)に示されているように、ビット線BB側の駆動MOSFETQD1がオン状態で、ビット線BT側の駆動MOSFETQD2がオフ状態となっている。したがって、Pチャネル型の負荷MOSFETQL1はオフ状態で、Pチャネル型の負荷MOSFETQL2はオン状態である。そして、ワード線WLの選択動作によりアドレス選択用MOSFETQT1, Q

10

20

30

40

50

T 2 がオン状態にされる。

【 0 0 2 6 】

図 8 において、図示しないプリチャージ回路によりプリチャージされた上記ビット線 B B 0 は、上記ワード線 W L 2 5 5 によりオン状態にされている前記図 1 0 ( A ) に示したアドレス選択 M O S F E T Q T 1 及び上記オン状態の駆動 M O S F E T Q D 1 を通してビット線 B B 0 のプリチャージレベルを放電させる電流経路が形成される。ビット線 B T は、それに対応した駆動 M O S F E T Q D 2 がオフ状態にあるために上記ワード線 W L 2 5 5 の選択レベルによりアドレス選択 M O S F E T Q T 2 がオン状態となっても、放電させる電流経路が形成されない。これにより相補ビット線 B T は、プリチャージレベルのハイレベルを維持する。上記のように相補ビット線 B B 0 がロウレベルに、B T 0 がハイレベルであるためにカラムスイッチを通したセンスアンプ S A の入力端子にレベル差が生じて、センスアンプ S A がそれを増幅する。

10

【 0 0 2 7 】

図 9 には、前記メモリマットからの書き込み経路を説明するための回路図が示されている。同図では、代表としてワード線 W L 2 5 5 が選択され、カラムスイッチにより相補ビット線 B B 0 , B T 0 が選択された状態を示している。メモリセルは、図 1 0 ( B ) に示されているように、ビット線 B B 側の駆動 M O S F E T Q D 1 がオフ状態で、ビット線 B T 側の駆動 M O S F E T Q D 2 がオン状態となっている。したがって、Pチャネル型の負荷 M O S F E T Q L 1 はオン状態で、Pチャネル型の負荷 M O S F E T Q L 2 はオフ状態である。そして、ワード線 W L の選択動作によりアドレス選択用 M O S F E T Q T 1 , Q T 2 がオン状態にされている。図 9 には、このようなメモリセルの記憶状態を反転させるような書き込みが行われる例を示している。

20

【 0 0 2 8 】

ワード線 W L 2 5 5 の選択レベルにより図 1 0 ( B ) に示したアドレス選択 M O S F E T Q T 1 がオン状態になっている。図 9 においてカラム選択信号 Y S 0 によりカラムスイッチ M O S F E T Q 5 , Q 6 がオン状態になっている。ライトアンプ W A の M O S F E T Q 1 がオン状態となると、上記カラムスイッチの M O S F E T Q 5 、ビット線 B B 及び上記メモリセルのアドレス選択 M O S F E T Q T 1 を通して、共通接続された M O S F E T Q D 1 、 Q L 1 のドレイン及び駆動 M O S F E T Q D 2 のゲートからなる記憶ノードを放電させる電流経路を形成する。このとき、図 1 0 ( B ) のメモリセルのビット線 B B 側の駆動 M O S F E T Q D 1 がオフ状態で、Pチャネル型の負荷 M O S F E T Q L 1 がオン状態になっている。これにより、上記ライトアンプ W A による書き込み電流によって上記記憶ノードを放電させる電流に対して、それを阻止するような電流が上記Pチャネルの負荷 M O S F E T Q L 1 から流れる。つまり、記憶状態を維持するような電流がPチャネル負荷 M O S F E T から流れる。

30

【 0 0 2 9 】

上記Pチャネル負荷 M O S F E T Q L 1 から流れる電流は、上記ライトアンプ W A の M O S F E T Q 1 に流れる電流よりも小さいか、上記記憶ノードの電位をロウレベルに向けて放電させる。このような放電動作によって上記オン状態になっていた駆動 M O S F E T Q D 2 のゲート電位を低下させ、負荷 M O S F E T Q L 2 のゲート電圧をその分上昇させるというトリガとなる。これにより、オフ状態の駆動 M O S F E T Q D 1 の電位が上昇し、上記記憶ノードの電位低下を助長するように作用し、それがまた上記駆動 M O S F E T Q D 2 に流れる電流を減少させ、上記負荷 M O S F E T Q L 2 からの電流によって上記駆動 M O S F E T Q D 1 のゲート電圧を上昇させるという正帰還ループが作用する。これと同時に、ビット線 B T からのアドレス選択 M O S F E T Q T 2 を通した電流は、上記駆動 M O S F E T Q D 2 の電流減少分が上記駆動 M O S F E T Q D 1 のゲート電圧を上昇させるようにも作用する。このようにして、最終的には駆動 M O S F E T Q D 1 がオン状態で負荷 M O S F E T Q L 1 がオフ状態となり、駆動 M O S F E T Q D 2 がオフ状態で負荷 M O S F E T Q L 2 がオン状態となるように反転する。

40

【 0 0 3 0 】

50

図1には、この発明に係るダミービットと制御回路の一実施例の回路図が示されている。同図の各回路ブロックの回路記号は、前記図7のものと対応している。書き込みダミービット5は、前記図10に示したメモリセルを構成する各回路素子と同じ形態で形成された素子そのまま用いられる。メモリマトマト00の相補ビット線のうちの一方、例えば反転ビット線BBに対応した配線を用いて入力信号WDMBの入力線が構成される。上記相補ビット線の他方である非反転ビット線BTに対応した配線を用いて出力信号WDMの出力線が構成される。

#### 【0031】

図1の書き込みダミービットの入力線と出力線との間には、前記図10に示したメモリセルを構成するNチャンネル型アドレス選択MOSFETQT1に対応したMOSFETのソース-ドレイン経路が接続される。このMOSFETQT1のゲートは、定常的に電源電圧に接続されてオン状態にされている。上記出力線と電源電圧との間には、前記メモリセルを構成するPチャンネル負荷MOSFETQL1に対応したMOSFETが設けられる。つまり、メモリセルを構成する6個のMOSFETQD1, QD2, QL1, QL2及びQT1, QT2のうち、上記2つのMOSFETQT1とQL1に対等したものが選ばれて上記入力線及び出力線に接続される。しかも、本願において特徴的なことは、複数のメモリセル分に対応した複数の上記MOSFETが上記同様に接続される。つまり、上記入力線と出力線には、複数のメモリセル分に対応した上記MOSFETQT1, QL1に対応したものが並列形態に接続される。

#### 【0032】

読み出しダミービット6は、前記書き込みビット5と同様に前記図10に示したメモリセルを構成する各回路素子と同じ形態で形成された素子そのまま用いられる。メモリマトマト01の相補ビット線のうちの一方、例えば反転ビット線BBに対応した配線を用いて選択信号TEを伝える選択線が構成される。上記相補ビット線のうちの他方である非反転ビット線BTに対応した配線を用いて出力信号RDMの出力線が構成される。上記出力線と回路の接地電位の間には、前記図10のメモリセルを構成するNチャンネル型駆動MOSFETQD1とアドレス選択MOSFETQT1に対応したMOSFETのソース-ドレイン経路が直列形態に接続される。上記アドレス選択MOSFETQT1に対応したMOSFETのゲートは、定常的に電源電圧に接続されてオン状態にされている。上記駆動MOSFETQD1に対応したMOSFETのゲートは、上記選択線TEに接続される。つまり、メモリセルを構成する6個のMOSFETQD1, QD2, QL1, QL2及びQT1, QT2のうち、上記2つのMOSFETQT1, QD1に対応したMOSFETが選ばれて上記選択線と出力線に接続される。しかも、本願において特徴的なことは、複数のメモリセル分に対応した複数の上記MOSFETが上記同様に接続される。つまり、上記選択線と出力線には、複数のメモリセル分に対応した上記MOSFETが並列形態に接続される。

#### 【0033】

通常メモリセルは、データの記憶や読み出しや書き込みに用いられる複数のセルトランジスタを有する。複数のセルトランジスタは、トランジスタ間で接続されたり、電源線や接地線、ビット線、ワード線に接続されたりしている。読み出し及び書き込みのダミーセルは、データの書き込みができない。通常メモリセルに用いられるセルトランジスタを有する。ダミーセルはセル内のトランジスタの接続関係は通常メモリセルと異なる。また、ダミーセルが通常セルと形状が類似している。さらに、ダミーセルは通常セルと通常同じセルサイズになることが多い。ただし、セルの境界の定義等により変わることもあるため、必ずしも同じ大きさでなくてはならないものではない。セルトランジスタの接続関係が通常とダミーで異なるため、接続配線、接続部等の形状が異なることが多い。

#### 【0034】

制御回路CONT(3)には、上記書き込みビット5の入力線及び出力線をプリチャージするPチャンネル型のプリチャージMOSFETQP1, QP2、上記読み出しビット6の出力線をプリチャージするPチャンネル型のプリチャージMOSFETQP3がそれぞれ

設けられる。上記読み出しダミービット6の選択線は、読み出し制御信号REN、ブロック選択信号BLKを受ける論理ゲート回路G2により読み出しモードと判定され、正規ワード線の選択遅延時間を考慮した遅延時間をインバータ回路列DL1で形成し、選択信号TE0を発生させる。この信号TE0は、ゲート回路G5を通して上記選択線TEに伝えられる。ゲート回路G5は、テスト信号TESTにも対応して上記選択信号TEを選択状態にする。上記出力線からの出力信号RDMの変化を2つのインバータ回路列からなる検知回路で検出し、検知信号RDM0を発生させる。この信号RDM0はゲート回路G6に伝えられ、読み出しワードリセット信号RPLSが形成される。この信号RPLSは、ゲート回路G9を通してワード線のリセット信号RWPLSとされる。この信号RWPLSは、ゲート回路G12、G13を制御してアドレス信号SXADD〔20:0〕、SYADD〔15:0〕の出力を停止させる。これにより、選択ワード線が非選択にされる。

10

#### 【0035】

上記書き込みダミービット5の入力線は、書き込み制御信号DIC、ブロック選択信号BLKを受ける論理ゲート回路G1により書き込みモードと判定され、正規ワード線の選択遅延時間を考慮した遅延時間をインバータ回路列DL1で形成し、書き込みパルスに対応したパルスRPLSを発生させ、ライトアンプWAのMOSFETを模したMOSFETN1を駆動して入力信号WDMBを発生させる。この実施例のSRAMは、後述するようにクロックの1サイクル中の前半に読み出し動作が行われ、後半に書き込み動作が行われる。それ故、書き込み動作の開始は、上記読み出し制御信号RENがロウレベルにされて、これに応じて信号TE0がハイレベルにされて、読み出しダミービット6を通してRDMがハイレベルにされて読み出し動作が終了したことをゲート回路G6、G7で判定する。

20

#### 【0036】

上記ゲート回路G7の出力信号のハイレベルにより、ライトアンプWAに対応したNチャンネルMOSFETQN1がオン状態となり、入力線WDMBをロウレベルにする。この入力線WDMBのロウレベルが前記ダミービットのMOSFETを介して出力線WMDに伝えられる。つまり、前記図10(B)のようなメモリセルの書き込み動作と同様な電流経路により電流が流れて、上記記憶ノードに対応した出力線WDM0のレベル低下を2つのインバータ回路列からなる検知回路で検出し、検知信号WDM0を発生させる。この信号WDM0によりゲート回路G8は、書き込み用ワード線のリセット信号RWPLSを形成する。この信号RWPLSは、上記ゲート回路G9を通して信号RWPLSをロウレベルにする。この信号RWPLSは、前記同様にゲート回路G12、G13を制御してアドレス信号SXADD〔20:0〕、SYADD〔15:0〕の出力を停止させる。これにより、選択ワード線が非選択にされる。

30

#### 【0037】

ラッチ(Latch)回路FF1、FF2は、アドレス信号AX、AYを上記RPLSに対応して取り込む。すなわち、上記MAT、BLKによりメモリマツが選択されたことを検知し、アドレス信号AX、AYの取り込みが行われる。上記信号WPLSに対応してゲート回路G10によりライトアンプWAを活性化させる信号DICMR(図7参照)が形成される。上記信号RPLSに対応してゲート回路G11によりセンスアンプSAを活性化させる信号REN R(図7参照)が形成される。

40

#### 【0038】

図2には、図1のダミービットと制御回路の動作を説明するための波形図が示されている。この実施例では、クロックRCCがロウレベルとなる前半サイクルがリードモード(Read)とされ、上記クロックRCCがハイレベルとなる後半サイクルがライトモード(Write)とされる。上記クロックRCCに対応して読み出し信号RENがハイレベルにされる。これに対応して、信号PRLSがハイレベルにされ、選択されたメモリマツに対応してアドレス信号AX/AYが取り込まれてAXL/AYLが生成される。上記信号PRLSがハイレベルに対応して信号RWPLSがハイレベルにされて、前記取り込まれアドレス信号に対応してワード線WLが選択される。相補ビット線(BT、BB)に読み出し信

50

号 Bite Line が得られる。

【 0 0 3 9 】

上記ワード線 W L の選択動作に対応したメモリマットの選択動作と並行して読み出しダミービット 6 に選択信号 T E ( 図示せず ) が伝えられ、出力線からは信号 R D M が出力されて、R D M 0 がロウレベルになり、これに対応して信号 P R L S がロウレベルにされる。これに対応して R W P L S がロウレベルとなり、上記読み出し動作のワード線 W L をロウレベルにリセットする。これと同時に相補ビット線のイコライズ動作が実施される。

【 0 0 4 0 】

クロック R C C の後半サイクルでの書き込み信号 D I C のハイレベルであることと、上記信号 P R L S のロウレベルへの変化から読み出し動作が終了したことを判定して、信号 W P L S がハイレベルにされる。これに対応して書き込み用アドレス信号の取り込みが行われ、書き込みのワード線 W L の選択が行われる。相補ビット線 ( B T , B B ) に書き込み信号 Bite Line が伝えられる。

10

【 0 0 4 1 】

上記ワード線 W L の選択動作に対応したメモリマットの選択動作と並行して書き込みダミービット 5 の入力線に書き込み信号が伝えられ、図示しない書き込みの検知信号 W D M 0 に対応して信号 W R L S がロウレベルにされる。これに対応して R W P L S がロウレベルとなり、上記書き込み動作のワード線 W L をロウレベルにリセットする。これと同時に相補ビット線のイコライズ動作が実施される。この相補ビット線のイコライズ終了と、次の読み出しサイクルまでの時間がサイクルマージンとされる。

20

【 0 0 4 2 】

この実施例の S R A M メモリでは、前記のように外部クロック R C C のロウレベルにメモリセルの読み出し、ハイレベルの期間にメモリセルの書き込み動作が行われる仕様を想定している。本実施例の特徴は、読み出しダミービットと書き込みダミービットを有すると同時に、読み出しパルス R P L S がクロック R C C のロウレベルよりも長い場合に、読み出しアドレス信号を伸張するためのラッチ回路 F F 1 , F F 2 を内部に有する。また、読み出しダミービットから出力されたパルス信号 R P L S を書き込みダミービットの入力とし、同一メモリアレイにおいて読み出し動作と書き込み動作が連続した場合、書き込みパルス W P L S は読み出しパルス R P L S の終了直後としている。本構成によれば、同一メモリアレイにおいてリード - ライトが連続した場合、外部クロック R C C のデューティにかかわらずリードパルス R P L S 期間を延ばすことが可能となるために、サイクル時間の高速化を図ることが可能となる

30

【 0 0 4 3 】

この実施例の S R A M は、 B L K アドレス信号により当該メモリアレイが選択され、且つ読み出し信号 R E N が選択されると読み出しダミービット選択信号 T E がダミービットに入力される。ダミービットは、メモリセルと同じ形態で構成され、読み出し電流経路と同等の経路のものが用いられているので、メモリセルトランジスタの実力に応じたパルス幅をもった信号 R D M が制御回路 3 に返される。制御回路 3 の論理回路部では、アドレス信号を読み出しダミービットにより返されたパルス幅 R P L S に変換し、前記図 7 で説明されたロウデコーダ R D E C 、カラムデコーダ C D E C に入力する。 R D E C 及び C D E C では各アドレス信号をワード線選択信号およびカラム選択信号にデコードする。これにより、ワード線選択信号およびカラム選択信号は読み出しダミービットによって決定された、メモリセルトランジスタの実力に応じたパルス幅とすることができる。

40

【 0 0 4 4 】

前記説明したように、読み出しダミービットは、ダミービット選択信号 T E がハイレベルに選択されるとダミービットのアクセス M O S F E T ( Q T ) およびドライバ M O S F E T ( Q D ) に対応した M O S F E T を通じて出力線 R D M がロウレベルに引き抜かれる。上記信号 T E がハイレベルになってから出力線 R D M がロウレベルとなる遅延時間はアクセス M O S F E T ( Q T ) およびドライバ M O S F E T ( Q D ) の実力に依存するため、正規ビットのメモリセルの読み出し時間の実力を反映させた検知信号 R D M 0 を得ること

50

ができる。

【0045】

B L Kアドレス信号により当該メモリアレイが選択され、且つ書き込み信号D I Cが選択されると読み出しダミービット選択信号P R L Sが書き込みダミービットに入力され、メモリセルトランジスタの実力に応じたパルス幅をもった信号W M Dが制御回路3に返されて書き込みパルスW P L Sが生成される。以下、読み出し動作と同様にワード線選択信号およびカラム選択信号は、書き込みダミービットによって決定された、メモリセルトランジスタの実力に応じたパルス幅W P L Sとすることができる。

【0046】

前記説明したように、書き込みダミービット選択信号W D M Bをロウレベルにすると、書き込みダミービットのアクセスM O S F E T ( Q T )を通じて出力線W D Mをロウレベルに引き抜く。出力線W D Mがロウレベルとなる遅延時間は、オン状態のロードM O S F E T ( Q L )とアクセスM O S F E T ( Q T )の比率によって決まることになり、正規ビットにおいてメモリセルの内部ノードが反転する時間の実力を反映している。

10

【0047】

この実施例で、書き込みダミービットでは、複数のメモリセルに相当するアクセスM O S F E Tや、ロードM O S F E Tを用い、読み出しダミービットでは、複数のメモリセルに相当するアクセスM O S F E T及びドライブM O S F E Tを用いている。このことは、実際の正規メモリセルの電流に対して上記複数倍の大きな電流を流すことを意味する。また、上記複数のメモリセル分の合成電流を形成することも意味している。

20

【0048】

上記複数倍の大きな電流を用いて検知信号を形成するということは、上記検知信号から書き込みパルスW P L Sや読み出しパルスR P L Sが生成されて、それにより実際に正規メモリセルのワード線がリセットされるまでの時間遅延を補償させることができるという効果がある。つまり、メモリセルに先行して、それ実力に反映された検知信号を形成してメモリセルの読み出し又は書き込みが終了したとほぼ同じタイミングでワード線をリセットさせるようにするものである。つまり、書き込みダミービットや読み出しダミービットにメモリセルと同じものを用いて書き込みパルスW P L Sや読み出しパルスR P L Sを生成したのでは、それを用いて実際のワード線をリセットするまでの時間だけ過剰にワード線を選択状態にしてしまい、それが高速アクセスを阻害する要因になる。

30

【0049】

上記複数のメモリセル分の合成電流を形成することは、複数のメモリセルの特性バラツキを吸収させるという効果がある。複数のメモリセルの中には1部に大きな電流を流すものや小さな電流しか流さないものが存在しても、上記のようにそれらを合成させると平均的なメモリセルに対応した電流を形成することができる。つまり、メモリセルの平均的な実力に相当した書き込みパルスW P L Sや読み出しパルスR P L Sを生成することができる。このようなパルスW P L Sや読み出しパルスR P L Sにより、書き込みや読み出しが不能なものは不良品として排除する。特定のワード線やビット線に書き込みや読み出しが不能なセルが存在するなら、欠陥メモリセルとして冗長回路に置き換えられる。

40

【0050】

特許文献1のように1つのダミー素子で、タイミングを代表させると、1つのダミー素子の特性バラツキがそのままタイミング調整を行うこととなる。したがって、ダミー素子の特性により極端に短いタイミング調整を行うと、メモリセルの特性に問題がなくとも大半がエラーとして判定されてしまう。逆に、ダミー素子の特性により極端に長いタイミング調整を行うこととなると、内部メモリ回路としては正常でも、外部から短い周期のクロックに同期して動作させるとエラーになってしまうという問題が生じる。本願発明では、このようなタイミング調整を行うダミー素子の特性バラツキに依存せず、安定して信頼性の高いメモリタイミング制御を行うことが可能となる。つまり、本願実施例のS R A Mでは、設計通りの周期での書き込みや読み出しを行って、それで書き込みや読み出しに不良が発生すればメモリセルの特性不良とすることができる。

50

## 【 0 0 5 1 】

図 1 1 には、読み出しダミービットとそれが設けられるメモリマツトの一実施例の回路図が示されている。この実施例では、出力線 R D M に接続されるダミーセルの数が選択信号 R D C 0、R D C 1、R D C 2 により選択可能にされる。この実施例では、上記選択信号 R D C 0、R D C 1、R D C 2 によりダミーセルの数が可変にされることを例示的に示すものである。選択信号 R D C 0、R D C 1、R D C 2 のうち 1 つのみが選択されてダミーセルが 1 つでもよいということの意味するものではない。読み出しダミービット 6 の形成エリアに設けられるダミーセル D M C のうち、上記読み出しパルス P R L S を形成するのに使用しないワード線 2 5 5 等に対応した素子は、出力線 R D M の寄生容量がビット線 B T 等の寄生容量と同じになるように出力線 R D M に接続されている。これの寄生容量を付加するために設けられた M O S F E T は、定常的にオフ状態にされるよう N チャネル M O S F E T のゲートが回路の接地電位点に接続されている。更に、ワード線選択回路 S W D 側には、読み出しダミービット 6 を構成する素子が、正規メモリセル M C を構成する素子と同等のパターン依存性を持つようにするための形状ダミー P D が設けられる。

10

## 【 0 0 5 2 】

図 1 2 には、書き込みダミービットとそれが設けられるメモリマツトの一実施例の回路図が示されている。この実施例では、出力線 W D M に接続されるダミーセルの数が選択信号 W D C 0、W D C 1、W D C 2 により選択可能にされる。この実施例では、上記選択信号 W D C 0、W D C 1、W D C 2 によりダミーセルの数が可変にされることを例示的に示すものである。選択信号 W D C 0、W D C 1、W D C 2 のうち 1 つのみが選択されてダミーセルが 1 つでもよいということの意味するものではない。書き込みダミービット 5 の形成エリアに設けられるダミーセル D M C のうち、上記書き込みパルス W R L S を形成するのに使用しないワード線 W L 2 5 5 等に対応した素子は、出力線 W D M の寄生容量がビット線 B T 等の寄生容量と同じになるように出力線 W D M に接続されている。これの寄生容量を付加するために設けられた M O S F E T は、定常的にオフ状態にされるよう N チャネル M O S F E T のゲートが回路の接地電位点に接続されている。更に、ワード線選択回路 S W D 側には、書き込みダミービット 5 を構成する素子が、正規メモリセル M C を構成する素子と同等のパターン依存性を持つようにするための形状ダミー P D が設けられる。

20

## 【 0 0 5 3 】

この実施例では、前記図 1 の M O S F E T Q N 1 は、M O S F E T Q N 1 ' と Q N 1 " の直列回路から構成される。M O S F E T Q N 1 ' は、前記図 9 のライトアンプの M O S F E T Q 1 に相当するものであり、M O S F E T Q N 1 " は、前記 9 のカラムスイッチ M O S F E T Q 5 に相当するものである。前記図 1 等では、それを 1 つの M O S F E T Q N 1 に置き換えたものである。したがって、図 1 等においても、この実施例のように 2 つの M O S F E T Q N 1 ' と Q N 1 " で構成してもよい。

30

## 【 0 0 5 4 】

図 1 3 には、メモリセルの素子レイアウト図が示されている。破線で囲まれた部分が拡散層である。2 つの P チャネル M O S F E T ( P M O S ) 形成領域を挟んで 2 つの N チャネル M O S F E T ( N M O S ) を形成する領域が配置される。前記駆動 M O S F E T Q D 1 と負荷 M O S F E T Q L 1 ( Q N 2 と Q L 2 も同様 ) は、ゲート電極 G が共通化されている。上記駆動 M O S F E T Q D 1 とアドレス選択 M O S F E T Q T 1 ( Q D 2 と Q T 2 も同様 ) は、拡散層ソース、ドレイン S、D が共通化されている。これらの共通化されたゲート G と拡散層は、第 1 層目配線 M 1 により接続されて、メモリセル M C が形成される。アドレス選択 M O S F E T の他方のソース、ドレインは、上記配線層 M 1 を介して図示しないビット線 B B と B T に接続され、ゲートは上記 M 1 を介して図示しないワード線 W L に接続される。同図に示した C O N は、拡散層と配線層 M 1 とを接続するコンタクト部、ゲート電極層と配線層 M 1 とを接続するコンタクト部を示している。コンタクト部は、上と下の層の配線等を隔てる層間絶縁膜に設けられた穴であり、穴の中に金属等の導電物質が埋め込まれており、上と下の層を接続する。

40

## 【 0 0 5 5 】

50

図14には、図11の回路図に対応した一実施例の素子レイアウト図が示されている。前記図13に示したようなメモリセルMCが同図の縦方向に並んで配置される。同図には、ワード線WL0~WL2に対応したメモリマットが例示的に示されている。ダミーセルは、図13のようなメモリセルの拡散層及びゲート層を同じくし、第1層目配線M1のパターンを変更して、選択線TEに接続するノード、出力線RDMに接続するノードが形成される。この各ノードは、同図に横方向に延長される相補ビット線BB, BTを構成する配線層に接続されて、選択線TE及び出力線RDMが形成される。形状ダミーPDは、正規メモリセル側のパターンと対称的になるように拡散層、ゲート電極及び配線層M1が設けられる。

【0056】

10

図15には、図12の回路図に対応した一実施例の素子レイアウト図が示されている。前記図13に示したようなメモリセルMCが同図の縦方向に並んで配置される。同図には、ワード線WL0~WL2に対応したメモリマットが例示的に示されている。ダミーセルは、図13のようなメモリセルの拡散層及びゲート層を同じくし、第1層目配線M1のパターンを変更して、入力線WDMBに接続するノード、出力線WDMに接続するノードが形成される。この各ノードは、同図に横方向に延長される相補ビット線BB, BTを構成する配線層に接続されて、入力線WDMB及び出力線WDMが形成される。形状ダミーPDは、正規メモリセル側のパターンと対称的になるように拡散層、ゲート電極及び配線層M1が設けられる。

【0057】

20

図16には、この発明に係る書き込みダミービットの他の一実施例の回路図が示されている。この実施例では、18個のメモリセルに対応した前記MOSFETQTが入力線WDMBに接続される。そして、出力線WDMには、上記18個のメモリセルに対応した前記MOSFETQT及びQLが接続される。また、6個のメモリセルに対応した上記MOSFETQTが選択信号WDMC0により追加可能にされる。PチャネルMOSFETQLのゲートは、電源電圧VDDが印加されて定常的にオフ状態にされる。16個のメモリセルに対応した上記MOSFETQTが選択信号WDMC1により追加可能にされる。24個のメモリセルに対応した上記MOSFETQTが選択信号WDMC2により追加可能にされる。

【0058】

30

上記選択信号WDMC2~0をすべて選択にすると、最大で64個のメモリセルに対応したMOSFETQTを上記入力線WDMBと出力線WDMに接続することができる。つまり、選択信号WDMC2~0の組み合わせにより、最小が18個、24個、34個、40個、42個、48個、58個、最大64個のいずれかを選択することができる。前記図5のようにワード線が264本ある場合には、相補ビット線に接続される残り200個のメモリセルに対応した素子は、それがオフ状態となるようにされて、上記入力線WDMBに接続される。これにより、上記入力線WDMBは、相補ビット線BBと同じ寄生容量を持つようにされる。

【0059】

40

図17には、この発明に係る書き込みダミービットの更に他の一実施例の回路図が示されている。この実施例では、18個のメモリセルに対応した前記MOSFETQTが入力線WDMBに接続される。このうち、8個のメモリセルに対応した負荷MOSFETQLのゲートに回路の接地電位VSSが供給されてオン状態にされる。他の構成は、前記図15と同様である。つまり、前記反転書き込み条件に近似せざるために上記PチャネルMOSFETQLが8個分オン状態にされる。実際のメモリセルでは、書き込み状態とともにPチャネルMOSFETQLがオン状態からオフ状態に切り換わるが、この実施例ではそれに近似させるためにオフ状態のMOSFETを10個とオン状態のMOSFETを8個のように振り分けて上記反転書き込み状態に近づけるものである。

【0060】

50

前記図16及び図17の選択信号WDMC2~0は、例えばヒューズの選択的な切断に

より形成される。メモリチップをウェハ上に形成した時点で動作タイミングを判定し、レーザー光線等によるヒューズの選択的な切断により、個々のチップに対応して最適なパルスWPLS、RPLSを選ぶようにする。ヒューズを電氣的に切断できるようにするならば、SRAM出荷前に上記パルス幅を設定することができる。あるいは、電氣的に書き込み可能なROMを設けておいて、電氣的な書き込みにより上記選択信号WDMC2~0を形成するようにしてもよい。このことは、読み出しダミービット6のダミーセルについても同様である。

#### 【0061】

図18は、SRAMのメモリセルの一般的な動作を説明するためのタイミング図が示されている。図18(A)は、リードサイクルが示されている。リードサイクルでのワードパルス幅T1はビット線がセンスアンプで正しく増幅できる振幅になる時間を確保する必要がある。ビット線の振幅は小さいためイコライズ時間T2は短くて良い。

10

#### 【0062】

図18(B)は、ライトサイクルが示されている。この例では、メモリセルの内部ノードが反転する時間は、ビット線が前記図18(A)に示したセンスアンプで正しく増幅できる振幅になる時間T1より一般的に短いので、 $T3 < T1$ で良い。一方、ライトサイクルでは、ビット線はフル振幅となるため、ライトサイクルでのビット線イコライズ時間T4はリードサイクルでのビット線イコライズ時間T2より長い時間を必要とする。

#### 【0063】

同図の例では、 $T1 + T2$ からなるリードサイクルに要する時間は、 $T3 + T4$ からなるライトサイクルよりも長いので、メモリサイクルを読み出しダミービットで設定しても、ライトサイクルでは問題にならない。しかし、メモリセルの反転動作の時間が長く、しかも上記イコライズT4に長い時間がかかるケースでは、メモリサイクルを書き込み動作要する時間に設定する必要がある。この場合には、書き込みダミービットを用いてメモリサイクルを設定すればよい。また、上記のように書き込み時間が短くて良いということは、メモリセルでのデータ保持能力が小さいことを意味する。高信頼性化等のために、データ保持能力を大きくすると、言い換えると、前記図10の負荷MOSFETQL1、QL2からの電流を大きくして安定化を優先させたものでは、上記ライトサイクルがリードサイクルよりも長くなることが予測される。この場合には、書き込みダミーセルによって、メモリサイクルを決定されるようにしてもよい。

20

30

#### 【0064】

この実施例のようにクロックの1サイクル中にリードサイクルとライトサイクルとが連続して実施される仕様では、この実施例のように読み出しダミービットと書き込みダミービットの両方を設け、図18に示した特性を有するメモリセルにおいては、1サイクル中にリードサイクルに長い時間を割り当てることにより、リードサイクルとライトサイクルを合わせた1サイクルでの時間を短くすること、言い換えるとこのような仕様のメモリアクセスの高速化を図ることができる。

#### 【0065】

図19には、正規メモリセルの一実施例の説明図が示されている。図19(A)には、回路パターンが示され、図19(B)には、素子の相互接続が示されている。図19(A)のコンタクトC1~C12は、図19(B)のコンタクトC1~C12に対応している。図19(A)は、前記図13と同様であるので説明を省略する。図19(B)において、太線は、アルミニウム等の第1層金属配線M1を示している。

40

#### 【0066】

図20には、読み出しダミーセルの一実施例の説明図が示されている。図20(A)には回路パターンが示されて、図20(B)には素子の相互接続が示されている。下地の拡散層及びゲート電極は、前記図19の正規メモリセルと同じであるが、配線M1による接続が以下の点で図19の正規メモリセルの接続と異なる。コンタクトC2とC3が配線M1で接続されてMOSFETQT1のドレインとソースが接続される。コンタクトC3とC5は接続されず、コンタクトC5とC6が接続されて、MOSFETQL1のドレイン

50

とソースが接続される。コンタクトC 8とC 10が接続されず、コンタクトC 7、C 8及びC 9と接続されてM O S F E T Q L 2のソース及びドレインを接地線V S Sに接続させる。このときコンタクトC 7は上層のV D Dと接続させない。そして、コンタクトC 10は設けない。これにより、前記説明したような1つの読み出しダミーセルを形成することができる。

#### 【0067】

図21には、書き込みダミーセルの一実施例の説明図が示されている。図21(A)には、回路パターンが示され、図21(B)には素子の相互接続が示されている。下地の拡散層及びゲート電極は、前記図19の正規メモリセルと同じであるが、配線M 1による接続が以下の点で図19の正規メモリセルの接続と異なる。コンタクトC 3とC 4が配線M 1で接続されてM O S F E T Q D 1のソースとドレインが接続される。コンタクトC 8とC 10は接続されず、コンタクトC 7、C 8及びC 9が接続されてM O S F E T Q L 2のソース及びドレインを接地線V S Sに接続させる。このとき、上記コンタクトC 7を上層のV D Dには接続させない。コンタクトC 10とC 11が配線M 1により接続され、M O S F E T Q T 2のソースとドレインとが接続される。これにより、前記説明したような1つの書き込みダミーセルを形成することができる。

#### 【0068】

図22には、この発明に係るS R A Mの応用例の概念図が示されている。P Cは、パーソナルコンピュータであり、支社Aにおいては部門A～B毎にL A Nにより相互に接続される。また、支社Aの部門間のL A Nはルータにより相互により接続される。また、支社A～Cは、ルータを介してインターネットにより相互に接続される。この実施例のS R A Mは、上記ルータに搭載されており、パーソナルコンピュータP C同士のデータ転送を行う中継メモリとして使用される。

#### 【0069】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、ダミーセルは通常セルと形状が類似していればよい。ダミーセルは通常セルと通常同じセルサイズになることが多いが、必ずしも全く同じ大きさでなくてはならないものではなく、製造上の誤差等は当然に許容される。そして、通常セルが複数のセルトランジスタを有し、ダミーセルも前記複数のセルトランジスタのいくつか(全部または一部)を含み、通常セルのトランジスタの接続関係と異なる接続関係である。メモリマットの構成は、種々の実施形態を採ることができる。制御回路3において、前記読み出しダミービット及び書き込みダミービットをアクセスし、その出力信号よりメモリセルの選択タイミング信号を形成する論理構成は、種々の実施形態を採ることができる。この発明は、スタティック型メモリセルを備えた半導体記憶装置に広く利用することができる。

#### 【図面の簡単な説明】

#### 【0070】

【図1】この発明に係るダミービットと制御回路の一実施例を示す回路図である。

【図2】図1のダミービットと制御回路の動作を説明するための波形図である。

【図3】この発明に係るS R A Mの一実施例を示す全体ブロック図である。

【図4】図3の1つのアレイの詳細ブロック図である。

【図5】図4の1つのモジュールを説明するためのメモリマット構成図である。

【図6】図4の1つのモジュールをより詳細に説明するためのメモリマット構成図である。

【図7】図6の2つのメモリマットと制御回路との関係を説明するためのブロック図である。

【図8】メモリマットからの読み出し経路を説明するための回路図である。

【図9】メモリマットからの書き込み経路を説明するための回路図である。

【図10】リードサイクルとライトサイクルのメモリセルの動作を説明する回路図である。

【図11】読み出しダミービットとそれが設けられるメモリマットの一実施例を示す回路図である。

【図12】書き込みダミービットとそれが設けられるメモリマットの一実施例を示す回路図である。

【図13】メモリセルの素子レイアウト図である。

【図14】図11の回路図に対応した一実施例の素子レイアウト図である。

【図15】図12の回路図に対応した一実施例の素子レイアウト図である。

【図16】この発明に係る書き込みダミービットの他の一実施例を示す回路図である。

【図17】この発明に係る書き込みダミービットの更に他の一実施例を示す回路図である。

【図18】SRAMのメモリセルの一般的な動作を説明するためのタイミング図である。

【図19】正規メモリセルの一実施例の説明図である。

【図20】この発明に係る読み出しダミーセルの一実施例の説明図である。

【図21】この発明に係る書き込みダミーセルの一実施例の説明図である。

【図22】この発明に係るSRAMの応用例の概念図である。

【符号の説明】

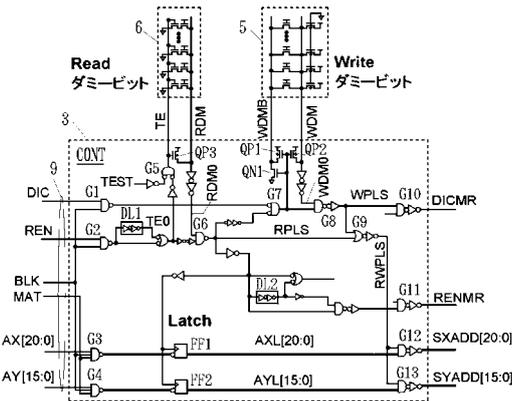
【0071】

1...メモリマット、2...ワード線選択回路、3...制御回路、4...YSW/SA/WA  
5...書き込みダミービット、6...読み出しダミービット、7...メモリ、8...レジスタ及び  
ドライバ、9...信号バス

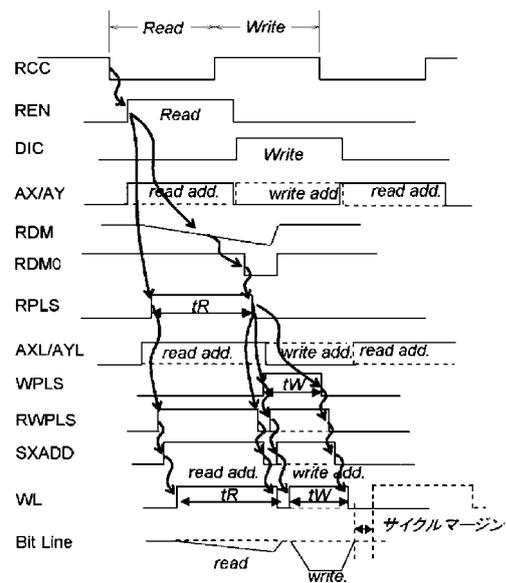
MAT00~MAT71...メモリマット、G1~G13...ゲート回路、DL1, DL2  
...遅延回路、FF1, FF2...ラッチ回路、

Q1~Q6...MOSFET、QD1, QD2...駆動MOSFET(ドライブMOSFET)、QT1, QT2...アドレス選択MOSFET(アクセスMOSFET)、QL1,  
QL2...負荷MOSFET(ロードMOSFET)。

【図1】



【図2】

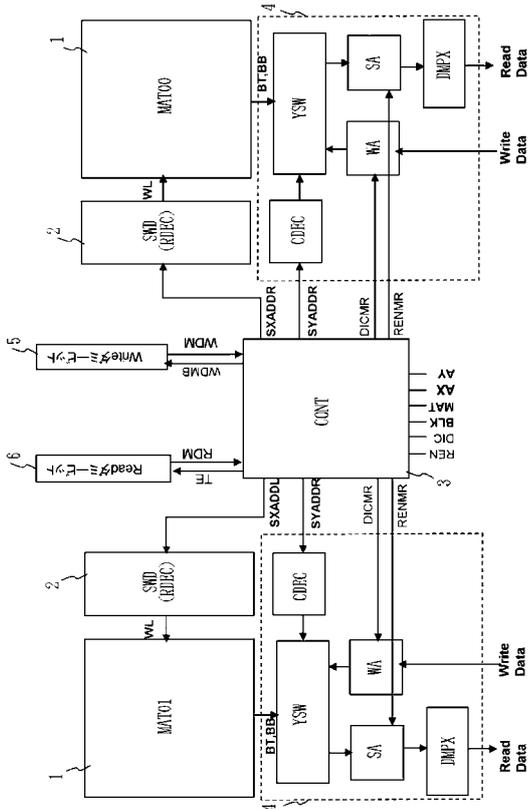


10

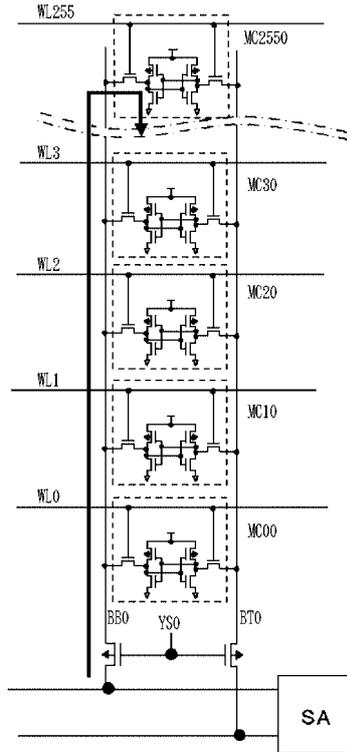
20



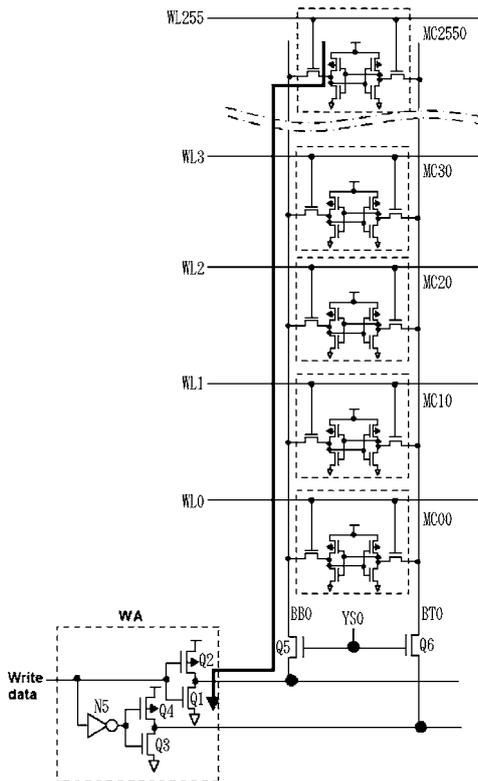
【図 7】



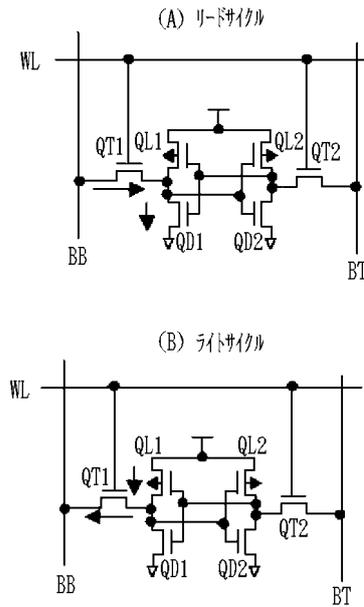
【図 8】



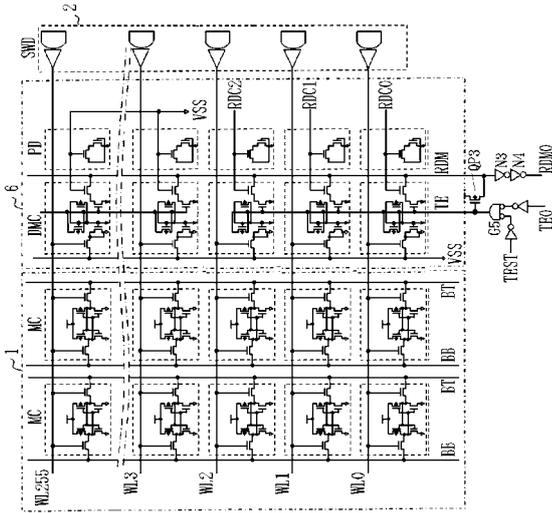
【図 9】



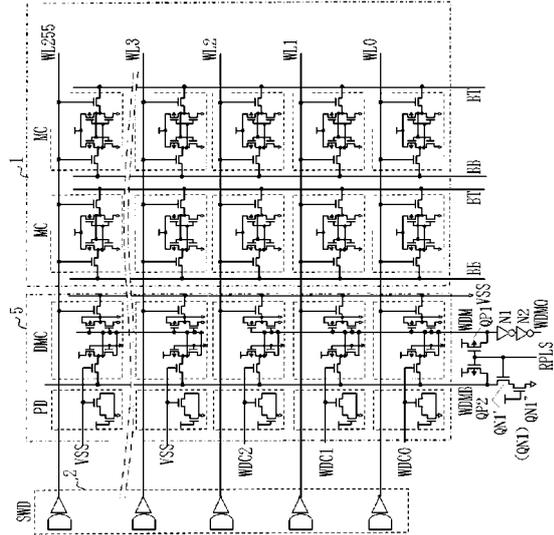
【図 10】



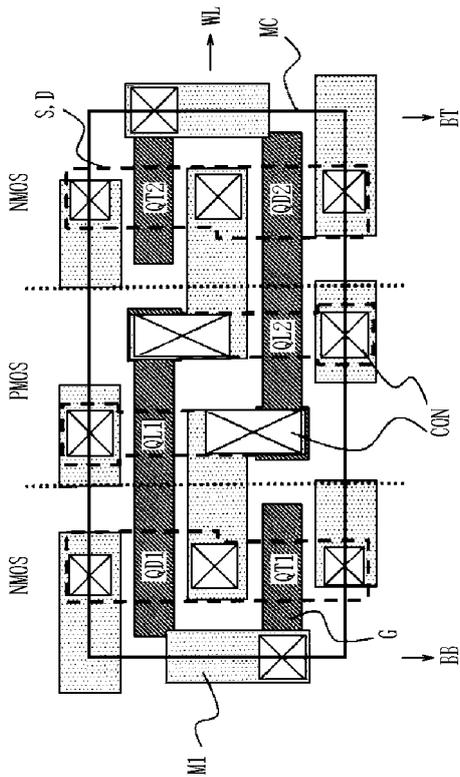
【図 1 1】



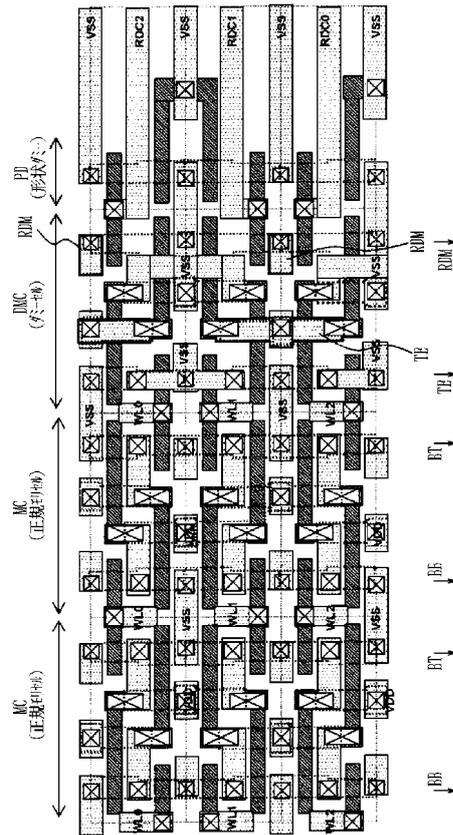
【図 1 2】



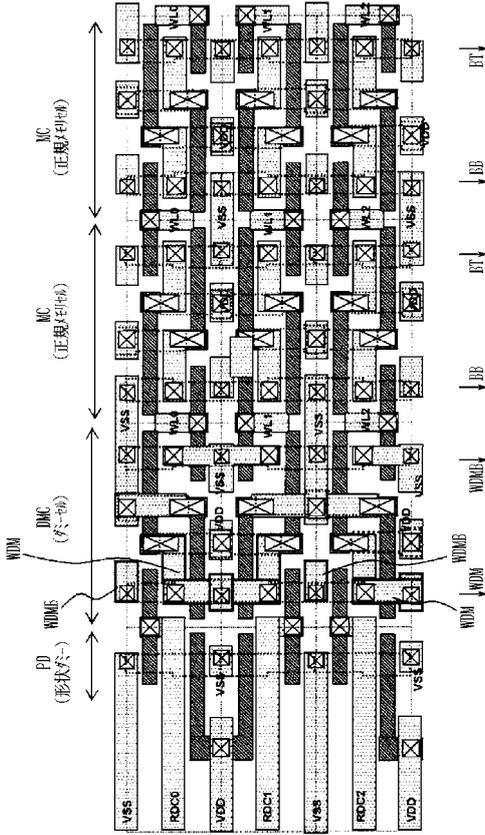
【図 1 3】



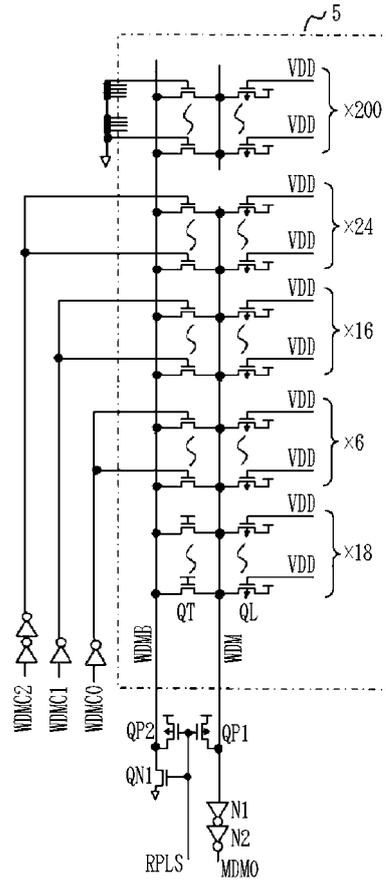
【図 1 4】



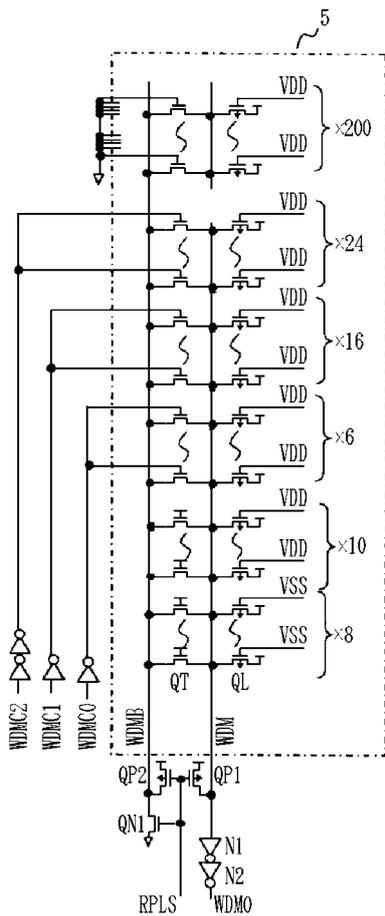
【図 15】



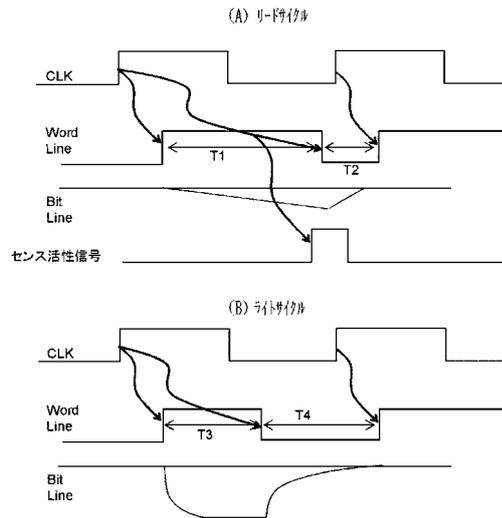
【図 16】



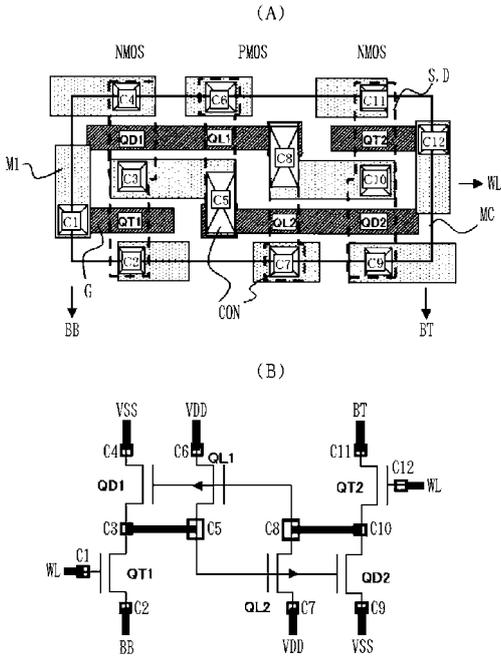
【図 17】



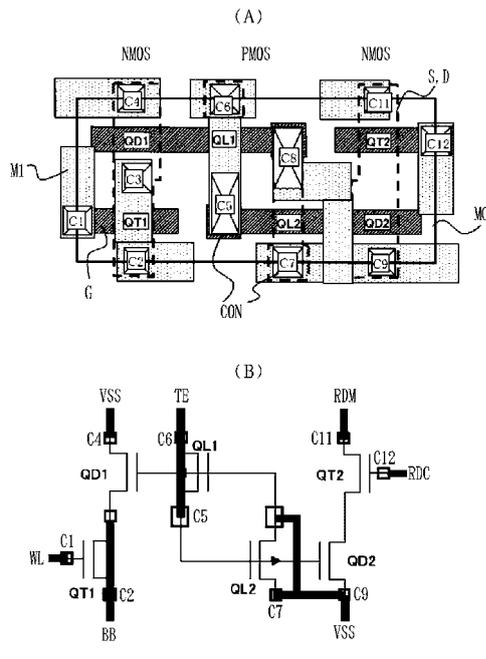
【図 18】



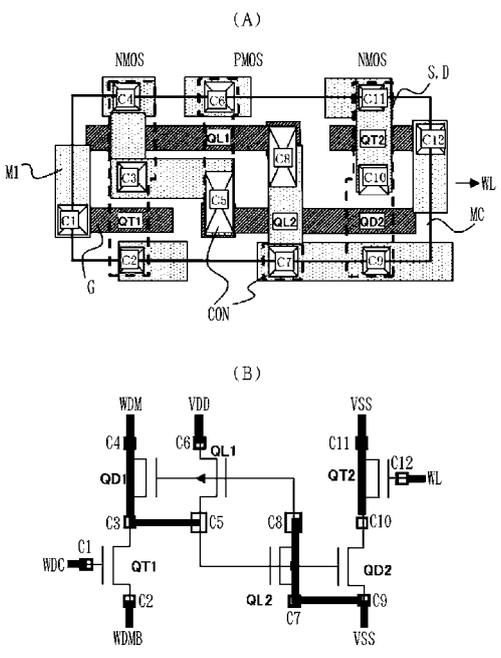
【図19】



【図20】



【図21】



【図22】

