

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-277524

(P2008-277524A)

(43) 公開日 平成20年11月13日(2008.11.13)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 E	
H O 1 L 29/12 (2006.01)	H O 1 L 29/78 6 5 2 T	

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号	特願2007-118995 (P2007-118995)	(71) 出願人	000003207
(22) 出願日	平成19年4月27日 (2007. 4. 27)		トヨタ自動車株式会社
			愛知県豊田市トヨタ町1番地
		(71) 出願人	000003609
			株式会社豊田中央研究所
			愛知県愛知郡長久手町大字長湫字横道4 1
			番地の1
		(74) 代理人	110000110
			特許業務法人快友国際特許事務所
		(72) 発明者	杉本 雅裕
			愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
		(72) 発明者	加地 徹
			愛知県愛知郡長久手町大字長湫字横道4 1
			番地の1 株式会社豊田中央研究所内
			最終頁に続く

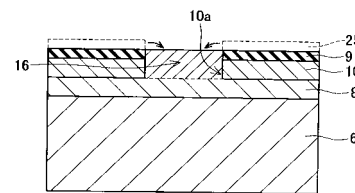
(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 トレンチ構造を有するGaN系の半導体材料を利用する半導体装置とその製造方法であって、トレンチを充填するGaN系の半導体領域を再現性よく成長させることができる半導体装置とその製造方法を提供する。

【解決手段】 n型不純物を含むGaNの基板6の表面に、n型不純物を含むGaNの基層8と、p型不純物を含むAlGaNの埋め込み層10と、アンドーブドAlGaNの被覆層9と、基層8と同一材料の表面層25を順に積層する。埋め込み層10と、被覆層9と、表面層25には、基層8に達するトレンチ10aを形成する。トレンチ10aの底面には基層8が露出している。その状態で熱処理すると、AlGaNの埋め込み層10の表面に積層されているGaNの表面層25は不安定であり、熱処理することによってマストラנסポート現象を起こし、安定に存在できる基層8の表面上に移動し、トレンチ10aを充填する充填層を形成する。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

n 型不純物を含む G a N で形成されている基層と、
前記基層の表面に積層されており、層を貫通するトレンチが形成されているとともに、
少なくとも一部が p 型不純物を含む A l G a N で形成されている埋め込み層と、
前記トレンチを充填しているとともに、n 型不純物を含む G a N で形成されている充填層と、
を備えている半導体装置。

【請求項 2】

前記埋め込み層の表面を被覆しているとともに、アンドーブド A l G a N で形成されている被覆層を備えていることを特徴とする請求項 1 の半導体装置。

10

【請求項 3】

前記トレンチからその両サイドに所定距離だけ伸びている範囲に形成されているとともに、n 型不純物を含む G a N で形成されているヘテロ接合下層と、
前記ヘテロ接合下層の表面に積層されており、n 型不純物を含むとともに、G a N より大きなバンドギャップを有している III 族窒化物半導体で形成されているヘテロ接合上層を備えており、
前記埋め込み層と前記ヘテロ接合下層の間に前記被覆層が介在していることを特徴とする請求項 2 の半導体装置。

20

【請求項 4】

少なくとも前記トレンチの両サイドから伸びている部分において、前記ヘテロ接合上層の表面に絶縁膜を介して対向しているゲート電極と、
前記トレンチから見て前記ゲート電極より遠くに位置する両サイドにおいて、前記ヘテロ接合下層と前記ヘテロ接合上層に導通しているソース領域と、
前記基層の裏面側に形成されているドレイン電極と、
を備えている請求項 3 の半導体装置。

【請求項 5】

半導体装置の製造方法であり、
n 型不純物を含む G a N で形成されている基層の表面に、少なくとも一部が p 型不純物を含む A l G a N で形成されている埋め込み層を積層する工程と、
前記埋め込み層の表面に、n 型不純物を含む G a N で形成されている表面層を積層する工程と、
前記表面層と前記埋め込み層を貫通して前記基層に達するトレンチを形成する工程と、
前記の工程まででトレンチが形成された積層体を熱処理し、前記表面層を形成していた G a N を前記トレンチ内にマストランスポートさせる工程と、
を備えていることを特徴とする半導体装置の製造方法。

30

【請求項 6】

前記埋め込み層を積層する工程と、前記表面層を積層する工程の間に、前記埋め込み層の表面にアンドーブド A l G a N で形成されている被覆層を積層する工程が付加されており、
前記のトレンチを形成する工程では、前記表面層と前記被覆層と前記埋め込み層を貫通するトレンチを形成することを特徴とする請求項 5 の半導体装置の製造方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、G a N 系の半導体材料を利用する半導体装置とその製造方法に関する。

【背景技術】**【0002】**

G a N 系の半導体材料は、絶縁破壊強度が高く、動作速度が速く、高温環境下で使用できることから、G a N 系の半導体材料を利用する高耐圧用あるいは高周波用デバイスの開

50

発が活発に進められている。

G a N系の半導体材料を利用する半導体装置の一例が、特許文献 1 に開示されている。その半導体装置は、ソースとドレインとゲートを持つ電界効果型のトランジスタであり、ソース電極とドレイン電極とゲート電極の全部が、半導体装置の表面に形成されている。

【 0 0 0 3 】

【特許文献 1】国際公開 2 0 0 3 - 0 7 1 6 0 7 号公報

【 0 0 0 4 】

本発明者らは、G a N系の半導体材料を利用する縦型の半導体装置の開発を進めている。ここでいう縦型は、ソース電極とドレイン電極が半導体基板の表裏両面に分かれて形成されている構造のものをいう。これに対し、ソース電極とドレイン電極の双方が半導体基板の表面に形成されている構造のものを横型という。

10

【 0 0 0 5 】

本出願人らが先に出願した特願 2 0 0 6 - 3 4 8 3 0 3 号に添付されている明細書と図面に、G a N系の半導体材料を利用する縦型の半導体装置が開示してされている。ただしこの出願は、本出願の出願時点ではまだ未公開である。

G a N系の半導体材料を利用する縦型の半導体装置は、図 1 3 に示すように、n 型不純物を含む G a N系で形成されている基層 6 2 の表面に、p 型不純物を含む G a N系の半導体材料で形成されている埋め込み層 6 4 が積層されている。埋め込み層 6 4 には、層を貫通するトレンチ 6 4 a が形成されており、そのトレンチ 6 4 a に n 型不純物を含む G a N系の半導体材料で形成されている充填層 6 6 が充填されている。この積層構造を備えていると、埋め込み層 6 4 と充填層 6 6 の上部に形成される半導体装置の表面構造と、n 型の基層 6 2 が、n 型の充填層 6 6 で接続され、縦型構造が実現される。

20

【 0 0 0 6 】

G a N系の半導体材料では、不純物を注入して活性化する際の活性化率が低く、図 1 3 の構造を実現するためには、シリコン材料の加工技術とは別の加工技術が必要とされる。前記した未公開先願の中では、下記の製造技術を開示した。

(1) 基層 6 2 と充填層 6 6 を合わせた厚みの n 型不純物を含む G a N層を用意する。

(2) 表面から異方性エッチングを実施し、埋め込み層 6 4 を形成する部位において、充填層 6 6 を除去する。

(3) 充填層 6 6 が除去された部分のみに選択的に p 型不純物を含む G a Nを結晶成長させて埋め込み層 6 4 を形成する。

30

【 0 0 0 7 】

上記に代えて、下記の方法も採用可能であろう。

(4) n 型不純物を含む G a Nで形成されている基層 6 2 を用意する。

(5) 基層 6 2 の表面に p 型不純物を含む G a Nを結晶成長させて埋め込み層 6 4 を形成する。

(6) 表面から異方性エッチングを実施し、充填層 6 6 を形成する部位において、埋め込み層 6 4 を除去する。

(7) 埋め込み層 6 4 が除去された部分のみに選択的に n 型不純物を含む G a Nを結晶成長させて充填層 6 6 を形成する。

40

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

図 1 3 に示す構造を実現するために、未公開先願の技術では、選択成長法を用いる。前記 (1) ~ (3) の方法では、充填層 6 6 が除去された間隙に埋め込み層 6 4 を選択成長させる。前記 (4) ~ (7) の方法では、埋め込み層 6 4 が除去されたトレンチに充填層 6 6 を選択成長させる。

本発明者らの研究によって、選択成長法では良質な構造が製造できないことがわかってきた。選択成長法では気相から結晶成長させるために、トレンチないしは間隙を有する基板表面での気流を制御することが難しく、気相から成長した結晶層の膜厚の再現性が乏し

50

い。あるいは、結晶成長した膜形状の再現性に問題がある。特に、埋め込み層 6 4 が局所的に除去されたトレンチに充填層 6 6 を形成する場合、トレンチのすぐ外側に充填層 6 6 が異常に厚く成長することが多く、これができる半導体装置の特性が大きく低下してしまう。充填層 6 6 が局所的に除去された間隙に埋め込み層 6 4 を形成する場合は、間隙のすぐ外側に埋め込み層 6 4 が異常に厚く成長することが多く、これができる半導体装置の特性が大きく低下してしまう。

本発明は、GaN系の半導体材料で図 1 3 の構造を安定的に製造する方法を提供する。また、安定的に製造することが可能な半導体構造を提供する。

【課題を解決するための手段】

【0009】

10

本発明では、GaNとAlGaNを使い分けることによって上記の目的を達成する。AlGaN層の表面に積層したGaNは不安定であり、熱処理するとGaN層の表面に移動する現象（これをマストランスポート現象という）を起こす。また、AlGaN層の表面にGaN層が積層されている混合層であって、上部に積層されているGaN層の膜厚が薄くてGaN層の最表面の結晶構造が深部に存在するAlGaN層の格子定数の影響を受けて結晶成長している層を用いても、同様のマストランスポート現象が生じる。AlGaN層の格子定数の影響を受けて結晶成長しているGaN層の表面に積層したGaNは不安定であり、熱処理すると、AlGaN層の格子定数の影響を受けずに結晶成長しているGaN層の表面に移動する。本発明ではこの現象を利用する。

選択成長法に代えてトランスポート現象を用いると、埋め込み層 6 4 に形成されたトレンチ 6 4 a 内に良質な充填層 6 6 を安定的に形成することができる。

20

【0010】

本発明の製造方法は、

(1) n型不純物を含むGaNで形成されている基層の表面に、少なくとも一部がp型不純物を含むAlGaNで形成されている埋め込み層を積層する工程と、

(2) 埋め込み層の表面に、n型不純物を含むGaNで形成されている表面層を積層する工程と、

(3) 表面層と埋め込み層を貫通して基層に達するトレンチを形成する工程と、

(4) (1) ~ (3) までの工程でトレンチが形成された積層体を熱処理し、表面層を形成していたGaNをトレンチ内にマストランスポートさせる工程を備えている。

30

【0011】

埋め込み層の少なくとも一部をAlGaN層で形成すると、埋め込み層の表面の結晶はAlGaN層の格子定数の影響を受けている。そのため、埋め込み層の表面に積層したGaNで形成されている表面層は不安定であり、AlGaN層の格子定数の影響を受けていないGaN層の表面が近傍に露出していれば、不安定なGaNは安定なGaN層の表面に移動して結晶成長する性質を備えている。即ち、AlGaN層（あるいはAlGaN層の格子定数の影響を受けている層）上に積層されている不安定なGaNは、安定なGaN上にマストランスポートする性質を備えている。熱処理すると、マストランスポート現象が促進される。

本発明では、AlGaN層が露出しているかあるいはAlGaN層の格子定数の影響を受けている埋め込み層の表面にGaNで形成されている表面層が積層された部位と、AlGaN層の格子定数の影響を受けていないGaNで形成されている基層が露出している部位（トレンチの底面にはGaNで形成されている基層が露出している）が隣接している状態で熱処理する。この結果、埋め込み層の表面にあった不安定なGaNは、トレンチの底面に露出しているGaNの基層の表面に移動し、トレンチを充填する。良質な充填層を安定的に形成することができる。

40

【0012】

前記(1)の埋め込み層を積層する工程と、前記(2)表面層を積層する工程の間に、埋め込み層の表面にアンドロッドAlGaNで形成されている被覆層を積層する工程が付加することが好ましい。この場合、前記(3)のトレンチを形成する工程では、表面層と

50

被覆層と埋め込み層を貫通するトレンチを形成する。

アンドロッド A l G a N の被覆層は、p 型不純物を含む埋め込み層と、n 型不純物を含む G a N の間で、不純物が拡散することを防止する。熱処理後も、埋め込み層は p 型を維持し、充填層は n 型を維持する。また、アンドロッド A l G a N の被覆層は、その上部に積層される G a N 層を不安定化させる。マストランSPORT現象を促進させる。

【 0 0 1 3 】

本発明は、新規で有用な半導体構造をも実現する。この半導体構造は、G a N で形成されている基層と、少なくとも一部が A l G a N で形成されている埋め込み層と、G a N で形成されている充填層を備えている。

基層は、n 型不純物を含んでいる。埋め込み層は、基層の表面に積層されており、埋め込み層を貫通するトレンチが形成されているとともに、p 型不純物を含んでいる。充填層は、トレンチを充填しているとともに、n 型不純物を含んでいる。

【 0 0 1 4 】

上記の半導体構造は、前記したマストランSPORT現象を利用して製造することができる。良質な半導体構造を安定的に製造することができる。

埋め込み層のトレンチに接する壁面が A l G a N で形成されている場合、A l G a N の壁面と G a N の充填層の間に 2 次元のホールガス層を形成することができ、2 次元のホールガス層を利用することによって、縦型半導体装置の電流経路を確保することができる。電流経路を確保するために、p 型不純物を含む埋め込み層の不純物濃度をあげる必要がない。比抵抗の小さな埋め込み層を利用することができ、半導体装置の耐圧を向上させることができる。

【 0 0 1 5 】

埋め込み層の表面の少なくとも一部を被覆しているアンドロッド A l G a N で形成されている被覆層を備えていることが好ましい。

アンドロッド A l G a N は、p 型不純物を含む埋め込み層から隣接する n 型領域に、p 型不純物が拡散することを防止する。被覆層を付加すると、半導体装置の特性が安定化する。

【 0 0 1 6 】

上記の半導体構造を用いて、H E M T (High Electron Mobility Transistor) を実現することができる。その H E M T は、トレンチから両サイドに所定距離だけ伸びている範囲に形成されているとともに n 型不純物を含む G a N で形成されているヘテロ接合下層と、ヘテロ接合下層の表面に積層されており、n 型不純物を含むとともに、G a N より大きなバンドギャップを有している III 族窒化物半導体で形成されているヘテロ接合上層を備えている。

【 0 0 1 7 】

上記の H E M T では、G a N のヘテロ接合下層と、G a N より大きなバンドギャップを有しているヘテロ接合上層の間にヘテロ接合が形成され、2 次元電子ガス層が形成される。2 次元電子ガス層を利用するトランジスタが実現される。しかも、p 型不純物を含む埋め込み層から、n 型不純物を含むヘテロ接合下層とヘテロ接合上層に空乏層が伸びることから、ノーマリオフのトランジスタを実現することができる。

【 0 0 1 8 】

本発明の半導体構造は、縦型の H E M T を実現する。縦型の H E M T は、少なくともトレンチから両サイドに伸びている部分において、ヘテロ接合上層の表面に絶縁膜を介して対向しているゲート電極と、トレンチから見てゲート電極より遠くに位置する両サイドにおいて、ヘテロ接合下層とヘテロ接合上層に導通しているソース領域と、基層の裏面側に形成されているドレイン電極を備えている。

この構造の縦型の H E M T は、特性の安定した装置を安定して量産することができる。

【 発明の効果 】

【 0 0 1 9 】

本発明によると、マストランSPORT現象を利用して、埋め込み層に形成されているト

10

20

30

40

50

レンチを充填する充填層を形成することができる。良質な充填層を安定的に形成することができる。その結果、特性の安定したH E M Tを安定して量産することができる。特に、特性の安定した縦型のH E M Tを安定して量産することを可能とする。

また、埋め込み層と充填層の間に2次元のホールガス層を形成して電流経路を確保することができることから、p型不純物を含む埋め込み層の不純物濃度をあげる必要がない。比抵抗の小さな埋め込み層を利用することができ、半導体装置の耐量を向上させることもできる。

【発明を実施するための最良の形態】

【0020】

以下に説明する実施例の主要な特徴を最初に整理する。

10

(特徴1) 埋め込み層の表面の格子定数は、埋め込み層の少なくとも一部に含まれるAlGa_{0.7}N層の格子定数の影響を受けた格子定数を持っている。

【実施例】

【0021】

(第1実施例)

図1に本発明の第1実施例の半導体装置1(具体的には縦型のH E M T)の断面図を模式的に示す。半導体装置1では、図1の断面構造が紙面垂直方向に連続している。

半導体装置1は、n型不純物をリッチに含むGa_{0.7}Nの基板6を中心にして構成されている。基板6の裏面側にはドレイン領域4とドレイン電極2が形成されている。基板6の表面には、n型不純物を含むGa_{0.7}Nの基層8が積層されている。基層8の表面には、p型不純物を含むAlGa_{0.7}Nの埋め込み層10が積層されている。埋め込み層10の表面には、アンドーブドAlGa_{0.7}Nの被覆層9が積層されている。埋め込み層10と被覆層9には、表面から裏面にまで貫通するトレンチ10aが形成されている。トレンチ10aの底面には、Ga_{0.7}Nの基層8が露出している。トレンチ10aには、n型不純物を含むGa_{0.7}Nの充填層16が充填されている。n型不純物を含むGa_{0.7}Nの充填層16とn型不純物を含むGa_{0.7}Nの基層8は連続しており、明確な境界は観測できない。

20

トレンチ10aを充填している充填層16の表面と、トレンチ10aから両サイドに所定距離だけ伸びている範囲の埋め込み層10(正確には被覆層9)の表面に、n型不純物を含むGa_{0.7}Nのヘテロ接合下層18が形成されている。ヘテロ接合下層18の表面には、n型不純物を含むとともに、Ga_{0.7}Nより大きなバンドギャップを有しているAl_{0.3}Ga_{0.7}Nのヘテロ接合上層20が形成されている。埋め込み層10と前記ヘテロ接合下層18の間には、被覆層9が介在している。

30

少なくともトレンチ10aから両サイドに伸びている位置において、ヘテロ接合上層20の表面に絶縁膜22を介して対向するゲート電極24が形成されている。トレンチ10aから見てゲート電極24より遠くに位置する両サイドにおいて、ヘテロ接合下層18とヘテロ接合上層20に導通しているソース領域12が形成されている。トレンチ10aから見てソース領域12より遠くに位置する両サイドには、Ni層13が形成されている。ソース領域12およびNi層13の表面には、ソース電極14が形成されている。ソース電極14とゲート電極24は、絶縁層22で絶縁されている。

【0022】

40

次に、半導体装置1の動作を説明する。

Ga_{0.7}Nのヘテロ接合下層18とGa_{0.7}Nより大きなバンドギャップを有しているAl_{0.3}Ga_{0.7}Nのヘテロ接合上層20の間には、ヘテロ接合が形成され、2次元電子ガス層が形成されている。電荷が2次元電子ガス層を移動することによって、ソース・ドレイン間を電荷が移動することが可能である。しかし、n型のヘテロ接合に隣接してp型不純物を含む埋め込み層10が存在しているため、ゲート電圧24に電圧を印加しない状態では、p型不純物を含む埋め込み層10からn型不純物を含むヘテロ接合下層18とn型不純物を含むヘテロ接合上層20に空乏層が伸び、電荷がソース・ドレイン間を導通することがない。

ゲート電極24に正の電圧が印加すると、空乏層の発生を抑えることができ、ソース・

50

ドレイン間を電荷が移動することが可能となる。ゲート電圧 24 に印加する電圧によってソース・ドレイン間の導通・非導通を制御することができる。半導体装置 1 は、ノーマリオフの特性を備えている。

【0023】

次に半導体装置 1 の製造方法について説明する。

図 2 に示すように、n 型不純物をリッチに含む GaN の基板 6 の表面上に、MOCVD (metal organic chemical vapor deposition) 法を用いて、n 型不純物を含む GaN の基層 8 を約 $6\ \mu\text{m}$ 成長させる。基板 6 の厚みは約 $200\ \mu\text{m}$ であり、不純物濃度は約 $3 \times 10^{18}\ \text{cm}^{-3}$ である。基層 8 の不純物濃度は約 $1 \times 10^{16}\ \text{cm}^{-3}$ である。

次に図 3 に示すように、基層 8 の表面上に、MOCVD 法を用いて、p 型不純物を含む AlGaN の埋め込み層 10 を約 $0.5\ \mu\text{m}$ 成長させる。引き続き、アンドロイド AlGaN の被覆層 9 を約 $10\ \text{nm}$ 成長させ、さらにその上に、n 型不純物を含む GaN の表面層 25 を適切な膜厚で連続して成長させる。埋め込み層 10 の不純物濃度は、約 $1 \times 10^{18}\ \text{cm}^{-3}$ であり、不純物にはマグネシウム (Mg) が用いられている。また表面層 25 は、n 型の GaN の基層 8 と同じ不純物濃度を持って形成される。表面層 25 の適切な膜厚については図 5 を用いて後記する。

【0024】

つぎに図 4 に示すように、表面層 25 の表面上に酸化ケイ素 (SiO_2) 膜 26 を形成する。 SiO_2 膜 26 には開口 28 を形成する。つぎに、反応性イオンエッチング法を用いて、開口 28 に対応する範囲の表面層 25、被覆層 9、埋め込み層 10 をこの順にエッチングし、開口 28 の下にトレンチ 10a を形成する。トレンチ 10a の底面には n 型の GaN で形成されている基層 8 が露出する。トレンチ 10a を形成後、フッ化水素 (HF) を用いて SiO_2 膜 26 を除去する。

【0025】

SiO_2 膜 26 を除去した後、半導体装置 1 (正確には製造中の半導体装置 1) を、窒素 (N_2) とアンモニア (NH_3) の混合ガス雰囲気中で、 1100°C で 90 分間熱処理を加える。AlGaN の被覆層 9 の表面に積層した GaN の表面層 25 は不安定である。熱処理を加えることで、マスランスポート現象が促進され、不安定な GaN は AlGaN の表面から離脱し、トレンチ 10a の内部に移動し、トレンチ 10a の底面に露出している GaN の基層 8 の表面上で結晶成長し、充填層 16 を形成する。この様子が、図 5 に図示されている。このとき、トレンチ 10a の体積と表面層 25 の体積が等しいという関係を満たす膜厚で表面層 25 を形成しておけば、表面層 25 を形成していた GaN がトレンチ 10a を過不足なく充填する。トレンチ 10a を充填した充填層 16 の表面と被覆層 9 の表面との間に、凹凸のない状態で充填層 16 を形成することができる。

【0026】

充填層 16 を結晶成長させた後、半導体装置 1 に、MOCVD 法を用いて n 型不純物を含む GaN のヘテロ接合下層 18 を約 $100\ \text{nm}$ 成長させる。引き続き、n 型不純物を含む $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ のヘテロ接合上層 20 を約 $25\ \text{nm}$ 成長させる。ヘテロ接合下層 18 の不純物濃度は、約 $1 \times 10^{16}\ \text{cm}^{-3}$ であり、ヘテロ接合上層 20 の不純物濃度は、約 $1 \times 10^{16}\ \text{cm}^{-3}$ である。

【0027】

ヘテロ接合上層 20 を形成後、図 7 に示すように、半導体装置 1 の表裏両面を SiO_2 膜 30、32 で覆い、ソース形成領域にソース用開口 34 を形成し、ドレイン形成領域にドレイン用開口 36 を形成する。形成した開口 34、36 にイオン照射装置を用いて窒素 (N) とケイ素 (Si) を注入し、ソース領域 12 とドレイン領域 4 を形成する。N のドーズ量は約 $1 \times 10^{15}\ \text{cm}^{-2}$ であり、加速電圧は約 $35\ \text{eV}$ であり、Si のドーズ量は約 $1 \times 10^{15}\ \text{cm}^{-2}$ であり、加速電圧は約 $65\ \text{eV}$ である。N と Si の注入後、開口 34、36 を再び SiO_2 でカバーし、半導体装置 1 の両面を完全に SiO_2 膜 30、32 で覆い、 N_2 雰囲気中で 1300°C で 5 分間熱処理を加える。

【0028】

10

20

30

40

50

熱処理後、図 8 に示すように、表面側の SiO_2 膜 30 の p コンタクト部に当たる部分に開口 38 を形成する。開口 38 を形成した半導体装置 1 に反応性イオンエッチング法により開口 38 の下部の n 型の $\text{Al}_{0.3}\text{Ga}_{0.7}\text{N}$ の層 20 と、n 型の GaN の層 18 と、i 型の AlGaIn の膜 9 をこの順にエッチングし、溝 40 を形成する。これにより溝 40 の底面に埋め込み層 10 が露出する。

【0029】

溝 40 の形成後、HF 水溶液を用いて SiO_2 マスク 30、32 を除去し、その後図 9 に示すように、半導体装置 1 の表面側に高温酸化膜 (HTO 膜) の絶縁膜 22 を 50 nm 形成する。絶縁膜 22 を形成した後、p コンタクト部に当たる部分の絶縁膜 22 をエッチング法にて除去し、図 10 に示すように、p コンタクト部にリフトオフ法により Ni 層 13 を形成する。続いて図 11 に示すように、絶縁膜 22 の n コンタクト部に当たる部分をエッチング法にて除去し、n コンタクト部と p コンタクト部に、チタン (Ti) を約 10 nm 蒸着し、ついでアルミニウム (Al) を約 100 nm 蒸着し、ソース電極 14 を形成する。また半導体装置 1 の裏面にも Ti と Al をこの順にそれぞれ約 10 nm と 100 nm だけ蒸着し、ドレイン電極 2 を形成する。

【0030】

図 11 に示すように、ソース電極 14 とドレイン電極 2 を形成した後、接触抵抗を低減するために半導体装置 1 を N_2 雰囲気中で 500 で 2 分間熱処理を加える。熱処理後、絶縁膜 22 表面上に Ni を用いてゲート電極 24 を形成し、図 1 の半導体装置 1 を製造する。

【0031】

図 1 の半導体装置 1 の場合、p 型の埋め込み層 10 と充填層 16 の境界にヘテロ接合が形成されて 2 次元ホールガス層が形成され、電流経路が確保される。また、p 型の埋め込み層 10 と基層 8 の境界にもヘテロ接合が形成されて 2 次元ホールガス層が形成され、電流経路が確保される。電流経路を確保するために、埋め込み層 10 内の比抵抗を小さくする必要がない。高い比抵抗の埋め込み層 10 を利用することができ、半導体装置 1 の耐量を向上させることができる。

【0032】

(第 2 実施例)

図 12 に、第 1 実施例の埋め込み層 10 を、p 型不純物を含む埋め込み AlGaIn 層 42 と、p 型不純物を含む埋め込み GaIn 層 44 の二層で形成した実施例を示す。埋め込み層 10 の下部と、トレンチ 10a を形成する壁面と、埋め込み層 10 の上部に AlGaIn 層 42 が形成されている。この場合も、埋め込み層 10 の上部に結晶成長した GaIn は不安定であり、熱処理するとトランスポート現象が生じる。図 3 から図 5 を参照して説明した工程が実施され、良好な充填層 16 を形成することができる。

【0033】

本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。例えば埋め込み層 10 に形成する埋め込み AlGaIn 層 42 についてもその領域および比率を指定するものではない。また、形成した膜厚、形成条件等についても単なる例示である。本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【図面の簡単な説明】

【0034】

【図 1】第 1 実施例の半導体装置 1 の断面図を示す。

【図 2】半導体装置 1 を製造する過程を示す。

【図 3】半導体装置 1 を製造する過程を示す。

【図 4】半導体装置 1 を製造する過程を示す。

【図 5】半導体装置 1 を製造する過程を示す。

【図 6】半導体装置 1 を製造する過程を示す。

【図 7】半導体装置 1 を製造する過程を示す。

【図 8】半導体装置 1 を製造する過程を示す。

【図 9】半導体装置 1 を製造する過程を示す。

【図 10】半導体装置 1 を製造する過程を示す。

【図 11】半導体装置 1 を製造する過程を示す。

【図 12】第 2 実施例の半導体装置の断面図を示す。

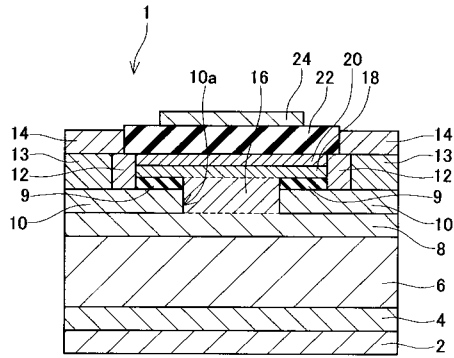
【図 13】未公開先願である特願 2006 - 348303 号のトレンチ構造を示す。

【符号の説明】

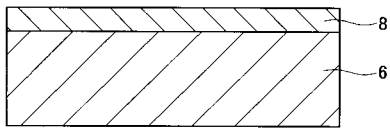
【0035】

1	第 1 実施例の半導体装置	10
2	ドレイン電極	
4	ドレイン領域	
6	基板	
8	基層	
9	被覆層	
10	埋め込み層	
10 a	トレンチ	
12	ソース領域	
13	Ni 層	
14	ソース電極	20
16	充填層	
18	ヘテロ接合下層	
20	ヘテロ接合上層	
22	絶縁膜	
24	ゲート電極	
25	表面層	
26	SiO ₂ 膜	
28	開口	
30	SiO ₂ 膜	
32	SiO ₂ 膜	30
34	開口	
36	開口	
38	開口	
40	溝	
42	埋め込み AlGa _{0.5} N 層	
44	埋め込み Ga _{0.5} N 層	
62	基層	
64	埋め込み層	
64 a	トレンチ	
66	充填層	40

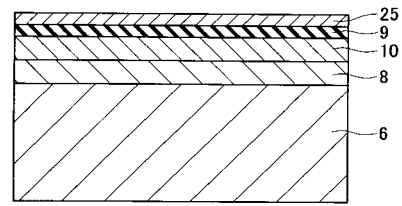
【図 1】



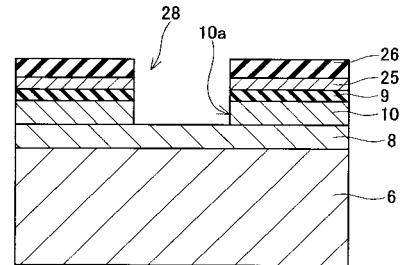
【図 2】



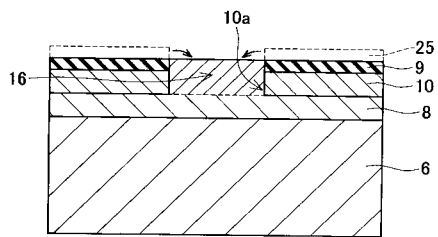
【図 3】



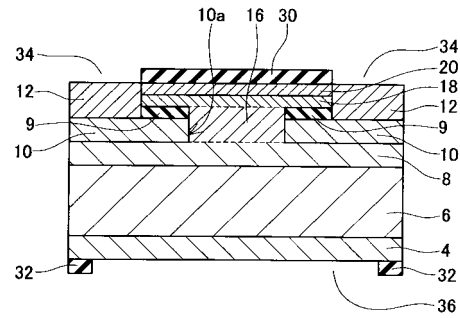
【図 4】



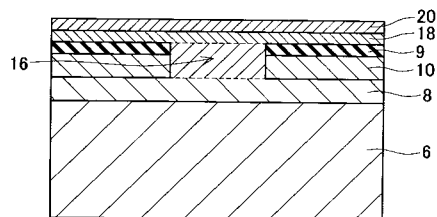
【図 5】



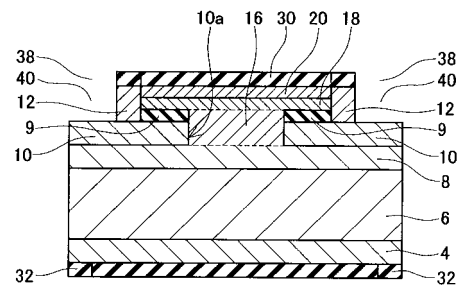
【図 7】

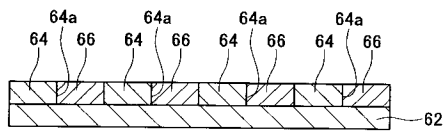


【図 6】



【図 8】





フロントページの続き

- (72)発明者 上杉 勉
愛知県愛知郡長久手町大字長湫字横道4 1 番地の1 株式会社豊田中央研究所内
- (72)発明者 伊藤 健治
愛知県愛知郡長久手町大字長湫字横道4 1 番地の1 株式会社豊田中央研究所内
- (72)発明者 石黒 修
愛知県愛知郡長久手町大字長湫字横道4 1 番地の1 株式会社豊田中央研究所内