

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-510384

(P2024-510384A)

(43)公表日 令和6年3月7日(2024.3.7)

(51)国際特許分類

H 0 1 P 5/02 (2006.01)

F I

H 0 1 P 5/02 6 0 3 L

審査請求 未請求 予備審査請求 未請求 (全53頁)

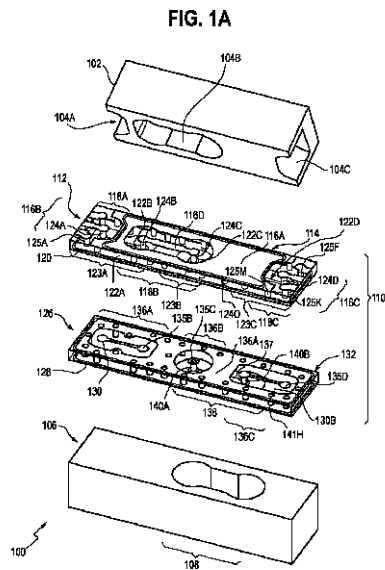
(21)出願番号 特願2023-549908(P2023-549908)
 (86)(22)出願日 令和4年2月4日(2022.2.4)
 (85)翻訳文提出日 令和5年8月17日(2023.8.17)
 (86)国際出願番号 PCT/US2022/015204
 (87)国際公開番号 WO2022/191937
 (87)国際公開日 令和4年9月15日(2022.9.15)
 (31)優先権主張番号 17/198,700
 (32)優先日 令和3年3月11日(2021.3.11)
 (33)優先権主張国・地域又は機関
 米国(US)
 (81)指定国・地域 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA
 ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(
 AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A
 T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR
 ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,
 最終頁に続く

(71)出願人 520128820
 ノースロップ グラマン システムズ コ
 ーポレーション
 アメリカ合衆国 2 2 0 4 2 バージニア
 州 フォールズ チャーチ フェアビュー
 パーク ドライブ 2 9 8 0
 (74)代理人 110001519
 弁理士法人太陽国際特許事務所
 (72)発明者 デューン、ダー - ウェイ
 アメリカ合衆国 9 0 5 0 3 カリフォル
 ニア トーランス、タワーズ ストリート
 5 6 2 1
 (72)発明者 カンキー、エリザベス、ティー .
 アメリカ合衆国 9 0 2 6 6 カリフォル
 ニア マンハッタン ビーチ、アルマ ア
 最終頁に続く

(54)【発明の名称】 マイクロエレクトロニクスHフレームデバイス

(57)【要約】

マイクロエレクトロニクスHフレームデバイスは、2つ以上の基板のスタックであって、基板のスタックが上部基板及び底部基板を含み、底部基板への上部基板の接合が、上部基板と底部基板との間の垂直電気接続を作成し、上部基板の上面が上部基板上部メタライゼーションを含み、底部基板の底面が底部基板底部メタライゼーションを含む、2つ以上の基板のスタックと、上部基板と底部基板との間に位置する中間基板メタライゼーションと、基板のスタックの上部側に接合された微細加工された上部カバーと、基板のスタックの底部側に接合された微細加工された底部カバーとを含む。



【特許請求の範囲】**【請求項 1】**

2つ以上の基板のスタックであって、前記基板のスタックが上部基板及び底部基板を含み、前記底部基板への前記上部基板の接合が、前記上部基板と前記底部基板との間の垂直電気接続を作成し、前記上部基板の上面が上部基板上部メタライゼーションを含み、前記底部基板の底面が底部基板底部メタライゼーションを含む、2つ以上の基板のスタックと

、
前記上部基板と前記底部基板との間に位置する中間基板メタライゼーションと、
前記基板のスタックの上部側に接合された微細加工された上部カバーと、
前記基板のスタックの底部側に接合された微細加工された底部カバーと
を含む、マイクロエレクトロニクスHフレームデバイス。

10

【請求項 2】

前記基板のスタックが上部基板と底部基板の両方を含む、請求項 1 に記載のデバイス。

【請求項 3】

前記上部基板の上面及び前記底部基板の底面が、ウエハの前面上に一緒に作製される、請求項 2 に記載のデバイス。

【請求項 4】

前記上部基板と前記底部基板との間に位置するメタライゼーションをさらに含む、請求項 2 に記載のデバイス。

【請求項 5】

前記上部基板の上面が上部基板上部メタライゼーションを含み、前記上部基板の底面が上部基板底部メタライゼーションを含み、前記上部基板が、前記上部基板上部メタライゼーションと前記上部基板底部メタライゼーションとを接続する金属化された上部基板スルー基板ビアをさらに含み、前記金属化された上部基板スルー基板ビアが、前記上部基板上部メタライゼーションと前記上部基板底部メタライゼーションとの間の第 1 の垂直電気接続を形成する、請求項 2 に記載のデバイス。

20

【請求項 6】

前記底部基板の底面が底部基板底部メタライゼーションを含み、前記底部基板の上面が底部基板上部メタライゼーションを含み、前記底部基板が、前記底部基板上部メタライゼーションと前記底部基板底部メタライゼーションとを接続する金属化された底部基板スルー基板ビアをさらに含み、前記金属化された底部基板スルー基板ビアが、前記底部基板上部メタライゼーションと前記底部基板底部メタライゼーションとの間の第 2 の垂直電気接続を形成する、請求項 5 に記載のデバイス。

30

【請求項 7】

前記底部基板への前記上部基板の接合が、前記上部基板底部メタライゼーションと前記底部基板上部メタライゼーションとの間の第 3 の垂直電気接続を作成する、請求項 6 に記載のデバイス。

【請求項 8】

前記第 1 の垂直電気接続を使用して、前記上部基板上部メタライゼーションが、前記上部カバーの外側において前記上部基板底部メタライゼーションに電氣的に接続され、前記上部基板底部メタライゼーションの形状が、前記上部カバーの外側における前記第 1 の垂直電気接続を前記上部カバーの内側における第 1 の垂直電気接続に接続し、前記第 1 の垂直電気接続を使用して、前記上部基板底部メタライゼーションが、前記上部カバーの内側で前記上部基板上部メタライゼーションに電氣的に接続される、請求項 7 に記載のデバイス。

40

【請求項 9】

前記第 2 の垂直電気接続を使用して、前記底部基板底部メタライゼーションが、前記底部カバーの内側において前記底部基板上部メタライゼーションに電氣的に接続され、前記底部基板上部メタライゼーションの形状が、前記底部カバーの内側における前記第 2 の垂直電気接続を前記上部カバーの外側における前記第 3 の垂直電気接続に接続し、前記第 3

50

の垂直電気接続を使用して、前記底部基板上部メタライゼーションが、前記上部カバーの外側において前記上部基板底部メタライゼーションに電氣的に接続され、前記第 1 の垂直電気接続を使用して、前記上部基板底部メタライゼーションが、前記上部カバーの外側において前記上部基板上部メタライゼーションに電氣的に接続される、請求項 7 に記載のデバイス。

【請求項 10】

前記第 1 の垂直電気接続を使用して、前記上部基板上部メタライゼーションが前記上部基板底部メタライゼーションに電氣的に接続され、前記第 3 の垂直電気接続を使用して、前記上部基板底部メタライゼーションが前記底部基板上部メタライゼーションに電氣的に接続され、前記第 2 の垂直電気接続を使用して、前記底部基板上部メタライゼーションが前記底部基板底部メタライゼーションに電氣的に接続される、請求項 7 に記載のデバイス。

10

【請求項 11】

前記底部基板への前記上部基板の接合が、1 又は複数の信号メタライゼーションを形成し、前記信号メタライゼーションの各々が、

- a . 信号上部基板上部メタライゼーション、
- b . 前記上部基板に含まれる信号スルー基板ビア、
- c . 信号上部基板底部メタライゼーション、
- d . 信号底部基板上部メタライゼーション、
- e . 前記底部基板に含まれる信号スルー基板ビア、及び
- f . 信号底部基板底部メタライゼーション

20

のうちの 2 つ以上の相互接続を含む、請求項 7 に記載のデバイス。

【請求項 12】

前記上部カバーが上部カバーメタライゼーションを含む、請求項 1 に記載のデバイス。

【請求項 13】

前記底部カバーが底部カバーメタライゼーションを含む、請求項 1 に記載のデバイス。

【請求項 14】

前記上部基板への前記上部カバーの接合が、前記上部基板上部メタライゼーションと前記上部カバーメタライゼーションとの間の第 1 の垂直電気接続を作成し、前記底部基板への前記底部カバーの接合が、前記底部基板上部メタライゼーションと前記底部カバーメタライゼーションとの間の第 2 の垂直電気接続を作成する、請求項 7 に記載のデバイス。

30

【請求項 15】

前記上部カバー、前記上部基板、前記底部基板及び前記底部カバーの接合が、基準メタライゼーションを形成し、前記基準メタライゼーションが、

- a . 前記上部カバーメタライゼーション、
- b . 基準上部基板上部メタライゼーション、
- c . 前記上部基板に含まれる基準上部基板スルー基板ビア、
- d . 基準上部基板底部メタライゼーション、
- e . 基準底部基板上部メタライゼーション、
- f . 前記底部基板に含まれる基準底部基板スルー基板ビア、
- g . 前記基準底部基板底部メタライゼーション、及び
- h . 前記底部カバーメタライゼーション

40

のうちの 1 又は複数を含む、請求項 14 に記載のデバイス。

【請求項 16】

マイクロエレクトロニクス H フレームデバイスを作製するための方法であって、

前記デバイスにおいて使用可能な上部カバーを微細加工することと、

前記デバイスにおいて使用可能な底部カバーを微細加工することと、

ウエハの前面上に一緒に、前記デバイスにおいて使用可能な上部基板の上面と、前記デバイスにおいて使用可能な底部基板の底面とを作製することであって、前記上部基板の前記上面が上部基板上部メタライゼーションを含み、前記底部基板の前記底面が底面底部メ

50

タライゼーションを含む、作製することと、

中間基板メタライゼーションを作製することと、

前記上部基板を前記上部カバーに接合することと、

前記底部基板を前記底部カバーに接合することと、

前記上部基板を前記中間基板メタライゼーションの上面に接合し、前記底部基板を前記中間基板メタライゼーションの底面に接合し、それにより、前記上部基板と前記底部基板との間の垂直電気接続を作成することと

を含む、方法。

【請求項 17】

前記作製する工程が、前記上部基板を前記上部カバーに接合する際に使用可能な上部基板 - カバー接合パンプを作製することを含む、請求項 16 に記載の方法。 10

【請求項 18】

前記上部基板 - カバー接合パンプが、接合中に圧潰され、それにより、前記上部基板のわずかな非平面性を補償し、それにより、強い金 - 金熱圧縮を容易にするように構成される、請求項 17 に記載の方法。

【請求項 19】

前記作製する工程が、前記底部基板を前記底部カバーに接合する際に使用可能な底部基板 - カバー接合パンプを作製することを含む、請求項 16 に記載の方法。

【請求項 20】

前記底部基板 - カバー接合パンプが、接合中に圧潰され、それにより、前記底部基板のわずかな非平面性を補償し、それにより、強い金 - 金熱圧縮を容易にするように構成される、請求項 19 に記載の方法。 20

【請求項 21】

前記作製する工程は、

上部基板 - 基板接合パンプ及び上部スタンドオフパンプを含む上部基板を作製し、底部基板 - 基板接合パンプ及び底部スタンドオフパンプを含む底部基板を作製することであって、前記上部スタンドオフパンプが、前記上部基板への前記上部カバーの接合中に前記上部基板 - 基板接合パンプの圧潰を防止するように構成され、前記底部スタンドオフパンプが、前記底部基板への前記底部カバーの接合中に前記底部基板 - 基板接合パンプの圧潰を防止するように構成され、前記上部スタンドオフパンプが、前記底部スタンドオフパンプからオフセットされ、前記上部スタンドオフパンプが、前記底部基板 - 基板接合パンプからオフセットされ、前記底部スタンドオフパンプが、前記上部スタンドオフパンプからオフセットされ、前記上部スタンドオフパンプが、前記上部基板 - 基板接合パンプと前記底部基板 - 基板接合パンプとの間の接合に影響を与えることを回避するように、すべての他のパンプから離間し、前記底部スタンドオフパンプが、前記上部基板 - 基板接合パンプと前記底部基板 - 基板接合パンプとの間の接合に影響を与えることを回避するように、すべての他のパンプから離間している、作製すること

をさらに含む、請求項 16 に記載の方法。

【請求項 22】 40

前記上部カバーを微細加工する工程が、上部基板 - カバー接合パンプを作製することを含み、前記底部カバーを微細加工する工程が、底部基板 - カバー接合パンプを作製することを含む、請求項 16 に記載の方法。

【請求項 23】

2 つ以上の基板のスタックであって、前記基板のスタックが上部基板及び底部基板を含み、前記上部基板の上面及び底面の底部基板が、ウエハの前面上に一緒に作製され、前記上部基板及び前記底部基板のうちの少なくとも 1 つが、伝送線路、フィルタ、電力スプリッタ、カプラ、及び別の電子的構成要素のうちの少なくとも 1 つを含み、前記底部基板への前記上部基板の接合が、前記上部基板と前記底部基板との間の垂直電気接続を作成し、前記上部基板の前記上面が上部基板上部メタライゼーションを含み、前記底部基板の前記 50

底面が底部基板底部メタライゼーションを含む、2つ以上の基板のスタックと、前記上部基板と前記底部基板との間に位置する中間基板メタライゼーションと、前記基板のスタックの上部側に接合された微細加工された上部カバーであって、前記上部カバーが上部カバーメタライゼーションを含む、微細加工された上部カバーと、前記基板のスタックの底部側に接合された微細加工された底部カバーであって、前記底部カバーが底部カバーメタライゼーションを含む、微細加工された底部カバーとを含む、マイクロエレクトロニクスHフレームデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マイクロエレクトロニクスHフレームデバイスに関する。

【0002】

政府の権利に関する声明

アメリカ合衆国政府は、政府契約第17-C-3186号に従い、本発明に関する権利を有する。

【0003】

関連出願の相互参照

本出願は、本出願と同じ譲受人に譲渡された以下の出願の主題に係る主題を含む。以下にリストする出願は、その全体が参照により本明細書に組み込まれる。

【0004】

「FILTER WITH AN ENCLOSURE HAVING A MICRO MACHINED INTERIOR USING SEMICONDUCTOR FABRICATION」、Kunkeeら、2020年4月28日出願、シリアル番号16/860,642。

【0005】

「CHANNELIZED FILTER USING SEMICONDUCTOR FABRICATION」、Duanら、2020年6月30日出願、シリアル番号16/916,644。

【発明の概要】

【0006】

マイクロエレクトロニクスHフレームデバイスは2つ以上の基板のスタックを含み、微細加工された上部カバーがデバイスの上部側に接合され、微細加工された底部カバーがデバイスの底部側に接合され、完全にマイクロエレクトロニクス技術で作製された「Hフレーム」パッケージが形成される。「Hフレーム」は、「モジュール」を形成するためにエレクトロニクスがパッケージングされる両面金属ハウジングを指す。具体的には、文字「H」は、ハウジングの垂直断面の形状を指す。「H」の横棒は、「中央ウェブ」、又は構成要素取付けのための共通の共有フロアを指す。基板伝送線路、プリント回路基板、及び他の電子的構成要素が、中央ウェブの上部側と底部側の両方に接合される。「H」の縦棒は、ハウジングの周囲の垂直壁を指す。

【0007】

マイクロエレクトロニクスHフレームデバイスは、4つ以上の半導体層のスタックを含む。上部半導体及び底部半導体のうちの1又は複数は、デバイスのハウジングを作成する。中間半導体は、電気信号伝送のための表面を提供する基板を含む。上部半導体及び底部半導体のうちの1又は複数は、無線周波数(RF)信号を絶縁するためにキャビティ及び壁のうちの1又は複数を形成するように微細加工される。次いで、上部半導体及び底部半導体のうちの1又は複数が金属化される。上部半導体及び底部半導体のうちの1又は複数の壁の底部に金属パンプが追加される。中間基板がウエハ上で処理される。中間基板上に、伝送線路、フィルタ、他の回路、接地平面、及び接合パンプのうちの1又は複数がめっきされる。中間基板のすべての表面間の電気接続が、基板間のスルーウエハビア及び圧潰された金属接合パンプのうちの1又は複数を使用して提供される。それにより、Hフレ

10

20

30

40

50

ムハウジングの2つの側面の間で電気接続が作成される。次いで、4つすべての半導体層が整列され、一緒に接合される。2つの中間基板間の金属化された層は、信号がマイクロエレクトロニクスHフレームハウジングからエスケープすることを、機械的な穴及びコネクタのうちの1又は複数をハウジング内に追加する必要なしに、可能にする。

【0008】

水平面は、圧着を使用して接合される。代替又は追加として、2つ以上の基板のスタックと上側シリコン微細加工キャビティ及び下側シリコン微細加工キャビティを一緒に接合するために、ウエハスケール共晶合金接合が使用される。例えば、上側キャビティ及び下側キャビティは、ウエハスケール金-インジウムボンド及びウエハスケール金-金ボンドのうちの1又は複数をを使用して中心導体と接合される。例えば、水平面は、金-金熱圧着を使用して接合される。

10

【0009】

Hフレームデバイスは、垂直電気接続を作るために一緒に接合された2つのチップを有する。Hフレームでは、導電性アートを形成し、アートを沿って伝播する電気信号を遮蔽するために金の層が使用され得るか、又は、それは、垂直相互接続を可能にするための特徴及び開口部を有し得る。

【0010】

上部チップのアートワークと底部チップのアートワークとは異なり得る。上側チップと下側チップとは、異なる場合でも、同じウエハ上で作製され得る。上部チップの上面と底部チップの底面とは、ウエハの前面上に一緒に作製される。ウエハがチップにダイシングされると、上側チップ及び下側チップは、底面と底面で一緒に接合され得る。所望のチップの数が多いたとき、例えば、所望のチップの数が約20個よりも多いたとき、上側チップのために第1の専用ウエハを使用し、下側チップのために第2の専用ウエハを使用することも可能である。

20

【0011】

一例として、本発明の実施形態は、スパイラルインダクタが封止されたキャビティから「エスケープ」することを可能にする、コンパクトな垂直フィードスルー遷移を提供する。

【0012】

デバイスは、上部基板と底部基板との間に位置する中間基板メタライゼーションを含む。上部カバー及び底部カバーにおけるメタライゼーションと、基板に含まれるスルー基板ビアとは、一緒に、パッケージのための連続金属遮蔽、又は「壁」を形成する。スルー基板ビアは、好ましくは金属化される。底部基板上部メタライゼーション及び上部基板底部メタライゼーションのうちの1又は複数を含む中間基板メタライゼーション(「中間」金属層)は、新しいHフレーム内の2つの基板間に挟まれる。バンプが、接合プロセスを通してこれらの2つのメタライゼーションを一緒に結合する。本明細書で使用される「バンプ(bump)」又は「バンプ(bumps)」という用語は、電気接続及び物理接続のうちの1又は複数を作成することを意図した金属マウンドを指す。例えば、電気接続及び物理接続のうちの1又は複数は、金-インジウム熱圧着及び金-金熱圧着のうちの1又は複数をを使用して作成される。

30

40

【0013】

フィルタ、電力スプリッタ、カプラなどの受動回路が、基板の上部側で直接パターンニングされ得る。同様に、パッドが、基板の上部側で直接パターンニングされ得る。パッドは、モノリシックマイクロ波集積回路(MMIC)、キャパシタなど、ディスクリット回路を取り付けるために使用可能である。無線周波数(RF)伝送線路は、マイクロストリップ、共面導波路(CPW)、及びストリップ線路のうちの1又は複数を含み得る。RF伝送線路は、基板、さらには薄い「中央ウェブ」層、すなわち「中間」金属層のいずれかの上部側で進み得る。RF伝送線路は、金属化されたスルー基板ビアによって層を切り替えることができる。RF伝送線路は、スルー基板ビア、基板上のパターンニングされたメタライゼーション、金属化されたスルー基板ビアからなる絶縁壁、及びカバーに含まれる垂直壁

50

のうちの1又は複数を含む完全に一体化された遷移で、最小の電氣的反射損失を維持しながら異なる線路タイプに遷移することができる。

【0014】

Hフレームの電気入力及び出力において配置された、カバーのうちの1つにおいて作成されたアルコーブは、金属化された壁を有し、電界の方向を（マイクロストリップ線路における）垂直から（信号ビア及びその周囲の接地ビアによって形成されたいわゆる「垂直同軸ケーブル」における）水平に徐々に変換するのを助ける。これは、良好なリターン損失を達成し、並びに放射漏れを抑えるのを助け、正常なRF完全性を有する遷移設計がもたらされる。

【0015】

アルコーブは、エスケープ遷移を作成するために使用されるカバーの外壁の一部である。アルコーブは、良好なRF遷移を容易にするように輪郭付けされる。アルコーブは、壁を破壊しないか又は外壁に穴を導入せず、したがって、カバーの外壁によって提供される環境シールを維持する。

【0016】

マイクロエレクトロニクスHフレームデバイスは、2つ以上の基板のスタックであって、基板のスタックが上部基板及び底部基板を含み、底部基板への上部基板の接合が、上部基板と底部基板との間の垂直電気接続を作成し、上部基板の上面が上部基板上部メタライゼーションを含み、底部基板の底面が底部基板底部メタライゼーションを含む、2つ以上の基板のスタックと、上部基板と底部基板との間に位置する中間基板メタライゼーションと、基板のスタックの上部側に接合された微細加工された上部カバーと、基板のスタックの底部側に接合された微細加工された底部カバーとを含む。マイクロエレクトロニクスHフレームデバイスを作製するための方法は、デバイスにおいて使用可能な上部カバーを微細加工することと、デバイスにおいて使用可能な底部カバーを微細加工することと、ウエハの前面上に一緒に、デバイスにおいて使用可能な上部基板の上面と、デバイスにおいて使用可能な底部基板の底面とを作製することと、上部基板の上面が上部基板上部メタライゼーションを含み、底部基板の底面が底面底部メタライゼーションを含む、作製することと、中間基板メタライゼーションを作製することと、上部基板を上部カバーに接合することと、底部基板を底部カバーに接合することと、上部基板を中間基板メタライゼーションの上面に接合し、底部基板を中間基板メタライゼーションの底面に接合し、それにより、上部基板と底部基板との間の垂直電気接続を作成することとを含む。

【0017】

マイクロエレクトロニクスHフレームデバイスは、2つ以上の基板のスタックであって、基板のスタックが上部基板及び底部基板を含み、上部基板の上面及び底面の底部基板が、ウエハの前面上に一緒に作製され、上部基板及び底部基板のうちの少なくとも1つが、伝送線路、フィルタ、電力スプリッタ、カプラ、及び別の電子的構成要素のうちの少なくとも1つを含み、底部基板への上部基板の接合が、上部基板と底部基板との間の垂直電気接続を作成し、上部基板の上面が上部基板上部メタライゼーションを含み、底部基板の底面が底部基板底部メタライゼーションを含む、2つ以上の基板のスタックと、上部基板と底部基板との間に位置する中間基板メタライゼーションと、基板のスタックの上部側に接合された微細加工された上部カバーであって、上部カバーが上部カバーメタライゼーションを含む、微細加工された上部カバーと、基板のスタックの底部側に接合された微細加工された底部カバーであって、底部カバーが底部カバーメタライゼーションを含む、微細加工された底部カバーとを含む。

【0018】

添付の図面は、様々な代表的な実施形態をより完全に説明するために使用され、本明細書で開示される代表的な実施形態及びそれらの固有の利点をより良く理解するために当業者によって使用され得る視覚表現を提供する。これらの図面において、同様の参照番号は対応する要素を識別する。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 1 9 】

【 図 1 A 】 マイクロエレクトロニクスHフレームデバイスの図である。

【 図 1 B 】 マイクロエレクトロニクスHフレームデバイスの図である。

【 図 1 C 】 マイクロエレクトロニクスHフレームデバイスの図である。

【 図 1 D 】 マイクロエレクトロニクスHフレームデバイスの図である。

【 図 1 E 】 マイクロエレクトロニクスHフレームデバイスの図である。

【 図 1 F 】 マイクロエレクトロニクスHフレームデバイスの図である。

【 図 1 G 】 マイクロエレクトロニクスHフレームデバイスの図である。

【 図 1 H 】 マイクロエレクトロニクスHフレームデバイスの図である。

【 図 2 A 】 マイクロエレクトロニクスHフレームデバイスにおけるストリップ線路及びフィードスルー遷移を使用する回路の図である。 10

【 図 2 B 】 マイクロエレクトロニクスHフレームデバイスにおけるストリップ線路及びフィードスルー遷移を使用する回路の図である。

【 図 2 C 】 マイクロエレクトロニクスHフレームデバイスにおけるストリップ線路及びフィードスルー遷移を使用する回路の図である。

【 図 2 D 】 マイクロエレクトロニクスHフレームデバイスにおけるストリップ線路及びフィードスルー遷移を使用する回路の図である。

【 図 2 E 】 マイクロエレクトロニクスHフレームデバイスにおけるストリップ線路及びフィードスルー遷移を使用する回路の図である。

【 図 2 F 】 マイクロエレクトロニクスHフレームデバイスにおけるストリップ線路及びフィードスルー遷移を使用する回路の図である。 20

【 図 2 G 】 マイクロエレクトロニクスHフレームデバイスにおけるストリップ線路及びフィードスルー遷移を使用する回路の図である。

【 図 3 A 】 マイクロエレクトロニクスHフレームデバイスの作製方法を示す図である。

【 図 3 B 】 マイクロエレクトロニクスHフレームデバイスの作製方法を示す図である。

【 図 3 C 】 マイクロエレクトロニクスHフレームデバイスの作製方法を示す図である。

【 図 3 D 】 マイクロエレクトロニクスHフレームデバイスの作製方法を示す図である。

【 図 3 E 】 マイクロエレクトロニクスHフレームデバイスの作製方法を示す図である。

【 図 3 F 】 マイクロエレクトロニクスHフレームデバイスの作製方法を示す図である。

【 図 4 】 マイクロエレクトロニクスHフレームデバイスを作製するための方法 4 0 0 のフローチャートである。 30

【 発明を実施するための形態 】

【 0 0 2 0 】

図 1 A ~ 図 1 H は、マイクロエレクトロニクスHフレームデバイスの 8 つの図面のセットである。

【 0 0 2 1 】

図 1 A は、マイクロエレクトロニクスHフレームデバイス 1 0 0 の分解図を示す。

【 0 0 2 2 】

マイクロエレクトロニクスHフレームデバイス 1 0 0 は、上部カバー 1 0 2 を含む。例えば、上部カバー 1 0 2 は半導体を含む。 40

【 0 0 2 3 】

例えば、図示のように、上部カバー 1 0 2 は、3つの上部カバーキャビティ 1 0 4 A ~ 1 0 4 C、第 1 の上部カバーキャビティ 1 0 4 A と、第 2 の上部カバーキャビティ 1 0 4 B と、第 3 の上部カバーキャビティ 1 0 4 C とを含む。第 1 の上部カバーキャビティ 1 0 4 A は、部分的な第 1 の上部カバーキャビティ 1 0 4 A を含む。第 2 の上部カバーキャビティ 1 0 4 B は、完全に形成された第 2 の上部カバーキャビティ 1 0 4 B を含む。第 3 の上部カバーキャビティ 1 0 4 C は、部分的な第 3 の上部カバーキャビティ 1 0 4 C を含む。

【 0 0 2 4 】

例えば、以下でさらに詳細に説明されるように、上部カバー 1 0 2 は、上部カバーキャ 50

ビティ 104A ~ 104C のうちの 1 又は複数を形成するように微細加工される。例えば、以下でさらに詳細に説明されるように、上部カバー 102 は、上部カバーキャビティ 104A ~ 104C のうちの 1 又は複数を形成するようにめっきされる。例えば、上部カバー 102 は、上部カバーキャビティ 104A ~ 104C のうちの 1 又は複数を形成するように、金を使用してめっきされる。

【0025】

マイクロエレクトロニクス H フレームデバイス 100 は、底部カバー 106 をさらに含む。例えば、底部カバー 106 は半導体を含む。底部カバー 106 は、1 又は複数の底部カバーキャビティ 108 を含む。例えば、図示のように、底部カバー 106 は、1 つの底部カバーキャビティ 108 を含む。例えば、以下でさらに詳細に説明されるように、底部カバー 106 は、底部カバーキャビティ 108 を形成するように微細加工される。例えば、以下でさらに詳細に説明されるように、底部カバー 106 は、底部カバーキャビティ 108 を形成するようにめっきされる。例えば、底部カバー 106 は、底部カバーキャビティ 108 を形成するように、金を使用してめっきされる。

【0026】

マイクロエレクトロニクス H フレームデバイス 100 は、基板 110 をさらに含む。必須ではないが好ましくは、基板 110 は、実質的に平坦な基板 110 を含む。必須ではないが好ましくは、基板 110 は、底部カバー 106 と上部カバー 102 との間にカプセル化されるように構成される。例えば、基板 110 は、約 200 ミクロン ~ 約 800 ミクロンの厚さを有する。

【0027】

基板 110 は上部基板 112 を含む。必須ではないが好ましくは、上部基板 112 は炭化ケイ素 (SiC) を含む。

【0028】

上部基板 112 は、上部カバー 102 に動作可能に接続される。好ましくは、上部基板 112 は、上部カバー 102 に接合される。上部基板 112 は、上部基板上面 114 を含む。必須ではないが好ましくは、上部基板上面 114 は、例えば、トランジスタ、抵抗器、キャパシタ、及び伝送線路のうちの 1 又は複数など、H フレームデバイス 100 の回路構成要素を含む。

【0029】

必須ではないが好ましくは、上部基板上面 114 は、上部基板 112 が上部カバー 102 に物理的に接合される第 1 の接合界面 114 を含む。必須ではないが好ましくは、上部基板 112 は、上部カバー 102 に物理的に接合される。例えば、上部基板 112 は、上部基板上面 114 において上部カバー 102 に物理的に接合される。例えば、上部基板 112 を上部基板上面 114 において上部カバー 102 に物理的に取り付けるために、金 - 金圧着が使用される。例えば、第 1 の接着剤 (図 1A に図示せず) が、上部基板 112 を上部基板上面 114 において上部カバー 102 に物理的に取り付ける。例えば、第 1 の接着剤はエポキシを含む。例えば、第 1 の接着剤は、導電性エポキシを含む。例えば、第 1 の接着剤は、上部カバー 102 上で金に圧着することができる金を含む。

【0030】

必須ではないが好ましくは、上部基板上面 114 は、上部基板上部メタライゼーション 116 を支持するように構成される。例えば、上部基板上部メタライゼーション 116 は、約 1 ミクロン ~ 約 1.3 ミクロンの厚さを有する。例えば、上部基板上部メタライゼーション 116 は、約 3.5 ミクロンの厚さを有する。例えば、上部基板上部メタライゼーション 116 は、約 5.5 ミクロンの厚さを有する。上部基板上部メタライゼーション 116 は、H フレームデバイス 100 において基準導体及び「接地導体」のうちの 1 又は複数として使用される上部基板上部接地平面 116A を含む。上部基板上部メタライゼーション 116B は、図 1C において以下でより詳細に説明される、第 1 の入出力ポート 116B を含む。上部基板上部メタライゼーション 116C は、同じく図 1C において以下でより詳細に説明される、第 2 の入出力ポート 116C を含む。上部基板上部メタライゼーシ

10

20

30

40

50

ョン 1 1 6 D は、信号を伝導するように構成された第 1 の上部基板上部信号線 1 1 6 D を含む。

【 0 0 3 1 】

上部基板上部メタライゼーション 1 1 6 は、1 又は複数の上部基板上部メタライゼーション開口部 1 1 8 A ~ 1 1 8 C を含む。例えば、図示のように、上部基板上部メタライゼーション 1 1 6 は、3 つの上部基板上部メタライゼーション開口部 1 1 8 A ~ 1 1 8 C、第 1 の上部基板上部メタライゼーション開口部 1 1 8 A と、第 2 の上部基板上部メタライゼーション開口部 1 1 8 B と、第 3 の上部基板上部メタライゼーション開口部 1 1 8 C とを含む。第 1 の上部基板上部メタライゼーション開口部 1 1 8 A は、部分的な第 1 の上部基板上部メタライゼーション開口部 1 1 8 A を含む。第 2 の上部基板上部メタライゼーション開口部 1 1 8 B は、完全に形成された第 2 の上部基板上部メタライゼーション開口部 1 1 8 B を含む。第 3 の上部基板上部メタライゼーション開口部 1 1 8 C は、部分的な第 3 の上部基板上部メタライゼーション開口部 1 1 8 C を含む。

10

【 0 0 3 2 】

以下でより詳細に説明されるように、第 1 の上部基板上部メタライゼーション開口部 1 1 8 A は、第 1 の上部カバーキャビティ 1 0 4 A とほぼ整列するように設計される。同様に、以下でより詳細に説明されるように、第 2 の上部基板上部メタライゼーション開口部 1 1 8 B は、第 2 の上部カバーキャビティ 1 0 4 B とほぼ整列するように設計される。以下でより詳細に説明されるように、第 3 の上部基板メタライゼーション開口部 1 1 8 C は、第 3 の上部カバーキャビティ 1 0 4 C とほぼ整列するように設計される。

20

【 0 0 3 3 】

上部基板 1 1 2 は、上部基板底面 1 2 0 をさらに含む。上部基板底面 1 2 0 は、H フレームデバイス 1 0 0 において基準導体及び接地導体のうちの 1 又は複数として使用される上部基板底部接地平面 1 2 2 A を含む。

【 0 0 3 4 】

必須ではないが好ましくは、上部基板底面 1 2 0 は、上部基板底部メタライゼーション 1 2 2 を支持するように構成される。例えば、上部基板底部メタライゼーション 1 2 2 は、約 1 ミクロン ~ 約 1.3 ミクロンの厚さを有する。例えば、上部基板底部メタライゼーション 1 2 2 は、約 3.5 ミクロンの厚さを有する。例えば、上部基板底部メタライゼーション 1 2 2 は、約 5.5 ミクロンの厚さを有する。上部基板底部メタライゼーション 1 2 2 は、上部基板底部接地平面 1 2 2 A と、第 1 の上部基板底部信号線 1 2 2 B と、円形上部基板底部メタライゼーションビアパッド 1 2 2 C と、第 2 の上部基板底部信号線 1 2 2 D とを含む。これらの 3 つの上部基板底部メタライゼーション 1 2 2 B、1 2 2 C、及び 1 2 2 D は、図 2 A 及び図 2 B でより詳細に説明される。

30

【 0 0 3 5 】

上部基板底部メタライゼーション 1 2 2 は、1 又は複数の上部基板底部メタライゼーション開口部 1 2 3 A ~ 1 2 3 C を含む。例えば、図示のように、上部基板底部メタライゼーション 1 2 2 は、3 つの上部基板底部メタライゼーション開口部 1 2 3 A ~ 1 2 3 C、第 1 の上部基板底部メタライゼーション開口部 1 2 3 A と、第 2 の上部基板底部メタライゼーション開口部 1 2 3 B と、第 3 の上部基板底部メタライゼーション開口部 1 2 3 C とを含む。

40

【 0 0 3 6 】

上部基板 1 1 2 は、複数の金属化された上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D をさらに含み、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D は、上部基板上部メタライゼーション 1 1 6 と上部基板底部メタライゼーション 1 2 2 との間の垂直電気接続を提供するように構成される。上部基板 1 1 2 への上部カバー 1 0 2 の接合は、上部基板 1 1 2 と上部カバー 1 0 2 との間の垂直電気接続を作成する。

【 0 0 3 7 】

以下でより詳細に説明されるように、上部基板スルー基板信号ビア 1 2 4 A ~ 1 2 4 D は、好ましくは、気密封止された電気フィードスルービアである。上部基板スルー基板ビ

50

ア 1 2 4 A ~ 1 2 4 D は、好ましくは、以下でより詳細に説明されるように、上部基板 1 1 2 を通してエッチングし、エッチングによって生成された空隙の内壁をめっきすることによって形成される。好ましくは、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D のうちの少なくとも 1 つの上面が封止される。例えば、好ましくは、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D のすべての上面が、金を使用して封止される。例えば、好ましくは、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D のすべての上面が、金を使用して封止される。

【 0 0 3 8 】

例えば、好ましくは、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D のうちの少なくとも 1 つの上面が、金を含む固体キャップを使用して封止される。上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D は、第 1 の上部基板スルー基板ビア 1 2 4 A と、第 2 の上部基板スルー基板ビア 1 2 4 B と、第 3 の上部基板スルー基板ビア 1 2 4 C と、第 4 の上部基板スルー基板ビア 1 2 4 D とを含む。以下でより詳細に説明されるように、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D は、好ましくは、気密封止された電気フィードスルービアである。上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D は、好ましくは、以下でより詳細に説明されるように、上部基板 1 1 2 を通してエッチングし、エッチングによって生成された空隙の内壁をめっきすることによって形成される。好ましくは、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D のうちの少なくとも 1 つの上面が封止される。例えば、好ましくは、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D のうちの少なくとも 1 つの上面が、金を使用して封止される。第 2 の上部基板スルー基板ビア 1 2 4 B 及び第 3 の上部基板スルー基板ビア 1 2 4 E の機能が、図 2 A 及び図 2 B でより詳細に説明される。

【 0 0 3 9 】

上部基板 1 1 2 は、複数の上部基板接地ビア 1 2 5 A ~ 1 2 5 O をさらに含み、上部基板接地ビア 1 2 5 A ~ 1 2 5 O は、電気接地を提供するように構成される。上部基板接地ビア 1 2 5 A ~ 1 2 5 O は、第 1 の上部基板接地ビア 1 2 5 A と、第 2 の上部基板接地ビア 1 2 5 F と、第 3 の上部基板接地ビア 1 2 5 K とを含む。第 1 の上部基板接地ビア 1 2 5 A、第 2 の上部基板接地ビア 1 2 5 F、第 3 の上部基板接地ビア 1 2 5 K、及び第 4 の上部基板接地ビア 1 2 5 M の機能は、図 1 C、図 1 D、図 1 E、及び図 2 A でより詳細に説明される。

【 0 0 4 0 】

基板 1 1 0 は、底部基板 1 2 6 をさらに含む。したがって、基板 1 1 0 は、上部基板 1 1 2 及び底部基板 1 2 6 のスタックを含む。より一般的には、基板 1 1 0 は、2 つ以上の基板のスタックを含む。デバイス 1 0 0 は、上部基板 1 1 2 と底部基板 1 2 6 との間に位置するメタライゼーションをさらに含む。

【 0 0 4 1 】

必須ではないが好ましくは、底部基板 1 2 6 は炭化ケイ素 (S i C) を含む。

【 0 0 4 2 】

底部基板 1 2 6 は、底部カバー 1 0 6 に動作可能に接続される。好ましくは、底部基板 1 2 6 は、底部カバー 1 0 6 に接合される。底部基板 1 2 6 は、底部基板底面 1 2 8 を含む。必須ではないが好ましくは、底部基板底面 1 2 8 は、例えば、トランジスタ、キャパシタ、及び伝送線路のうちの 1 又は複数など、H フレームデバイス 1 0 0 の回路構成要素を含む。必須ではないが好ましくは、底部基板底面 1 2 8 は、底部基板 1 2 6 が底部カバー 1 0 6 に物理的に接合される第 2 の接合界面 1 2 8 を含む。必須ではないが好ましくは、底部基板 1 2 6 は、底部カバー 1 0 6 に物理的に接合される。例えば、底部基板 1 2 6 は、底部基板底面 1 2 8 において底部カバー 1 0 6 に物理的に接合される。例えば、上部基板 1 1 2 を底部基板底面 1 2 8 において底部カバー 1 0 6 に物理的に取り付けるために、金 - 金加圧接合が使用される。例えば、第 2 の接着剤 (図 1 A に図示せず) が、底部基板 1 2 6 を底部基板底面 1 2 8 において底部カバー 1 0 6 に物理的に取り付ける。例えば、第 2 の接着剤はエポキシを含む。

【 0 0 4 3 】

必須ではないが好ましくは、底部基板底面 1 2 8 は、底部基板底部メタライゼーション

130を支持するように構成される。例えば、底部基板底部メタライゼーション130は、約1ミクロン～約13ミクロンの厚さを有する。例えば、底部基板底部メタライゼーション130は、約3.5ミクロンの厚さを有する。例えば、底部基板底部メタライゼーション130は、約5.5ミクロンの厚さを有する。

【0044】

底部基板126は、底部基板上面132をさらに含む。底部基板上面132は、上部基板底面120に接合される。以下でより詳細に説明されるように、底部基板上面132は、底部基板上面132と上部基板底面120の両方に含まれる複数の接合バンプを使用して、上部基板底面120に接合される。

【0045】

底部基板上面132と上部基板底面120とは、第3の接合界面134において交わる。必須ではないが好ましくは、底部基板上面132は、底部基板上部メタライゼーション135を支持するように構成される。

【0046】

底部基板上部メタライゼーション135は、底部基板上部接地平面135Aと、第1の底部基板上部信号線135Bと、円形底部基板上部メタライゼーションビアパッド135Cと、第2の底部基板上部信号線135Dとを含む。第1の上部基板底部信号線122B及び第1の底部基板上部信号線135Bは、一緒に、第1の中間基板信号線122B～135Bを形成し、これは、エスケープ遷移(図1Aに図示せず、図2A中の項目210)がデバイス100の内側とデバイス100の外側とを接続するために使用するストリップ線路122B～135Bである。

【0047】

底部基板上部メタライゼーション135は、1又は複数の底部基板上部メタライゼーション開口部136A～136Cを含む。例えば、図示のように、底部基板上部メタライゼーション135は、3つの底部基板上部メタライゼーション開口部136A～136C、第1の底部基板上部メタライゼーション開口部136Aと、第2の底部基板上部メタライゼーション開口部136Bと、第3の底部基板上部メタライゼーション開口部136Cとを含む。

【0048】

以下でより詳細に説明されるように、第1の底部基板上部メタライゼーション開口部136Aは、第1の上部基板底部キャピティ123Aとほぼ整列するように構成される。同様に、第2の底部基板上部メタライゼーション開口部136Bは、第2の上部基板底部キャピティ123Bとほぼ整列するように構成される。同じく、第3の底部基板上部メタライゼーション開口部136Cは、第3の上部基板底部キャピティ123Cとほぼ整列するように構成される。Hフレームデバイス100を設計する際に、第1の上部基板底部キャピティ123Aは、第1の底部基板上部メタライゼーション開口部136Aに形状がほぼ一致する。同様に、Hフレームデバイス100を設計する際に、第2の上部基板底部キャピティ123Bは、第2の底部基板上部メタライゼーション開口部136Bに形状がほぼ一致する。同じく、Hフレームデバイス100を設計する際に、第3の上部基板底部キャピティ123Cは、第3の底部基板上部メタライゼーション開口部136Cに形状がほぼ一致する。

【0049】

例えば、底部基板上部メタライゼーション135は、約1ミクロン～約13ミクロンの厚さを有する。例えば、底部基板上部メタライゼーション135は、約3.5ミクロンの厚さを有する。例えば、底部基板上部メタライゼーション135は、約5.5ミクロンの厚さを有する。底部基板上部メタライゼーション135は、好ましくは、上部基板底部メタライゼーション122と電氣的に接触しており、それにより、上部基板底部メタライゼーション122と底部基板上部メタライゼーション135との間の垂直電気接続を作成する。底部基板126への底部カバー106の接合は、底部基板126と底部カバー106との間の第1の垂直電気接続を作成する。

10

20

30

40

50

【 0 0 5 0 】

第 1 の垂直電気接続を使用して、上部基板上部メタライゼーション 1 1 6 は、上部カバー 1 0 2 の外側において上部基板底部メタライゼーション 1 2 2 に電氣的に接続される。上部基板底部メタライゼーション 1 2 2 の形状は、上部カバー 1 0 2 の外側における第 1 の垂直電気接続を、上部カバー 1 0 2 の内側における第 1 の垂直電気接続に接続する。第 1 の垂直電気接続を使用して、上部基板底部メタライゼーション 1 2 2 は、上部カバー 1 0 2 の内側で上部基板上部メタライゼーション 1 1 6 に電氣的に接続される。

【 0 0 5 1 】

第 2 の垂直電気接続を使用して、底部基板底部メタライゼーション 1 3 0 は、底部カバー 1 0 6 の内側において底部基板上部メタライゼーション 1 3 5 に電氣的に接続される。

10

【 0 0 5 2 】

底部基板底部メタライゼーション 1 3 0 は、信号を伝導するように構成された底部基板底部信号線 1 3 7 をさらに含む。

【 0 0 5 3 】

底部基板底部メタライゼーション 1 3 0 は、1 又は複数の底部基板底部メタライゼーション開口部 1 3 8 を含む。図示のように、底部基板メタライゼーション 1 3 0 は、1 つの底部基板底部メタライゼーション開口部 1 3 8 を含む。底部基板底部メタライゼーション開口部 1 3 8 は、完全に形成された底部基板底部メタライゼーション開口部 1 3 8 を含む。

【 0 0 5 4 】

以下でより詳細に説明されるように、底部基板底部メタライゼーション開口部 1 3 8 は、底部カバーキャビティ 1 0 8 とほぼ整列するように設計される。

20

【 0 0 5 5 】

底部基板 1 2 6 は、複数の底部基板スルー基板ビア 1 4 0 A ~ 1 4 0 B をさらに含み、底部基板スルー基板ビア 1 4 0 A ~ 1 4 0 B は、底部基板上部メタライゼーション 1 3 5 と底部基板底部メタライゼーション 1 3 0 との間の第 2 の垂直電気接続を提供するように構成される。底部基板 1 2 6 への底部カバー 1 0 6 の接合は、底部基板 1 2 6 と底部カバー 1 0 6 との間の第 2 の垂直電気接続を作成する。

【 0 0 5 6 】

以下でより詳細に説明されるように、底部基板スルー基板ビア 1 4 0 A ~ 1 4 0 B は、好ましくは、気密封止された電気フィードスルービアである。底部基板スルー基板ビア 1 4 0 A ~ 1 4 0 B は、好ましくは、以下でより詳細に説明されるように、上部基板 1 1 2 を通してエッチングし、エッチングによって生成された空隙の内壁をめっきすることによって形成される。好ましくは、底部基板スルー基板ビア 1 4 0 A ~ 1 4 0 B のうちの少なくとも 1 つの上面が封止される。例えば、好ましくは、底部基板スルー基板ビア 1 4 0 A ~ 1 4 0 B のうちの少なくとも 1 つの上面が、金を使用して封止される。例えば、好ましくは、底部基板スルー基板ビア 1 4 0 A ~ 1 4 0 B のうちの少なくとも 1 つの上面が、金を含む固体キャップを使用して封止される。例えば、好ましくは、底部基板スルー基板ビア 1 4 0 A ~ 1 4 0 B のうちの少なくとも 1 つの上面が、金からなる固体キャップを使用して封止される。

30

40

【 0 0 5 7 】

底部基板スルー基板ビア 1 4 0 A ~ 1 4 0 B は、第 1 の底部基板信号ビア 1 4 0 A と第 2 の底部基板スルー基板ビア 1 4 0 B とを含む。これらの 2 つの底部基板スルー基板ビア 1 4 0 A 及び 1 4 0 B は、図 1 H、図 2 A、及び図 2 G でより詳細に説明される。

【 0 0 5 8 】

底部基板 1 2 6 は、複数の底部基板接地ビア 1 4 1 A ~ 1 4 1 N をさらに含み、底部基板接地ビア 1 4 1 A ~ 1 4 1 N は、電気接地を提供するように構成される。底部基板接地ビア 1 4 1 A ~ 1 4 1 N は、第 1 の底部基板接地ビア 1 4 1 A と、第 2 の底部基板接地ビア 1 4 1 F と、第 3 の底部基板接地ビア 1 4 1 H とを含む。第 1 の底部基板接地ビア 1 4 1 A、第 2 の底部基板接地ビア 1 4 1 F、及び第 3 の底部基板接地ビア 1 4 1 H の機能は

50

、図 1 H、図 2 A、及び図 2 B により詳細に説明される。

【 0 0 5 9 】

図 1 B は、上部カバー 1 0 2 及び底部カバー 1 0 6 の詳細図を示す。

【 0 0 6 0 】

同じく、上部カバー 1 0 2 は、第 1 の上部カバーキャビティ 1 0 4 A と、第 2 の上部カバーキャビティ 1 0 4 B と、第 3 の上部カバーキャビティ 1 0 4 C とを含む。

【 0 0 6 1 】

同じく、第 1 の上部カバーキャビティ 1 0 4 A は、部分的な第 1 の上部カバーキャビティ 1 0 4 A を含む。部分的な第 1 の上部カバーキャビティ 1 0 4 A は、上部の第 1 のキャビティ壁 1 4 3 A を含む。上部の第 1 のキャビティ壁 1 4 3 A は、以下により詳細に説明されるように、上部カバー 1 0 2 が基板 1 1 0 に接合された後に見えるようになる。 10

【 0 0 6 2 】

同じく、第 2 の上部カバーキャビティ 1 0 4 B は、完全に形成された第 2 の上部カバーキャビティ 1 0 4 B を含む。第 2 の上部カバーキャビティ 1 0 4 B は、第 2 の上部キャビティ壁 1 4 3 B を含む。

【 0 0 6 3 】

同じく、第 3 の上部カバーキャビティ 1 0 4 C は、部分的な第 3 の上部カバーキャビティ 1 0 4 C を含む。部分的な第 3 の上部カバーキャビティ 1 0 4 C は、上部の第 3 のキャビティ壁 1 4 3 C を含む。上部の第 3 のキャビティ壁 1 4 3 C は、以下により詳細に説明されるように、上部カバー 1 0 2 が基板 1 1 0 に接合された後に見えるようになる。 20

【 0 0 6 4 】

上部カバー 1 0 2 は、上部カバーメタライゼーション 1 4 5 をさらに含む。上部カバーメタライゼーション 1 4 5 は、上部カバー 1 0 2 を接地する。それにより、上部カバーメタライゼーション 1 4 5 は、マイクロエレクトロニクス H フレームデバイス 1 0 0 の全体的な接地構造の不可欠な部分を提供する。例えば、上部カバーメタライゼーション 1 4 5 は、単独で接続された上部カバーメタライゼーション 1 4 5 を含む。例えば、以下により詳細に説明されるように、上部カバーメタライゼーション 1 4 5 は、微細加工されたシリコンウエハ上で金めっきを実施することによって生成される。

【 0 0 6 5 】

上部カバーメタライゼーション 1 4 5 は、金属化された上部キャビティ床 1 4 6 を含む。第 2 の上部カバーキャビティ 1 0 4 B は、金属化された上部キャビティ床 1 4 6 を含む。上部カバー 1 0 2 を上部基板 1 2 0 に接合すると、金属化された上部キャビティ床 1 4 6 は、上部カバー 1 0 2 の上部カバー天井 1 4 6 になる。 30

【 0 0 6 6 】

上部カバーメタライゼーション 1 4 5 は、金属化された上部カバー上面 1 4 7 をさらに含む。以下により詳細に説明されるように、デバイス (図 1 A 中の項目 1 0 0) の作製中、金属化された上部カバー上面 1 4 7 は、上部基板上面 1 1 4 上のバンプに接合されて接合を完了する。

【 0 0 6 7 】

上部カバーメタライゼーション 1 4 5 は、金属化された第 2 の上部キャビティ壁 1 4 3 B をさらに含む。第 2 の上部カバーキャビティ 1 0 4 B は、金属化され第 2 の上部キャビティ壁 1 4 3 B を含む。 40

【 0 0 6 8 】

底部カバー 1 0 6 は、底部カバーメタライゼーション 1 4 9 をさらに含む。底部カバーメタライゼーション 1 4 9 は、上部カバー 1 0 2 を接地する。それにより、底部カバーメタライゼーション 1 4 9 は、マイクロエレクトロニクス H フレームデバイス (図 1 A 中の項目 1 0 0) の全体的な接地構造の不可欠な部分を提供する。例えば、底部カバーメタライゼーション 1 4 9 は、単独で接続された底部カバーメタライゼーション 1 4 9 を含む。例えば、以下により詳細に説明されるように、底部カバーメタライゼーション 1 4 9 は、微細加工されたシリコンウエハ上で金めっきを実施することによって生成される。 50

【 0 0 6 9 】

底部カバーメタライゼーション 1 4 9 は、金属化された底部キャビティ床 1 5 0 を含む。底部カバーキャビティ 1 0 8 は、金属化された底部キャビティ床 1 5 0 を含む。底部カバー 1 0 6 を底部基板 1 2 6 に接合すると、金属化された底部キャビティ床 1 5 0 は、底部カバー 1 0 6 の床 1 5 0 になる。

【 0 0 7 0 】

底部カバーメタライゼーション 1 4 9 は、金属化された底部カバー上面 1 5 1 をさらに含む。以下でより詳細に説明されるように、デバイス（図 1 A 中の項目 1 0 0）の作製中、金属化された底部カバー上面 1 5 1 は、底部基板底面（図 1 A 中の項目 1 2 8）上のパンクに接合されて接合を完了する。

10

【 0 0 7 1 】

底部カバーメタライゼーション 1 4 9 は、金属化された底部キャビティ壁 1 5 2 をさらに含む。底部カバーキャビティ 1 0 8 は、金属化された底部キャビティ壁 1 5 2 を含む。

【 0 0 7 2 】

図 1 C は、上部基板 1 1 2 の詳細図を示す。同じく、上部基板 1 1 2 は、上部基板上面 1 1 4 と、上部基板上部メタライゼーション 1 1 6 と、上部基板底面 1 2 0 と、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D と、上部基板接地ビア 1 2 5 A、1 2 5 F、1 2 5 K、及び 1 2 5 M とを含む。同じく、上部基板底面 1 2 0 は、上部基板底部メタライゼーション 1 2 2 を含む。（上部基板底部メタライゼーション 1 2 2 の詳細は、図 1 C では見えないが、図 2 A 及び図 2 B でより詳細に説明される。）

20

【 0 0 7 3 】

同じく、上部基板上部メタライゼーション 1 1 6 は、上部基板上部接地平面 1 1 6 A と、第 1 の入出力ポート 1 1 6 B と、第 2 の入出力ポート 1 1 6 C と、第 1 の上部基板上部信号線 1 1 6 D とを含む。

【 0 0 7 4 】

同じく、上部基板 1 1 2 は、第 1 の入出力ポート 1 1 6 B をさらに含む。必須ではないが好ましくは、上部基板上面 1 1 4 は、第 1 の入出力ポート 1 1 6 B を含む。第 1 の入出力ポート 1 1 6 B は、入力信号の受信及び出力信号の送信のうちの 1 又は複数を行うように構成される。第 1 の入出力ポート 1 1 6 B は、第 1 のポートの第 1 の接地金属パッド 1 5 4 A と、第 1 のポート信号金属パッド 1 5 4 B と、第 1 のポートの第 2 の接地金属パッド 1 5 4 C とを含む。第 1 のポートの信号金属パッドは、第 2 の信号線 1 5 4 B を含む。

30

【 0 0 7 5 】

第 1 のポートの第 1 の接地金属パッド 1 5 4 A は、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D のうちの 1 又は複数によって上部基板底面 1 2 0 に動作可能に接続される。第 1 のポートの第 2 の接地金属パッド 1 5 4 C は、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D のうちの 1 又は複数によって上部基板接地平面 1 2 0 に動作可能に接続される。

【 0 0 7 6 】

上部基板 1 1 2 は、第 2 の入出力ポート 1 1 6 C をさらに含む。必須ではないが好ましくは、上部基板上面 1 1 4 は、第 2 の入出力ポート 1 1 6 C を含む。第 2 の入出力ポート 1 1 6 C は、入力信号の受信及び出力信号の送信のうちの 1 又は複数を行うように構成される。第 2 の入出力ポート 1 1 6 C は、第 2 のポートの第 1 の接地金属パッド 1 5 6 A と、第 2 のポート信号金属パッド 1 5 6 B と、第 2 のポートの第 2 の接地金属パッド 1 5 6 C とを含む。第 2 のポート信号金属パッドは、第 3 の信号線 1 5 6 B を含む。

40

【 0 0 7 7 】

第 2 のポートの第 1 の接地金属パッド 1 5 6 A は、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D のうちの 1 又は複数によって上部基板底面 1 2 0 に動作可能に接続される。第 2 のポートの第 2 の接地金属パッド 1 5 6 C は、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D のうちの 1 又は複数によって上部基板底面 1 2 0 に動作可能に接続される。

【 0 0 7 8 】

上部基板上部メタライゼーション 1 1 6 は、1 又は複数の上部基板上部メタライゼーシ

50

オン連続バンブ 158A ~ 158B をさらに含む。図示のように、上部基板上部メタライゼーション 116 は、2つの上部基板上部メタライゼーション同心連続バンブ 158A、158B を含み、同心上部基板上部メタライゼーション連続バンブ 158A、158B は、上部基板 112 を上部カバー 102 に接合するために使用可能である。好ましくは、同心上部基板上部メタライゼーション連続バンブ 158A、158B は、関心の最高周波数の約 0.1 波長未満だけ分離されるように離間している。

【0079】

上部基板上部メタライゼーション 116 は、1 又は複数の上部基板上部メタライゼーション個別バンブ 160A ~ 160P をさらに含み、上部基板上部メタライゼーション個別バンブ 160A ~ 160P は、上部基板 112 を上部カバー 102 に接合するために使用可能である。好ましくは、上部基板上部メタライゼーション個別バンブ 160A ~ 160P は、関心の最高周波数の約 0.1 波長未満だけ分離されるように離間している。

10

【0080】

好ましくは、上部基板上部メタライゼーション連続バンブ 158A、158B は、上部基板上面 114 におけるボンドの形成後に異物が上部カバー 102 に入るのを防止し、それにより、Hフレームデバイス 100 を保護するように構成された、環境シールを提供するように構成される。

【0081】

好ましくは、上部基板上部メタライゼーション個別バンブ 160A ~ 160P は、上部基板上面 114 におけるボンドの形成後に異物が上部カバー 102 に入るのを防止し、それにより、Hフレームデバイス 100 を保護するように構成された、環境シールを提供するように構成される。

20

【0082】

図 1C 中の点線 161 は、図 1E でより詳細に提供及び説明されるデバイスの詳細図の境界である。

【0083】

図 1D は、上部基板 112 の分解図を示す。上部基板 112 は、上部基板上部メタライゼーション 116 と、上部基板底部メタライゼーション 122 と、上部誘電体 162 とを含む。上部誘電体 162 は電気絶縁体 162 を含む。同じく、上部基板上部メタライゼーション 116 は、上部基板スルー基板ビア 124A ~ 124D と、上部基板接地ビア 125F、125K、及び 125M と、上部基板上部メタライゼーション連続バンブ 158A ~ 158B と、上部基板上部メタライゼーション個別バンブ 160A ~ 160P とを含む。

30

【0084】

同じく、上部基板上面 114、上部基板底面 120、及び上部基板スルー基板ビア 124A ~ 124D も示されている。

【0085】

上部基板上部メタライゼーション 116 は、第 1 の入出力ポート 116B をさらに含む。上部基板上部メタライゼーション 116 は、第 2 の入出力ポート 116C をさらに含む。

40

【0086】

上部誘電体 162 は、上部基板上面 114 と、上部基板底面 120 と、上部基板スルー基板ビア 124A ~ 124D とを含む。

【0087】

同じく、第 1 の入出力ポート 116B は、第 1 のポートの第 1 の接地金属パッド 154A と、第 1 のポート信号金属パッド 154B と、第 1 のポートの第 2 の接地金属パッド 154C とを含む。同じく、第 1 のポートの第 1 の接地金属パッド 154A は、上部基板スルー基板ビア 124A ~ 124D のうちの 1 又は複数によって上部基板底部接地平面 122A に動作可能に接続される。第 1 のポートの第 2 の接地金属パッド 154C は、上部基板スルー基板ビア 124A ~ 124D のうちの 1 又は複数によって上部基板接地平面 12

50

2 A に動作可能に接続される。

【0088】

同じく、第2の入出力ポート116Cは、第2のポートの第1の接地金属パッド156Aと、第2のポート信号金属パッド156Bと、第2のポートの第2の接地金属パッド156Cとを含む。同じく、第2のポートの第1の接地金属パッド156Aは、上部基板スルー基板ビア124A～124Dのうちの1又は複数によって上部基板底部接地平面122Aに動作可能に接続される。同じく、第2のポートの第2の接地金属パッド156Cは、上部基板スルー基板ビア124A～124Dのうちの1又は複数によって上部基板接地平面122Aに動作可能に接続される。

【0089】

上部基板底部メタライゼーション122は、接地された上部基板底部接地平面122Aを含む。上部基板底部メタライゼーション122は、信号を伝導するように構成された第1の上部基板底部信号線122Bを含む。同じく、上部基板底部メタライゼーション122は、第1の上部基板底部メタライゼーション開口部123Aと、第2の上部基板底部メタライゼーション開口部123Bと、第3の上部基板底部メタライゼーション開口部123Cとを含む。

【0090】

Hフレームデバイス100を設計する際に、第1の上部基板底部信号線122Bは、底部基板上部信号線(図1Dに図示せず、図1Aに示されている項目135B)に形状がほぼ一致する。第1の上部基板底部信号線122Bは、複数の接合バンプ(図1Dに図示せず)を使用して、第3の接合界面134において、底部基板上部信号線(図1Dに図示せず、図1Aに示されている項目135B)に接合される。第1の上部基板底部信号線122B及び第1の底部基板上部信号線(図1Dに図示せず、図1Aに示されている項目135B)は、一緒に、第1の中間基板信号線122B～135Bを形成し、これは、エスケープ遷移(図1Aに図示せず、図2A中の項目210)がデバイス100の内側とデバイス100の外側とを接続するために使用するストリップ線路122B～135Bである。

【0091】

Hフレームデバイス100を設計する際に、円形上部基板底部メタライゼーションビアパッド122Cは、円形底部基板上部メタライゼーションビアパッド(図1Dに図示せず、図1Aに示されている項目135C)に形状がほぼ一致する。円形上部基板底部メタライゼーションビアパッド122Cは、複数の接合バンプ(図1Dに図示せず)を使用して、第3の接合界面134において、円形底部基板上部メタライゼーションビアパッド(図1Dに図示せず、図1Aに示されている項目135C)に接合される。円形上部基板底部メタライゼーションビアパッド122C及び円形底部基板上部メタライゼーションビアパッド(図1Dに図示せず、図1Aに示されている項目135C)は、一緒に、ビアパッド122C～135Cを形成し、これは、電気接続及び電気フェンシングのうちの1又は複数を提供するのを助ける。

【0092】

同じく、上部基板底部メタライゼーション122は、円形上部基板底部メタライゼーション122Cと、第2の上部基板底部信号線122Dとをさらに含む。

【0093】

上部基板底部メタライゼーション122は、1又は複数の上部基板底部メタライゼーション連続バンプ163A～163Bをさらに含む。図示のように、上部基板底部メタライゼーション122は、2つの同心上部基板底部メタライゼーション連続バンプ163A、163Bを含み、同心上部基板底部メタライゼーション連続バンプ163A、163Bは、上部基板112を底部基板126に接合するために使用可能である。好ましくは、同心上部基板底部メタライゼーション連続バンプ163A、163Bは、関心の最高周波数の約0.1波長未満だけ分離されるように離間している。

【0094】

上部基板底部メタライゼーション122は、1又は複数の上部基板底部メタライゼーシ

10

20

30

40

50

オン個別バンブ 1 6 4 A ~ 1 6 4 P をさらに含み、上部基板底部メタライゼーション個別バンブ 1 6 4 A ~ 1 6 4 P は、上部基板 1 1 2 を底部基板 1 2 6 に接合するために使用可能である。好ましくは、上部基板底部メタライゼーション個別バンブ 1 6 4 A ~ 1 6 4 P は、関心の最高周波数の約 0 . 1 波長未満だけ分離されるように離間している。

【 0 0 9 5 】

好ましくは、上部基板底部メタライゼーション連続バンブ 1 6 3 A、1 6 3 B は、上部基板底面 1 2 0 におけるボンドの形成後に異物が基板 1 1 0 に入るのを防止し、それにより、H フレームデバイス 1 0 0 を保護するように構成された、環境シールを提供するように構成される。

【 0 0 9 6 】

好ましくは、上部基板底部メタライゼーション個別バンブ 1 6 4 A ~ 1 6 4 P は、上部基板底面 1 2 0 におけるボンドの形成後に異物が基板 1 1 0 に入るのを防止し、それにより、H フレームデバイス 1 0 0 を保護するように構成された、環境シールを提供するように構成される。

【 0 0 9 7 】

図 1 E は、上部基板 1 1 2 の一部分を示す、図 1 C の一部分 1 6 1 の詳細図を示す。図 1 C 中の点線 1 6 1 は、図 1 E に示されているデバイスの詳細図の境界である。

【 0 0 9 8 】

同じく、上部基板 1 1 2 は、上部基板上面 1 1 4 と、上部基板上部メタライゼーション 1 1 6 A 及び 1 1 6 C と、上部基板底面 1 2 0 と、上部基板スルー基板ビア 1 2 4 A ~ 1 2 4 D と、上部基板接地ビア 1 2 5 F、1 2 5 K、及び 1 2 5 M とを含む。

【 0 0 9 9 】

同じく、上部基板 1 1 2 は、第 2 の入出力ポート 1 1 6 C をさらに含む。必須ではないが好ましくは、上部基板上面 1 1 4 は、第 2 の入出力ポート 1 1 6 C を含む。同じく、第 2 の入出力ポート 1 1 6 C は、第 2 のポートの第 1 の接地金属パッド 1 5 6 A と、第 2 のポート信号金属パッド 1 5 6 B と、第 2 のポートの第 2 の接地金属パッド 1 5 6 C とを含む。

【 0 1 0 0 】

第 2 のポートの第 1 の接地金属パッド 1 5 6 A は、第 2 の上部基板接地ビア 1 2 5 F によって上部基板底部接地平面 1 2 2 A に動作可能に接続される。第 2 のポートの第 2 の信号金属パッド 1 5 6 B は、第 4 の上部基板信号ビア 1 2 D によって第 2 の上部基板底部信号線 1 2 2 D に動作可能に接続される。第 4 の上部基板スルー基板ビア 1 2 4 D は、遷移において使用可能な高温上部基板スルー基板ビア 1 2 4 D を含む。第 2 のポートの第 3 の上部金属パッド 1 5 6 C は、第 3 の上部基板接地ビア 1 2 5 K によって上部基板底部接地平面 1 2 2 A に動作可能に接続される。第 3 の上部基板接地ビア 1 2 5 K は、上部基板 1 1 2 及び H フレームデバイス 1 0 0 のうちの 1 又は複数の一般的な接地を提供するように構成される。第 4 の上部基板接地ビア 1 2 5 M は、上部基板 1 1 2 及び H フレームデバイス 1 0 0 のうちの 1 又は複数の一般的な接地を提供するように構成される。

【 0 1 0 1 】

同じく、上部基板上部メタライゼーション 1 1 6 は、1 又は複数の上部基板上部メタライゼーション連続バンブ 1 5 8 A ~ 1 5 8 B をさらに含む。図示のように、上部基板上部メタライゼーション 1 1 6 は、2 つの同心上部基板上部メタライゼーション連続バンブ 1 5 8 A、1 5 8 B を含み、同心上部基板上部メタライゼーション連続バンブ 1 5 8 A、1 5 8 B は、上部基板 1 1 2 を上部カバー 1 0 2 に接合するために使用可能である。好ましくは、上部基板上部メタライゼーション同心連続バンブ 1 5 8 A、1 5 8 B は、関心の最高周波数の約 0 . 1 波長未満だけ分離されるように離間している。

【 0 1 0 2 】

同じく、上部基板上部メタライゼーション 1 1 6 は、1 又は複数の上部基板上部メタライゼーション個別バンブ 1 6 0 A ~ 1 6 0 P をさらに含み、上部基板上部メタライゼーション個別バンブ 1 6 0 A ~ 1 6 0 P は、上部基板 1 1 2 を上部カバー 1 0 2 に接合するた

10

20

30

40

50

めに使用可能である。好ましくは、個別バンブ 160A ~ 160P は、関心の最高周波数の約 0.1 波長未満だけ分離されるように離間している。

【0103】

好ましくは、同じく、上部基板上部メタライゼーション連続バンブ 158A、158B は、上部基板上面 114 におけるボンドの形成後に異物が上部カバー 102 に入るのを防止し、それにより、Hフレームデバイス 100 を保護するように構成された、環境シールを提供するように構成される。

【0104】

図 1F は、底部基板 126 の詳細図を示す。同じく、底部基板 126 は、底部基板底面 128 と、底部基板上面 132 と、底部基板上部メタライゼーション 135 (ここでより詳細に示され、したがって、4つの底部基板上部メタライゼーション領域がここに示されている) と、底部基板底部メタライゼーション開口部 138 と、底部基板スルー基板ピア 140A 及び 140B と、底部基板接地ピア 141F 及び 141H とを含む。同じく、底部基板上面 132 は、底部基板上部メタライゼーション 135 を含む。同じく、底部基板上部メタライゼーション 135 は、第 1 の底部基板の第 1 のメタライゼーション開口部 136A と、第 2 の底部基板上部メタライゼーション開口部 136B と、第 3 の底部基板上部メタライゼーション開口部 136C とを含む。

10

【0105】

底部基板上部メタライゼーション 135A は、1 又は複数の底部基板上部メタライゼーション連続バンブ 165A ~ 165B をさらに含む。図示のように、底部基板上部メタライゼーション 135A は、2つの同心底部基板上部メタライゼーション連続バンブ 165A、165B を含み、同心底部基板上部メタライゼーション連続バンブ 165A、165B は、底部基板 126 を上部基板 112 に接合するために使用可能である。好ましくは、同心底部基板上部メタライゼーション連続バンブ 165A、165B は、関心の最高周波数の約 0.1 波長未満だけ分離されるように離間している。

20

【0106】

底部基板上部メタライゼーション 135A は、1 又は複数の底部基板上部メタライゼーション個別バンブ 166A ~ 166P をさらに含み、底部基板上部メタライゼーション個別バンブ 166A ~ 166P は、底部基板 126 を上部基板 112 に接合するために使用可能である。好ましくは、底部基板上部メタライゼーション個別バンブ 166A ~ 166P は、関心の最高周波数の約 0.1 波長未満だけ分離されるように離間している。

30

【0107】

好ましくは、底部基板上部メタライゼーション連続バンブ 165A、165B は、表面 134 におけるボンドの形成後に、上部基板 112 と底部基板 126 との間に異物が入るのを防止し、それにより、Hフレームデバイス 100 を保護するように構成された、環境シールを提供するように構成される。

【0108】

好ましくは、底部基板上部メタライゼーション個別バンブ 166A ~ 166P は、底部基板上面 132 におけるボンドの形成後に、上部基板 112 と底部基板 126 との間に、水分及び異物のうちの 1 又は複数が入るのを防止し、それにより、Hフレームデバイス 100 を保護するように構成された、環境シールのうちの 1 又は複数を提供するように構成される。

40

【0109】

図 1F 中の点線 175 は、図 1H でより詳細に提供及び説明されるデバイスの詳細図の境界である。

【0110】

図 1G は、底部基板 126 の分解図を示す。同じく、底部基板 126 は、底部基板底部メタライゼーション 130、底部基板上部メタライゼーション 135、及び底部基板底部メタライゼーション開口部 138 を含む。底部基板底部メタライゼーション 130 は、信号を伝導するように構成された底部基板底部信号線 137 を含む。

50

【0111】

底部基板126は、底部誘電体179をさらに含む。底部誘電体179は電気絶縁体を含む。同じく、底部基板上部メタライゼーション135は、底部基板上部メタライゼーション連続パンプ165A～165Bと、底部基板上部メタライゼーション個別パンプ166A～166Pとを含む。

【0112】

同じく、底部基板底面128、底部基板上面132、底部基板スルー基板ビア140A及び140B、並びに底部基板接地ビア141F及び141Hも示されている。

【0113】

底部誘電体179は、底部基板底面128と、底部基板上面132と、底部基板スルー基板ビア140A及び140Bとを含む。

10

【0114】

底部基板底部メタライゼーション130は、接地された底部基板底部接地平面180を含む。底部基板底部メタライゼーション130は、信号を伝導するように構成された底部基板底部信号線137を含む。

【0115】

底部基板底部メタライゼーション130は、1又は複数の底部基板底部メタライゼーション連続パンプ183A～183Bをさらに含む。図示のように、底部基板底部メタライゼーション130は、2つの同心底部基板底部メタライゼーション連続パンプ183A、183Bを含み、底部基板底部メタライゼーション同心連続パンプ183A、183Bは、底部基板126を底部カバー106に接合するために使用可能である。好ましくは、底部基板底部メタライゼーション同心連続パンプ183A、183Bは、関心の最高周波数の約0.1波長未満だけ分離されるように離間している。好ましくは、底部基板底部メタライゼーション個別パンプ185A～185Pは、関心の最高周波数の約0.1波長未満だけ分離されるように離間している。

20

【0116】

好ましくは、底部基板底部メタライゼーション連続パンプ183A、183Bは、底部基板底面128におけるボンドの形成後に異物が基板110に入るのを防止し、それにより、Hフレームデバイス100を保護するように構成された、環境シールを提供するように構成される。

30

【0117】

好ましくは、底部基板底部メタライゼーション個別パンプ185A～185Pは、底部基板底面128におけるボンドの形成後に、底部カバー106に、水分及び異物のうちの1又は複数が入るのを防止し、それにより、Hフレームデバイス100を保護するように構成された、環境シールのうちの1又は複数を提供するように構成される。

【0118】

図1Hは、底部基板126の一部を示す、図1Fの一部175の詳細図を示す。図1F中の点線175は、図1Hに示されているデバイスの詳細図の境界である。

【0119】

同じく、底部基板126は、底部基板底面128と、底部基板上面132と、底部基板上部メタライゼーション135A及び135C～135Dと、底部基板スルー基板ビア140A及び140Bと、底部基板上部メタライゼーション同心連続パンプ165A～165Bと、底部基板上部メタライゼーション個別パンプ164A～164Pと、底部基板底部接地平面180とを含む。好ましくは、同心底部基板底部メタライゼーション連続パンプ165A、165Bは、関心の最高周波数の約0.1波長未満だけ分離されるように離間している。

40

【0120】

底部基板126は、遷移において使用可能な第2の高温底部基板スルー基板ビア140Bを含む第2の底部基板スルー基板ビア140Bを含む。底部基板126は、第2の底部基板接地ビア141F及び第3の底部基板接地ビア141Hをさらに含む。第2の底部基

50

板接地ビア 1 4 1 F は、底部基板 1 2 6 及び H フレームデバイス 1 0 0 のうちの 1 又は複数の一般的な接地を提供するように構成される。同様に、第 3 の底部基板接地ビア 1 4 1 H は、底部基板 1 2 6 及び H フレームデバイス 1 0 0 のうちの 1 又は複数の一般的な接地を提供するように構成される。

【 0 1 2 1 】

底部基板底部メタライゼーション 1 3 0 は、1 又は複数の個別バンブ 1 8 5 A ~ 1 8 5 P をさらに含み、個別バンブ 1 8 5 A ~ 1 8 5 P は、底部基板 1 2 6 を底部カバー 1 0 6 に接合するために使用可能である。好ましくは、個別バンブ 1 8 5 A ~ 1 8 5 P は、関心の最高周波数の約 0 . 1 波長未満だけ分離されるように離間している。

【 0 1 2 2 】

好ましくは、底部基板底部メタライゼーション連続バンブ 1 8 3 A、1 8 3 B は、底部基板底面 1 2 8 における底部カバー 1 0 6 へのボンドの形成後に異物が底部キャビティ（この図に図示せず、図 1 A 中の項目 1 0 8 ）に入るのを防止し、それにより、H フレームデバイス 1 0 0 を保護するように構成された、環境シールを提供するように構成される。

【 0 1 2 3 】

図 2 A ~ 図 2 G は、マイクロエレクトロニクス H フレームデバイスにおけるストリップ線路及びフィードスルー遷移を使用する回路の 7 つの図のセットである。

【 0 1 2 4 】

図 2 A は、H フレームデバイス 1 0 0 及び H フレームデバイス 1 0 0 によって形成された回路 2 0 5 の図を示す。同じく、上部カバー 1 0 2 と、底部カバー 1 0 6 と、基板 1 1 0 と、上部基板 1 1 2 と、第 1 の接合界面 1 1 4 と、第 1 の入出力ポート 1 1 6 B と、第 2 の入出力ポート 1 1 6 C と、第 1 の上部基板上部信号線 1 1 6 D と、上部基板底面 1 2 0 と、第 1 の上部基板底部信号線 1 2 2 B と、円形上部基板底部メタライゼーションビアパッド 1 2 2 C と、第 2 の上部基板底部信号線 1 2 2 D と、第 1 の上部基板スルー基板ビア 1 2 4 A と、第 2 の上部基板スルー基板ビア 1 2 4 B と、第 3 の上部基板スルー基板ビア 1 2 4 C と、第 4 の上部基板スルー基板ビア 1 2 4 D と、第 2 の上部基板接地ビア 1 2 5 F と、第 3 の上部基板接地ビア 1 2 5 K と、第 4 の上部基板接地ビア 1 2 5 M と、底部基板 1 2 6 と、第 2 の接合界面 1 2 8 と、第 3 の接合界面 1 3 4 と、底部基板底部信号線 1 3 7 と、第 1 の底部基板スルー基板ビア 1 4 0 A と、第 2 の底部基板スルー基板ビア 1 4 0 B と、第 1 のポートの第 1 の接地金属パッド 1 5 4 A と、第 1 のポート信号金属パッド 1 5 4 B と、第 1 のポートの第 2 の接地金属パッド 1 5 4 C と、第 2 のポートの第 1 の接地金属パッド 1 5 6 A と、第 2 のポート信号金属パッド 1 5 6 B と、第 2 のポートの第 2 の接地金属パッド 1 5 6 C とが示されている。この例では、SiC 基板 1 1 0 の代表的な厚さは約 2 0 0 ミクロンであり、SiC 基板の相対誘電値は約 9 . 7 である。

【 0 1 2 5 】

回路 2 0 5 は、第 1 のサブ回路 2 1 0 と、第 2 のサブ回路 2 2 0 と、第 3 のサブ回路 2 3 0 とを含む。第 2 のサブ回路 2 2 0 は、第 1 のサブ回路 2 1 0 に動作可能に接続される。例えば、好ましくは、第 2 のサブ回路 2 2 0 は、第 1 のサブ回路 2 1 0 に電氣的に接続される。第 3 のサブ回路 2 3 0 は、第 2 のサブ回路 2 2 0 に動作可能に接続される。例えば、好ましくは、第 3 のサブ回路 2 3 0 は、第 2 のサブ回路 2 2 0 に電氣的に接続される。

【 0 1 2 6 】

第 1 のサブ回路 2 1 0 は第 1 のエスケープ遷移 2 1 0 を含む。第 1 のサブ回路 2 1 0 は、（上部カバー 1 0 2 及び底部カバー 1 0 6 のうちの 1 又は複数の外部）と上部カバー 1 0 2 及び底部カバー 1 0 6 のうちの 1 又は複数の内部との間に信号をもたらすように構成された第 1 のエスケープ遷移 2 1 0 を含む。この例では、第 1 のサブ回路 2 1 0 は、上部カバー 1 0 2 の外部からの信号を上部カバー 1 0 2 の内部にもたらず。したがって、第 1 のサブ回路 2 1 0 は第 1 のマイクロストリップ 2 1 0 を含む。第 1 のマイクロストリップ 2 1 0 は、上部基板上面 1 1 4 上を延びる第 2 の信号線 1 5 4 B を含む。第 1 のマイクロストリップ 2 1 0 は、上部基板 1 1 2 と底部基板 1 2 6 との間に配置された上部基板底面

10

20

30

40

50

120をさらに含む。

【0127】

第1のサブ回路210は、第2の信号線154Bと、第1の上部基板スルー基板ビア124Aと、第1の上部基板底部信号線122Bと、第2の上部基板スルー基板ビア124Bと、第1の上部基板上部信号線116Dの一部分とを含む。第2の信号線154Bは、第1の上部基板スルー基板ビア124Aに動作可能に接続される。好ましくは、図示のように、第2の信号線154Bは、第1の上部基板スルー基板ビア124Aに電氣的に接続される。第1の上部基板スルー基板ビア124Aは、第1の上部基板底部信号線122Bに動作可能に接続される。好ましくは、図示のように、第1の上部基板スルー基板ビア124Aは、第1の上部基板底部信号線122Bに電氣的に接続される。第1の上部基板底部信号線122Bは、第2の上部基板スルー基板ビア124Bに動作可能に接続される。好ましくは、図示のように、第1の上部基板底部信号線122Bは、第2の上部基板信号ビア124Bに電氣的に接続される。第2の上部基板スルー基板ビア124Bは、第1の上部基板信号線116Dに動作可能に接続される。好ましくは、図示のように、第2の上部基板スルー基板ビア124Bは、第1の上部基板上部信号線116Dに電氣的に接続される。

10

【0128】

第2のサブ回路220は、第1のサブ回路210から第3のサブ回路230に信号を供給する垂直フィードスルー回路220又は第2のマイクロストリップ220を含む。第2のマイクロストリップ220は、上部基板上面114上を延びる第1の上部基板上部信号線116Dを含む。第2のマイクロストリップ220は、上部基板112と底部基板126との間に配置された上部基板底面120をさらに含む。

20

【0129】

第2のサブ回路220は、第1の上部基板信号線116Dの一部分と、第3の上部基板スルー基板ビア124Cと、円形上部基板底部メタライゼーションビアパッド122Cと、第1の底部基板スルー基板ビア140Aと、底部基板底部信号線137の一部分とを含む。第1の上部基板信号線116Dは、第3の上部基板スルー基板ビア124Cに動作可能に接続される。好ましくは、図示のように、第1の上部基板信号線116Dは、第3の上部基板スルー基板ビア124Cに電氣的に接続される。第3の上部基板スルー基板ビア124Cは、円形上部基板底部メタライゼーションビアパッド122Cに動作可能に接続される。

30

【0130】

好ましくは、図示のように、第3の上部基板スルー基板ビア124Cは、円形上部基板底部メタライゼーションビアパッド122Cに電氣的に接続される。円形上部基板底部メタライゼーションビアパッド122Cは、第1の底部基板スルー基板ビア140Aに動作可能に接続される。好ましくは、図示のように、円形上部基板底部メタライゼーションビアパッド122Cは、第1の底部基板スルー基板ビア140Aに電氣的に接続される。第1の底部基板スルー基板ビア140Aは、底部基板底部信号線137に動作可能に接続される。好ましくは、図示のように、第1の底部基板スルー基板ビア140Aは、底部基板底部信号線137に電氣的に接続される。

40

【0131】

第3のサブ回路230は第2のエスケープ遷移230を含む。第3のサブ回路230は、(上部カバー102及び底部カバー106のうちの1又は複数の外部)と上部カバー102及び底部カバー106のうちの1又は複数の内部との間に信号をもたらすことのうちの1又は複数を行うように構成された第2のエスケープ遷移230を含む。この例では、第3のサブ回路230は、底部カバー106の内部からの信号を底部カバー106の外部にもたす。したがって、第3のサブ回路230は第2のマイクロストリップ230を含む。第3のマイクロストリップ230は、上部基板上面114上を延びる第3の信号線156Bを含む。第3のマイクロストリップ230は、上部基板112と底部基板126との間に配置された上部基板底面120をさらに含む。

50

【 0 1 3 2 】

第3のサブ回路230は、底部基板底部信号線137の一部分と、第2の底部基板スルー基板ビア140Bと、第2の上部基板底部信号線122Dと、第4の上部基板スルー基板ビア124Dと、第2のポート信号金属パッド156Bとを含む。底部基板信号線137は、第2の底部基板スルー基板ビア140Bに動作可能に接続される。好ましくは、図示のように、底部基板信号線137は、第2の底部基板スルー基板ビア140Bに電氣的に接続される。第2の底部基板スルー基板ビア140Bは、第2の上部基板底部信号線122Dに動作可能に接続される。好ましくは、図示のように、第2の底部基板スルー基板ビア140Bは、第2の上部基板底部信号線122Dに電氣的に接続される。第2の上部基板底部信号線122Dは、第4の上部基板スルー基板ビア124Dに動作可能に接続される。好ましくは、図示のように、第2の上部基板底部信号線122Dは、第4の上部基板スルー基板ビア124Dに電氣的に接続される。第4の上部基板スルー基板ビア124Dは、第2のポート信号金属パッド156Bに動作可能に接続される。好ましくは、図示のように、第4の上部基板信号ビア124Dは、第2のポート信号金属パッド156Bに電氣的に接続される。

10

【 0 1 3 3 】

図2Bは、回路205の信号経路の図を示す。同じく、回路205は、第1のサブ回路210と、第2のサブ回路220と、第3のサブ回路230とを含む。同じく、第2のサブ回路220は、第1のサブ回路210に動作可能に接続される。例えば、好ましくは、同じく、第2のサブ回路220は、第1のサブ回路210に電氣的に接続される。同じく、第3のサブ回路230は、第2のサブ回路220に動作可能に接続される。例えば、好ましくは、同じく、第3のサブ回路230は、第2のサブ回路220に電氣的に接続される。

20

【 0 1 3 4 】

同じく、第1の上部基板上部信号線116Dと、第1の入出力ポート154Bと、第2の入出力ポート156Bと、第1の上部基板上部信号線116Dと、第1の上部基板底部信号線122Bと、円形上部基板底部メタライゼーションビアパッド122Cと、第2の上部基板底部信号線122Dと、第1の上部基板スルー基板ビア124Aと、第2の上部基板スルー基板ビア124Bと、第3の上部基板スルー基板ビア124Cと、第4の上部基板スルー基板ビア124Dと、第3の上部基板接地ビア125Hと、第4の上部基板接地ビア125Kと、第1の底部基板スルー基板ビア140Aと、第2の底部基板スルー基板ビア140Bと、底部基板底部信号線137とが示されている。

30

【 0 1 3 5 】

同じく、第1のサブ回路210は、第2の信号線154Bと、第1の上部基板スルー基板ビア124Aと、第1の上部基板底部信号線122Bと、第2の上部基板スルー基板ビア124Bと、第1の上部基板上部信号線116Dの一部分とを含む。同じく、第2の信号線154Bは、第1の上部基板スルー基板ビア124Aに電氣的に接続され、同じく、第1の上部基板スルー基板ビア124Aは、第1の上部基板底部信号線122Bに電氣的に接続され、同じく、第1の上部基板底部信号線122Bは、第2の上部基板スルー基板ビア124Bに電氣的に接続され、同じく、第2の上部基板スルー基板ビア124Bは、第1の上部基板上部信号線116Dに電氣的に接続される。

40

【 0 1 3 6 】

第2のサブ回路220は、第1のサブ回路210から第3のサブ回路230に信号を供給する垂直フィードスルー回路220を含む。同じく、垂直フィードスルー回路220は、上部基板上面(図2A中の項目114、図2B中に図示せず)上を延びる第1の上部基板信号線116Dの一部分を含む。同じく、垂直フィードスルー回路220は、第3の上部基板スルー基板ビア124Cと、円形上部基板底部メタライゼーションビアパッド122Cと、第1の底部基板スルー基板ビア140Aと、底部基板底部信号線137の一部分とをさらに含む。同じく、第1の上部基板信号線116Dは、第3の上部基板スルー基板ビア124Cに電氣的に接続され、同じく、第3の上部基板スルー基板ビア124Cは、

50

円形上部基板底部メタライゼーションビアパッド 1 2 2 C に電氣的に接続され、同じく、円形上部基板底部メタライゼーションビアパッド 1 2 2 C は、第 1 の底部基板スルー基板ビア 1 4 0 A に電氣的に接続され、同じく、第 1 の底部基板スルー基板ビア 1 4 0 A は、底部基板底部信号線 1 3 7 に電氣的に接続される。

【 0 1 3 7 】

第 3 のサブ回路 2 3 0 は第 2 のエスケープ遷移 2 3 0 を含む。第 3 のサブ回路 2 3 0 は、（上部カバー 1 0 2 及び底部カバー 1 0 6 のうちの 1 又は複数の外部）と上部カバー 1 0 2 及び底部カバー 1 0 6 のうちの 1 又は複数の内部との間に信号をもたらすように構成された第 2 のエスケープ遷移 2 3 0 を含む。この例では、第 3 のサブ回路 2 3 0 は、底部カバー 1 0 6 の内部からの信号を上部カバー 1 0 2 の外部にもたらず。したがって、第 3 のサブ回路 2 3 0 は第 2 のマイクロストリップ 2 3 0 を含む。同じく、第 2 のマイクロストリップ 2 3 0 は、底部基板底部信号線 1 3 7 の一部分と、第 2 の底部基板スルー基板ビア 1 4 0 B と、第 2 の上部基板底部信号線 1 2 2 D と、第 4 の上部基板スルー基板ビア 1 2 4 D と、第 2 のポート信号金属パッド 1 5 6 B とを含む。同じく、底部基板底部信号線 1 3 7 は、第 2 の底部基板底部スルー基板ビア 1 4 0 B に電氣的に接続され、同じく、第 2 の底部基板底部スルー基板ビア 1 4 0 B は、第 2 の上部基板底部信号線 1 2 2 D に電氣的に接続され、同じく、第 2 の上部基板底部信号線 1 2 2 D は、第 4 の上部基板スルー基板ビア 1 2 4 D に電氣的に接続され、同じく、第 4 の上部基板スルー基板ビア 1 2 4 D は、第 2 のポート信号金属パッド 1 5 6 B に電氣的に接続される。

10

【 0 1 3 8 】

したがって、全体として考慮すると、回路 2 0 5 は、左から右に順に、第 2 の信号線 1 5 4 B、第 1 の上部基板スルー基板線 1 2 4 A、第 1 の上部基板底部信号線 1 2 2 B、第 2 の上部基板スルー基板ビア 1 2 4 B、第 1 の上部基板上部信号線 1 1 6 D、第 3 の上部基板スルー基板ビア 1 2 4 C、円形上部基板底部メタライゼーションビアパッド 1 2 2 C、第 1 の底部基板スルー基板ビア 1 4 0 A、底部基板底部信号線 1 3 7、第 2 の底部基板底部スルー基板ビア 1 4 0 B、第 2 の上部基板底部信号線 1 2 2 D、第 4 の上部基板スルー基板ビア 1 2 4 D、及び最後に、第 2 のポート信号金属パッド 1 5 6 B を含む。

20

【 0 1 3 9 】

回路 2 0 5 を最適化するために、第 1 のサブ回路 2 1 0 は、第 3 のサブ回路 2 3 0 とは異なる設計を有し得る。第 1 のサブ回路 2 1 0 の代表的なインピーダンス Z_0 は、約 5 0 オームである。第 2 のサブ回路 2 2 0 の代表的なインピーダンス Z_0 は、約 5 0 オームである。第 3 のサブ回路 2 3 0 の代表的なインピーダンス Z_0 は、約 5 0 オームである。

30

【 0 1 4 0 】

図 2 C は、第 1 のサブ回路 2 1 0 の詳細を示し、これは、H フレームデバイス 1 0 0 に入る信号の垂直フィードスルー回路 2 1 0 を示す。同じく、H フレームデバイス 1 0 0 は、上部カバー 1 0 2 と、第 1 の上部カバーキャパティ 1 0 4 A と、第 2 の上部カバーキャパティ 1 0 4 B と、底部カバー 1 0 6 と、基板 1 1 0 とを含む。同じく、基板 1 1 0 は、上部基板 1 1 2 及び底部基板 1 2 6 を含む。同じく、上部基板 1 1 2 は、上部基板上面 1 1 4 及び上部基板底面 1 2 0 を含む。同じく、上部基板 1 1 2 は、第 1 の上部基板スルー基板ビア 1 2 4 A 及び第 2 の上部基板スルー基板ビア 1 2 4 B をさらに含む。第 1 の上部基板スルー基板ビア 1 2 4 A は、第 1 の上部基板スルー基板ビア 1 2 4 A の上部において第 1 の上部基板ビアパッド 2 3 2 に動作可能に接続する。好ましくは、図示のように、第 1 の上部基板スルー基板ビア 1 2 4 A は、第 1 の上部基板ビアパッド 2 3 2 に電氣的に接続する。第 1 の上部基板スルー基板ビア 1 2 4 A は、第 1 の上部基板スルー基板ビア 1 2 4 A の底部において第 2 の上部基板ビアパッド 2 3 4 に動作可能に接続する。

40

【 0 1 4 1 】

図 1 D 及び図 2 E に関して説明されるビアパッド 1 2 2 C ~ 1 3 5 C と同様に、ビアパッド 1 2 2 C ~ 1 3 5 C を参照すると、第 2 の上部基板ビアパッド 2 3 4 は、上部基板底部メタライゼーション（図 2 C に図示せず）の一部分を含み、底部基板上部メタライゼーション（図 2 C に図示せず）の一部分をさらに含み、これらは複数の接合バンプ（図 2 C

50

に図示せず)を使用して一緒に結合される。上部基板ビアパッド234は、電気接続及び電気フェンシングのうちの1又は複数を提供するのを助ける。

【0142】

好ましくは、図示のように、第1の上部基板スルー基板ビア124Aは、第2の上部基板ビアパッド234に電氣的に接続する。同じく、上部基板上面114は、第1のポート信号金属パッド154B及び第1の上部基板上部信号線116Dを含む。同じく、底部基板126は、底部基板上面132を含み、底部基板上面132は、組立て後に第3の接合界面134において上部基板底面120に結合される。同じく、上部基板底面120は、第1の上部基板底部信号線122Bを含む。同じく、底部基板126は、底部基板底面128をさらに含む。

10

【0143】

好ましくは、第1のポート信号金属パッド154Bを介して外部からHフレームデバイス100に電子信号が入る。電子信号は、第1のポート信号金属パッド154Bから第1の上部基板ビアパッド232に進む。第1の上部基板スルー基板ビア124Aは、第1のポート信号金属パッド154Bを、上部基板底面120と底部基板上面132とパンプとを含む第1の上部基板底部信号線122Bに電氣的に接続する。第1の上部基板スルー基板ビア124Aは、1層垂直フィードスルー124Bを含む。電子信号は、次いで、第1の上部基板スルー基板ビア124Aから上部基板底面信号線122Bに進み、これは、上部基板底面120と底部基板上面126とパンプとを含む。第1の上部基板底部信号線122Bは、第1のストリップ線路122Bを含み、第1のストリップ線路122Bは、第2の上部カバーキャピティ104Bに入るために、上部カバー102の下を進むように構成され、底部カバー106の上を進むようにさらに構成される。

20

【0144】

所望の周波数帯域にわたる垂直フィードスルー回路210における反射を最小限に抑えるために、垂直フィードスルー回路210内の特徴の寸法は慎重に設計され得る。反射を最小限に抑えるように慎重に設計され得る寸法は、第1の上部キャピティ104Aの直径、第2の上部キャピティ104Bの直径、第1の上部基板ビアパッド232の直径、第2の上部基板ビアパッド234の直径、及び開口部の直径のうちの1又は複数を含む。(開口部はこの図に示されていないが、開口部の一例は、図2E中の上部及び底部メタライゼーション開口部262として見る事ができる。)特定の用途の要件に応じて、例えば、図2Cに示されているように、第1の上部基板ビアパッド232及び第2の上部基板ビアパッド234のうちの1又は複수에隣接するより狭いマイクロストリップセクション(又は、「ネック」)など、特徴が、マイクロエレクトロニクスHフレームデバイスの設計に含まれ得る。代替又は追加として、マイクロストリップのより狭いセクションは、より広いマイクロストリップセクション(又は、「ショルダー」)に隣接し得る。例えば、そのような設計は、広い周波数帯域にわたって良好なリターン損失を容易にし得る。

30

【0145】

例えば、設計要件に基づいて周波数帯域が選択される。例えば、最大約20GHzの直流下で動作するように意図されたシステムでは、約100ミクロン~約300ミクロンの厚さを有するSiC基板が選択され得る。例えば、最大約20GHzの直流下で動作するように意図されたシステムでは、約50ミクロン~約150ミクロンのビア直径を有するSiC基板が選択され得る。例えば、約33GHz~約50GHzのQ帯域において動作するように意図されたシステムでは、約75ミクロン~約125ミクロンの厚さを有するSiC基板が選択され得る。

40

【0146】

次いで、電子信号は、第1のストリップ線路122Bから第2の上部基板スルー基板ビア124Bに進む。第2の上部基板スルー基板ビア124Bは、1層垂直フィードスルー124Cを含む。第2の上部基板スルー基板ビア124Bは、第1のストリップ線路122Bを、上部基板上面114上に位置する第1の上部基板上部信号線116Dに電氣的に接続する。信号は、第1の上部基板上部信号線116Dに到達し、第1のサブ回路210

50

を出て、それにより、図 2 C の右側からも出る。

【 0 1 4 7 】

図 2 D は、第 1 のサブ回路 2 1 0 について、ギガヘルツ (G H z) 単位の周波数 2 5 8 に対する挿入損失デシベル (d B) 2 5 5 及びリターン損失 (d B) 2 5 6 のプロットにおいて、挿入損失 2 5 2 及びリターン損失 2 5 4 の代表値を示すシミュレーションデータのグラフ 2 5 0 である。

【 0 1 4 8 】

グラフ 2 5 0 によって示されているように、挿入損失 2 5 4 は、周波数帯域 2 5 8 全体にわたって約 0 . 2 d B 未満である。同じくグラフ 2 5 0 によって示されているように、リターン損失 2 5 6 は、周波数帯域 2 5 8 全体にわたって約 2 0 d B を超える。一般に、代表的な挿入損失は、材料、遷移のタイプ、遷移のサイズ、周波数、及び設計のうちの 1 又は複数に応じて、約 0 . 0 1 d B ~ 約 0 . 5 d B にわたる。一般に、代表的なリターン損失は、用途に応じて約 1 5 d B ~ 約 3 0 d B にわたる。

10

【 0 1 4 9 】

図 2 E は、第 2 のサブ回路 2 2 0 の詳細を示し、これは、H フレームデバイス 1 0 0 の第 2 のサブ回路 2 2 0 に入る信号の垂直フィードスルー回路 2 2 0 を示す。同じく、H フレームデバイス 1 0 0 は、上部カバー 1 0 2 と、底部カバー 1 0 6 と、基板 1 1 0 とを含む。同じく、上部カバー 1 0 2 は第 2 の上部キャビティ 1 0 4 B を含む。同じく、第 2 の上部キャビティ 1 0 4 B は、第 2 の上部キャビティ壁 1 4 3 B を含む。同じく、底部カバー 1 0 6 は、底部キャビティ 1 0 8 を含む。同じく、底部キャビティ 1 0 8 は、底部キャビティ壁 1 5 2 を含む。底部キャビティ 1 0 8 は、約 8 0 0 ミクロンに等しい代表的な底部キャビティ直径 2 6 0 を有する。

20

【 0 1 5 0 】

同じく、基板 1 1 0 は、上部基板 1 1 2 及び底部基板 1 2 6 を含む。同じく、上部基板 1 1 2 は、上部基板上面 1 1 4 及び上部基板底面 1 2 0 を含む。同じく、上部基板上面 1 1 4 は、第 1 の上部基板上部信号線 1 1 6 D を含む。同じく、底部基板 1 2 6 は、底部基板上面 1 3 2 を含む、底部基板上面 1 3 2 は、組立て後に第 3 の接合界面 1 3 4 において上部基板底面 1 2 0 に結合される。同じく、上部基板底面 1 2 0 は、第 1 の信号底部基板スルー基板ビア 1 4 0 A 及び底部基板底部信号線 1 3 7 を含む。底部基板上面 1 3 2 及び上部基板底面 1 2 0 は、基板材料が除去された上部及び底部メタライゼーション開口部 2 6 2 を含む、これは、信号が底部基板上面 1 3 2 及び上部基板底面 1 2 0 を通過することを可能にする。上部及び底部メタライゼーション開口部 2 6 2 は、約 6 0 0 ミクロンに等しい代表的な切り欠き直径 2 6 5 を有する。

30

【 0 1 5 1 】

同じく、底面は、底部基板底面 1 2 8 をさらに含む。

【 0 1 5 2 】

電子信号は、好ましくは、第 1 の上部基板上部信号線 1 1 6 D を介して第 1 のサブ回路 2 1 0 から上部基板上面 1 1 4 上の第 2 のサブ回路 2 2 0 に入る。電子信号は、第 2 の上部キャビティ壁 1 4 3 B に突き当たる前に、第 1 の上部基板上部信号線 1 1 6 D から第 3 の上部基板スルー基板ビア 1 2 4 C に進む。第 3 の上部基板スルー基板ビア 1 2 4 C は、第 1 の上部基板上部信号線 1 1 6 D を、図 1 D に関して上記で説明されたビアパッド 1 2 2 C ~ 1 3 5 C に電氣的に接続する。

40

【 0 1 5 3 】

図 1 D に関して上述したように、H フレームデバイス 1 0 0 を設計する際に、円形上部基板底部メタライゼーションビアパッド 1 2 2 C は、円形底部基板上部メタライゼーションビアパッド (図 2 E に図示せず、図 1 A に示されている項目 1 3 5 C) に形状がほぼ一致する。円形上部基板底部メタライゼーションビアパッド 1 2 2 C は、複数の接合パンブ (図 2 E に図示せず) を使用して、第 3 の接合界面 1 3 4 において、円形底部基板上部メタライゼーションビアパッド (図 2 E に図示せず、図 1 A に示されている項目 1 3 5 C) に接合される。円形上部基板底部メタライゼーションビアパッド 1 2 2 C 及び円形底部基

50

板上部メタライゼーションビアパッド（図 2 E に図示せず、図 1 A に示されている項目 1 3 5 C）は、一緒に、ビアパッド 1 2 2 C ~ 1 3 5 C を形成し、これは、電気接続及び電気フェンシングのうちの 1 又は複数を提供するのを助ける。ビアパッド 1 2 2 C ~ 1 3 5 C は、約 2 0 0 ミクロンに等しい代表的なビアパッド直径 2 7 0 を有する。

【 0 1 5 4 】

第 3 の上部基板スルー基板ビア 1 2 4 C は、第 3 の接合界面 1 3 4 において底部基板上面 1 3 2 に結合される。第 3 の上部基板スルー基板ビア 1 2 4 C は、1 層垂直フィードスルー 1 2 4 E を含む。次いで、電子信号は、円形上部基板底部メタライゼーションビアパッド 1 2 2 C から上部及び底部メタライゼーション開口部 2 4 0 を通って第 1 の底部基板スルー基板ビア 1 4 0 A に進む。第 1 の底部基板スルー基板ビア 1 4 0 A は、信号を底部基板底部信号線 1 3 7 に電氣的に接続する。信号が底部基板底部信号線 1 3 7 に到達すると、信号は、図 2 G により詳細に示されている、底部キャビティ壁 1 5 2 から離れて第 3 のサブ回路 2 3 0 に向かって進む反転マイクロストリップとして続く。

10

【 0 1 5 5 】

第 2 の上部キャビティ壁 1 4 3 B 及び底部キャビティ壁 1 5 2 は、垂直フィードスルー遷移回路 2 2 0 の一体構成要素を含む。第 2 の上部キャビティ壁 1 4 3 B 及び底部キャビティ壁 1 5 2 は、垂直フィードスルー遷移回路 2 2 0 内の電界の方向を徐々に変換するのを助ける。第 2 の上部キャビティ壁 1 4 3 B 及び底部キャビティ壁 1 5 2 は、本質的に、第 1 の上部基板上部信号線 1 1 6 D と第 1 の底部基板スルー基板ビア 1 4 0 A とを接続する垂直チャンネルを形成する。第 1 の上部基板上部信号線 1 1 6 D 及び第 1 の底部基板スルー基板ビア 1 4 0 A は、各々、1 層垂直フィードスルー 1 2 4 E、円形上部基板底部メタライゼーションビアパッド 1 2 2 C、及び第 1 の底部基板スルー基板ビア 1 4 0 A を介して互いに接続された水平チャンネル 1 1 6 D 及び 1 3 7 になる。これらの要素は、一緒に、Z 字形三次元チャネライゼーション 2 7 2 を形成し、Z 字型三次元チャネライゼーション 2 7 2 は、信号がチャネライゼーション 2 7 2 の外部の領域に漏れるのを防止する。チャネライゼーション 2 7 2 の Z 字形状は一例であり、本発明の実施形態の範囲内で、他の構成が可能である。チャネライゼーション 2 7 2 は、電子信号が方向の変更及び高さの変更のうちの 1 又は複数を行うことを可能にする。図示のように、信号は、最初、第 1 の上部基板上部信号線 1 1 6 D を通る間、水平であり、1 層垂直フィードスルー 1 2 4 E、円形上部基板底部メタライゼーションビアパッド 1 2 2 C、及び第 1 の底部基板スルー基板ビア 1 4 0 A を通過する間、垂直になる。次いで、信号は、底部基板底部信号線 1 3 7 を通過する間に再び水平になる。

20

30

【 0 1 5 6 】

したがって、信号は、底部基板底面 1 2 8 上に位置する底部基板底部信号線 1 3 7 を介して、図 2 E の右側で第 2 のサブ回路 2 2 0 を出る。したがって、第 2 のサブ回路 2 2 0 は、垂直フィードスルー遷移 2 2 0 として機能し、第 1 の上部基板上部信号線 1 1 6 D を介して上部基板上面 1 1 4 上で信号を受信し、底部基板底面 1 2 8 上で出力信号を生成する。

【 0 1 5 7 】

図 2 F は、第 3 のサブ回路 2 3 0 の詳細を示し、これは、H フレームデバイス 1 0 0 の第 3 のサブ回路 2 3 0 に入り、H フレームデバイス 1 0 0 を出る信号の垂直フィードスルー回路 2 3 0 を示す。同じく、H フレームデバイス 1 0 0 は、上部カバー 1 0 2 と、第 3 の上部カバーキャビティ 1 0 4 C と、底部カバー 1 0 6 と、基板 1 1 0 とを含む。同じく、基板 1 1 0 は、上部基板 1 1 2 及び底部基板 1 2 6 を含む。同じく、上部基板 1 1 2 は、上部基板上面 1 1 4 及び上部基板底面 1 2 0 を含む。同じく、上部基板 1 1 2 は、第 4 の上部基板スルー基板ビア 1 2 4 D 及び第 4 の上部基板接地ビア 1 2 5 K をさらに含む。同じく、底部基板 1 2 6 は、第 2 の底部基板スルー基板ビア 1 4 0 B をさらに含む。同じく、上部基板上面 1 1 4 は、第 2 のポート信号金属パッド 1 5 6 B を含む。同じく、底部基板 1 2 6 は、底部基板上面 1 3 2 を含み、底部基板上面 1 3 2 は、組立て後に第 3 の接合界面 1 3 4 において上部基板底面 1 2 0 に結合される。同じく、上部基板底面 1 2 0 は

40

50

、第2の上部基板底部信号線122D及び底部基板底部信号線137を含む。同じく、底部基板126は、底部基板底面128をさらに含む。

【0158】

好ましくは、底部基板底部信号線137を介して第2のサブ回路220からHフレームデバイス100に電子信号が入る。電子信号は、底部基板底部信号線137から第2の底部基板スルー基板ビア140Bに進む。第2の底部基板スルー基板ビア140Bは、底部基板底部信号線137を、上部基板底面120上に位置する第2の上部基板底部信号線122Dに電氣的に接続する。次いで、電子信号は、第2の底部基板スルー基板ビア140Bから第2の上部基板底部信号線122Dに進む。第2の上部基板底部信号線122Dは、第2のストリップ線路122Dを含み、第2のストリップ線路122Dは、底部キャビティ108を出て第3の上部キャビティ104Cに到達するために、上部カバー102の下を進むように構成され、底部カバー106の上を進むようにさらに構成される。

10

【0159】

次いで、電子信号は、第2の上部基板底部信号線122Dから第4の上部基板スルー基板ビア124Dに進む。第3の上部基板スルー基板ビア124Dは、1層垂直フィードスルー124Dを含む。

【0160】

第4の上部基板スルー基板ビア124Dは、第2の上部基板底部信号線122Dを、上部基板上面114上に位置する第2のポート信号金属パッド156Bに電氣的に接続する。信号は、第2のポート信号金属パッド156Bに到達し、図2Fの右側を出て、それにより、第3のサブ回路230を出て、それによりHフレームデバイス100からも出る。

20

【0161】

第2の底部基板スルー基板ビア140B及び第4の上部基板スルー基板ビア124Dは、一緒に、オフセット垂直フィードスルー遷移を形成する。垂直に整列されていないが、第2の底部基板スルー基板ビア140B及び第4の上部基板スルー基板ビア124Dは、一緒に、信号線を、底部基板底面128上に位置する底部基板底部信号線137から上部基板上面114上に位置する第2のポート信号金属パッド156Bにもたらし、その後、第3のサブ回路230を出て、それによりHフレームデバイス100を出る。

【0162】

図2Gは、マイクロエレクトロニクスHフレームデバイスのための接地構造280の詳細図を示す。接地構造280は、上部カバー接地構造285と、基板接地構造290と、底部カバー接地構造295とを含む。上部カバー接地構造285は、上部基板上面114において基板接地構造290に接続する。底部カバー接地構造295は、底部基板底面128において基板接地構造290に接続する。

30

【0163】

上部カバー接地構造285は、上部カバーメタライゼーション145を含む。上部カバーメタライゼーション145は、上部カバー102を接地する。それにより、上部カバーメタライゼーション145は、マイクロエレクトロニクスHフレームデバイス100の全体的な接地構造の不可欠な部分を提供する。例えば、上部カバーメタライゼーション145は、単独で接続された上部カバーメタライゼーション145を含む。例えば、以下でより詳細に説明されるように、上部カバーメタライゼーション145は、微細加工されたシリコンウエハ上で金めっきを実施することによって生成される。上部カバーメタライゼーション145は、金属化された上部カバー上面147を含む。以下でより詳細に説明されるように、デバイス(図1A中の項目100)の作製中、金属化された上部カバー上面147は、上部基板上面114上のパンプに接合されて接合を完了する。上部カバー上部接地平面116Aは上部基板接地ビア125A~125Kに接続し、上部基板接地ビア125A~125Kは上部基板底部接地平面122Aに接続する。

40

【0164】

基板接地構造290は、上部カバー上部接地平面116Aを含む上部カバー上部メタライゼーション116と、上部基板底部接地平面122Aを含む上部基板底部メタライゼー

50

ション 1 2 2 と、上部基板接地ビア 1 2 5 A ~ 1 2 5 K と、底部基板底部メタライゼーション 1 3 0 と、底部基板上部接地平面 1 3 5 A を含む底部基板上部メタライゼーション 1 3 5 と、底部基板接地ビア 1 4 1 A ~ 1 4 1 N とを含む。底部基板上面 1 3 2 は、第 3 の接合界面 1 3 4 において上部基板底面 1 2 0 に接合される。以下でより詳細に説明されるように、底部基板上面 1 3 2 は、底部基板上面 1 3 2 と上部基板底面 1 2 0 の両方に含まれる複数の接合バンプを使用して、上部基板底面 1 2 0 に接合され、より厚い金属層を形成する。

【 0 1 6 5 】

したがって、上部基板底部メタライゼーション 1 2 2 は電氣的に接続され、実際に、底部基板上部メタライゼーション 1 3 5 に物理的に接続される。底部基板上部接地平面 1 3 5 A は、底部基板接地ビア 1 4 1 A ~ 1 4 1 N に電氣的に接続する。 10

【 0 1 6 6 】

底部カバー 1 0 6 は、底部カバーメタライゼーション 1 4 9 を含む。底部基板接地ビア 1 4 1 A ~ 1 4 1 N は、底部カバーメタライゼーション 1 4 9 に電氣的に接続し、接地構造を完成する。底部カバーメタライゼーション 1 4 9 は、底部カバー 1 0 6 を接地する。底部カバーメタライゼーション 1 4 9 は、金属化された底部カバー上面 1 5 1 を含む。それにより、底部カバーメタライゼーション 1 4 9 は、マイクロエレクトロニクス H フレームデバイス (図 1 A 中の項目 1 0 0) の全体的な接地構造の不可欠な部分を提供する。例えば、底部カバーメタライゼーション 1 4 9 は、単独で接続された底部カバーメタライゼーション 1 4 9 を含む。例えば、以下でより詳細に説明されるように、底部カバーメタライゼーション 1 4 9 は、微細加工されたシリコンウエハ上で金めっきを実施することによって生成される。以下でより詳細に説明されるように、デバイス (図 1 A 中の項目 1 0 0) の作製中、金属化された底部カバー上面 1 5 1 は、底部基板上面 1 3 2 上のバンプに接合されて接合を完了する。底部カバーメタライゼーション 1 4 9 は底部基板接地ビア 1 4 1 A ~ 1 4 1 N に接続し、上部基板接地ビア 1 2 5 A ~ 1 2 5 K は上部基板底部接地平面 1 2 2 A に接続する。 20

【 0 1 6 7 】

底部カバーメタライゼーション 1 4 9 は、金属化された底部キャビティ床 1 5 0 を含む。底部カバーキャビティ 1 0 8 は、金属化された底部キャビティ床 1 5 0 を含む。底部カバー 1 0 6 を底部基板 1 2 6 に接合すると、金属化された底部キャビティ床 1 5 0 は、底部カバー 1 0 6 の床 1 5 0 になる。 30

【 0 1 6 8 】

底部カバーメタライゼーション 1 4 9 は、金属化された底部キャビティ壁 1 5 2 をさらに含む。底部カバーキャビティ 1 0 8 は、金属化された底部キャビティ壁 1 5 2 を含む。

【 0 1 6 9 】

接地構造 2 8 0 は、従来のエレクトロニクスモジュール内の金属ハウジングと同等の役割をマイクロエレクトロニクス H フレームデバイス 1 0 0 内で果たす。接地構造 2 8 0 は、マイクロエレクトロニクス H フレームデバイス 1 0 0 を通って進むマイクロ波のための基準メタライゼーションを提供する。接地構造 2 8 0 は、回路要素及び伝送線路のための高絶縁チャンネルを形成する。接地構造 2 8 0 は、チャンネル内及び接地領域内の共振を所望の周波数まで抑制する。接地構造 2 8 0 は、放射漏れを防止する。接地構造 2 8 0 は、ファラデーケージに類似した電磁シールを提供する。接地構造 2 8 0 は、環境シールのうちの 1 又は複数を提供する。好ましくは、接地構造 2 8 0 は、環境シールを提供する。 40

【 0 1 7 0 】

図 3 A ~ 図 3 F は、マイクロエレクトロニクス H フレームデバイスの作製方法を示す 6 つの図のセットである。

【 0 1 7 1 】

図 3 A ~ 図 3 B は、上部基板 1 1 2 への上部カバー 1 0 2 の接合を示す。

【 0 1 7 2 】

必須ではないが好ましくは、マイクロエレクトロニクス H フレームデバイスの作製は、 50

上部基板 1 1 2 及び底部基板 (図 3 A ~ 図 3 B に図示せず、図 3 C ~ 図 3 D 中の項目 1 2 6) の作製から始まる。代替的に、デバイスの作製は、上部カバー 1 0 2 及び底部カバー (図 3 A ~ 図 3 B に図示せず、図 3 C ~ 図 3 D 中の項目 1 0 6) の作製から始まる。

【 0 1 7 3 】

例えば、上部基板 1 1 2 は、約 2 0 0 ミクロン又は約 8 ミルの厚さで作製される。好ましくは、上部基板 1 1 2 は炭化ケイ素 (S i C) を含む。好ましくは、上部基板 1 1 2 は、好ましくは金を含む高精度メタライゼーション特徴をさらに含む。例えば、上部基板 1 1 2 上のメタライゼーションは、高精度のめっきされた金及び蒸着された金のうちの 1 又は複数を含む。

【 0 1 7 4 】

図 3 A では、互いに接合する直前の上部カバー 1 0 2 及び上部基板 1 1 2 が見られる。

【 0 1 7 5 】

マイクロエレクトロニクス H フレームデバイス作製プロセスでは、上部カバー 1 0 2 及び底部カバー (図 3 A ~ 図 3 B に図示せず、図 3 C ~ 図 3 D 中の項目 1 0 6) が作製される。例えば、上部カバー 1 0 2 及び底部カバー (図 3 A ~ 図 3 B に図示せず、図 3 C ~ 図 3 D 中の項目 1 0 6) のうちの 1 又は複数は、深掘り反応性イオンエッチング (D R I E) を使用して作製される。例えば、上部キャビティ (この図に図示せず、図 1 A 中の項目 1 0 4 A ~ 1 0 4 C) のうちの 1 又は複数は、約 . 6 3 5 ミリメートル (m m) 又は約 2 5 ミルの深さで作製される。例えば、底部キャビティ (この図に図示せず、図 1 A 中の項目 1 0 8) は、約 . 6 3 5 ミリメートル (m m) 又は約 2 5 ミルの深さで作製される。

【 0 1 7 6 】

同じく、上部基板 1 1 2 は、上部基板上面 1 1 4 を含む。同じく、上部基板 1 1 2 は、上部基板底面 1 2 0 をさらに含む。

【 0 1 7 7 】

上部基板 1 1 2 は、上部基板上部接地平面 1 1 6 A 上に複数の上部基板 - カバー接合パンプ 3 0 2 A 及び 3 0 2 B をさらに含む。上部基板 - カバー接合パンプ 3 0 2 A 及び 3 0 2 B は、各々、上部基板上部メタライゼーション連続パンプ 1 5 8 A ~ 1 5 8 B 及び上部基板上部メタライゼーション個別パンプ 1 6 0 A ~ 1 6 0 P のうちの 1 又は複数を含む。好ましくは、図示のように、上部基板上面 1 1 4 は、複数の上部基板 - カバー接合パンプ 3 0 2 A 及び 3 0 2 B を含む。好ましくは、上部基板 - カバー接合パンプ 3 0 2 A 及び 3 0 2 B は、上部基板上面 1 1 4 を約 5 ミクロンの厚さにめっきすることによって形成される。上部基板 - カバー接合パンプ 3 0 2 A 及び 3 0 2 B は、上部基板 1 1 2 を上部カバー 1 0 2 に接合する際に使用可能である。上部基板 - カバー接合パンプ 3 0 2 A 及び 3 0 2 B は、接合中に圧潰され、それにより、上部基板上面 1 1 4 のわずかな非平面性を補償し、それにより、強い金 - 金熱圧縮を容易にするように構成される。例えば、非平面性は、約 1 0 0 m m の直径を有するウエハの場合、約 1 ミクロン ~ 約 3 ミクロンの範囲内にあり得る。接合パンプのめっきは、両方が同じ厚さを有する場合、信号チャネルのメタライゼーションのめっきと同時に行われ得る。そうでない場合、接合パンプのめっきは、別個のフォトリソグラフィ及びめっき工程において行われる。

【 0 1 7 8 】

例えば、接合パンプは、約 1 5 ミクロンの直径を有する。例えば、接合パンプは、約 5 ミクロンのパンプ高さを有する。例えば、パンプは、約 2 0 0 ミクロンの距離だけ離間している。最大パンプ間隔は、約 1 / 4 波長である。好ましくは、パンプ間隔は、約 1 / 1 0 波長である。

【 0 1 7 9 】

上部基板 1 1 2 は、上部基板 1 1 2 の底部接地平面 1 2 2 A 上に複数の上部基板 - 基板接合パンプ 3 1 0 A 及び 3 1 0 B をさらに含み、上部基板 - 基板接合パンプ 3 1 0 A 及び 3 1 0 B は、底部基板 (図 3 C ~ 図 3 D 中の項目 1 2 6 、図 3 A に図示せず) への上部基板 1 1 2 の接合を容易にするように構成される。底部基板 (図 3 C ~ 図 3 D 中の項目 1 2 6 、図 3 A に図示せず) への上部基板 1 1 2 の接合は、上部基板 1 1 2 と底部基板 1 2 6

10

20

30

40

50

との間の第 3 の垂直電気接続を作成する。

【 0 1 8 0 】

底部基板上部メタライゼーション 1 3 5 の形状は、底部カバー 1 0 6 の内側における第 2 の垂直電気接続を、上部カバー 1 0 2 の外側における第 3 の垂直電気接続に接続する。第 3 の垂直電気接続を使用して、底部基板上部メタライゼーション 1 3 5 は、上部カバー 1 0 2 の外側において上部基板底部メタライゼーション 1 2 2 に電氣的に接続される。第 1 の垂直電気接続を使用して、上部基板上部メタライゼーション 1 1 6 は、上部基板底部メタライゼーション 1 2 2 に電氣的に接続される。例えば、第 1 の垂直電気接続を使用して、上部基板上部メタライゼーション 1 1 6 は、上部カバー 1 0 2 の外側において上部基板底部メタライゼーション 1 2 2 に電氣的に接続される。上記のように、第 3 の垂直接続を使用して、上部基板底部メタライゼーション 1 2 2 は、底部基板上部メタライゼーション 1 3 5 に電氣的に接続され、第 2 の垂直接続を使用して、底部基板上部メタライゼーション 1 3 5 は、底部基板底部メタライゼーション 1 3 0 に電氣的に接続される。

10

【 0 1 8 1 】

例えば、底部基板 1 2 6 への上部基板 1 1 2 の接合は、1 又は複数の信号メタライゼーションを形成し、信号メタライゼーションの各々が、信号上部基板上部メタライゼーション、上部基板に含まれる信号スルー基板ビア、信号上部基板底部メタライゼーション、信号底部基板上部メタライゼーション、底部基板に含まれる信号スルー基板ビア、及び信号底部基板底部メタライゼーションのうち 2 つ以上の相互接続を含む。

【 0 1 8 2 】

好ましくは、図示のように、上部基板底面 1 2 0 は、第 1 の上部基板 - 基板接合パンプ 3 1 0 A 及び第 2 の上部基板 - 基板接合パンプ 3 1 0 B をさらに含む。好ましくは、上部基板 - 基板接合パンプ 3 1 0 A 及び 3 1 0 B は、上部基板底面 1 2 0 を約 5 ミクロンの厚さにめっきすることによって形成される。

20

【 0 1 8 3 】

図 3 C ~ 図 3 D に以下でより詳細に示されるように、底部基板 (図 3 C ~ 図 3 D 中の項目 1 2 6 、 図 3 A に図示せず) は、複数の底部基板 - 基板接合パンプ (図 3 C ~ 図 3 D 中の項目 3 1 0 C 及び 3 1 0 D 、 図 3 A に図示せず) をさらに含む。

【 0 1 8 4 】

図 3 E 及び図 3 F に以下でより詳細に示されるように、底部基板 - 基板接合パンプ (図 3 C ~ 図 3 D 中の項目 3 1 0 C 及び 3 1 0 D 、 図 3 A に図示せず) は、接合中に上部基板 - 基板接合パンプ 3 1 0 A 及び 3 1 0 B と嵌合するように構成される。

30

【 0 1 8 5 】

上部基板底面 1 2 0 は、上部基板底部接地平面 1 2 2 A の上部に作製された複数の上部スタンドオフパンプ 3 2 0 A 及び 3 2 0 B をさらに含み、これは上部基板底面上のすべてのパンプ 3 2 0 A 、 3 1 0 A 、 3 1 0 B 、 及び 3 2 0 B に対する有効圧力を減少させ、それにより、これらのパンプは、1 1 2 及び 1 0 2 の接合中に変形しない。好ましくは、図示のように、上部基板底面 1 2 0 は、第 1 の上部スタンドオフパンプ 3 2 0 A 及び第 2 の上部スタンドオフパンプ 3 2 0 B をさらに含む。必須ではないが好ましくは、図示のように、第 1 の上部スタンドオフパンプ 3 2 0 A は、上部基板 - 基板接合パンプ 3 1 0 A と 3 1 0 B の両方よりも幅広い。必須ではないが好ましくは、図示のように、第 2 の上部スタンドオフパンプ 3 2 0 B は、上部基板 - 基板接合パンプ 3 1 0 A と 3 1 0 B の両方よりも幅広い。

40

【 0 1 8 6 】

必須ではないが好ましくは、図示のように、第 1 の上部スタンドオフパンプ 3 2 0 A は、上部基板 - 基板接合パンプ 3 1 0 A と 3 1 0 B の両方よりも大きい。必須ではないが好ましくは、図示のように、第 2 の上部スタンドオフパンプ 3 2 0 B は、上部基板 - 基板接合パンプ 3 1 0 A 及び 3 1 0 B よりも大きい。したがって、上部スタンドオフパンプ 3 2 0 A 及び 3 2 0 B は互いに接合しない。

【 0 1 8 7 】

50

好ましくは、上部スタンドオフパンブ 3 2 0 A 及び 3 2 0 B は、上部基板底面 1 2 0 を約 5 ミクロンの厚さにめっきすることによって形成される。図 3 E 及び図 3 F により詳細に示されているように、上部スタンドオフパンブ 3 2 0 A 及び 3 2 0 B は、上部基板への上部カバーの接合中に、上部基板 - 基板接合パンブ 3 1 0 A 及び 3 1 0 B のうちの 1 又は複数の圧潰を防止するように構成される。第 1 の上部スタンドオフパンブ 3 2 0 A は、底部スタンドオフパンブ 3 2 0 C ~ 3 2 0 D の両方からオフセットされる。同様に、第 2 の上部スタンドオフパンブ 3 2 0 B も、底部スタンドオフパンブ 3 2 0 C ~ 3 2 0 D の両方からオフセットされる。

【 0 1 8 8 】

要約すると、上部スタンドオフパンブ 3 2 0 A 及び 3 2 0 B は、上部基板 - 基板接合パンブ 3 1 0 A ~ 3 1 0 B と底部基板 - 基板接合パンブ 3 1 0 C ~ 3 1 0 D との間の接合を可能にするように、すべての他のパンブ 3 0 2 A、3 0 2 B、3 0 4 A、3 0 4 B、3 1 0 A ~ 3 1 0 D、3 2 0 C、及び 3 2 0 D から離間し、底部スタンドオフパンブ 3 2 0 C 及び 3 2 0 D は、上部基板 - 基板接合パンブ 3 1 0 A ~ 3 1 0 B と底部基板 - 基板接合パンブ 3 1 0 C ~ 3 1 0 D との間の接合に影響を与えることを回避するように、すべての他のパンブ 3 0 2 A、3 0 2 B、3 0 4 A、3 0 4 B、3 1 0 A ~ 3 1 0 D、3 2 0 A、及び 3 2 0 B から離間している。

10

【 0 1 8 9 】

したがって、上部スタンドオフパンブ 3 2 0 A 及び 3 2 0 B は、上部基板 - 基板接合パンブ 3 1 0 A 及び 3 1 0 B に接合しない。

20

【 0 1 9 0 】

図 3 B は、上部基板上部接地平面 1 1 6 A 上の上部基板 - カバー接合パンブ 3 0 2 A 及び 3 0 2 B を使用して上部基板 1 1 2 に接合し、上部アセンブリ 3 3 0 を作成した後の上部カバー 1 0 2 を示す。同じく、上部基板 1 1 2 は、上部基板上面 1 1 4 を含む。同じく、上部基板 1 1 2 は、上部基板底面 1 2 0 をさらに含む。同じく、上部基板 1 1 2 は、上部基板底部接地平面 1 2 2 A 上に複数の上部基板 - 基板接合パンブ 3 1 0 A 及び 3 1 0 B をさらに含み、上部基板 - 基板接合パンブ 3 1 0 A 及び 3 1 0 B は、底部基板 (図 3 C ~ 図 3 D 中の項目 1 2 6、図 3 B に図示せず) への上部基板 1 1 2 の接合を容易にするように構成される。底部基板 (図 3 C ~ 図 3 D 中の項目 1 2 6、図 3 A に図示せず) への上部基板 1 1 2 の接合は、上部基板 1 1 2 と底部基板 1 2 6 との間の垂直電気接続を作成する。

30

【 0 1 9 1 】

圧潰後の上部基板 - カバーパンブ 3 0 2 A 及び 3 0 2 B のサイズの低減が示されている。この段階では、例示的な圧力は約 6 0 0 メガパスカル (M P a) である。

【 0 1 9 2 】

上部カバー 1 0 2 は、上部基板 1 1 2 に接合される。例えば、上部カバー 1 0 2 及び上部基板 1 1 2 は、高確度チップボンダーを使用して一緒に接合される。例えば、上部カバー 1 0 2 及び上部基板 1 1 2 は、強固な金 - 金熱圧縮ボンドを形成するように一緒に接合される。

40

【 0 1 9 3 】

図 3 C ~ 図 3 D は、底部基板 1 2 6 への底部カバー 1 0 6 の接合を示す。例えば、底部基板 1 2 6 は、約 2 0 0 ミクロン又は約 8 ミルの厚さで作製される。好ましくは、底部基板 1 2 6 は炭化ケイ素 (S i C) を含む。好ましくは、底部基板 1 2 6 は、高精度メタライゼーション特徴をさらに含む。好ましくは、底部基板 1 2 6 は金をさらに含む。例えば、底部基板 1 2 6 は、高精度のめっきされた金及び蒸着された金のうちの 1 又は複数を含む。

【 0 1 9 4 】

図 3 C では、互いに接合する前の底部カバー 1 0 6 及び底部基板 1 2 6 が見られる。

【 0 1 9 5 】

50

同じく、底部基板 1 2 6 は、底部基板底面 1 2 8 及び底部基板上面 1 3 2 を含む。

【 0 1 9 6 】

底部基板 1 2 6 は、底部基板底部接地平面 1 8 0 上に複数の底部基板 - カバー接合バンプ 3 0 4 A 及び 3 0 4 B をさらに含む。上部基板 - カバー接合バンプ 3 0 2 A 及び 3 0 2 B は、各々、底部基板底部メタライゼーション連続バンプ 1 8 3 A ~ 1 8 3 B 及び底部基板底部メタライゼーション個別バンプ 1 8 5 A ~ 1 8 5 P のうちの 1 又は複数を含む。好ましくは、図示のように、底部基板底面 1 2 8 は、複数の底部基板 - カバー接合バンプ 3 0 4 A 及び 3 0 4 B を含む。好ましくは、底部基板 - カバー接合バンプ 3 0 4 A 及び 3 0 4 B は、底部基板底面 1 2 8 を約 5 ミクロンの厚さにめっきすることによって形成される。底部基板 - カバー接合バンプ 3 0 4 A 及び 3 0 4 B は、底部基板 1 1 0 を底部カバー 1 0 6 に接合する際に使用可能である。底部基板 - カバー接合バンプ 3 0 4 A 及び 3 0 4 B は、接合中に圧潰され、それにより、底部基板底面 1 2 8 のわずかな非平面性を補償し、それにより、強い金 - 金熱圧縮を容易にするように構成される。例えば、非平面性は、約 1 ミクロン ~ 約 3 ミクロンの範囲内にあり得る。

10

【 0 1 9 7 】

底部基板 1 2 6 は、底部基板上部接地平面 1 3 5 A 上に複数の底部基板 - 基板接合バンプ 3 1 0 C 及び 3 1 0 D をさらに含み、底部基板 - 基板接合バンプ 3 1 0 C 及び 3 1 0 D は、上部基板 (図 3 A ~ 図 3 B 中の項目 1 1 2、図 3 C に図示せず) への底部基板 1 2 6 の接合を容易にするように構成される。好ましくは、図示のように、底部基板上面 1 3 2 は、第 1 の底部基板 - 基板接合バンプ 3 1 0 C 及び第 2 の底部基板 - 基板接合バンプ 3 1 0 D をさらに含む。好ましくは、底部基板 - 基板接合バンプ 3 1 0 C 及び 3 1 0 D は、底部基板上面 1 3 2 を約 5 ミクロンの厚さにめっきすることによって形成される。

20

【 0 1 9 8 】

図 3 E 及び図 3 F に以下でより詳細に示されるように、底部基板 - 基板接合バンプ 3 1 0 C 及び 3 1 0 D は、接合中に上部基板 - 基板接合バンプ (図 3 A ~ 図 3 B 中の項目 3 1 0 A 及び 3 1 0 B、図 3 C に図示せず) と嵌合するように構成される。

【 0 1 9 9 】

底部基板 1 2 6 は、底部基板上部接地平面 1 3 5 A 上に複数の底部スタンドオフバンプ 3 2 0 C 及び 3 2 0 D をさらに含む。必須ではないが好ましくは、図示のように、底部スタンドオフバンプ 3 2 0 C 及び 3 2 0 D は、基板 - 基板接合バンプ 3 1 0 C 及び 3 1 0 D よりも幅広い。必須ではないが好ましくは、図示のように、底部スタンドオフバンプ 3 2 0 C 及び 3 2 0 D は、基板 - 基板接合バンプ 3 1 0 C 及び 3 1 0 D よりも大きい。必須ではないが好ましくは、図示のように、底部スタンドオフバンプ 3 2 0 C 及び 3 2 0 D は、基板 - 基板接合バンプ 3 1 0 C 及び 3 1 0 D よりも幅広い。必須ではないが好ましくは、図示のように、底部スタンドオフバンプ 3 2 0 C 及び 3 2 0 D は、基板 - 基板接合バンプ 3 1 0 C 及び 3 1 0 D よりも大きい。したがって、底部スタンドオフバンプ 3 2 0 C 及び 3 2 0 D は互いに接合しない。

30

【 0 2 0 0 】

底部スタンドオフバンプ 3 2 0 C 及び 3 2 0 D は、底部基板 1 2 6 への底部カバー 1 0 6 の接合中に、底部基板 - 基板接合バンプ 3 1 0 C 及び 3 1 0 D のうちの 1 又は複数の圧潰を防止するように構成される。必須ではないが好ましくは、図示のように、底部スタンドオフバンプ 3 2 0 C 及び 3 2 0 D は、底部基板 - 基板接合バンプ 3 1 0 C 及び 3 1 0 D よりも大きい。必須ではないが好ましくは、図示のように、底部スタンドオフバンプ 3 2 0 C 及び 3 2 0 D は、底部基板 - 基板接合バンプ 3 1 0 C 及び 3 1 0 D よりも幅広い。したがって、底部スタンドオフバンプ 3 2 0 C 及び 3 2 0 D は、底部基板 - 基板接合バンプ 3 1 0 C 及び 3 1 0 D に接合しない。

40

【 0 2 0 1 】

図 3 D は、底部基板底部接地平面 1 8 0 上の底部基板 - カバーバンプ 3 0 4 A 及び 3 0 4 B を使用して底部基板 1 2 6 に接合し、底部アセンブリ 3 4 0 を作成した後の底部カバー 1 0 6 を示す。同じく、底部基板 1 2 6 は、底部基板底面 1 2 8 及び底部基板上面 1 3

50

2を含む。同じく、底部基板126は、底部基板上部接地平面135A上に複数の底部基板-基板接合パンプ310C及び310Dをさらに含み、底部基板-基板接合パンプ310C及び310Dは、上部基板(図3A~図3B中の項目112、図3Dに図示せず)への底部基板126の接合を容易にするように構成される。同じく、底部基板126は、底部基板上部接地平面135A上に複数の底部スタンドオフパンプ320C及び320Dをさらに含む。

【0202】

圧潰後の底部基板-カバーパンプ304A及び304Bのサイズの低減が示されている。この段階では、例示的な圧力は約600メガパスカル(MPa)である。

【0203】

好ましくは、底部スタンドオフパンプ320C及び320Dは、底部基板上面132を約5ミクロンの厚さにめっきすることによって形成される。図3E及び図3Fにより詳細に示されているように、底部スタンドオフパンプ320C及び320Dは、底部基板126への底部カバー106の接合中に、底部基板-基板接合パンプ310C及び310Dのうちの1又は複数の圧潰を防止するように構成される。第1の底部スタンドオフパンプ320Cは、上部基板-基板接合パンプ(図3A~図3B中の項目310A~310B、図3Cに図示せず)の両方からオフセットされる。同様に、第2の底部スタンドオフパンプ320Dも、上部基板-基板接合パンプ(図3A~図3B中の項目310A~310B、図3Cに図示せず)の両方からオフセットされる。

【0204】

第1の底部スタンドオフパンプ320Cはまた、上部スタンドオフパンプ(図3A~図3B中の項目320A~320B、図3Cに図示せず)の両方からオフセットされる。同様に、第2の底部スタンドオフパンプ320Dも、上部スタンドオフパンプ(図3A~図3B中の項目320A~320B、図3Cに図示せず)の両方からオフセットされる。したがって、底部基板126への底部カバー106の接合中に、接合からのすべての圧力が底部スタンドオフパンプ320C及び320Dと底部接合パンプ310C及び310Dとの間で分散し、底部基板-基板接合パンプ310C及び310Dが変形されるのを防止する。

【0205】

図3E~図3Fは、底部基板126への上部基板112の接合を示す。底部基板(図3C~図3D中の項目126、図3Aに図示せず)への上部基板112の接合は、上部基板112と底部基板126との間の垂直電気接続を作成する。同じく、上部基板112は、上部基板上面114及び上部基板底面120を含む。同じく、底部基板126は、底部基板底面128及び底部基板上面132を含む。

【0206】

図3C~図3D中の底部基板上部接地平面135A上の底部基板-基板接合パンプ310C及び310Dは、接合中に上部基板底部接地平面122A上の上部基板-基板接合パンプ310A及び310Bと整列し、嵌合するように構成される。例えば、図示のように、上部基板-基板接合パンプ310Cは、接合中に上部基板-基板接合パンプ310Aと嵌合するように構成される。例えば、図示のように、上部基板-基板接合パンプ310Dは、接合中に上部基板-基板接合パンプ310Bと嵌合するように構成される。

【0207】

上部基板底部接地平面122A上の上部スタンドオフパンプ320A及び320Bは、上部基板112への上部カバー102の接合中に、上部基板-基板接合パンプ310A及び310Bのうちの1又は複数の圧潰を防止するように構成される。

【0208】

上部基板112への上部カバー102の接合は、上部基板上部メタライゼーション116と上部カバーメタライゼーション145との間の垂直電気接続を作成する。同様に、底部基板126への底部カバー106の接合は、底部基板上部メタライゼーション135と底部カバーメタライゼーション149との間の垂直電気接続を作成する。

10

20

30

40

50

【0209】

上部カバー102、上部基板112、底部基板126、及び底部カバー106の接合は、基準メタライゼーションを形成し、基準メタライゼーションは、a) 上部カバーメタライゼーション145、b) 基準上部基板上部メタライゼーション、c) 上部基板に含まれる基準上部基板スルー基板ビア、d) 基準上部基板底部メタライゼーション、e) 基準底部基板上部メタライゼーション、f) 底部基板に含まれる基準底部基板スルー基板ビア、g) 基準底部基板底部メタライゼーション、及びh) 底部カバーメタライゼーション149のうちの1又は複数を含む。

【0210】

底部基板上部接地平面135A上の底部スタンドオフバンプ320C及び320Dは、底部基板126への底部カバー106の接合中に、底部基板-基板接合バンプ310C及び310Dのうちの1又は複数の圧潰を防止するように構成される。第1の上部スタンドオフバンプ320Aは、底部基板-基板接合バンプ310C~310Dの両方からオフセットされる。同様に、第2の上部スタンドオフバンプ320Bも、底部基板-基板接合バンプ310C~310Dの両方からオフセットされる。

10

【0211】

底部スタンドオフバンプ320Cは、上部基板-基板接合バンプ310A~310Bの両方からオフセットされる。同様に、底部スタンドオフバンプ320Dも、上部基板-基板接合バンプ310A~310Bの両方からオフセットされる。

【0212】

したがって、底部アセンブリへの上部アセンブリの接合中に、接合からのすべての圧力が、上部基板-基板接合バンプ310A、310B並びに底部基板-基板接合バンプ310C及び310D上にある。

20

【0213】

図3Eでは、互いに接合する直前の上部アセンブリ330及び底部アセンブリ340が見られる。同じく、上部アセンブリ330は、上部カバー102及び上部基板112を含む。同じく、底部アセンブリ340は、底部カバー106及び底部基板126を含む。

【0214】

同じく、上部アセンブリ330は、上部カバー102及び上部基板112を含む。同じく、上部基板112は、上部基板上面114及び上部基板底面120を含む。同じく、底部基板126は、底部基板底面128及び底部基板上面132を含む。

30

【0215】

同じく、上部基板底面120は、上部スタンドオフバンプ320A及び320Bを含む。同じく、底部基板上面132は、底部基板上部接地平面135A上に底部基板-基板接合バンプ310C及び310Dを含む。同じく、底部基板132は、上部基板底部接地平面122A上に底部スタンドオフバンプ320A及び320Bをさらに含む。上部基板-基板接合バンプ(図3E中の項目310A、図3Fに図示せず)は、底部基板-基板接合バンプ(図3E中の項目310C、図3Fに図示せず)と結合して第1の結合接合バンプ350Aを形成し、第1の結合接合バンプ350Aは、上部基板112を底部基板126に接合するのを助けるように構成される。同様に、上部基板-基板接合バンプ(図3E中の項目310B、図3Fに図示せず)は、底部基板-基板接合バンプ(図3E中の項目310D、図3Fに図示せず)と結合して第2の結合接合バンプ350Bを形成し、第2の結合接合バンプ350Bは、上部基板112を底部基板126に接合するのを助けるように構成される。

40

【0216】

上部基板上部接地平面(図3A~図3B中の項目116A)及び上部基板底部接地平面(図3A~図3B中の項目122A)は、図3A~図3Dに示されている作製工程が完了した後、もはや見えず、したがって、上部基板上部接地平面(図3A~図3B中の項目116A)及び上部基板底部接地平面(図3A~図3B中の項目122A)は、図3E~図3Fに示されていない。同様に、底部基板底部接地平面(図3C~図3D中の項目180

50

)及び底部基板上部接地平面(図3C~図3D中の項目135A)は、図3A~図3Dに示されている作製工程が完了した後、もはや見えず、したがって、底部基板底部接地平面(図3C~図3D中の項目180)及び底部基板上部接地平面(図3C~図3D中の項目135A)は、図3E~図3Fに示されていない。

【0217】

図3Fは、上部アセンブリ330と底部アセンブリ340とを一緒に接合し、それにより、完全なHフレームデバイス100を作成した直後の瞬間を示す。

【0218】

図3Fでは、上部基板-基板接合パンプ(図3A~図3B及び図3E中の項目310A及び310B)及び底部基板-基板接合パンプ(図3C~図3E中の項目310C及び310D)の接合及び圧潰後、上部基板-基板接合パンプ(図3A~図3B及び図3E中の項目310A及び310B)と底部基板-基板接合パンプ(図3C~図3E中の項目310C及び310D)とは、結合して、接合された単一のパンプになる。

【0219】

図4は、マイクロエレクトロニクスHフレームデバイスを作製するための方法400のフローチャートである。

【0220】

方法400における工程の順序は、図4に示されている又は以下の説明に記載される順序に制約されない。工程のうちいくつかは、最終結果に影響を与えることなく異なる順序で行われ得る。

【0221】

工程410において、マイクロエレクトロニクスHフレームデバイスにおいて使用可能な上部カバーが微細加工される。次いで、ブロック410は、制御をブロック420に移す。

【0222】

工程420において、マイクロエレクトロニクスHフレームデバイスにおいて使用可能な底部カバーが微細加工される。次いで、ブロック420は、制御をブロック430に移す。

【0223】

工程430において、マイクロエレクトロニクスHフレームデバイスにおいて使用可能な上部基板の上面と、マイクロエレクトロニクスHフレームデバイスにおいて使用可能な底部基板の底面とが、ウエハの前面上に一緒に作製され、上部基板の上面は上部基板上部メタライゼーションを含み、底部基板の底面は底面底部メタライゼーションを含む。例えば、上部基板は、パターンめっきされ、ピアエッチングされる。例えば、底部基板は、パターンめっきされ、ピアエッチングされる。次いで、ブロック430は、制御をブロック435に移す。

【0224】

工程435において、中間基板メタライゼーションが作製される。次いで、ブロック435は、制御をブロック440に移す。

【0225】

工程440において、上部基板は、上部カバーに接合される。次いで、ブロック440は、制御をブロック450に移す。

【0226】

工程450において、底部基板は、底部カバーに接合される。次いで、ブロック450は、制御をブロック460に移す。

【0227】

工程460において、上部基板は中間基板メタライゼーションの上面に接合され、底部基板は中間基板メタライゼーションの底面に接合され、それにより、上部基板と底部基板との間の垂直電気接続を作成する。次いで、ブロック460はプロセスを終了する。

【0228】

10

20

30

40

50

HフレームSiCコアチップ及びシリコンサブカバーチップのために使用される作製プロセスは、重要な追加機能の鍵である。

【0229】

作製プロセス及び本発明の概念は、アルコーブ、壁、島、半島、及び閉鎖チャンバなど、シリコンサブカバー内の幾何学的形状の使用によって、広範囲の機能を可能にする。

【0230】

微細加工によって達成される優れた寸法正確度、並びにエンクロージャの内部の凹部及び内部の表面の表面平滑性が、本発明の利点である。追加の利点は、再現性の高い特性及び性能を有し、電気損失が低いデバイスを製造する能力を含む。機械加工、放電加工（EDM）、電鑄など、従来の機械的製造技法によって作られた従来技術のエンクロージャは、0.2ミル～1ミルの範囲内の公差を有し、これは、本明細書で説明される半導体技術によって提供される精度よりも1～2桁大きい。

10

【0231】

例えば、例示的なエンクロージャ内の微細加工された内面は、約9.4 μm の山対谷粗さを有する従来技術の機械加工された銅ハウジングと比較して、2 μm 未満、すなわち1.3 μm の山対谷粗さを有する。したがって、本発明の実施形態は、7倍を超える平滑性の改善を提供する。

【0232】

シリコン及びSiCの組立てを達成するために導電性エポキシペーストを利用することができるが、導電性ペーストは、滲出、厚さ変動、空隙及び電氣的接触不良など、並びに配置確度に関して、制御するのがより困難な技法を提供する。

20

【0233】

ビアに関して、高絶縁電磁ビアフェンスを形成するために、基板上の対向する表面上の接地メタライゼーションを接続する直径100ミクロンの金属化されたスルー基板ビアが使用される。シミュレーションは、それらのビアを使用して、400ミクロン（ μm ）の最小ピッチにおいて離間したときに20GHzにおいて最高40デシベル（dB）の高絶縁を提供することができることを示している。ビアフェンス及び金めっきされたシリコンエンクロージャ壁は、2つの分離された回路の個々の要素が、それら自体の電磁的に遮蔽されたキャビティに効果的に入れられて、クロスカップリングを最小限に抑えることを可能にする。スルーウエハビアは、上部カバーと底部カバーとの間のRFリターン電流のための実質的に連続的な接地連続性を促進し、作製後のフィルタのプローブ試験を可能にする。

30

【0234】

本発明の実施形態のさらなる利点は、金めっきされたシリコンエンクロージャ壁及びビアフェンスによって形成された「壁」を使用してチャンネルを絶縁することができるだけでなく、それらを使用して個々の要素を絶縁することもできることである。本発明の実施形態によれば、個々の要素間の電氣的絶縁は、従来技術のオープンフェイスプリント設計に見られる望ましくないクロスカップリングを排除し、したがって、迅速な開発及びコンパクトなレイアウトを可能にする。

【0235】

本発明の実施形態のまたさらなる利点は、それらが温度にわたって安定しており、素晴らしい製造再現性を提供し、機械的応力の下で信頼性があり、大量生産における低コストを提供し、異物破片（FOD）防止のために完全に封止されることである。

40

【0236】

本発明の実施形態の別の利点は、それらが、片面の従来技術と比較して2倍の「深い」コンパクションを提供し、効果的に回路面積を半減することである。

【0237】

本発明の実施形態の追加の利点は、追加の基板を使用する従来技術の技法と比較して、現在、受動構成要素を基板上に直接プリントすることができることである。本発明の実施形態のまたさらなる利点は、従来技術の平面フィルタで必要とされるサブカバーの必要性

50

を排除し、それにより、中央ウェブに垂直な方向の、すなわち「Z」方向のコンパクションを促進することである。

【0238】

本発明の実施形態のさらに追加の利点は、ハウジング床面積における、すなわち「X-Y」平面におけるコンパクションを低減することである。本発明の実施形態は、構成要素基板の設置のためのヘッドルームを確保する必要性、及び構成要素基板の再加工のためのヘッドルームを確保する必要性のうちの1又は複数を排除する。さらに、本発明の実施形態は、コンパクトなチャネライゼーションの容易な作成を可能にする。本発明の実施形態は、ガラスピース、垂直ピン、リボンボンド、中央ウェブ、プラグ、及び異なる層のうちの1又は複数を含み多くの個別の構成要素を含む、中央ウェブを有する従来技術のデバイスよりも100倍コンパクトなデバイスを提供する。著しく対照的に、本発明の実施形態は、上部カバー、上部基板、底部基板、及び底部カバーを含む単純な単一の4層設計を採用し、それにより、新規かつ完全に異なる方法論によって同等のトポロジを達成する。

10

【0239】

本発明の実施形態のさらなる利点は、デバイスのサイズ及びデバイスの重量のうちの1又は複数が、上部カバー及び底部カバーのうちの1又は複数における半導体の使用によって低減されることである。

【0240】

本発明の実施形態のさらに追加の利点は、上部カバー及び底部カバーのうちの1又は複数の微細加工及びめっきのうちの1又は複数が、正確なキャピティコンパクション、RF絶縁、及び容易な大量生産のうちの1又は複数を可能にすることである。例えば、約130ミクロンの厚さを有する壁が、マイクロストリップの設計において可能である。

20

【0241】

本発明の実施形態の別の利点は、均質な金-金ボンドを作成するために使用される熱圧着が、極めて強いボンド及び高確度の整列のうちの1又は複数を可能にすることである。本発明の実施形態のさらなる利点は、高確度の整列が、手動組立てを必要とせずに、自動化されたHフレーム構築及び環境保護のうちの1又は複数を可能にすることである。

【0242】

本発明の実施形態のさらに他の利点は、カバーに機械加工されたパンプ及び基板上に作成されたパンプのうちの1又は複数が、強い金-金熱圧縮を生成することである。

30

【0243】

信号経路のために硬質基板及び高精度マイクロエレクトロニクスめっきを使用することは、より高精度のめっき技法、相互接続のための一貫した大量生産ビアを可能にする。さらに、透明な基板を使用することが、選択的に採用され得る。これは、信頼性の高い信号伝送のためのビアの一貫した整列のために、接合中の層間の整列の増加を提供し得る。さらに、スルーウエビアを使用することも選択的に採用され得、これは、Hフレームの層間の信号と接地の両方について高度に一貫した相互接続の大量生産を可能にし、それにより、手動組立ての必要性を低減する。

【0244】

本発明の実施形態は、高い精度及び再現性で任意の輪郭の壁を作成する能力を提供する。

40

【0245】

本発明の実施形態によって提供される別の利点は、従来のHフレーム内の金属中央ウェブを概念的な3層プリント回路基板(PCB)で置き換えることによって、追加のコンパクションが提供されることである。凝縮されたルーティング及びより高い構成要素数のうちの1又は複数により、本発明の実施形態によって、より高いコンパクションが提供される。

【0246】

本発明の実施形態のまたさらなる利点は、大きい製造ばらつき及び電界漏れのうちの1又は複数のリスクを招きながら、多くの入り組んだ部品及び複雑な組立て手順を必要とす

50

る、従来技術のフィードスルー遷移を排除することである。著しく対照的に、本発明の実施形態は、単一の製造工程における両方のチップの製造を可能にする。

【0247】

本発明の実施形態のまたさらなる利点は、それらが、リターン損失及び挿入損失に対する最適な性能のための追加コストなしでの入り組んだ特徴を有するRF遷移の設計を可能にし、特に、同じカバーの下の他の領域に対するほぼ完全な絶縁が提供されることを含む。

【0248】

本発明の実施形態のまたさらなる利点は、低い挿入損失及び高いリターン損失を含む。図2D中のグラフ250によって示されているように、挿入損失254は、周波数帯域258全体にわたって約0.2dB未満である。同じく図2D中のグラフ250によって示されているように、リターン損失256は、周波数帯域258全体にわたって約20dBを超える。

10

【0249】

本発明の実施形態によって提供されるさらなる利点は、複数の位置における遷移が基板内で同時に形成され得ることである。

【0250】

開示されたマイクロエレクトロニクスHフレームデバイスには、いくつかの明確な利点がある。このデバイスは、収縮しやすい、従来技術のより柔らかいプリント回路基板層及び従来技術の低温同時焼成セラミック(LTCC)層よりもはるかに良好に画定された形状を有する硬質基板を提供する。より良好に画定された幾何学的形状は、線路インピーダンス及び損失など、より良好に制御されたRF特性、したがって、より予測可能なRF性能を暗示する。

20

【0251】

本発明の実施形態のまたさらなる利点は、従来技術の従来の機械加工されたHフレームハウジングの典型的な寸法である約102ミルと比較して、接地平面内の端壁及び切り欠きを含むフィードスルー遷移のサイズが、厚さ8ミルの2つの基板のスタックでは約30ミルであることである。本発明の実施形態のさらなる利点は、遷移領域において10倍以上の節約を提供することである。本発明の実施形態によって提供されるまた別の利点は、追加の部品を作成するか、又はそれらを作るのに必要とされる追加の製造工程を追加する必要なしに、フィードスルー遷移を提供することである。本発明の実施形態と従来の従来技術の機械加工されたHフレームデバイスとの間の主な違いは、本発明の実施形態がコンパクトでコストのかからない垂直フィードスルーを提供することである。

30

【0252】

本発明の実施形態の追加の利点は、三次元フィールドチャネライゼーション及び絶縁を提供することである。本発明の実施形態は、回路要素が、近接して、ただし壁を間に挟んで配置されることを可能にし、これは、潜在的なカップリングを排除し、したがって、よりコンパクトなレイアウトをもたらす。したがって、本発明の実施形態の別の利点は、回路レイアウトのコンパクションである。

【0253】

マイクロエレクトロニクスHフレームデバイスは、確度、精度、及び高い再現性のうちの1又は複数を提供する、環境的及び電磁的に封止された回路パッケージを提供する。

40

【0254】

本発明の実施形態のさらなる利点は、エッチングされたビアが、より小さいビア直径及びより小さいビアピッチのうちの1又は複数を提供することである。さらに、本発明の実施形態によれば、数万個に達することもある所与の基板内のすべてのビアが同時に作製され、均一性、一貫性、及び品質のうちの1又は複数を進捗する。

【0255】

本発明の実施形態は、メタライゼーションをパターンニングする際に高い精度を提供する。本発明の実施形態の代表的な線幅誤差は、典型的には少なくとも10倍高い典型的な線

50

幅誤差を有する従来技術の技術と比較して、約 1 ミクロンである。

【 0 2 5 6 】

本発明の実施形態は、独立型パッケージを含む。本発明の実施形態は、他の構成要素を直接作ることができるか、又は他の構成要素を接合することができる上位レベルアセンブリを含む。

【 0 2 5 7 】

エレクトロニクスモジュールを構築するための開示された新しい方法、及び新しい電子デバイスは、サイズ、重量、及び電力 (S W A P) の一桁の低減を容易にする。開示された新しい方法及び新しいデバイスは、高品質 R F 製品に備わった R F 完全性をも提供する。

10

【 0 2 5 8 】

深いコンパクション、マイクロエレクトロニクス精度、並びに前例のない R F ルーティング柔軟性及び製造再現性を有する劇的に異なるエレクトロニクスデバイスシステムについて説明する。

【 0 2 5 9 】

本発明の実施形態の別の利点は、利用可能である伝送線路スタイルの汎用性である。開示されたマイクロエレクトロニクス H フレームデバイスは、R F 伝送線路が、マイクロストリップ、共面導波路 (C P W)、及びストリップ線路のうちの 1 又は複数を使用して構築されることを可能にする。この柔軟性は、設計者が、最適な R F 性能のために異なる領域において適切な線路タイプを選択することを可能にする。

20

【 0 2 6 0 】

エッチングされたビアは、他の技術におけるパンチされた又は穿孔されたビアとは異なり、追加の利点を提供する。エッチングにより、ビア直径とビアピッチの両方がより小さくなり、基板内のすべてのビア、場合によっては数万個のビアが同時に作られ、より均一な、又は一貫した品質が得られる。

【 0 2 6 1 】

本発明の実施形態のまたさらなる利点は、スタック内の 2 つのウエハを結合することが、本質的に、従来の機械加工された H フレームにおいて 4 0 ~ 1 6 0 ミルの範囲内の典型的な薄さを有する中央ウェブを、わずか数ミクロンの厚さであり得る薄い金属層に圧壊することである。有限の厚さから「 0 」の厚さの中央ウェブへの変更は、従来のフィードスルーの必要性を排除する。より重要なことに、中央ウェブの圧壊は、設計パラダイムを平面技術の使用に変更し、平面技術において、最適な R F 性能のためにパターンニングされたメタライゼーションにおいて実現される入り組んだ特徴が、現在、追加コストなしで可能である。

30

【 0 2 6 2 】

本発明の実施形態のさらなる利点は、従来技術に対して容易な組立てである。本発明の実施形態によれば、スタック内の 2 つのカバーと 2 つのウエハとを結合することは、マイクロエレクトロニクス H フレームアセンブリを完成させる。これは、金属ハウジングが、最初に、機械加工され、めっきされ、次いで、複数の基板及び構成要素を取り付けられなければならないなど、従来の機械加工された H フレームと比較して、多大なコスト節約をもたらす。

40

【 0 2 6 3 】

本発明の実施形態によって提供される別の利点は、汎用性のある垂直壁である。カバーは、異物破片 (F O D) 防止のためにパッケージを完全に封止するだけでなく、必要に応じて垂直壁をも提供する。例えば、垂直壁は、R F 経路のチャネライゼーション、安定性のためのキャビティのデモーディング、及び垂直遷移設計における良好な絶縁を提供する。

【 0 2 6 4 】

マイクロエレクトロニクス H フレーム内の垂直フィードスルー (図 2 E) は、基板上的パターンニングされたメタライゼーション、スルー基板ビア、及び微細加工されたカバーに

50

よって提供される垂直金属壁のうちの1又は複数を含む。遷移は、リターン損失及び挿入損失に対する最適な性能のための追加コストなしでの入り組んだ特徴、特に、同じカバーの下の他の領域に対するほぼ完全な絶縁を備えて設計される。

【0265】

本発明の実施形態のさらなる利点は、エスケープラインとスパイラルターンとの間の距離が、代表的な従来技術のエアブリッジの約3ミクロンから約200ミクロンのウエハ厚さまで増加することである。間隔の増加は容量結合を低減し、それにより、製造ばらつきに対する性能感度を低減するのを助ける。

【0266】

上記の代表的な実施形態は、例示的な構成においていくつかの構成要素を用いて説明されたが、他の代表的な実施形態が異なる構成及び/又は異なる構成要素を使用して実装され得ることが、当業者には理解されよう。例えば、いくつかの工程及びいくつかの構成要素の順序を本発明の機能を実質的に損なうことなく変えることができることが、当業者には理解されよう。本発明の実施形態の変形形態の数はほぼ無限であることが、当業者にさらに理解されよう。例えば、3つ以上のウエハを含むスタックが使用され得る。例えば、3つのウエハが使用される場合、4つの金属層、4つの異なる垂直RF遷移、及び5面封止カバー及び入出力からエスケープするための2つの金属層が存在することになる。例えば、「上部」及び「底部」のそれぞれの指定は任意である。そのような指定は、本発明を実質的に変えることなく、逆転させることができ、又は他の方法で変更することができる。例えば、基板上にめっきされる代わりに、接合バンプは、上部カバー及び底部カバーのうちの1又は複数の上にめっきされ得る。

10

20

【0267】

例えば、上部基板信号ビアの数は、任意であり、提供された特定の例に限定されない。例えば、上部基板接地ビアの数は、任意であり、提供された特定の例に限定されない。例えば、底部基板信号ビアの数は、任意であり、提供された特定の例に限定されない。例えば、底部基板接地ビアの数は、任意であり、提供された特定の例に限定されない。

【0268】

本明細書で詳細に説明された代表的な実施形態及び開示された主題は、限定ではなく例及び例示として提示された。説明された実施形態の形態及び詳細の様々な変更が行われ得、本発明の範囲内にとどまる同等の実施形態をもたらすことが、当業者には理解されよう。したがって、上記の説明における主題は、例示として解釈されるものであり、限定的な意味で解釈されるものではないことが意図される。

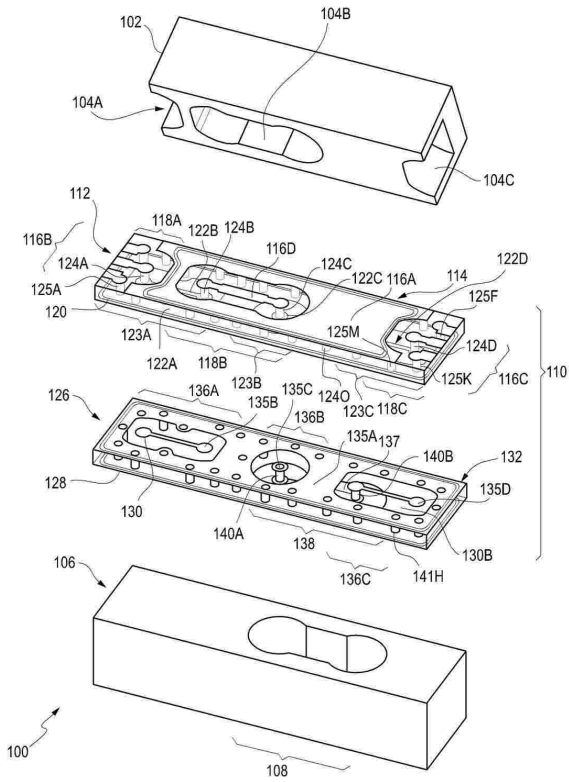
30

40

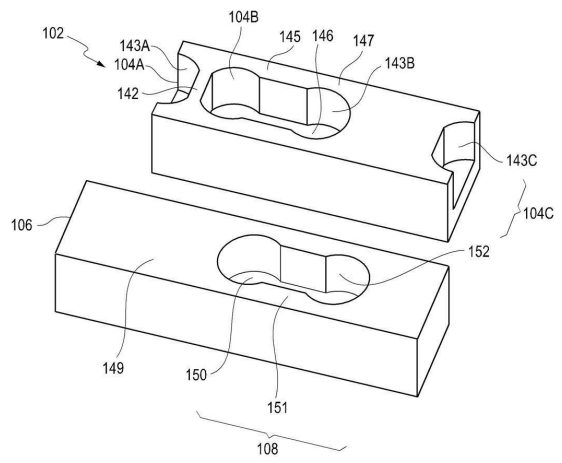
50

【図面】

【図 1 A】



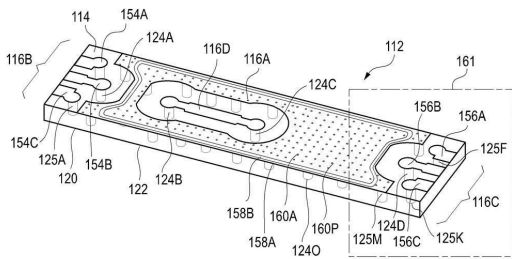
【図 1 B】



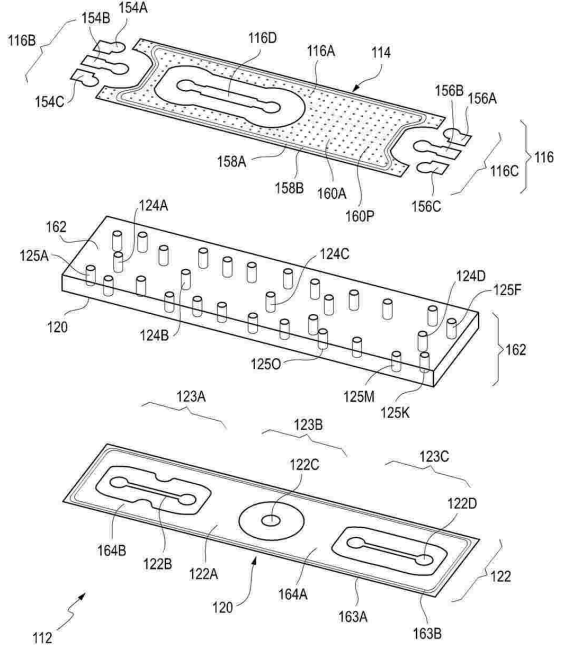
10

20

【図 1 C】



【図 1 D】

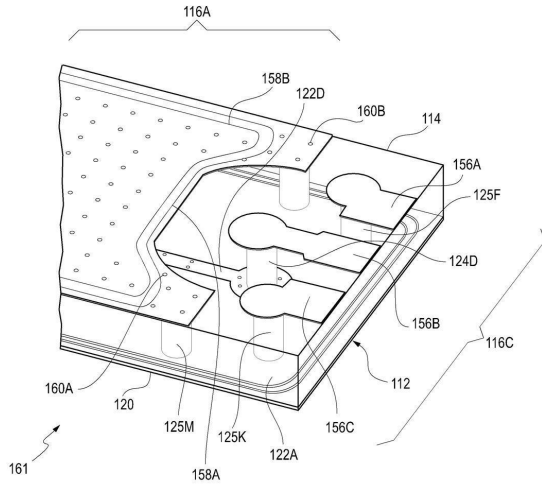


30

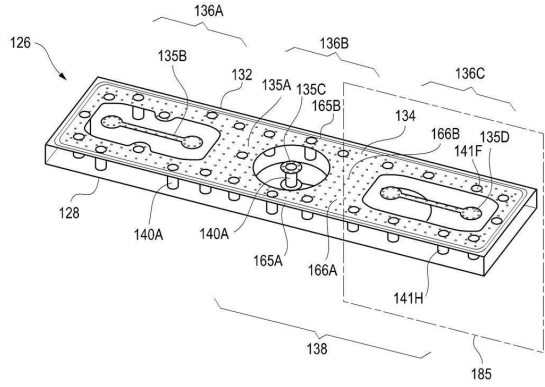
40

50

【 図 1 E 】

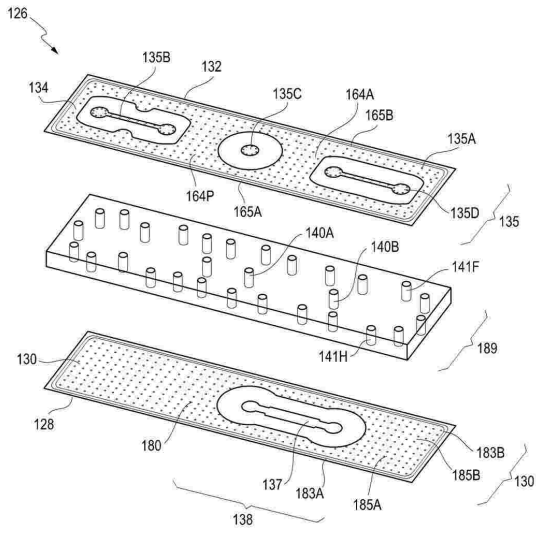


【 図 1 F 】

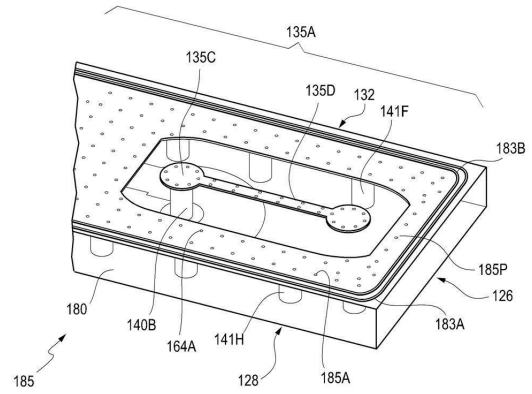


10

【 図 1 G 】



【 図 1 H 】



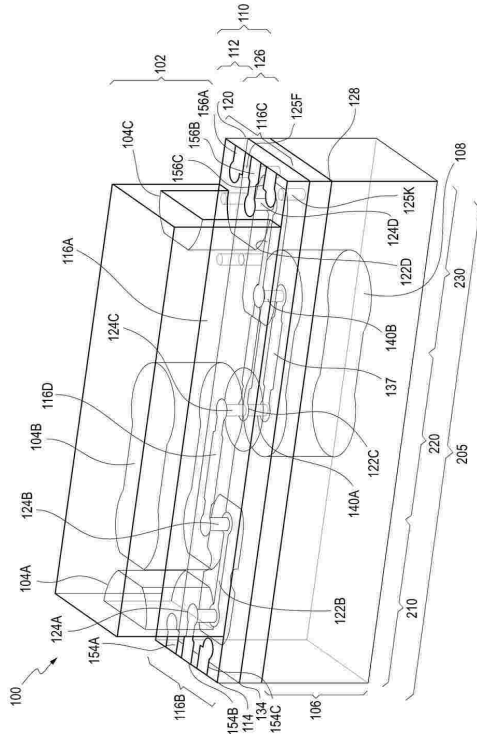
20

30

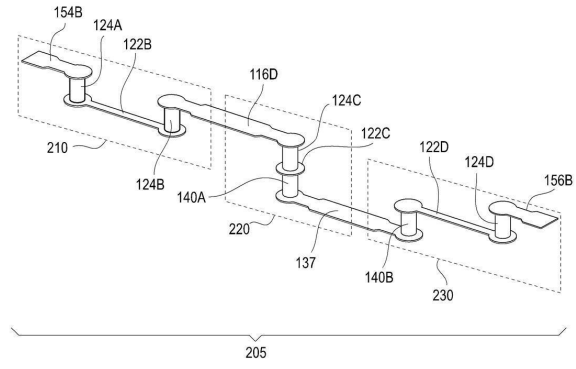
40

50

【図 2 A】



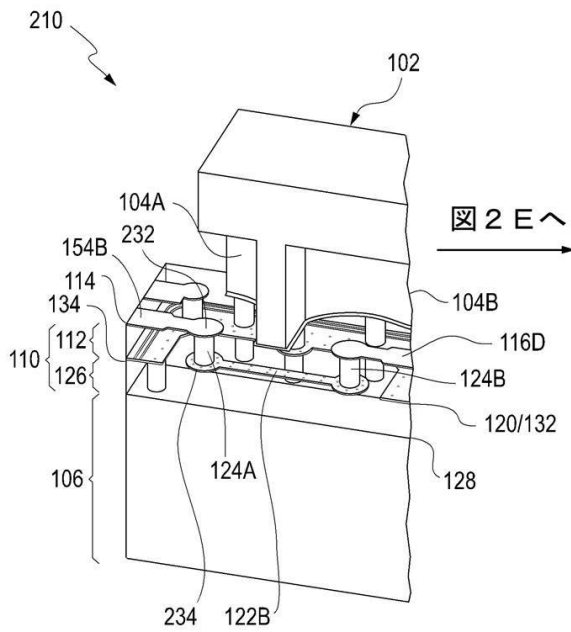
【図 2 B】



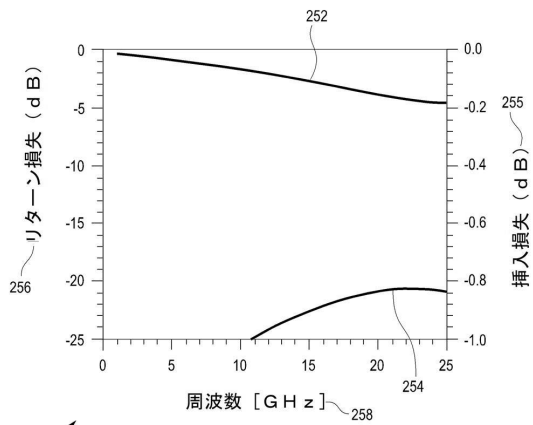
10

20

【図 2 C】



【図 2 D】

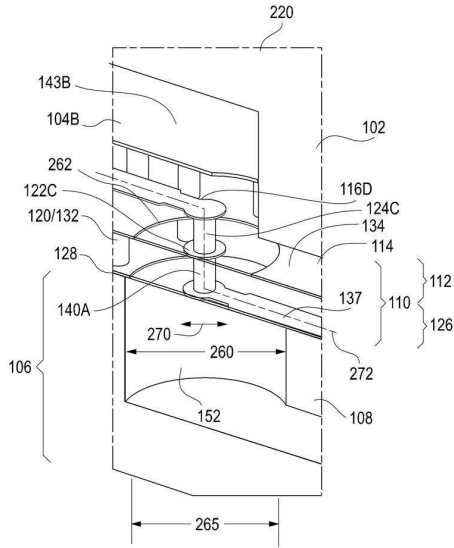


30

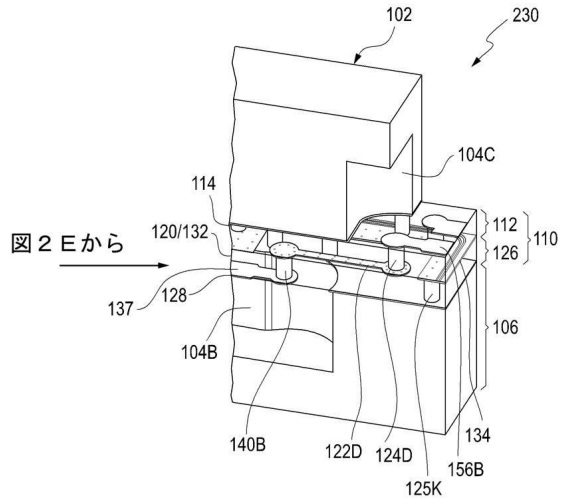
40

50

【 図 2 E 】

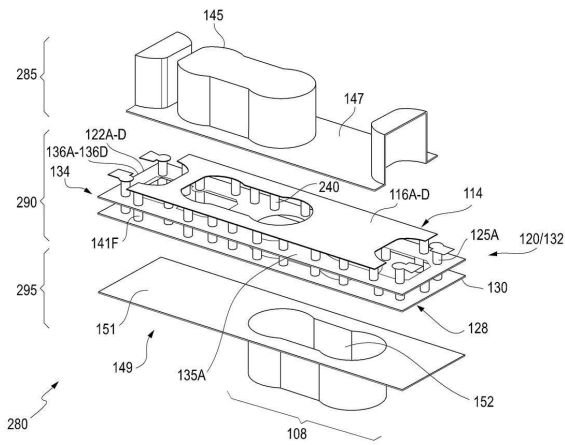


【 図 2 F 】

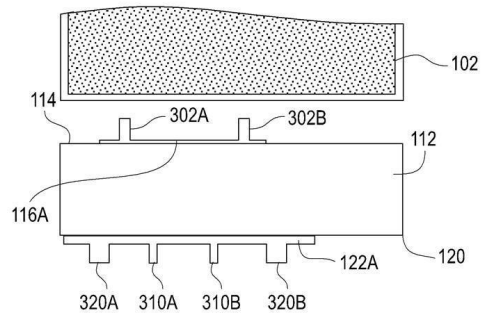


10

【 図 2 G 】



【 図 3 A 】



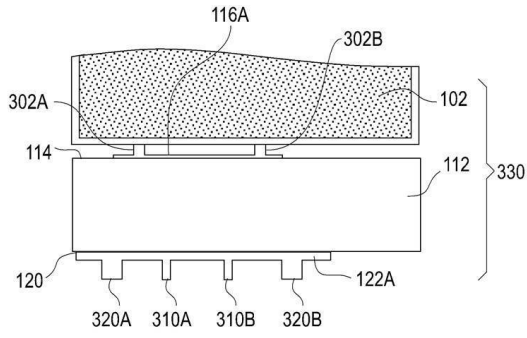
20

30

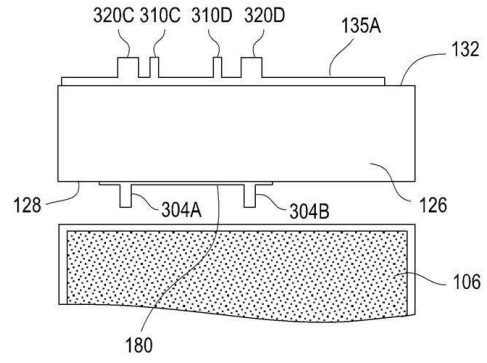
40

50

【 図 3 B 】

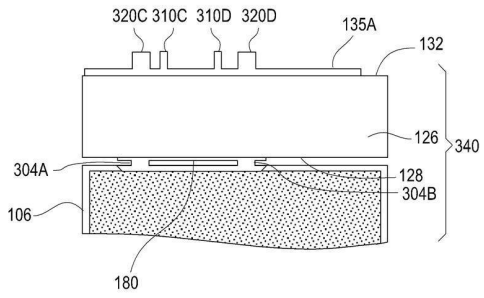


【 図 3 C 】

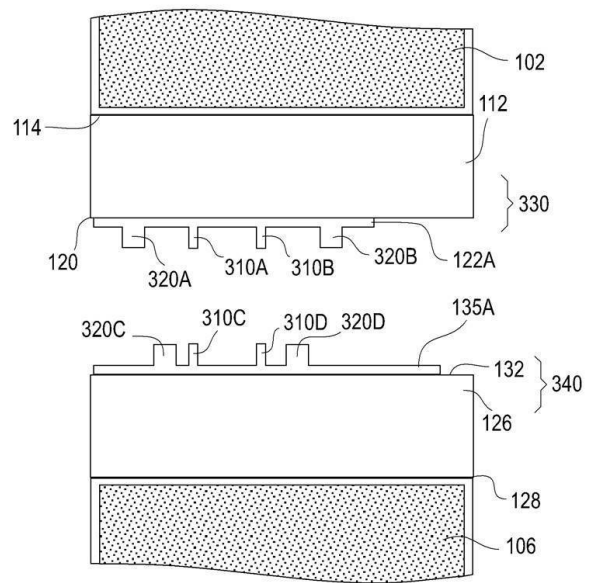


10

【 図 3 D 】



【 図 3 E 】



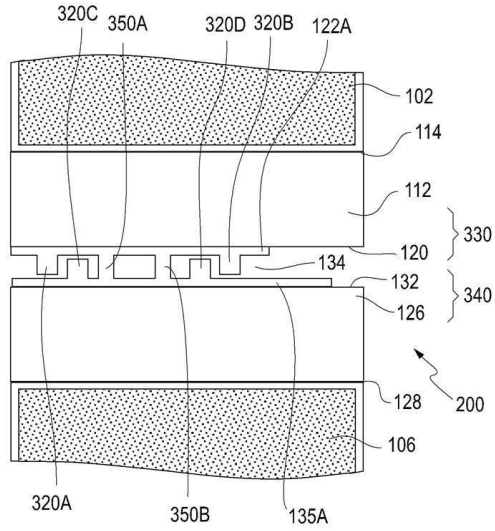
20

30

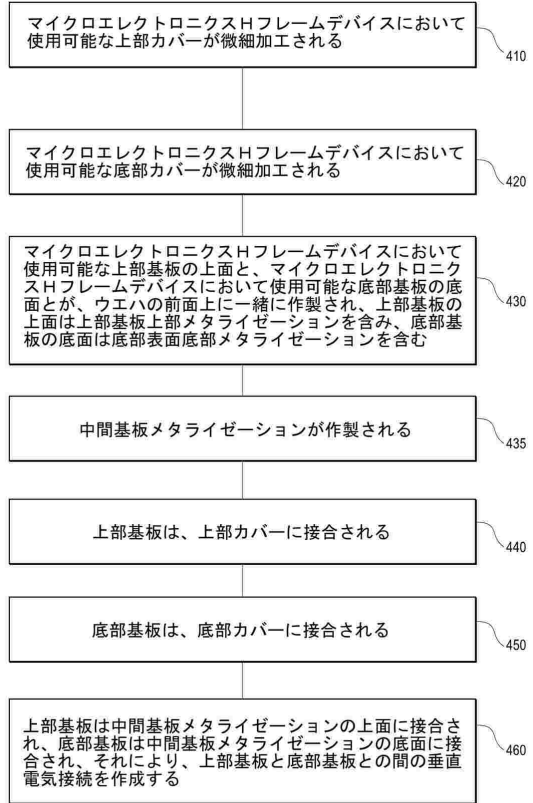
40

50

【 図 3 F 】



【 図 4 】



10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2022/015204
--

A. CLASSIFICATION OF SUBJECT MATTER		
INV.	H01L23/66	H01L23/04
	H01L23/544	H01L23/552
ADD.	H01P1/04	H01L23/00
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L H01P		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 9 761 547 B1 (KUNKEE ELIZABETH T [US] ET AL) 12 September 2017 (2017-09-12) column 3, line 4 - column 4, line 54; figure 2 -----	1-7, 10-14, 16, 17, 19, 22, 23
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 13 May 2022	Date of mailing of the international search report 14/07/2022	
Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Diaz Alvarez, C	

Form PCT/ISA/210 (second sheet) (April 2005)

10

20

30

40

1

50

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2022/015204

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

10

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

20

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

30

2. As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.

3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims;; it is covered by claims Nos.:
1-7, 10-14, 16, 17, 19, 22, 23

40

Remark on Protest

The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

No protest accompanied the payment of additional search fees.

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

10

1. claims: 1-7, 10-14, 16, 17, 19, 22, 23

A microelectronics H-frame device, comprising: a stack of two or more substrates, wherein the substrate stack comprises a top substrate and a bottom substrate, wherein bonding of the top substrate to the bottom substrate creates a vertical electrical connection between the top substrate and the bottom substrate, wherein the top surface of the top substrate comprises top substrate top metallization, wherein the bottom surface of the bottom substrate comprises bottom substrate bottom metallization; mid-substrate metallization located between the top substrate and the bottom substrate; a micro-machined top cover bonded to a top side of the substrate stack; and a micro-machined bottom cover bonded to a bottom side of the substrate stack.

20

2. claims: 8, 9

The first vertical electrical connection, the top substrate top metallization is electrically connected to the top substrate bottom metallization at an outer side of the top cover, and wherein a shape in the top substrate bottom metallization connects the first vertical electrical connection at an outer side of the top cover to a first vertical electrical connection at an inner side of the top cover, and wherein using the first vertical electrical connection, the top substrate bottom metallization is electrically connected to the top substrate top metallization on an inner side of the top cover, wherein, using the second vertical electrical connection, the bottom substrate bottom metallization is electrically connected to the bottom substrate top metallization at an inner side of the bottom cover, wherein a shape in the bottom substrate top metallization connects the second vertical electrical connection at an inner side of the bottom cover to the third vertical electrical connection at an outer side of the top cover, wherein, using the third vertical connection, the bottom substrate top metallization is electrically connected to the top substrate bottom metallization at an outer side of the top cover, and wherein, using the first vertical electrical connection, the top substrate bottom metallization is electrically connected to the top substrate top metallization at the outer side of the top cover.

30

3. claim: 15

The bonding of the top cover, the top substrate, the bottom substrate and the bottom cover forms a reference metallization, which comprises one or more of: a. the top cover metallization, b. a reference top substrate top

40

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

metallization, c. reference top substrate through-substrate vias comprised in the top substrate, d. a reference top substrate bottom metallization, e. a reference bottom substrate top metallization, f. reference bottom substrate through-substrate vias comprised in the bottom substrate, g. the reference bottom substrate bottom metallization, and h. the bottom cover metallization.

10

4. claims: 18, 20, 21

The top substrate-cover bonding bumps are configured to be crushed during bonding and to thereby compensate for minor non-planarities in the top substrate, thereby facilitating strong gold-gold thermocompression, wherein the bottom substrate-cover bonding bumps are configured to be crushed during bonding and to thereby compensate for minor non-planarities in the bottom substrate, thereby facilitating strong gold-gold thermocompression, wherein the fabricating step further comprises: fabricating a top substrate comprising top substrate-substrate bonding bumps and top standoff bumps, and fabricating a bottom substrate comprising bottom substrate-substrate bonding bumps and bottom standoff bumps, the top standoff bumps configured to prevent crushing of the top substrate-substrate bonding bumps during the bonding of the top cover to the top substrate, the bottom standoff bumps configured to prevent crushing of the bottom substrate-substrate bonding bumps during the bonding of the bottom cover to the bottom substrate, the top standoff bumps being offset from the bottom standoff bumps, the top standoff bumps being offset from the bottom substrate-substrate bonding bumps, the bottom standoff bumps being offset from the top standoff bumps, the bottom standoff bumps being offset from the top substrate-substrate bonding bumps, wherein the top standoff bumps are spaced from all other bumps so as to avoid affecting bonding between the top substrate-substrate bonding bumps and the bottom substrate-substrate bonding bumps, and wherein the bottom standoff bumps are spaced from all other bumps so as to avoid affecting bonding between the top substrate-substrate bonding bumps and the bottom substrate-substrate bonding bumps.

20

30

40

50

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2022/015204

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 9761547	B1	12-09-2017	NONE

10

20

30

40

50

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JO,JP,K
E,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,N
G,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,
TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

ベニユー 3 2 0 8

(72)発明者 ローデン、マーティン、イー .

アメリカ合衆国 9 0 8 0 3 カリフォルニア ロング ビーチ、イースト 5 ストリート 6 2 5 5

(72)発明者 ウー、ローラ、エム .

アメリカ合衆国 9 0 7 2 0 カリフォルニア ロスムア、タイガーテイル ドライブ 3 2 5 1