

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/115 H01L 29/788	(45) 공고일자 1999년 12월 15일	(11) 등록번호 10-0234502	(24) 등록일자 1999년 09월 16일
(21) 출원번호 10-1996-0003441	(65) 공개번호 특 1996-0032759	(43) 공개일자 1996년 09월 17일	
(22) 출원일자 1996년 02월 13일	(43) 공개일자 1996년 09월 17일		
(30) 우선권주장 95-025392 1995년 02월 14일 95-025392 1995년 02월 14일	일본(JP) 일본(JP)		
(73) 특허권자	캐논 가부시끼가이샤	미다라이 후지오	
(72) 발명자	일본 도쿄도 오오따구 시모마루코 3쵸메 30방 2고 오끼다 아끼라		
(74) 대리인	일본국 도쿄도 오오따구 시모마루코 3쵸메 30방 2고 캐논가부시끼가이샤 내 구영창, 장수길, 주성민		

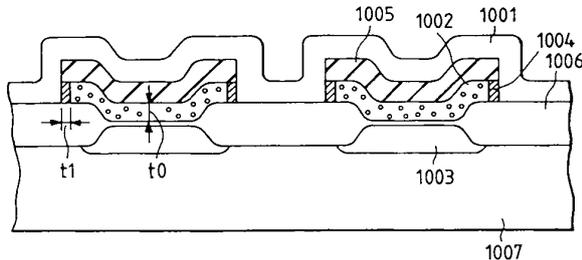
심사관 : 임동우

(54) 메모리 장치

요약

메모리 장치는 기관(1007) 상에 한 도전형의 제1 반도체 영역(1003), 상기 제1 반도체 영역과 접하는 상기 한 도전형과 반대인 도전형의 제2 및 제3 반도체 영역, 상기 제2 반도체 영역과 상기 제3 반도체 영역을 분리시키는 영역 위에 절연층을 통해 설치되는 제1 전극(1002), 및 상기 제1 전극(1002) 위에 절연층(1004)을 통해 설치되는 제2 전극(1001)을 포함하고, 상기 제1 전극의 측면에서, 상기 제1 전극(1002)과 상기 제2 전극(1001) 사이의 저항값은 고저항 상태에서부터 저저항 상태로 변화될 수 있어서 대용량, 저코스트, 기입 용량, 고속 기입 및 판독, 고신뢰성 및 저소비 전력 등을 실현할 수 있다.

대표도



명세서

[발명의 명칭]

메모리 장치

[도면의 간단한 설명]

제1도, 제3도, 제11도 및 제14도는 본 발명의 메모리 장치의 양호한 실시예를 각각 설명하는 단면도.

제2도 및 제13도는 본 발명의 메모리 장치의 양호한 실시예를 각각 설명하는 평면도.

제4a도 내지 제7b도는 본 발명의 메모리 장치의 양호한 실시예의 제조 프로세스를 설명하는 도면으로서, 제4a, 제5a, 제6a도 및 제7a도는 단면도이고, 제4b도, 제5b도, 제6b도 및 제7b도는 평면도.

제12a도 및 제12b도는 본 발명의 메모리 장치의 양호한 실시예의 제조 방법을 설명하는 단면도.

제8도 및 제15도는 본 발명의 양호한 메모리 장치를 각각 도시한 개략 등가회로도.

제9도 및 제10도는 본 발명의 메모리 장치의 동작 예를 각각 설명하는 타이밍 차트.

제16도는 본 발명의 메모리 장치를 갖고 있는 PC 카드를 이용하는 개략 시스템 블록도.

제17도는 본 발명의 메모리 장치를 갖고 있는 IC 카드의 예를 설명하는 개략 사시도.

<도면의 주요부분에 대한 부호의 설명>

1 : 제어 게이트

2 : 부유 게이트

- 3 : MOSFET 웰층
 4 : 워드 라인
 5, 6 : MOSFET 소스, 드레인부
 7, 8 : 열 디코더
 9 : 행 드라이버
 10 : 행 디코더
 11~44 : 메모리 셀
 15 : 감지 증폭기
 16 : 버퍼 증폭기
 17, 18 : 열 어드레스 버퍼
 19 : 행 어드레스 버퍼
 20 : 어드레스 입력

26: 행 어드레스 스트로브 신호 (\overline{RAS})

27 : 열 어드레스 스트로브 신호 (\overline{CAS})

28 : 기입 인에이블 신호 (\overline{WE})
 29 : 입력 데이터 신호 (D_{IN})

30 : 출력 데이터 신호 (D_{OUT})
 150 : 메모리부

151 : SRAM부
 152 : 스캐닝부

153 : EXOR 회로
 154 : 제어 회로

155 : CMOS형 SRAM 메모리 셀부
 156 : 공통 데이터 라인

157 : 감지 증폭기
 158 : 출력 버퍼

159 : 선택 스위치
 160, 161, 166, 167, 168 : 게이트

162 : 부유 게이트
 163 : p형 MOS 트랜지스터

164 : n형 MOS 트랜지스터
 165, 166 : CMOS 인버터

169 : CMOS 인버터 출력
 170, 171, 172 : 워드 라인

179 : 보드
 180 : 메모리 장치

181 : 배터리
 182, 185 : 반도체 레이저 및 광검출기

183 : 투명 플라스틱 패키징
 184 : 광학 시스템

186 : 제어 회로
 1001 : 제어 게이트

1002 : 부유 게이트
 1003 : MOSFET 웰층

1004 : 얇은 고저항층 영역
 1005, 1006 : 절연층

1007 : 기관
 1008 : 소스 또는 드레인층

1009 : 레지스트층
 1010 : 층간 절연층

1011 : S01 기관
 1012 : 산화막

1013 : 채널부
 1016 : 고저항층

[발명의 상세한 설명]

본 발명은 메모리 장치에 관한 것으로, 특히 반도체를 사용하는 메모리 장치에 관한 것이다.

최근 정보 및 영상 산업의 발전과 함께, 정보를 기억하는 매체 및 장치의 개발이 활발하게 행해지고 있다. 그 중에서도 DRAM(동적 등속 호출 판독 기입 메모리) 및 SRAM(정적 등속 호출 판독 기입 메모리)과 같은 반도체를 이용하는 메모리 장치는 소형, 경량 및 저파워에서 큰 메모리 용량을 갖고, 고정도(high-accuracy) 메모리 및 판독을 고속으로 할 수 있기 때문에 다방면의 장치에 사용된다.

또한, 최근 "플래시 메모리(flash memory)"란 애칭으로 불리는 프로그램 가능하고 정보유지 가능한 메모리 장치가 주목되고 있다. 이 메모리 장치는 상기 DRAM보다 집적도 면에서 더 향상될 수 있다는 것이 지적되어 있다.

또한, 플래시 메모리와는 달리 한번만 기입이 가능한 1T-PROM[one time PROM (프로그램 가능한 판독 전용 메모리)]이 일본국 특허 공개 제62-188260호 및 일본국 특허 공개 제62-49651호(1985년 6월 25일자 출원된 미합중국 특허 출원 제 749082호)에 제안되어 있다. 이들 출원에 기술된 구성에서는 트랜지스터의 주전극[MOSFET(금속 산화물 반도체 전계 효과 트랜지스터)의 경우에 소스 또는 드레인, 또는 바이폴라 트랜지스터의 경우에 에미터]에 파괴될 결정 구조의 Si 영역 또는 a-Si층을 통해 배선 금속이 직렬로 접속된다. Si 영역 또는 a-Si 층을 고저항 상태에서 저저항 상태로 변화시킴으로써 기억 동작이 행해진다.

그러나, DRAM과 같은 반도체를 이용한 메모리 장치는 다음의 문제점을 갖고 있다.

1. DRAM 및 SRAM으로 대표되는 반도체 메모리 장치는 메모리 용량의 증가에 따라 칩 코스트의 상승률이 높고, 플로피 디스크, 자기 테이프, 및 CD-ROM에 비해 비트 코스트(bit cost)가 높아진다. 그러므로, 반도체 메모리 장치는 메모리 매체로서 실용적으로 용이하게 사용하는데는 아직 이른다.

2. 현재 연구·개발 하의 메모리 용량의 레벨은 256 Mbit 레벨로서 실제로 화상을 처리하기에는 불충분한

정보량이다.

3. DRAM 또는 SRAM에 정보를 기억하기 위해, 전원이 필요하며, 게다가 휴대용 기기에는 응용은 전원을 부착시킬 필요가 있어 곤란하다. 현재, 장치를 드라이브하기 위한 배터리 이외에 이와 같은 용도에 내장형 배터리가 사용된다.

상기 DRAM 등 보다 집적도에서 더 우수한 플래쉬 메모리에 대하여는 다음과 같은 문제점이 있다.

1. FN 터널 전류 또는 핫 전자 주입 등이 부유 게이트 내의 전하를 기입하거나 소거하는데 이용되기 때문에, 전하의 입출력에 대한 절연층의 신뢰성이 사용 회수의 증가에 따라 열화된다.

2. FN 터널 전류 밀도 J 는 상기 절연층에 인가되는 전계가 E 인 경우에 다음식으로 표시된다.

$$J = \alpha E^2 \exp(-\beta / E)$$

이 식에서 α, β 는 상수이다. 식(1)로부터 전계 강도가 큰 경우에 대전류가 흐른다. 전류는 상술한 부유 게이트의 전위 변화에 따라 지수 함수적으로 감소한다. 그러므로, 1 비트당 기입 주기 및 소거 주기가 약 $100 \mu\text{m}$ 내지 10ms 길어져서 메모리 장치의 사용 상의 편리성(operability)이 나빠진다.

3. 상기 FN 터널 전류는 상기 절연층의 재질 및 두께에 상당히 의존하고 샘플간 또는 각 비트간 적당한 기입 주기 및 소거 주기에서의 변화의 문제가 있다. 이 때문에, 현실적으로 칩의 제조 후 메모리 칩을 검사 공정에서 다수의 그룹으로 분류 선별을 행하고, 각 그룹에 적당한 타이밍으로 상기 메모리를 동작시킨다. 이에 따라 검사 공정의 부하가 가중되어 코스트가 상승하는 문제점을 갖고 있다.

4. 용량의 증가와 더불어 상기 부유 게이트의 면적이 감소한다. 이것에 의해 부유 게이트의 용량이 비례적으로 감소하여 미세한 누설 전류에도 부유 게이트의 전위가 상당히 변화한다. 그러므로, 소망의 용량을 확보하기 위해 부유 게이트의 면적을 축소하는 한계가 존재하고 대용량화로의 조정 요인(governing factor)이 된다.

또한, 단 한번의 기입이 가능한 상기 OT-PROM은 기입 후 상태가 영구적으로 변화하지 않고 안정화를 유지한다는 점에서 우수하지만, 매 비트마다 a-Si 층, 및 상기 a-Si 층과 배선 간에 접촉 영역을 필요로 한다. 반도체 프로세스에서 접촉홀의 형성은 선형 패턴 형성 보다 어렵다. $0.8 \mu\text{m}$ 의 룰 프로세스(rule process)를 이용하는 경우에 접촉 크기는 약 20% 증가한 $1 \mu\text{m}^2 (1 \mu\text{m} \times \mu\text{m})$ 가 된다. 배선 폭이 접촉 홀에 비해 상당히 증가될 필요가 있기 때문에, 비트당 면적의 감소가 달성될 수 없다. 그러므로, 제안된 이들 메모리는 대용량화가 곤란하다. 또한, 기입 동작시 상기 a-Si 층에 대전류가 흐르기 때문에, 소비 전력이 커지고, 휴대용 장비에 적용이 곤란하다는 문제점이 있다.

본 발명의 목적은 상술한 기술적 문제를 해결하고 대용량, 저코스트, 기입 용량, 고속 기입 및 판독, 고신뢰성 및 저소비 전력을 실현할 수 있는 메모리 장치를 제공하는 것이다.

본 발명의 다른 목적은 각 비트의 셀 면적이 작고 저코스트로 이용할 수 있으며 기입된 정보가 영구적이고 안정된 메모리 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 저소비 전력 및 저전압으로 동작하고 배터리와 같은 전원 공급 장치없이 메모리를 유지할 수 있으며 고신뢰성을 갖는 메모리장치를 제공하는 것이다.

본 발명의 또 다른 목적은 용이한 구동 방법에 의해 구동될 수 있고, 고속 기입 가능하며, 고속 판독 가능하고, 저 에러율로 동작하며, 장치의 동작 환경에 덜 제한을 받고, 사용상의 편리성이 우수한 메모리 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 더 적은 제조 공정으로 제조될 수 있고, 고수율로 제조될 수 있으며, 다른종류의 메모리 장치, 논리 회로 등으로 이루어진 장치 및 회로를 포함하는 주변 회로를 동일 칩 상에 집적시킬 수 있고, 칩의 고기능 설계가 가능한 메모리 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 컴퓨터용 메모리 장치 뿐만 아니라 예를 들어 오디오 또는 비디오 데이터의 다른 용도의 정보 메모리 매체로서 사용될 수 있고, 고성능을 이용하는 현재 상업적으로 유용한 오디오 테이프, 비디오 테이프, CD-ROM등을 대체할 수 있는 메모리 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 휴대용 장치의 외부 메모리 장치, 전자 편집, 제어 장치 및 전자 영상 및 화상 메모리 예를 들어 스틸 비디오(still video), 팩시밀리 장치 및 복사기로부터의 출력을 본 발명의 메모리 장치를 갖고 있는 카드와 같은 기록 매체에 기입하는 용이한 방식으로 영상 데이터와 같은 필요한 데이터를 유저가이송하거나 추출 및 기억할 수 있는 시스템에 적절히 응용할 수 있는 메모리 장치를 제공하려는 것이다.

본 발명의 또 다른 목적은 기판 상에 한 도전형의 제1 반도체 영역, 상기 제1 반도체 영역과 접하는 상기 한 도전형과 반대인 도전형의 제2 및 제3 반도체 영역, 상기 제2 반도체 영역과 상기 제3 반도체 영역을 분리시키는 영역 위에 절연층을 통해 설치되는 제1 전극, 및 상기 제1 전극 위에 절연층을 통해 설치되는 제2 전극을 포함하는 메모리 소자를 갖는 메모리 장치를 구비하되, 상기 메모리 소자는 상기 제1 전극의 측면에서 영역 L을 갖고 있고, 그 저항 값은 상기 제1 전극과 상기 제2 전극 사이에서 고저항 상태에서부터 저저항 상태로 변화될 수 있다.

본 발명의 메모리 장치의 양호한 형태를 간단히 설명하면, 상기 장치는 MOSFET의 웰, 상기 웰과 접하여 설치되는 소스와 드레인을 분리시키는 영역 위에 절연층을 통해 설치되는 부유 게이트 및 상기 부유 게이트 위에 절연층을 통해 설치되는 제어 게이트로 구성되고, 상기 절연층의 저항 값이 변화될 수 있게 구성되며, 상기 부유 게이트와 상기 제어 게이트가 저항의 변화, 즉 고저항으로부터 저저항으로의 변화에 의해 전기적으로 접속되는 구조로 구성되어 기입을 실행하는 것이다.

따라서 다음 설명되는 장치에 의해 상기 목적들을 달성할 수 있다.

본 발명의 메모리 장치는 기관 상에 한 도전형의 제1 반도체 영역, 상기 제1 반도체 영역과 접하는 상기 한 도전형과 반대인 도전형의 제2 및 제3 반도체 영역, 상기 제2 반도체 영역과 상기 제3 반도체 영역을 분리시키는 영역 위에 절연층을 통해 설치되는 제1 전극, 및 상기 제1 전극 위에 절연층을 통해 설치되는 제2 전극을 포함하고, 상기 메모리 소자는 저항 값이 상기 제1 전극과 상기 제2 전극 사이에서 고저항 상태로부터 저저항 상태로 변화될 수 있는 영역을 갖고 있고, 상기 제1 전극과 상기 제2 전극 사이에 형성되는 주 용량의 값이 상기 제1 전극의 두께에 의존하도록 구성된다.

또한, 본 발명의 메모리 장치는 기관 상에, 한 도전형의 제1 반도체 영역, 상기 제1 반도체 영역과 접하는 상기 한 도전형과 반대인 도전형의 제2 및 제3 반도체 영역, 상기 제2 반도체 영역과 상기 제3 반도체 영역을 분리시키는 영역 위에 절연층을 통해 설치되는 제1 전극, 상기 제1 전극의 측면에 설치되고, 상기 제1 전극과 상기 제2 전극 사이에서의 저항 값이 고저항 상태로부터 저저항 상태로 변화될 수 있는 영역, 및 상기 영역 위에 설치되는 제2 전극을 포함하는 메모리 소자를 갖고 있다.

또한, 본 발명의 메모리 장치는 상기 제2 전극에 인가되는 전압에 의해 상기 메모리 소자의 저항 값을 변화시킬 수 있다.

또한, 본 발명의 메모리 장치는 상술한 다수의 메모리 소자를 갖고, 상기 메모리 소자에서 제 i 메모리 소자의 상기 제2 또는 제3 반도체 영역이 제 i+1 메모리 소자의 제3 또는 제2 반도체 영역과 전기적으로 접속되도록 구성되는 것이 바람직하다.

또한, 본 발명의 반도체 장치의 기관은 절연층 상에 Si 층을 갖는 기관일 수 있다.

또한, 본 발명의 메모리 장치는 상기 메모리 소자가 매트릭스 형상으로 배치되고, 각 배선들이 배열의 한 방향을 따라 공통으로 제2 전극을 접속하기 위해 설치되며, 상기 배선에 교차하는 방향으로 설치된 상기 메모리 소자의 제1 반도체 영역이 공통으로 접속되고, 각 어레이의 제1 반도체 영역이 전기적으로 분리되는 구조로 구성되는 것이 바람직하다.

또한, 본 발명의 메모리 장치는 상기 제1 전극과, 제1, 제2 및 제3 반도체 영역을 갖는 반도체 영역 사이에 형성된 용량이 상기 제2 전극과 상기 제1 전극 사이에 형성된 용량보다 크게 설정되도록 양호하게 구성된다.

또한, 본 발명의 메모리 장치에서 상기 제1 전극과 상기 제2 전극 사이에 형성된 용량은 포토리소그래피의 제한을 받지 않을 만큼 작게 설정될 수 있다.

또한, 본 발명의 메모리 장치에서 상기 제1 전극은 다결정 Si를 포함하는 재료로 양호하게 이루어진다.

또한, 본 발명의 메모리 장치에서는 제1, 제2 및 제3 반도체 영역을 포함하는 반도체 영역과 제1 전극 사이의 절연층이 Si, N 및 O로 이루어진 막으로 형성되고, 또는 절연층이 Si, N 및 O로 이루어지는 것이 양호하다.

또한, 본 발명의 메모리 장치는 메모리 장치의 일부로 본 발명의 메모리 소자와는 상이한 구조의 메모리 소자를 갖을 수 있다.

또한, 본 발명의 메모리 장치에서 그 주변 회로는 CMOS 회로로 구성될 수 있다.

또한, 본 발명의 메모리 장치는 상기 제1 전극 및 제2 전극이 매트릭스 형상으로 배치되고 매트릭스의 교차부에서 상기 제1 전극과 상기 제2 전극 사이의 저항값을 고저항 상태로부터 저저항 상태로 각각 변화시키는 영역들을 더 포함하도록 구성될 수 있다.

또한, 본 발명의 메모리 장치는 상기 다수의 메모리 소자를 갖고 있고, 정보를 기입한 메모리 소자에는 상기 제1 반도체 영역이 소량의 전원에 접속되고 정보를 기입하지 않은 메모리 소자에는 상기 제1 반도체 영역이 부동 상태를 유지하도록 구성될 수 있다.

또한, 본 발명의 반도체 장치는 상기 제1 전극과 상기 제2 전극 사이의 저항값이 고저항 상태로부터 저저항 상태로 변화될 수 있는 절연층이 상기 제1 전극의 단부 측면에 형성되도록 구성되는 것이 바람직하다.

또한, 본 발명의 메모리 장치는 상기 제1 전극과 상기 제2 전극 사이의 저항값이 고저항 상태로부터 저저항 상태로 변화될 수 있는 절연층이 애퍼츄어가 있는 상기 제1 전극 내의 애퍼츄어부의 측면에 형성되도록 구성되는 것이 바람직하다.

또한, 본 발명의 메모리 장치에서 정보가 상기 제1 메모리 소자에 기입되는 경우에 상기 제2 전극에 인가되는 제1 전압 V_1 은 정보가 상기 메모리 소자로부터 판독되는 경우에 상기 제2 전극에 인가되는 제2 전압 V_2 보다 크게 설정된다.

또한, 본 발명의 메모리 장치는 기입 데이터가 메모리 소자 및 그 이외의 구조의 메모리 소자에 기입되고, 기입 데이터가 양 메모리 소자로부터 판독되며, 상기 양 메모리 소자로부터 판독된 결과가 서로 조합(collate)될 수 있도록 구성될 수 있다.

또한, 본 발명의 메모리 장치는 상기 주변 회로의 적어도 일부분에 부유 게이트를 통해 다수의 게이트 전극을 갖는 회로가 제공될 수 있다.

또한, 본 발명의 메모리 장치는 다음 식을 만족시키는 것이 바람직하다.

$$\{C_{FG}/(C_{FG} + C_{CG})\} \cdot V_1 \geq V_{BD}$$

$$\{C_{FG}/(C_{FG} + C_{CG})\} \cdot V_2 \geq V_{th}$$

$$V_2 > V_{th}$$

여기에서, V_{B0} 는 상기 제1 전극과 상기 제2 전극 사이의 저항 값이 고저항 상태에서부터 저저항 상태로 변화하는 경우에 상기 제1 전극과 상기 제2 전극 사이의 전압이고, V_{th} 는 상기 제2 및 제3 반도체 영역이 주 전극 영역, 상기 제1 반도체 영역이 제어 전극 영역, 및 상기 제1 전극이 제어 전극인 경우에 형성되는 절연 게이트형 트랜지스터의 임계값이며, C_{FG} 는 상기 제1 전극과 상기 제1, 제2 및 제3 반도체 영역 사이에 형성된 용량이고, C_{CG} 는 상기 제1 전극과 상기 제2 전극 사이에 형성된 용량이며, V_1 , V_2 는 기입시 및 판독시 각각 상기 제2 전극에 인가되는 전압이다.

부수적으로, 본 발명의 메모리 장치는 상기 조합 결과를 기입하는 영역을 더 포함하도록 구성될 수 있다.

본 발명을 필요에 따라 도면을 참조하여 상세히 설명한다.

제1도 및 제3도는 메모리 장치의 메모리 소자부(메모리 셀부)의 단면 구조도를 도시한 본 발명의 양호한 메모리 장치를 설명하는 도면이다. 제2도는 메모리 셀부의 평면도이고, 제1도는 제2도에서 1-1을 따라 절취한 단면도이다. 제3도는 제2도의 3-3을 따라 절취한 단면도이다. 제1도 내지 제3도에서 참조번호(1001)은 제어 게이트(제2 전극이 됨), 참조 번호(1002)는 부유 게이트(제1 전극이 됨), 참조 번호(1003)은 MOSFET의 웰층(제1 반도체 영역), 참조 번호(1004)는 얇은 고저항층 영역(고저항 영역), 참조 번호(1005)는 절연층, 참조 번호(1006)은 절연층, 참조 번호(1007)은 기판이다. 제3도에서, 참조 번호(1008)는 MOSFET의 소스 또는 드레인층(제2 및 제3 반도체 영역이 됨)을 나타낸다. 제어 게이트가 부유 게이트를 피복하도록 이 실시예가 구성되어 있지만, 이 구성은 항상 필연적인 것은 아니고 제어 게이트가 부유 게이트의 단부 측면에 설치된 고저항층(1004) 위에만 형성될 수 있다(이 점에 있어서는 후술하는 각 실시예에서 동일하다.).

제2도에서, 절연층(1006)은 설명을 간단히 하기 위해 생략되었고 웰층(1003)이 개략적으로 도시되었다. 실선과 파선 사이의 구분에 대하여는 복잡성을 피하기 위해 편의성 우선으로 도면을 도시하였다. 그러므로, 제2도에서 실선으로 표시된 부분이 최외면으로 항상 노출되지 않는다는 것을 알 수 있다. 층들 사이 및 상기 부분들 사이의 전위 관계를 제1도 및 제3도로부터 알 수 있기 때문에, 이 관계를 이해하기 위해 기준을 만들었다.

이제, 본 발명에 따라 제어 게이트와 부유 게이트 사이의 영역을 고저항 상태에서부터 저저항 상태로 변화시킬 수 있는 메모리 셀에 의해 만족되는 조건을 설명한다.

제어 게이트와 부유 게이트 사이의 영역을 고저항 상태에서부터 저저항 상태로 변화시킬 수 있는 메모리 셀은 그 동작 원리로부터 V_{B0} 가 로우이고 C_{CG} 가 작은 조건을 만족시키는 것이 바람직하다(여기에서, V_{B0} 는 제어 게이트와 부유 게이트 사이의 저항 값이 고저항 상태에서부터 저저항 상태로 변화하는 경우의 전압이고, C_{CG} 는 부유 게이트와 제어 게이트 사이의 용량이다).

V_{B0} 를 낮추기 위해, 제어 게이트와 부유 게이트 사이의 전계 강도를 증가시키도록 제어 게이트와 부유 게이트 사이의 간격(T)를 더 작게하는 것이 바람직하다. 그 다음, 간격(T)를 더 작게 하는 것이 바람직하다. 그 다음, 간격(T)를 작은대로 유지하면서 C_{CG} 를 더 작게하기 위해서는 제어 게이트가 부유 게이트에 가장 근접하는 경우에 최소 간격(T)의 면적을 감소시키는 것이 좋다.

제1도 내지 제3도에 도시된 메모리 장치는 상기 조건을 만족시키는 적합한 구조를 갖고, 얇은 고저항층(1004)이 부유 게이트(1002)의 단부 측면 부분에 형성되고 또한 제어 게이트(1001)가 형성되어 주 용량 C_{CG} 를 형성한다. 이 구성에 의해 고저항층을 가능한 한 얇게, 면적을 가능한 한 작게 형성할 수 있어서, V_{B0} 가 낮고 C_{CG} 가 작은 조건을 만족할 수 있다.

이 실시예에서 부유 게이트(1002)와 제어 게이트(1001) 사이의 용량 C_{CG} 가 고저항층 영역(1004)의 두께 t_1 (제1도에 도시함) 및 면적(s_1)에 의해 주로 결정된다. 고저항층 영역(1004) 면적 s_1 은 부유 게이트(1002)의 선폭 W(제2도에 도시함)과 막 두께 t_0 (제1도에 도시함)사이의 곱(product)에 의해 결정된다. 선폭 W는 포토리소그래피 기술에 의해 제한되나(현재 적어도 0.3 μ m의 폭까지), 예를 들어 부유 게이트가 LPCVD 프로세스에 의해 polySi를 증착함으로써 형성되는 경우에 부유 게이트의 막 두께 t_0 은 현재 포토리소그래피 기술에 의해 형성될 수 없는 폭인 0.01 μ m(100Å)의 두께로 형성될 수 있고, 그 변화도 1% 이하로 적당히 제어될 수 있다. 부유 게이트는 텅스텐 실리사이드와 같은 고용점 실리사이드로 형성될 수 있다. 막두께 t_1 은 10Å 내지 300Å의 범위, 양호하게는 30Å 내지 200Å의 범위, 더 양호하게는 50Å 내지 150Å의 범위로 선택되는 것이 양호하다. 이 두께는 영역을 저저항 상태로 변화시키기 위해 인가되는 전압에 따라 적절히 선택된다. 이 두께 전기 절연을 확실히 유지하는 관점에서 50Å 이상이어야 하고, 인가되는 전압을 낮추기 위해 150Å 이하이어야 하는데, 그 이유는 양호한 범위의 두께 때문이다.

설명된 바와 같이, 고저항층 영역(1004)이 면적 s_1 을 결정하는 요인인 부유 게이트(1002)의 막 두께 t_0 은 포토리소그래피의 제한을 받지 않아서 아주 양호한 정도(accuracy)로 작게 결정될 수 있으므로 고저항층 영역(1004)의 면적 s_1 은 또한 아주 양호한 정도로 작게 결정될 수 있다. 고저항층 영역(1004)의 막 두께 t_1 이 막의 증착 조건에 의해 설정될 수 있기 때문에, 포토리소그래피의 제한을 받지 않는다.

따라서, 고저항층 영역(1004)의 막 두께 t_1 및 면적 s_1 에 의해 주로 결정되는 용량 C_{CG} 는 아주 양호한 정도로 작게 결정될 수 있다.

한편, 제어 게이트(1001)와 부유 게이트(1002) 사이의 저항 값이 고저항 상태에서부터 저저항 상태로 변화하는 경우에 부유 게이트(1002)와 제어 게이트(1001) 사이의 전압 V_{B0} 는 얇은 고저항층 영역(1004)의 막 두께 t_1 에 의해 주로 결정된다. 그러므로, 고저항층 영역(1004)를 얇게함으로써 전압이 낮아질 수 있다. 본 발명의 고저항층 영역(1004)은 저항이 전압의 인가에 따라 변화하는 영역이고, 이 층 영역은 저저항 상태로 변화된 후의 층으로서 남지 않아야 한다. 전극들 사이에서 도전이 달성되는 것이 요점이다.

상기 메모리 장치를 형성하는 방법이 제4a도 내지 제7b도를 참조하여 설명된다. 각 도면에서, 제4b도, 제5b도, 제6b도 및 제7b도는 메모리 셀 부의 평면도이고 제4a도, 제5a도, 제6a도 및 제7a도는 제4b도, 제5b도, 제6b도 및 제7b도의 선 4A-4A, 5A-5A, 6A-6A 및 7A-A를 따라 절취한 경우의 단면도이다.

우선, p형 Si 기판(1007)을 준비한다. p형 Si 기판(1007)은 불순물 농도 10^{14} 내지 10^{17}cm^{-3} 레벨의 불순물을 포함할 수 있고, 분할될 웰들 사이의 폭 및 웰 내에 형성되는 용량의 점에서 10^{16}cm^{-3} 레벨이 기판에 바람직하다. 그 다음, 제4A도 및 제4B도에 도시된 바와 같이, 소자 분리용 필드 산화막(1006)은 실리콘의 국부 산화(local oxidation) 또는 실리콘의 변형 국부 산화[필드 산화막이 형성될 Si를 에칭함으로써 홈을 형성한 후 실리콘이 산화되어 버드 피크(bird's peak)가 좁아지므로 분리 폭을 좁게 형성할 수 있다]법에 의해 형성된다. 그 후, n웰(1003)을 형성하기 위해 패터닝이 행해지고 그 다음 기판의 농도보다 약 2 내지 7배 더 큰 불순물 농도의 웰(1003)을 형성하기 위해 이온 주입이 행해진다. 이 경우에, n웰과 n웰 사이의 내압(withstand voltage)을 보존하기 위해 웰의 깊이는 필드 산화막(1006)의 기저(base) 레벨과 동일 레벨로 결정되어 이 웰들은 통상의 웰 보다 상당히 얇게 된다. 그 후, 열 산화막이 750°C 내지 1100°C에서 습식 산화로 85Å로 형성된 다음 NH₃분위기에서 950°C~1100°C로 90초 동안, O₂ 분위기 또는 N₂O분위기에서 1150°C로 90초 동안 열처리를 행하여 실제로 약 100Å 두께의 SiON막(실리콘 원자, 산소 원자 및 질소 원자를 함유하는 막)을 형성한다. 그 후, 참조 번호(1002)를 표시된 polySi의 제1층이 LP-CVD(저압 화학 증착)법에 의해 4000Å로 형성된다. 이 제1 polySi 층은 이 층 위에 W, Ti, Ta 또는 Mo와 같은 고용점 금속을 배치하고 그것을 어닐링하여 실리사이드 또는 폴리사이드(polyside)를 형성하도록 변형될 수 있고, 또는 그로부터 선택된 고용점 금속이 제1 polySi 대신에 직접 이용될 수 있다. 이 저저항 재료를 이용하여 부유 게이트의 막 두께를 감소시킬 수 있어 평탄성 이외의 C₆₀의 용량이 감소될 수 있다. 이 실리사이드(또는 폴리사이드) 및 고용점 금속은 예를 들어 산화 또는 질화에 의해 절연층을 형성할 수 있다, 특히, Ta의 이용은 그것이 산화에 의해 Ta₂O₅로 변화하고, 고 절연성을 갖으나 파괴시 저저항으로 변화하기 때문에 양호하다.

다음, 이온 주입 및 어닐링이 상기 polySi를 불순물로 도핑하기 위해 행해졌고, 게이트 전극이 제1 polySi 층을 패터닝함으로써 형성되었다. 이 때, polySi의 패턴은 도면 중의 선 4A-4A, 5A-5A, 6A-6A 및 7A-7A의 방향으로 연결된 형상으로 각각 형성되어 있다. 다음 이 polySi를 이용하여 PMOSFET의 소스 및 드레인 영역이 자기 정렬 방식으로 이온 주입법에 의해 형성된다(도시하지 않음). 또한, 미세화(scale down)를 행한 경우의 소스 및 드레인 단에서 전계를 완화시키기 위해 LDD 구조 또는 GOLD 구조를 이용하는 것이 바람직하다.

다음, 5a도 및 제5b도에 도시한 바와 같이, polySi층(1002)은 2000Å의 SiO₂층(1005)를 형성하기 위해 950°C에서 습식 산화된다.

다음, 레지스트 층(1009)이 패터닝되고 이 층의 마스크로서 SiO₂층(1005) 및 polySi 층(1002)이 연속하여 이방성으로 에칭된 후 레지스트가 제거된다. 다음에, 제6a도 및 제6b도에 도시된 바와 같이, 아주 얇은 고저항층 영역(1004)이 상기 에칭에 의해 형성된 단면으로 형성된다. 이 경우에, 고저항층 영역은 예를 들면 800°C의 온도에서 건식 산화된 것일 수 있거나, 또는 오존(O₃)을 첨가한 순수(pure water) 중에, 과산화수소수(hydrogen peroxide)를 첨가한 산(H₂SO₄, HCl) 중에, 또는 알카리(NH₄OH)중에 약 10Å 내지 50Å의 화학적 산화막을 형성하고 500°C 내지 600°C의 고순도 Ar과 같은 불활성 가스 분위기 또는 N₂분위기에서 30분 동안 열처리함으로써 얻어질 수 있다. 그 후, 제7a도 및 제7b도에 도시된 바와 같이, polySi의 제2 층이 LP-CVD법에 의해 다시 웨이퍼 상에 형성되고 제어 게이트가 되는 워드 라인(1001)은 상기 프로세스와 동일한 방식으로 불순물로 도핑하고 패터닝함으로써 형성된다. 워드 라인이 긴 경우에, 저항을 감소시키기 위해 금속, 예를 들면 W-polyside(텅스텐 폴리사이드) 등을 함유하는 금속 폴리사이드(또는 금속 실리사이드)를 이용하는 것이 바람직하다. 고저항층 영역은 공지된 무기 산화물로부터 선택된 재료, 예를 들면 실리콘 및 산소 또는 질소를 포함하는 재료, 실리콘, 산소 및 질소를 포함하는 재료, 및 Ta₂O₅로부터 선택된 재료로 이루어질 수 있다.

고저항층 영역(1004)이 제어 게이트(1001)와 부유 게이트(1002) 사이에 상기 방식으로 형성될 때 C₀₆는 전술한 바와 같이 정도 및 재현성이 양호하게 형성될 수 있다. 그러나, 여기에서는 SiO₂층(1005)이 polySi 층의 두께 보다 얇아진다는 것을 알 수 있다.

그 후는 통상의 LSI 프로세스와 동일한 방식으로 BPSG 등의 층간 절연층(1010), 접촉부(도시하지 않음), 금속 배선(도시하지 않음), 패시베이션 막(passivation film)을 형성하고 패드부(도시하지 않음)가 패터닝되고 프로세스를 종료한다. 상기 구조를 형성하기 위해 이용된 마스크의 수는 DRAM, SRAM, 및 플래시 E²PROM을 포함하는 통상 메모리의 제조에 필요한 것이 반 이하이다. 이렇게 형성된 메모리 소자 각각은 비트 당 면적이 작고, 간단한 공정 및 높은 수율로 형성될 수 있어 코스트를 줄일 수 있다.

본 구조의 제조 방법의 설명에는 단편(single-side) 웰 구조에 관한 것이나 그것에 제한되지 않고 n형 웰 및 p형 웰의 이중 웰 구조에도, 분리부에서의 채널 스톱층의 형성에도, 트렌치 분리의 경우에도 물론 유효하게 사용된다.

제8도는 본 발명의 따른 메모리 장치의 기본 블록의 등가 회로의 예를 도시하고 있다. 제8도에서 참조 번호(11, 12, 13, 14, 21, 22, 23, 24, 31, 32, 33, 34, 41, 42, 43, 44)의 각각은 메모리 셀을 표시하고, 여기에는 설명을 편리성을 위해 4 × 4 셀 구조의 경우를 설명하였다.

메모리 셀에서, 참조 번호(1)은 제어 게이트(제2 전극이 됨), 참조 번호(2)는 부유 게이트(제1 전극이 됨), 참조 번호(3)은 MOSFET의 웰 층(제1 반도체 영역이 됨), 참조 번호(4)는 각각의 제어 게이트가 접속되는 워드 라인, 참조 번호(5,6)는 각각 MOSFET의 소스 및 드레인부(제2 및 제3 반도체 영역이 됨)를 표시한다. 셀의 소스 및 드레인은 각 열에서 서로 직렬로 접속된다. 참조 번호(7)는 판독 열을 선택하는 열 디코더, 참조 번호(8)는 기입 비트 라인을 선택하는 열 디코더, 참조 번호(9)는 워드 라인을 구동하는

행 드라이버, 참조 번호(10)는 워드 라인을 선택하는 행 디코더, 참조 번호(15)는 감지 증폭기, 참조 번호(16)는 버퍼 증폭기이다. 또한, 참조 번호(17, 18)은 참조 번호(20)로부터 입력된 어드레스를 열 디코더(7, 8)로 전송하는 열 어드레스 버퍼이다. SW1 내지 SW13은 MOSFET의 스위치이고, 스위치 SW9, SW10, SW11, SW12, SW13은 펄스 Φ_1 , Φ_2 , Φ_3 , Φ_4 , Φ_5 에 의해 제어된다. 참조 번호(26)은 행 어드레스 스트로브 (\overline{RAS})를, 참조 번호(27)는 열 어드레스 스트로브 (\overline{CAS}), 참조 번호(28)는 기입 인에이블 (\overline{WE}), 참조 번호(29)는 입력 데이터(D_{IN})의 신호, 참조 번호(30)는 출력 데이터(D_{OUT})의 신호를 나타낸다.

다음에 이 메모리 장치의 동작이 설명된다. 이 장치는 두 종류의 어드레스 신호를 동일한 입력 핀을 통해 시분할로 입력된다. 열 어드레스 확정 후, 하이 레벨에서 로우 레벨로 \overline{CAS} (27)를 입력함으로써 칩 내에서 열 어드레스가 취해진다. 그 다음, 행 어드레스가 확정된 후, 하이 레벨로부터 로우 레벨로 \overline{RAS} (26)을 입력함으로써 칩 내에서 어드레스가 취해진다. 이 구성은 어드레스의 핀의 수를 반으로 줄일 수 있다. 칩이 판독 상태인지 또는 기입 상태인지는 참조 번호(28)로 표시된 \overline{WE} 신호가 하이 레벨 또는 로우 레벨인지를 결정한다.

판독의 경우에, 유효한 출력 데이터를 \overline{RAS} 로부터 소정 시간 후 참조 번호(30)으로 표시된 D_{OUT} 단자로부터 얻을 수 있다. 기입의 경우에, 데이터는 도면 부호(29)로 표시된 D_{IN} 단자를 통해 기입된다.

기입 동작의 예를 제9도에 도시된 개략 타이밍도를 참조하여 상세히 설명한다. 이 칩의 전원 전압은 3.3V로 설정되어서 소비 전력을 줄인다. 또한, 제9도에 CG1, CG2, CG3, CG4는 제8도에서의 제1, 제2, 제3 및 제4 워드 라인의 전위를 나타낸다. BL1, BL2, BL3, BL4는 nMOSFET의 SW5 내지 SW8에 각각 입력되는 펄스이다. 제9도는 본 메모리 장치의 셀(21)에서 기입이 행해지는 경우의 펄스의 예를 도시한 것이다. 기입 전에, 참조 번호(8)로 표시되는 열 디코더(1)로부터의 펄스 BL1, BL2, BL3, BL4는 각각 하이 레벨, 로우 레벨, 로우 레벨, 로우 레벨 상태이어서 스위치 SW5는 온이고 다른 스위치 SW6, SW7, SW8은 오프이다. 이것에 의해 기입 셀을 갖고 있는 제1 열의 웰은 GND로 고정되고, 그 외의 다른 제2 내지 제4열의 웰 전위는 부동 상태로 된다.

또한, SW9, SW10, SW11, SW12, SW13도 n형 MOSFET로 이루어지고, 펄스 Φ_1 , Φ_2 , Φ_3 , Φ_4 , Φ_5 는 제9도에 도시된 바와 같이 각각 로우 레벨, 하이 레벨, 하이 레벨, 하이 레벨 및 로우 레벨로 설정된다. 부수적으로, SW1 내지 SW4는 p형 MOSFET로 이루어지고 참조 번호(7)로 표시된 열 디코더(2)로부터의 펄스 모두는 로우 레벨로 설정되어 각 셀의 소스 및 드레인 전극은 GND 전위로 고정된다.

다음으로, 참조 번호(9)로 표시된 행 드라이버는 기입 셀(21)에 접속된 워드라인에만 10V 진폭의 펄스를 인가했다. 이 경우에 전원 전압은 3.3V이나, 흐르는 전류가 없기 때문에, 부스터 회로에 의해 칩 내에서 고전압을 쉽게 발생시킬 수 있다. 이 기압을 펄스를 인가하면 셀(21)의 제어 게이트(1)와 부유 게이트(2) 사이에 약 6.6V의 바이어스를 걸어서 제어 게이트(1)와 부유 게이트(2) 사이의 영역이 고저항 상태에서부터 저저항 상태로 수 십 ns로 변화하여 기입을 완료한다. 동일한 워드라인에 접속되는 셀(22, 23, 24)의 제어 게이트와 부유 게이트 사이에 상기 펄스가 인가되어도 약 0.1 내지 0.5V의 바이어스 걸리기 때문에, 제어 게이트와 부유 게이트 사이에 상기 영역이 고저항 상태를 유지하며 기입되지 않는다. 그 이유는 SW6 내지 SW8이 오프 상태에서 제2열, 제3열, 제4열의 웰 전위가 부동 상태로 되고 인가 전압이 제어 게이트와 부유 게이트 사이에 인가되지 않고 웰 및 기판에 인가된다. 기입의 종료 후, 워드 라인 전위가 제9도가 CG2로 도시된 바와 같이 0V로 돌아간다.

상술한 바와 같이, 본 발명의 메모리 장치는 각 셀 내의 형성되는 트랜지스터의 게이트 구조가 부유 게이트와 제어 게이트의 적층 구조이고, 제어 게이트에 인가되는 펄스에 의해 부유 게이트와 제어 게이트 사이의 저항 값의 변화(또는 저항의 감소)에 의해 기입을 행하는 것은 완전히 신규한 것이다.

본 발명의 판독 동작의 예를 제10도에 도시된 개략 타이밍도를 이용하여 다음에 설명한다. 각 셀을 형성하는 트랜지스터는 p형 MOSFET이고, 그 임계 값은 -1.8V로 설정된다. p형 MOSFET의 셀부를 이 실시예에서 도시하였지만, 본 발명이 n형 MOSFET를 이용하는 경우에도 응용할 수 있음은 말할 필요 없다.

판독 열이 제8도의 제1 열이고, 기입은 그 열에서 셀(21)에서만 행해지며 그외의 셀(11, 31, 41)에서 기입이 행해지지 않는다고 가정하자.

제1열 내의 정보를 판독하기 위해, 참조 번호(7)로 표시된 열 디코더가 트랜지스터 SW1만을 온으로 하고 다른 트랜지스터 SW2, SW3, SW4를 오프로 하는 펄스를 각각의 스위치의 게이트에 인가한다. 판독 동작시에, 셀 트랜지스터가 PMOS인 경우에, 적어도, 판독 열의 웰 전위를 최대 전위로 고정시키기 위해 SW12를 오프, SW13을 온, SW5를 온으로 한다. 셀 트랜지스터가 NMOS인 경우에, 고정된 웰 전위는 물론 최소 전위이다.

먼저, 펄스 Φ_1 은 레벨로 복귀하여 셀(11, 21, 31, 41)의 소스 및 드레인을 Vcc 레벨로 프리차지한다. 이것은 모든 워드 라인(4)가 0V이고, 각 셀의 PMOSFET가 온 상태인 경우에 달성된다. 다음에, 펄스 Φ_1 이 로우 레벨로 변화되어, 3.3V의 진폭을 갖는 펄스 CG1이 제10도에 도시된 바와 같이 셀(11)을 판독하기 위해 셀(11)에 접속된 워드 라인에 인가된다. 셀(11)이 기입 정보가 없는 셀이기 때문에, 부유 게이트 전위는 제어 및 부유 게이트 용량의 용량 분할에 의해 결정된 1.1V이다. 이 p형 MOSFET의 임계 값은 상술한 바와 같이 -1.8V이고, 셀(11)의 PMOSFET는 상기 펄스가 인가시에도 온 상태를 유지한다. 따라서, 펄스 Φ_3 을 인가하면, 제1 열의 p형 MOSFET 모두는 온되기 때문에, 감지 증폭기(15)의 출력은 제10도에

참조 번호(35)로 도시된 바와 같이 저하하고 셀(11)에는 기입 정보를 포함하고 있지 않다는 것을 가르키고 있다. 다음에, 다시 펄스 Φ_1 을 인가하여 프리차지를 행한 후에, 펄스 CG2는 셀(21)을 판독하기 위해 하이 레벨로 변화된다. 진폭이 3.3V이고 이 셀(21)이 기입 정보를 포함하고 있기 때문에, 제어 게이트 및 부유 게이트는 저저항 상태로 접속되고 3.3V의 전압이 그대로 인가된다. 그러므로, 셀(21)의 p형 MOSFET가 오프로 된다. 그러므로, 감지 증폭기의 출력이 제10도에 참조 번호(36)으로 도시된 바와 같이, 펄스 Φ_3 의 인가시에도 하이 레벨로 유지되고 셀 내에 정보가 기입되어 있는 것을 가르키고 있다. 상기 동작을 반복하여 셀(31, 41)의 출력이 제10도의 참조 번호(37, 38)로 도시된 바와 같이 저 레벨 상태이고 그안에 기입 정보를 포함하고 있지 않다는 것을 알 수 있다.

판독 완료 후, 펄스 Φ_2, Φ_3, Φ_4 는 하이 레벨로 설정되고, 펄스 Φ_1, Φ_5 는 로우 레벨로 설정되어 셀의 제어 게이트 뿐만 아니라 소스, 드레인 및 웰도 0V로 설정되었다. 이것에 의해 부유 게이트 전위는 안정하게 초기 상태의 0V로 되어 오기능 발생을 방지할 수 있다. 즉, 대기 시에 소스, 드레인, 제어 게이트 및 웰 모두는 0V로 설정되고, 부유 게이트로 누설 전류가 약간 흘러도 항상 0V로 자동적으로 리셋되어 안정하게 동작한다.

다음 관계를 만족함으로써 더 안정한 기입을 행할 수 있다 :

$$\{ C_{FG} / (C_{FG} + C_{CG}) \} \cdot V_1 \geq V_{B0}$$

$$\{ C_{CG} / (C_{FG} + C_{CG}) \} \cdot V_2 < V_{th}$$

$$V_2 > V_{th}$$

여기에서, V_{B0} 는 부유 게이트(2)와 제어 게이트(1) 사이의 저항 값이 고저항 상태에서부터 저저항 상태로 변화하는 경우에 부유 게이트(2)와 제어 게이트(1) 사이의 전압이고, V_{th} 는 MOSFET의 임계 값이며, C_{FG} 는 부유 게이트(2)와 MOSFET의 소스 영역, 드레인 영역 및 웰 영역 사이에 형성되는 용량이고, C_{CG} 는 부유 게이트(2)와 제어 게이트(1) 사이에 형성되는 용량이며, V_1, V_2 는 각각 기입 및 판독시 제어 게이트에 인가되는 전압이다.

상기 식의 관계에서 명백한 바와 같이, 기입 전압 V_1 를 감소시키기 위해서는 다음 3가지 방법이 있다.

(1) V_{B0} 를 낮춘다. 이것은 제어 게이트와 부유 게이트 사이의 최대로 근접한 부분의 간격(T)를 작게함으로써 이루어질 수 있다.

(2) C_{CG} 를 작게 한다. 이것은 제어 게이트와 부유 게이트 사이의 최대로 근접한 부분의 면적을 작게함으로써 이루어질 수 있다. 제어 게이트와 부유 게이트 사이의 가장 근접한 부분의 두께를 증가시키기 위해 V_{B0} 를 증가시켜서 전압 V_1 을 감소시키기 위해서는 양호하지 않다.

(3) C_{FG} 를 크게 한다. 이것은 부유 게이트와, MOSFET의 소스 영역, 드레인 영역 및 웰 영역 사이의 두께를 줄이고 면적을 증가시킴으로써 달성될 수 있다. 그러나, 이것은 소자의 동작 특성을 변화시키고, 동작 속도를 저하하며 소자 면적을 증가시키는 폐해가 있다.

소자의 동작 및 집적도에서 고려하면, (1) 및 (2)를 조합하여 V_{B0} 및 C_{CG} 를 감소시키는 것은 기입 전압 V_1 을 감소시키기에 적당하다.

상기 식으로부터, $C_{CG} < C_{FG}$ 의 관계가 기입 전압 V_1 을 저하하기 위해 만족 된다는 것을 알 수 있다.

상술한 바와 같이, 상기 메모리(메모리 장치)는 다음의 장점을 갖는다.

(i) 메모리 구조가 간단하고 한 셀부의 면적은 워드 라인 및 Si 활성층의 패턴 정도 만에 의해 결정된다. 그러므로, 접촉부가 없는 하나의 셀 면적은 종래의 메모리에 비해 동일하거나 그 이하가 되어 비트 코스트가 저하할 수 있다.

(ii) 이 구조를 형성하는데 필요한 마스크의 수는 DRAM, SRAM, 플래쉬 메모리 등에 필요한 것의 약 반이고 또한 가격을 저하할 수 있다. 공정이 용이하기 때문에, 먼지, 패턴 불량 등의 문제가 거의 발생하지 않아 수율이 높아진다.

(iii) 기입 방법은 제1 및 제2 polySi 층들 사이의 절연층의 파괴에 의한다. polySi 산화막의 내압은 C-Si 산화막의 것 보다 낮고, 화학적 산화법, 산소 도핑법 등의 새로운 프로세스 기술과의 조합에 의해 내압이 소망의 값으로 아주 양호하게 안정하게 제어될 수 있어 기입시에 에러를 거의 발생하지 않는다.

(iv) 또한, 일부 기입 정보는 영구적이다. 이것에 의해 메모리에 전원을 접속하고 리플레시를 포함하는 복잡한 동작을 할 필요가 없다.

(v) 기입에 필요한 시간을 수 십 ns 이하이고 기입 속도가 빨라 시스템과의 매칭이 아주 양호하다.

(vi) 판독 및 기입 상태가 환경 조건에 의해 그 정도 의존하고 있지 않기 때문에 (플래시 메모리, DRAM 등은 누설 전류에 상당히 의존한다), 사용 변화 범위가 넓은 이점이 있다.

본 발명의 다른 양호한 실시예를 제11도를 참조하여 다음에 설명한다. 상술한 실시예는 기판으로서 Si 웨이퍼를 사용한 반면, 본 실시예는 SOI 기판을 사용한다. 제11도는 메모리 셀 부의 단면 구조(제1도와 대응)를 도시하고 있다. 동일한 부분은 상기 실시예의 설명에 이용된 제1도 내지 제7도의 것과 동일한 참조 번호를 병기하고, 동일한 부분의 설명은 생략하였다. 참조 번호(1011)은 SOI 기판으로 SIMOX, 접합된 SOI 웨이퍼, Si 표면에 다공질층을 형성하고, 다공질 표면 상에 에피택셜층을 형성하며, 다공질 표면

에 에피택셜층을 형성한 웨이퍼를 절연층 표면을 갖는 웨이퍼에 접합하고, 다공질 층을 제거하여 제조된 SOI 웨이퍼 등으로부터 선택된 양질의 SOI 웨이퍼 등일 수 있다. 기판 도전형은 n형이라도 p형이라도 좋고, SOI의 산화층(1012)을 통해 형성된 기생 MOS 트랜지스터(산화막(1012))가 게이트 절연층으로 간주되는 경우에 발생하는 MOS 트랜지스터가 온되지 않도록 기판의 바이어스를 제어하는 것이 요점이다. 셀부의 채널부 각각은 참조 점호(1013)으로 도시된 바와 같이 섬형 패턴(island pattern)으로 분리되고, 부유 게이트(1002)가 채널부를 피복한다.

이것은 채널부(1013)과 부유 게이트(1002) 사이에 형성된 용량 C_{FG} 를 증가시키고 전압 V_1 을 감소시킬 수 있다. 즉, 이 실시예에서는 제11도에 도시된 바와 같이 채널부(1013)과 부유 게이트(1002) 사이의 절연층은 채널부(1013)의 단부 측면에도 형성되어 있다. 그러므로, 제1도에 도시된 실시예에서의 것 보다 용량 C_{FG} 가 크게되고, 상기 식의 분수 $C_{FG} / (C_{FG} + C_{OG})$ 가 크게 된다. 이것은 기입 시에 제어 게이트에 인가되는 전압 V_1 을 감소시킬 수 있다. 실효 채널 영역이 보다 크게 형성될 수 있기 때문에, MOS 트랜지스터의 성능이 향상될 수 있다. 채널들 사이의 영역은 완전히 절연되어 분리되고, 동작을 안정화할 수 있다.

본 실시예의 기판에서는 채널부(이전 실시예에서는 웰에 해당)의 하부층이 절연층이기 때문에, 채널부의 용량은 벌크(bulk) 기판을 사용할 시에 비해 작다. 이것은 기입시에 비기입 비트에서 제어 게이트와 부유 게이트 사이의 전압을 감소시키고 기입 에러를 거의 발생시키지 않고 구조 프로세스의 마진을 증가시키는 이점을 갖는다.

이전 실시예와 본 실시예와의 제조 프로세스의 차이가 제12a도 및 제12b도를 참조하여 다음에 간단히 설명된다. 이전 실시예와 본 실시예의 메모리 장치를 형성하는 프로세스의 차이점은 채널부(1013)이 패턴닝에 의해 분리되는 것 뿐이다. 다른 부분은 이전 실시예의 제4a도 내지 제7b도에 도시된 공정과 동일한 방식으로 형성될 수 있다.

더욱 상세하게는 본 실시예는 제12a도의 단면도에 도시된 SOI 웨이퍼의 Si층(1014)을 통상의 포토에칭 프로세스에 의한 패턴닝을 포함하여서 제12b도의 단면도에 도시된 바와 같이 채널부(1013)가 될 Si층이 섬형 패턴으로 남게 되는 형상을 얻을 수 있다. 그 후, 제11도에 도시된 구조는 제4a도 내지 7b도에서와 동일한 공정을 통해 얻어질 수 있다.

제13도 및 제14도에 또 다른 실시예가 도시되어 있다. 제13도는 제2도에 대응하는 평면도이고, 제14도는 제13도에서의 14-14를 따라 제13도를 절단함으로써 얻어진 단면도로서 제1도에 대응하는 단면도이다. 이 실시예는 고저항층 영역(고저항 영역; 1016)이 각각의 부유 게이트(1002)의 내부 영역에 형성되도록 구성된다. 이에 의해, 부유 게이트(1002)는 미리 패턴닝함으로써 서로 독립된 패턴으로 형성된 후 그 표면을 모두 절연층(1005)로 피복할 수 있다. 그 후, 각 부유 게이트의 일부가 개공되고(perforated) 고저항층 영역(1016)은 개구의 측면에 형성되어 제13도 및 제14도의 메모리 장치를 얻게 된다. 이전 실시예에서 설명된 제조 프로세스는 고저항층 영역(1016)의 형성 후의 공정에 적용될 수 있다.

본 발명의 또 다른 실시예를 제15도를 이용하여 다음에 설명한다. 이전 실시예의 것과 동일한 부분에는 동일한 참조 번호를 병기하였고 그 설명은 생략하였다. 참조 번호(150)는 이전 실시예에서 기술된 메모리부를 표시하고, 참조 번호(151)는 SRAM부, 참조번호(152)는 SRAM의 데이터를 순차적으로 판독하는 스캐닝 회로, 참조 번호(153)은 본 발명의 메모리의 판독 결과가 바른지를 확인하는 EXOR 회로, 참조 번호(154)는 메모리부를 구동을 제어하기 위해 상기 EXOR 회로로부터 출력을 수신하는 제어 회로이다. 참조 번호(155)는 CMOS형 SRAM 메모리 셀부를 표시한 것으로, p형 MOS 부하형이 저소비 전력 때문에 적당하다. TR1, TR2, TR3, TR4는 SRAM 메모리 셀의 구동을 제어하기 위한 MOS 스위치이고, 참조 번호(156)는 공통 데이터 라인, 참조 번호(157)는 감지 증폭기, 참조 번호(158)는 출력 버퍼, 참조 번호(159)는 출력 버퍼의 출력을 선택하기 위한 스위치, 참조 번호(160, 161, 166, 167, 168)는 부유 게이트(162)를 통해 CMOS 인버터에 입력되는 게이트, 참조 번호(163)은 p형 MOS 트랜지스터 및 참조 번호(164)는 n형 MOS 트랜지스터이다. 참조 번호(165)는 제1단 CMOS 인버터의 출력으로, 그것은 제2단 CMOS 인버터의 참조 번호(166)로 표시된 게이트에 입력된다. 참조번호(169)는 제2단 CMOS 인버터의 출력으로, 그것은 상기 제어 회로(154)에 입력된다. 참조 번호(170, 171, 172)는 워드 라인으로, 본 발명의 메모리 셀부 및 SRAM 메모리부에 공통으로 배치된다.

본 실시예의 동작 방법을 다음에 설명한다. 데이터가 메모리(150)의 소망의 열에 기입되고 이 열에서와 동일한 데이터가 SRAM(151)의 셀에도 기입된다. 다음에, 참조 번호(150)의 메모리가 감지 증폭기(15)에 의해 상기 열의 데이터를 순차적으로 판독하기 위해 판독 모드로 변화된다. 이에 동기하여 스캐닝 회로(152)는 SRAM셀로부터 감지 증폭기(157)을 통해 대응하는 비트를 판독하고 이렇게 판독된 출력은 참조 번호(153)의 EXOR 회로의 게이트(160)에 입력된다. 참조 번호(153)으로 표시된 회로의 출력은 참조 번호(160 및 161)의 게이트에 입력되는 값이 다를 때 하이 레벨이나, 동일할 때 로우 레벨이므로, 회로(153)으로부터의 출력을 이용하여 정보가 메모리부(150)에 올바르게 기입되고 올바르게 판독되는지를 체크할 수 있다.

참조 번호(153)으로 표시된 EXOR 회로는 부유 게이트를 통해 다수의 입력 게이트를 갖는 CMOS 회로이며, 이것은 참조 번호(150)의 메모리 영역과 동일한 구조로 제조될 수 있고 소수의 트랜지스터로 고기능 처리가 가능하다. 본 실시예는 EXOR 논리 연산을 실행하지만 상기 실시예와 유사한 CMOS 인버터를 형성하기 위해 부유 게이트를 통해 8비트 입력의 입력 게이트가 설치되도록 변형될 수 있고 입력 데이터의 다수결 논리가 2개 트랜지스터(n형 MOS 및 p형 MOS)로 가능하다. 이 다수결 논리를 이용하여, 입력 데이터의 8비트 패러티와 판독 데이터의 8비트 패러티 사이에서 패러티 체크가 가능하다.

제15도의 동작을 다음에 설명한다. 참조 번호(169)의 출력 결과로 오기능이 확인되었을 때, 상기 SRAM 데이터는 메모리(150)의 다음 열에 다시 기입된다. 이것은 기입 에러 및 판독 에러를 보정하기 위해 보정 동작을 실행할 수 있다.

또한, 데이터 열에서 적어도 1비트가 각 열 데이터의 에러 체크 비트로 할당하고 이를 판독시에 확인할

수 있도록 배치했다.

제15도의 구성은 메모리(150)의 한 열에 대응하는 크기의 SRAM의 메모리를 포함하고 있지만, 그 크기는 이 크기로 제한하려는 것은 아니다. 예를 들면, 메모리 크기는 버퍼 메모리의 레벨로 증가시킬 수 있어서 고속 랜덤 액세스 및 기입을 가능하게 한다. 상기 설명은 SRAM의 버퍼 메모리의 실시예에 관한 것이나, 그 대신에 DRAM 또는 플래시 메모리를 동일 칩 상에 배치하여 상기 동작을 실행할 수 있음은 물론이다.

상기 설명은 실시예의 구성은 다음의 장점을 갖고 있다.

(i) 에러 비율이 상당히 낮다.

(ii) 기입이 올바른지를 칩 상에서 체크할 수 있다.

(iii) 확인용 상기 논리 회로가 본 발명의 메모리 구조와 동일하게 제조될 수 있고 새로운 프로세스를 부가하지 않아도 된다.

(iv) 상기 논리 회로는 통상의 논리 회로 보다도 적은 수의 트랜지스터로 구성될 수 있고 그 주변 회로는 좁은 영역에서 실현될 수 있어 저코스트로 고기능을 달성할 수 있다.

(v) 상기 장치에는 본 발명의 메모리 구조와는 상이한 메모리(SRAM, DRAM, 플래시 메모리 등)를 포함하여서 고속 랜덤 액세스 및 기입을 실현할 수 있다.

다음에 설명하는 것은 본 발명의 메모리 장치가 퍼스널 컴퓨터 등의 외부 메모리 카드(PC 카드)에 응용되는 실시예이다.

제16도는 본 발명이 PC 카드에 응용될 때 카드와 시스템 사이의 관계를 도시한 도면이다.

현재 PC 카드 대응 노트북 퍼스널 컴퓨터 및 휴대용 정보 통신 기기에서는, 사용되는 PC 카드의 장치 드라이버가 주 메모리에 상주되어 있다. 퍼스널 컴퓨터 및 휴대용 정보 통신 기기가 다수 종류의 PC 카드를 사용하는 경우에, 미리 주 메모리부에 장치 드라이버를 저장하는데 사용되는 용량이 증가되고 드라이버의 용량이 너무 크기 때문에 소정의 응용 소프트웨어는 동작이 불가능해진다.

본 발명의 메모리 칩을 사용하여 구성된 카드는 이 칩 상에 ROM부를 형성할 수 있다. 따라서, 이 카드는 장치 드라이버 및 CIS(card-information-structure) 즉, 카드의 종류와 용량, 카드의 식별 및 구성 정보를 기억할 수 있고, 카드가 본체에 삽입될 때 제16도에 도시한 바와 같이 카드 삽입 통지 및 장치 드라이버의 다운로드 지시에 따라 다운 로드를 실행하는 기능을 제공할 수 있다.

카드와 본체 사이의 인터페이스는 PCMCIA(the canonicalization institute of United States of America)와 JEDIDA(Japan Electronic Industry Development Association)의 포맷에 따라 68 핀 커넥터에서 데이터 버스 폭 32 비트, 클럭 주파수 16MHz, 최대 데이터 전송 속도 60Mbyte/s 등에 유용하다.

다음에, 제17도를 참조하여 광으로 정보를 입출력하는 IC 카드의 실시예를 설명한다. 참조 번호(180)은 본 발명의 메모리 장치를 표시하고, 참조 번호(181)는 배터리, 참조 번호(182)는 입출력용 입력 및 출력 수단으로서의 반도체 레이저 및 광 검출기, 참조 번호(186)은 보드(179)에 장착된 메모리 장치, 레이저 및 광 검출기를 제어하는 제어 회로, 참조 번호(183)은 상기 장치들을 보호하는 투명 또는 부분 투명 플라스틱 패키지, 참조 번호(184)는 렌즈와 같은 광학 시스템 및 참조 번호(185)는 반도체 레이저 및 광 검출기이다. 본 발명기의 IC 카드(1701)은 기입 데이터, 판독 데이터, 제어 클럭 등과 같은 IC 카드에서 외부와 통신하는데 필요한 정보를 송신하는데 광을 이용하고, 모든 다른 동작이 보드(179) 상에 장착된 제어 회로(186)에 의해 행해진다.

제17도에 명백히 도시되지는 않았지만, 보드(179) 상에 광학 시스템을 설치하기 위해 카드는 정렬 마크(alignment mark)를 갖는 것이 바람직하다. IC 카드가 이 카드의 기입 및 판독 장치로 설정될 때, 소망의 위치에 고속으로 설정될 수 있다.

본 IC는 다음의 장점을 가질 수 있다.

(i) 종래의 IC 카드와는 달리 접촉 핀의 접촉 불량 문제 및 핀의 신뢰성의 문제가 없고, 신뢰성이 높다.

(ii) IC 카드가 간단한 일체형 몰딩에 의해 형성되는 투명 플라스틱 패키지에 패키징되기 때문에, 저가로 실현될 수 있다.

(iii) 반도체 레이저의 변조 주파수가 높아서 정보의 입력 및 출력이 고비트 레이트로 행해질 수 있고 전력이 감소될 수 있다.

본 발명의 메모리 장치에서 부유 게이트를 형성하는 제1 polySi 층 워드라인을 형성하는 제2 polySi 층이 매트릭스 형태로 배치되고, 다수의 AND 회로와 OR 회로가 배치되며, 매트릭스의 교점의 상기 배선 사이의 영역을 고저항 상태에서부터 저저항 상태로 변화시켜 서로 배선을 접속함으로써 각 유저의 사용 목적에 따라 논리를 자유롭게 설정할 수 있는 배치로 구성되는 프로그래머블 논리 어레이를 내장한 메모리 장치가 배치되어 있다. 배선들 사이에서 저저항 상태로 변화될 부분은 매트릭스 형상으로 배치된 배선에 바이어스를 인가함으로써 저저항 상태로 변화될 수 있다.

이 프로그래머블 논리 어레이가 메모리 장치에 내장될 때, 유저의 사양에 따른 소정 동작은 마스크를 변화하지 않고 실현될 수 있고, 또한 코스트를 낮출 수 있으며 유저로의 공급 기간을 단축할 수 있다.

본 발명의 메모리 장치는 종래의 반도체 메모리 장치에 비해 대용량, 1비트당 셀 면적이 작고, 저코스트로 생산할 수 있으며, 기입 동작이 영구적으로 안정하다. 본 발명의 메모리 장치는 저소비 전력으로 동작할 수 있고, 저전압으로 구동될 수 있으며, 배터리 없이도 기억을 유지할 수 있고, 고신뢰성을 갖고, 구동 방법이 용이하며, 사용 상의 편리성이 우수하다. 또한, 본 발명의 메모리 장치는 고속 기입, 고속 판독을 가능하게 하고, 저에너지로 동작할 수 있으며, 사용 환경 조건이 광범위하다. 또한, 본 발명의

메모리 장치는 짧은 제조공정, 고수율, 저코스트로 제조될 수 있다. 또한, 본 발명의 메모리 장치는 다른 방법의 메모리 장치, 논리 회로 등을 동일 칩 상에 집적할 수 있어 칩의 고기능화가 달성된다. 본 발명의 메모리 장치는 일반적으로 사용되는 컴퓨터용 메모리 장치 뿐만 아니라 오디오 또는 비디오 데이터용 정보 메모리 매체로도 사용될 수 있고, 현재 상업적으로 이용되는 오디오 테이프, 비디오 테이프, CD-ROM 등 대신에 사용될 수 있다. 휴대용 기기의 외부 메모리 장치, 전자 출판, 제어 장치, 전자 영상 화상 메모리, 예를 들면 스틸 비디오, FAX 및 복사기로부터의 출력을 본 발명의 메모리 장치를 갖는 카드와 같은 기록 매체에 기입함으로써 화상 데이터와 같은 필요한 데이터를 사용자가 쉽게 이송 또는 추출 및 기억할 수 있는 시스템에 양호하게 응용할 수 있다.

본 발명을 상술한 실시예로 제한하려는 것은 아니고 본 발명의 범위 내에서 여러가지로 변형 및 구성할 수 있다는 것을 알 수 있다.

(57) 청구의 범위

청구항 1

메모리 소자를 갖는 메모리 장치에 있어서, 제1 도전형의 제1 반도체 영역(1003), 상기 제1 반도체 영역을 수용하는 갭을 그 사이에 형성하도록 배열된, 상기 제1 도전형과 상반되는 도전형의 소오스 및 드레인 영역으로서의 제2 및 제3 반도체 영역(1008, 1008) - 상기 갭에서의 상기 제1 반도체 영역(1003)은 채널을 형성함-, 상기 제2 반도체 영역 및 상기 제3 반도체 영역 사이에 배치된 상기 제1 반도체 영역(1003) 상의 제1 절연층(1006)을 통해 제공된, 부유 게이트로서의 제1 전극(1002), 및 상기 제1 전극(1002) 상의 제2 절연층(1005) 상에 제공된, 제어 게이트로서의 제2 전극(1001)을 기판 상에 구비하되, 상기 메모리 소자에는 영역부(region section; 1004, 1016)가 설치되는데, 상기 영역부는 상기 제1 및 제2 절연층(1006, 1005)과 구별되며, 채널 상의 영역과 다른 영역에 위치하며, 상기 제2 및 제3 반도체 영역(1008, 1008) 사이의 상기 채널의 종방향을 따라 상기 제1 전극(1002)의 측면 또는 상기 제1 전극에 형성된 개구의 측면에서 상기 제1 전극(1002)과 접촉하여 배열되며, 상부면은 상기 제2 절연층(1005)으로 피복되어 있으며, 상기 제1 및 제2 전극(1002, 1001) 간의 전기 통전시, 상기 제1 및 제2 전극 사이의 상기 영역부를 통한 전기적 연속성이 달성됨으로써, 상기 제1 및 제2 전극(1002, 1001)사이의 전기 저항값을 고정할 수 있는 것으로부터 저저항 상태로 변화시킬 수 있는 것을 특징으로 하는 메모리 장치.

청구항 2

제1항에 있어서, 상기 영역부는 상기 제1 전극의 측면에 제공되고, 상기 제2 및 제3 반도체 영역 상에는 제공되지 않는 것을 특징으로 하는 메모리 장치.

청구항 3

제1항에 있어서, 상기 영역부는 실리콘 원자, 및 산소 원자 및 또는 질소 원자 중 적어도 한 원자를 갖는 재료를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 4

제1항에 있어서, 상기 영역부는 실리콘 원자, 및 산소 원자 및 또는 질소 원자 를 갖는 재료를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 5

제1항에 있어서, 상기 제1 전극과 상기 제2 전극 사이에 배치된 상기 영역부의 두께는 10 Å 내지 300 Å의 범위인 것을 특징으로 하는 메모리 장치.

청구항 6

제1항에 있어서, 상기 제1 전극과 상기 제2 전극 사이에 배치된 상기 영역부의 두께는 30 Å 내지 200 Å의 범위인 것을 특징으로 하는 메모리 장치.

청구항 7

제1항에 있어서, 상기 제1 전극과 상기 제2 전극 사이에 배치된 상기 영역부의 두께는 50 Å 내지 150 Å의 범위인 것을 특징으로 하는 메모리 장치.

청구항 8

제1항에 있어서, 상기 영역부는 탄탈(Ta)을 포함하는 절연 물질을 포함하는 것을 특징으로 하는 메모리 장치

청구항 9

제8항에 있어서, 상기 절연 물질은 탄탈 산화물을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 10

제1항에 있어서, 상기 제1 전극은 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 11

제10항에 있어서, 상기 폴리실리콘은 금속을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 12

제11항에 있어서, 상기 금속은 고용점 금속(high-melting-point metal)인 것을 특징으로 하는 메모리 장치.

청구항 13

제11항에 있어서, 상기 금속은 텅스텐, 티타늄, 탄탈 및 몰리브덴으로 이루어진 그룹으로부터 선택된 적어도 하나인 것을 특징으로 하는 메모리 장치.

청구항 14

제12항에 있어서, 상기 제1 전극은 고용점 금속인 것을 특징으로 하는 메모리 장치.

청구항 15

제12항에 있어서, 상기 제1 전극이 텅스텐, 티타늄, 탄탈 및 몰리브덴으로 이루어진 그룹으로부터 선택된 적어도 하나의 금속을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 16

제1항에 있어서, 상기 영역부는 상기 제1 전극의 산화물 또는 질화물 중 적어도 하나에 의해 형성되는 것을 특징으로 하는 메모리 장치.

청구항 17

제16항에 있어서, 상기 제1 전극은 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 18

제16항에 있어서, 상기 제1 전극은 고용점 금속을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 19

제16항에 있어서, 상기 제1 전극은 텅스텐, 티타늄, 탄탈 및 몰리브덴으로 이루어진 그룹으로부터 선택된 적어도 하나의 금속을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 20

제17항에 있어서, 상기 폴리실리콘은 텅스텐, 티타늄, 탄탈 및 몰리브덴으로 이루어진 그룹으로부터 선택된 적어도 하나의 금속을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 21

제16항에 있어서, 상기 제1 전극은 실리사이드 및 폴리실리사이드(polysilicide)중 적어도 하나를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 22

제1항에 있어서, 상기 제1 전극은 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 23

제1항에 있어서, 상기 제1 전극은 고용점 금속을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 24

제1항에 있어서, 상기 제1 전극은 텅스텐, 티타늄, 탄탈 및 몰리브덴으로 이루어진 그룹으로부터 선택된 적어도 하나의 금속을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 25

제22항에 있어서, 상기 폴리실리콘이 텅스텐, 티타늄, 탄탈 및 몰리브덴으로 이루어진 그룹으로부터 선택된 적어도 하나의 금속을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 26

제1항에 있어서, 상기 제1 전극은 실리사이드 및 폴리실리사이드로 이루어진 그룹으로부터 선택된 적어도 하나의 물질을 포함하는 것을 특징으로 하는 메모리 장치.

청구항 27

제1항에 있어서, 상기 제1 전극과 상기 제2 전극 간에 형성되는 주용량 값은 상기 제1 전극의 두께에 의존하는 것을 특징으로 하는 메모리 장치.

청구항 28

제1항에 있어서, 다수의 상기 메모리 소자를 더 포함하는 것을 특징으로 하는 메모리 장치.

청구항 29

제28항에 있어서, 상기 다수의 메모리 소자 중 제 i 메모리 소자의 제2 또는 제3 반도체 영역이 제 $(i+1)$ 메모리 소자의 제3 또는 제2 반도체 영역과 전기적으로 접속되는 것을 특징으로 하는 메모리 장치.

청구항 30

제1항에 있어서, 상기 기판은 절연층 상의 Si층을 갖는 기판인 것을 특징으로 하는 메모리 장치.

청구항 31

제28항에 있어서, 상기 메모리 소자는 매트릭스 형상으로 배열되는 것을 특징으로 하는 메모리 장치.

청구항 32

제31항에 있어서, 매트릭스 형상으로 배열된 상기 메모리 소자 배열의 한 방향으로 상기 제2 전극을 공통으로 접속하기 위한 배선들이 제공되고, 상기 배선에 공통인 메모리 소자 어레이와 교차하는 한 방향과 다른 제2 방향으로 배열된 상기 메모리 소자의 제1 반도체 영역이 제2 방향으로 배열된 상기 메모리 소자 사이에 연속적으로 제공되며, 상기 제2 방향으로 배열된 상기 메모리 소자 각 어레이의 제1 반도체 영역이 서로 전기적으로 분리되는 것을 특징으로 하는 메모리 장치.

청구항 33

제1항에 있어서, 상기 제1 전극과, 상기 제1, 제2 및 제3 반도체 영역을 갖는 반도체 영역에 의해 형성된 용량(capacitance)은 상기 제2 전극 및 상기 제1전극에 의해 형성된 용량보다 큰 것을 특징으로 하는 메모리 장치.

청구항 34

제1항에 있어서, 상기 제1 전극과 상기 제2 전극 사이에 형성된 용량이 절연층을 증착함으로써 형성되는 것을 특징으로 하는 메모리 장치.

청구항 35

제1항에 있어서, 상기 제1 전극은 다결정 Si를 포함하는 물질로 이루어진 것을 특징으로 하는 메모리 장치.

청구항 36

제1항에 있어서, 상기 제1, 제2 및 제3 반도체 영역을 포함하는 반도체 영역과 상기 제1 전극 사이의 절연층이 Si, N 및 O를 포함하는 막으로 구성되는 것을 특징으로 하는 메모리 장치.

청구항 37

제1항에 있어서, 상기 메모리 소자의 구조와 다른 구조의 제2 메모리 소자를 더 포함하는 것을 특징으로 하는 메모리 장치.

청구항 38

제1항에 있어서, 상기 메모리 장치 상기 메모리 소자에 대한 정보를 기록/판독하기 위한 주변 회로로서 CMOS회로를 구비하는 것을 특징으로 하는 메모리 장치.

청구항 39

제1항에 있어서, 상기 제1 전극 및 상기 제2 전극은 매트릭스 형상으로 배열되는 것을 특징으로 하는 메모리 장치.

청구항 40

제39항에 있어서, 상기 매트릭스의 교차점에서의 상기 제1 전극과 상기 제2 전극 사이의 저항값을 고저항 상태에서부터 저저항 상태로 변화하기 위한 영역이 제공되는 것을 특징으로 하는 메모리 장치.

청구항 41

제1항에 있어서, 다수의 상기 메모리 소자를 더 포함하고, 정보를 기입하고자 하는 상기 메모리 소자들의 것들에는 상기 제1 반도체 영역이 전원에 접속되고, 정보를 기입하길 원하지 않는 메모리 소자들의 것들에는 상기 제1 반도체 영역이 부유 상태로 유지되는 것을 특징으로 하는 메모리 장치.

청구항 42

제1항에 있어서, 정보가 메모리 소자에 기입되는 경우의 상기 제1 전극 및 상기 제2 전극 사이에 인가되는 제1 전압이 정보가 상기 메모리 소자로부터 판독되는 경우의 상기 제1 전극 및 상기 제2 전극 사이에 인가되는 제2 전압보다 더 크게 설정되는 것을 특징으로 하는 메모리 장치.

청구항 43

제1항에 있어서, 상기 메모리 장치는 상기 메모리 소자외에, 상기 메모리 소자와 상이한 구조의 제2 메모리 소자와, 상기 메모리 소자 모두에 데이터를 기입하고 상기 메모리 소자 모두로부터의 기입 데이터 모두를 판독하며, 2개의 소자로부터의 판독 결과를 서로 조합(collating)하는 수단을 갖는 것을 특징으로 하는 메모리 장치.

청구항 44

제39항에 있어서, 상기 주변 회로에는 상기 주변 회로의 적어도 일부에 부유 게이트를 통해 신호를 입력하는 다수의 다중-입력 게이트 전극을 갖는 회로가 제공되는 것을 특징으로 하는 메모리 장치.

청구항 45

제42항에 있어서, 정보의 기입 및 비기입 동작을 위해 설계된 회로를 더 구비하되, 다음 조건, 즉

$$\{ C_{FG} / (C_{FG} + C_{CG}) \} \cdot V_1 \geq V_{B0}$$

$$\{ C_{FG} / (C_{FG} + C_{CG}) \} \cdot V_2 < V_{th}$$

$$V_2 > V_{th}$$

(식 중에서, V_{B0} 는 상기 제1 전극과 상기 제2 전극 사이의 저항값이 고저항 상태에서부터 저저항 상태로 변화하는 경우에 상기 제1 전극과 상기 제2 전극 사이의 전압이고, V_{th} 는 상기 제2 및 제3 반도체 영역이 주 전극 영역이고, 상기 제1 반도체 영역이 제어 전극 영역이며, 상기 제1 전극이 제어 전극일 때 형성되는 절연 게이트형 트랜지스터의 임계값이며, C_{FG} 는 상기 제1 전극과, 상기 제1, 제2 및 제3 반도체 영역 사이에 형성되는 용량이고, C_{CG} 는 상기 제1 전극과 상기 제2 전극 사이에 형성되는 용량이고, V_1 , V_2 는 각각 기입 및 판독시 상기 제2 전극에 인가되는 전압임)에서 실행되는 것을 특징으로 하는 메모리 장치.

청구항 46

제44항에 있어서, 상기 조합 결과를 기입하기 위한 영역이 상기 제1 메모리 소자에 의해 형성되는 것을 특징으로 하는 메모리 장치.

청구항 47

제44항에 있어서, 상기 조합 결과에 따라 기입될 수 있는 영역이 상기 메모리 소자에 의해 형성되는 것을 특징으로 하는 메모리 장치.

청구항 48

제1항에 있어서, 외부 장치에 대하여 신호를 송수신하기 위한 입력 및 출력 수단을 더 구비하는 것을 특징으로 하는 메모리 장치.

청구항 49

제1항에 있어서, 상기 메모리 소자를 포함하여, 패키징되는 것을 특징으로 하는 메모리 장치.

청구항 50

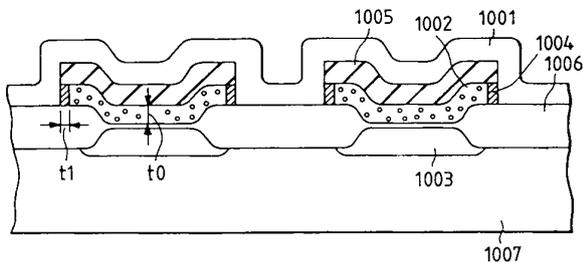
제49항에 있어서, 상기 입력 및 출력 수단은 반도체 레이저 및 광검출기를 갖는 것을 특징으로 하는 메모리 장치.

청구항 51

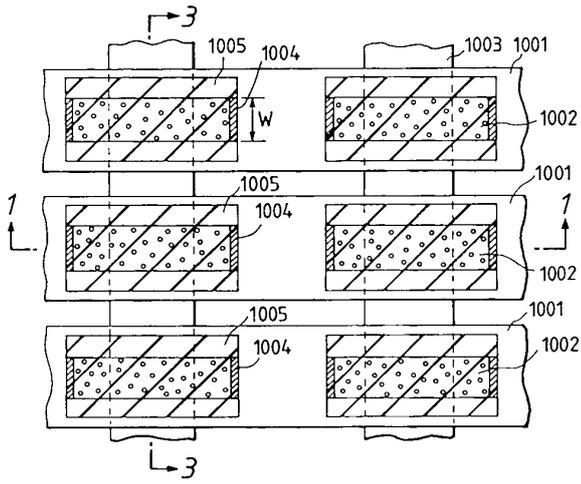
제1항에 있어서, 상기 영역부는 상기 개구의 전체 측면과 접촉하여 배열되는 것을 특징으로 하는 메모리 장치.

청구항 52

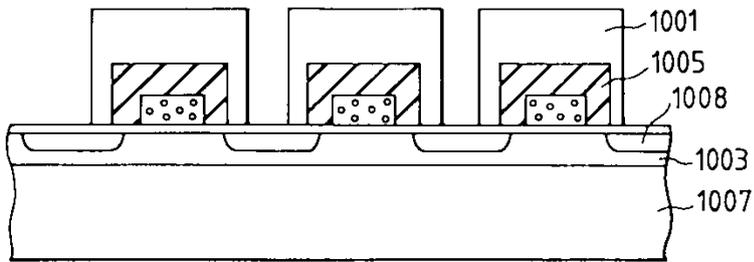
제1항에 있어서, 상기 영역부는 상기 제1 전극에 형성된 상기 개구의 전체 측면, 및 상기 제2 전극의 적어도 일부를 덮도록 배열되는 것을 특징으로 하는 메모리 장치.

도면**도면1**

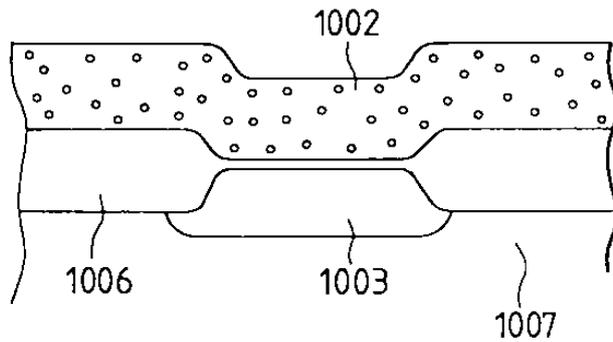
도면2



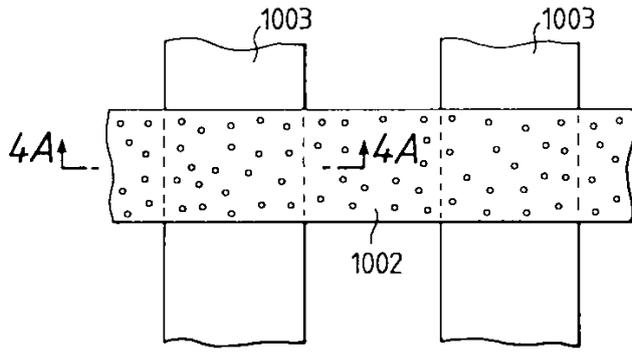
도면3



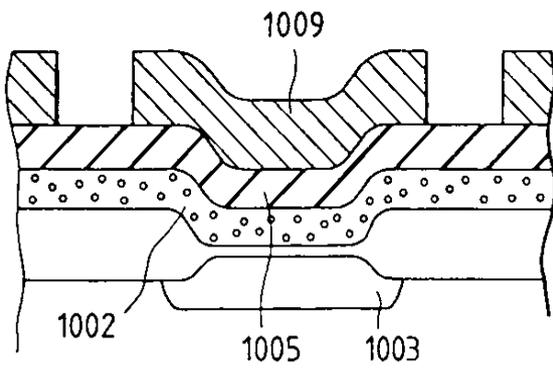
도면4a



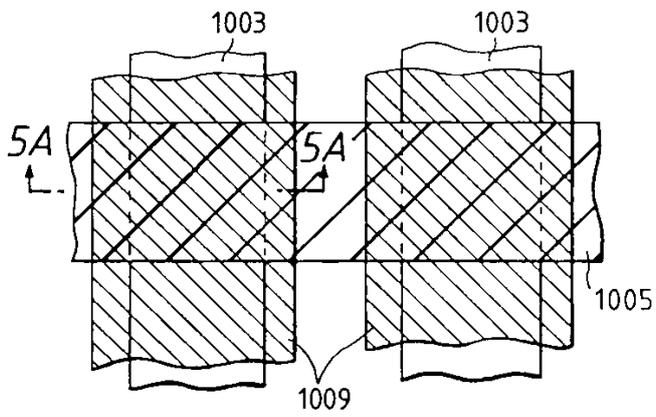
도면4b



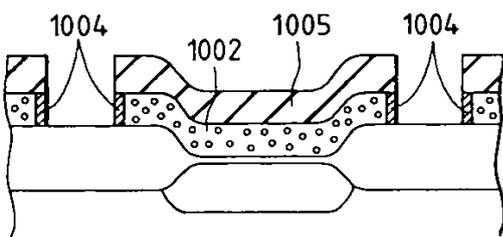
도면5a



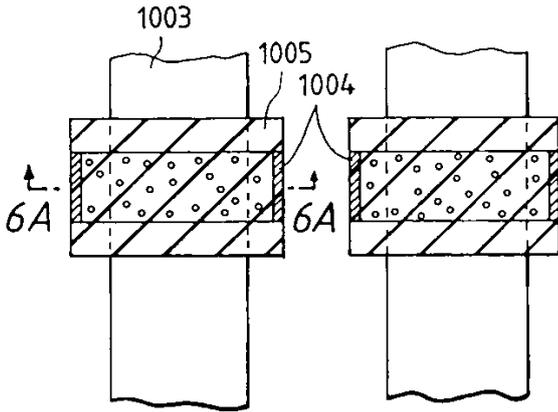
도면5b



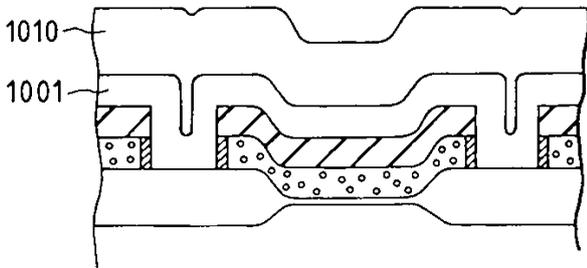
도면6a



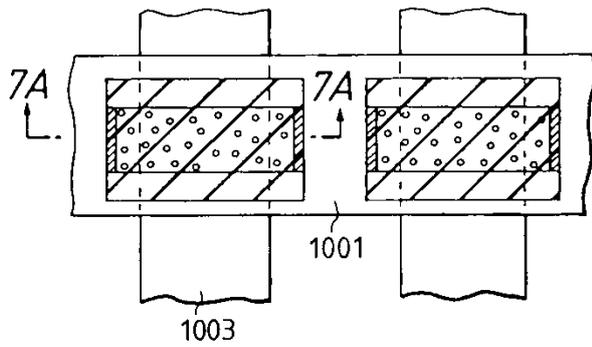
도면6b



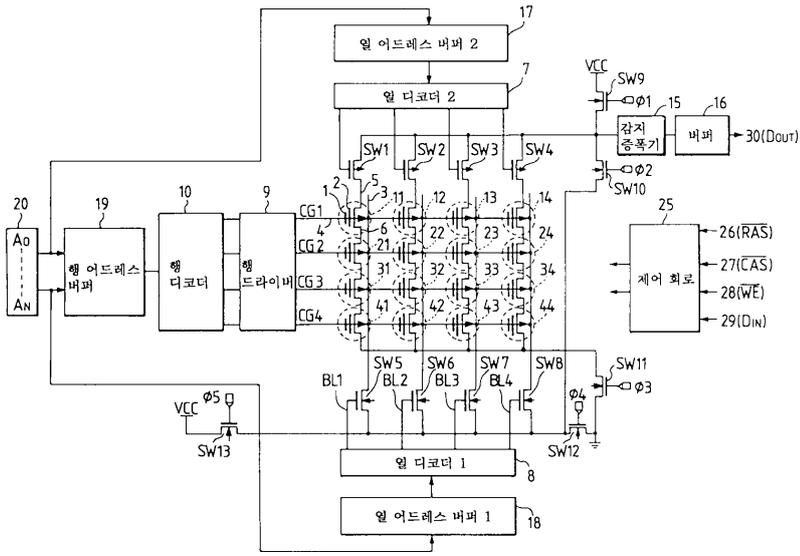
도면7a



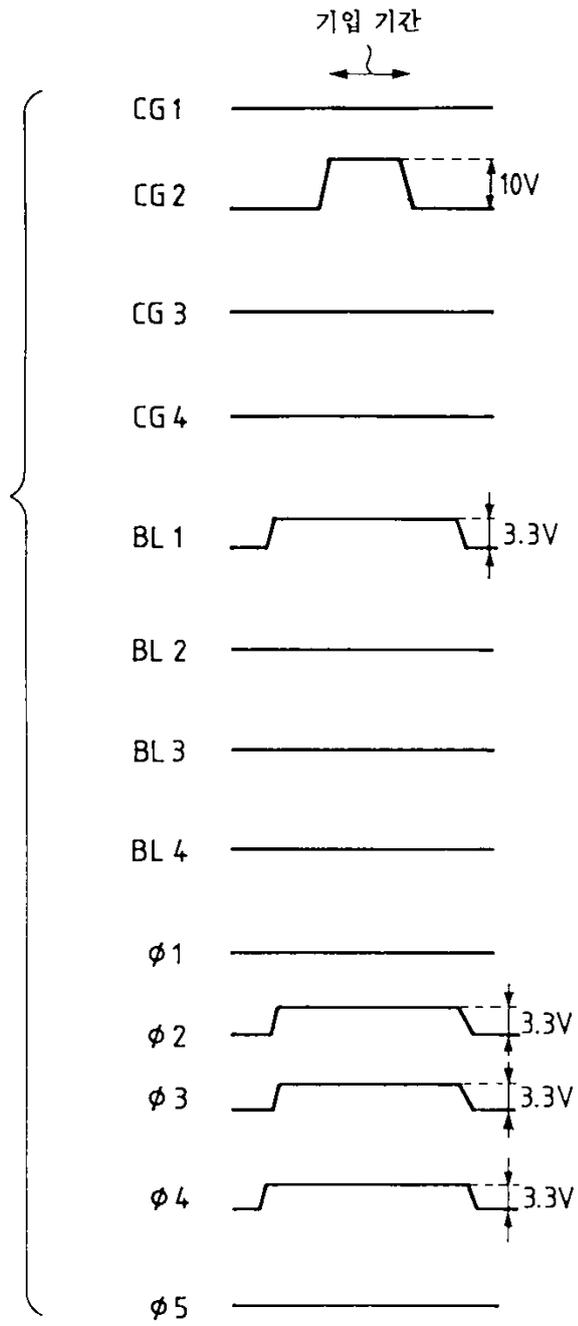
도면7b



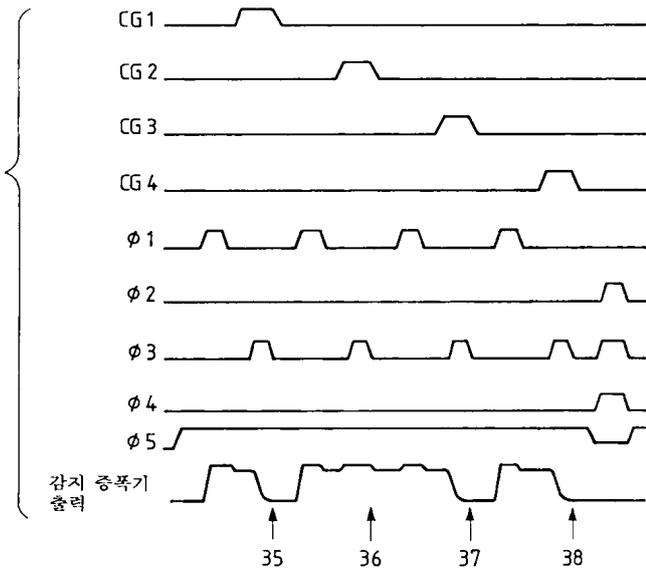
도면8



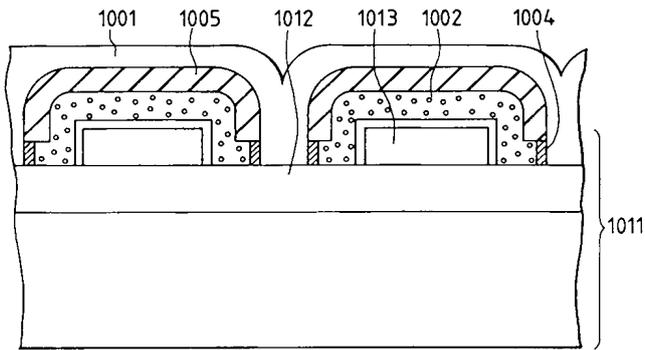
도면9



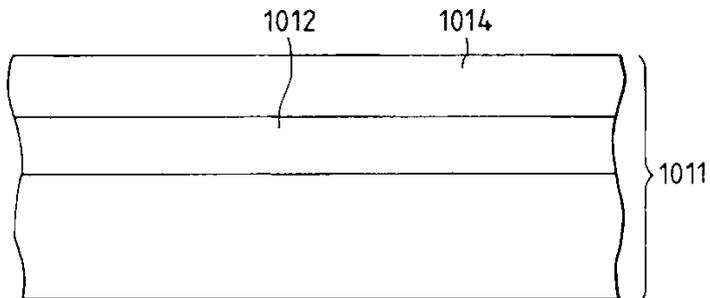
도면10



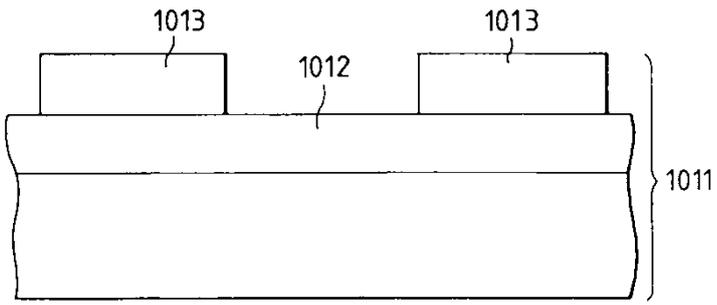
도면11



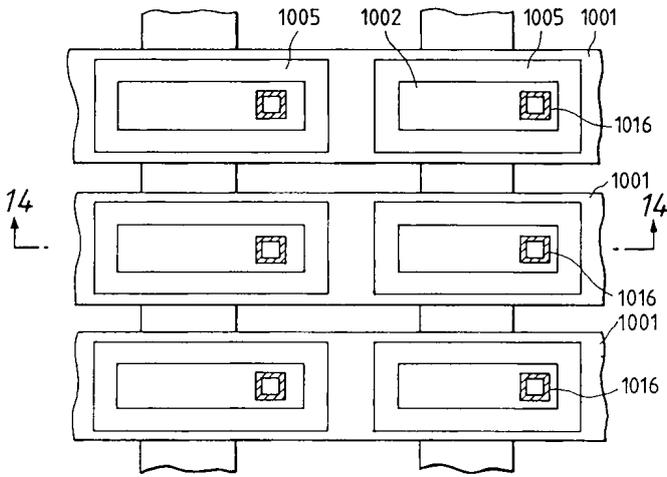
도면12a



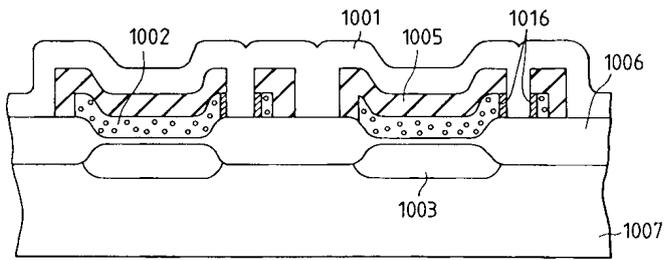
도면 12b



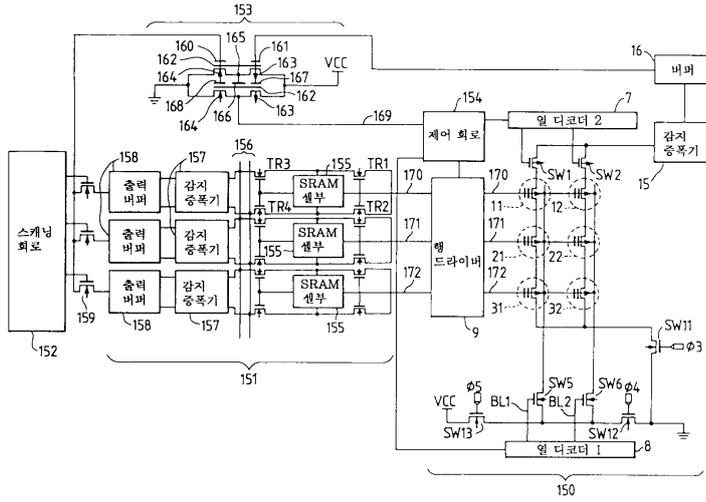
도면 13



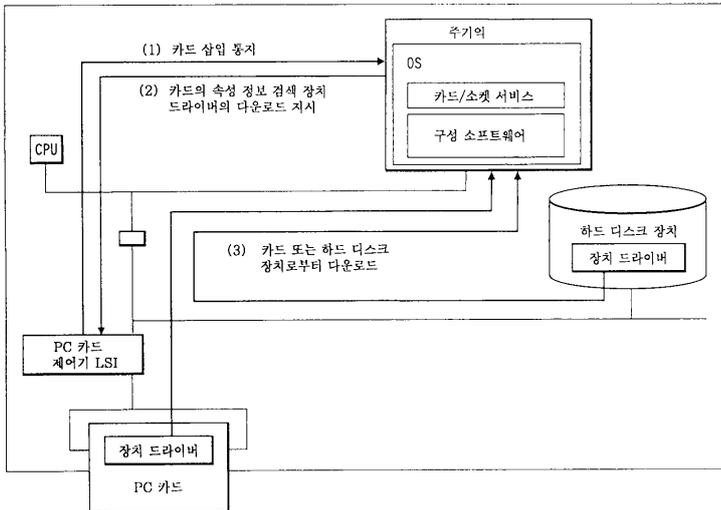
도면 14



도면 15



도면 16



도면17

