



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 23/12 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월09일 10-0690922 2007년02월27일
---	-------------------------------------	--

(21) 출원번호	10-2005-0078863	(65) 공개번호	10-2007-0024186
(22) 출원일자	2005년08월26일	(43) 공개일자	2007년03월02일
심사청구일자	2005년08월26일		

(73) 특허권자            삼성전자주식회사  
                              경기도 수원시 영통구 매탄동 416

(72) 발명자                권홍규  
                              경기도 성남시 분당구 구미동 202 무지개마을LG아파트 210-1204

                              김세년  
                              충남 천안시 백석동 주공그린빌11단지1차아파트 101동 702호

                              김태훈  
                              충남 아산시 배방면 세교리 424-9 신라아파트 102동 803호

                              하정오  
                              충남 아산시 배방면 삼성반도체온양사업장 연구동 1층

                              변학균  
                              충남 아산시 배방면 삼성반도체온양사업장 희망동 210호

                              박성용  
                              경기 성남시 분당구 서현동 한양아파트 317동 1102호

(74) 대리인                정상빈  
                              김동진

심사관 : 최인용

전체 청구항 수 : 총 14 항

(54) 반도체 소자 패키지

(57) 요약

다수의 반도체 칩을 적층할 때 본딩 와이어의 불안정성을 극복하며 경박·단소화를 구현할 수 있는 반도체 소자 패키지가 제공된다. 반도체 소자 패키지는, 일면에 기판 패드를 구비하는 기판과, 기판 상에 적층되는 하나 이상의 메모리 칩으로서, 각 메모리 칩은 각 메모리 칩에 공통 신호가 인가되는 공통 핀과 연결된 메모리 칩 패드를 구비하는 하나 이상의 메모리 칩

과, 기관 상에 적층되고, 메모리 칩 패드와 연결된 접속 배선을 구비하고, 각 메모리 칩의 공통 핀은 메모리 칩 패드를 경유하여 접속 배선에 전기적으로 접결되는 인터포저 칩과, 기관 상에 적층되고, 접속 배선과 기관 패드 사이를 전기적으로 연결 또는 차단하는 바이패스 회로부를 구비하는 로직·아날로그 칩을 포함한다.

## 대표도

도 1a

## 특허청구의 범위

### 청구항 1.

일면에 기관 패드를 구비하는 기관;

상기 기관 상에 적층되는 하나 이상의 메모리 칩으로서, 상기 각 메모리 칩은 상기 각 메모리 칩에 공통 신호가 인가되는 공통 핀과 연결된 메모리 칩 패드를 구비하는 하나 이상의 메모리 칩;

상기 기관 상에 적층되고, 상기 메모리 칩 패드와 연결된 접속 배선을 구비하고, 상기 각 메모리 칩의 상기 공통 핀은 상기 메모리 칩 패드를 경유하여 상기 접속 배선에 전기적으로 접결되는 인터포저 칩; 및

상기 기관 상에 적층되고, 상기 접속 배선과 상기 기관 패드 사이를 전기적으로 연결 또는 차단하는 바이패스 회로부를 구비하는 로직·아날로그 칩을 포함하는 반도체 소자 패키지.

### 청구항 2.

제1 항에 있어서,

상기 각 메모리 칩은 직접 접근 테스트(direct access test)를 위한 칩 선택 핀을 구비하는 반도체 소자 패키지.

### 청구항 3.

제2 항에 있어서,

상기 칩 선택 핀은 상기 기관과 전기적으로 연결되는 반도체 소자 패키지.

### 청구항 4.

제2 항에 있어서, 상기 하나 이상의 메모리 칩에 대하여 직접 접근 테스트 시에,

테스트 대상이 아닌 상기 메모리 칩의 상기 칩 선택 핀을 통하여 높은 임피던스가 인가되는 반도체 소자 패키지.

### 청구항 5.

제1 항에 있어서,

상기 접속 배선은 상기 각 메모리 칩과 와이어에 의해 본딩된 반도체 소자 패키지.

## 청구항 6.

제1 항에 있어서,

상기 로직·아날로그 칩은 상기 기판 패드와 와이어 본딩하는 제1 로직·아날로그 칩 패드와, 상기 접속 배선과 와이어 본딩하는 제2 로직·아날로그 칩 패드와, 상기 제1 및 제2 로직·아날로그 칩 패드와 연결된 상기 바이패스 회로부를 포함하고,

상기 바이패스 회로부는 상기 로직·아날로그 칩의 공통 핀과 연결된 반도체 소자 패키지.

## 청구항 7.

제1 항에 있어서, 상기 로직·아날로그 칩에 대하여 직접 접근 테스트 시에,

상기 바이패스 회로부는 상기 기판 패드와 상기 접속 배선의 연결을 차단하고 상기 로직·아날로그 칩의 공통 핀과 상기 기판 패드를 연결하는 반도체 소자 패키지.

## 청구항 8.

제1 항에 있어서, 상기 메모리 칩에 대하여 직접 접근 테스트 시에,

상기 바이패스 회로부는 상기 기판 패드와 상기 접속 배선을 연결하고 상기 로직·아날로그 칩의 공통 핀과 상기 기판 패드의 연결을 차단하는 반도체 소자 패키지.

## 청구항 9.

제1 항에 있어서,

상기 인터포저 칩은 웨이퍼, 연성 인쇄회로기판 또는 인쇄회로기판을 이용하여 형성되는 반도체 소자 패키지.

## 청구항 10.

제1 항에 있어서,

상기 접속 배선은 상기 로직·아날로그 칩과 와이어 본딩하는 제1 본딩 패드와, 상기 하나 이상의 메모리 칩과 각각 와이어 본딩하는 제2 본딩 패드와, 상기 제1 본딩 패드와 상기 제2 본딩 패드를 연결하는 배선을 포함하는 반도체 소자 패키지.

## 청구항 11.

제1 항에 있어서,

상기 반도체 소자 패키지는 상기 기판, 상기 로직·아날로그 칩, 상기 인터포저 칩 및 상기 메모리 칩의 순서로 적층된 구조를 가지는 반도체 소자 패키지.

## 청구항 12.

제1 항에 있어서,

상기 공통 핀은 데이터 핀 또는 어드레스 핀 중 어느 하나인 반도체 소자 패키지.

### 청구항 13.

제1 항에 있어서,

상기 메모리 칩 또는 상기 로직·아날로그 칩의 공통 핀을 제외한 나머지 독립 핀은 상기 기판 패드와 직접 와이어에 의해 전기적으로 연결되거나, 상기 인터포저 칩의 상기 접속 배선을 경유하여 상기 기판 패드와 전기적으로 연결되는 반도체 소자 패키지.

### 청구항 14.

제13 항에 있어서,

상기 독립 핀은 전력 핀, 그라운드 핀 또는 칩 선택 핀인 반도체 소자 패키지.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 패키지에 관한 것으로서, 보다 구체적으로는 다수의 반도체 칩이 적층된 반도체 소자 패키지에 관한 것이다.

전자 기기의 소형·경량·박형화를 실현하는 키테크놀러지의 하나인, 반도체 칩의 고밀도 실장을 실현하기 위해서, 반도체 장치에서 지금까지 여러 가지 패키징 기술이 개발되어 왔다.

마더 보드에의 실장에 필요한 면적을 저감시키기 위한, 반도체 장치의 패키지 구조에 관한 기술로서, DIP(Dual Inline Package) 등의 핀 삽입 방식 패키지, SOP(Small Outline Package) 등의 외주의 리드에 의한 표면 실장 패키지, 또한 BGA(Ball Grid Array) 등의 패키지 하면에 격자 형상으로 외부 출력 단자를 배치한 패키지와 같은 기술이 개발되어 왔다. 또한, 반도체 칩에 대한 패키지의 면적 비율을 저감시킴으로써 고밀도 실장을 실현하는 기술로서, 기판 배선의 미세화에 의한 외부 출력 단자의 협피치화 및 패키지 사이즈의 축소화가 도모되어 왔다.

또한, 복수의 반도체 칩을 모아서, 단일의 패키지 내에 실장하는 멀티칩 패키지, 멀티칩 패키지의 중에서도, 더욱 고밀도 실장을 실현하기 위해서 복수의 반도체 칩을 적층 실장한 칩 스택드 패키지와 같은 기술이 개발되어 왔다. 또한, 멀티칩 패키지의 중에서도, 각각 다른 기능을 갖는 복수의 반도체 칩을 단일의 패키지에 밀봉하여 시스템화를 실현한 것은, 시스템 인 패키지(System In Package, SIP)라고 불리고, 개발이 진행되어 왔다.

한편, 전자 기기의 소형·경량·박형화를 실현하는 방법으로서, 반도체 칩의 고밀도 패키징·실장과는 별도의 방법이 주목받고 있다. 이것은, 종래, 서로 다른 반도체 칩이었던 메모리, 로직, 아날로그와 같은 회로를 혼재시켜서, 단일의 칩에 시스템 기능을 집적시킨, 시스템 온 칩(System On Chip, SOC)을 이용한 방법이다.

그러나, 메모리, 로직과 같은 회로를 하나의 칩에 집적시키는 경우에는, 메모리 회로는 저전압화가 곤란한 것, 로직 회로에서 발생하는 노이즈 대책이 필요하다는 것 등의 문제가 있다. 또한, 종래 바이폴라로 제조된 아날로그 회로를 혼재시키는 경우, 메모리, 로직과 동일한 CMOS로 제작하는 것은 곤란하게 된다.

그래서, 시스템 온 칩에 대신하여, 동등한 기능을 단기간, 저비용으로 개발하는 것이 가능한 시스템인 패키지가 주목받고 있다.

중래의 반도체 칩의 경우, 시스템인 패키지를 위한 제품화를 염두하지 않고 칩 패드 등의 위치를 결정하여 반도체 칩을 디자인하는 경우가 대부분이다. 따라서, 이러한 반도체 칩을 인쇄회로기판(Printed Circuit Board, PCB)에 본딩 와이어로 전기적으로 연결하는 경우, 본딩 와이어끼리 접촉하여 단락되거나 인쇄회로기판의 회로가 매우 복잡하게 되기 때문에 이로 인하여 라우팅(routing)이 곤란해지는 문제가 발생한다.

또한, 다수의 반도체 칩을 적층하는 시스템인 패키지의 구조에서, 반도체 칩과 인쇄회로기판 사이의 전기적 접속을 와이어 본딩으로 실시하는 경우, 반도체 칩 사이즈가 큰 순으로 적층된다. 이는, 위에 중첩된 반도체 칩이 아래의 반도체 칩의 칩 패드와 간섭하지 않도록 하기 위해서이다. 인쇄회로기판 위의 기판 패드는, 최하단에 위치하는 반도체 칩 외측에 배치되어 있기 때문에, 최상단과 최하단의 반도체 칩 사이즈에 차가 있으면, 상단의 반도체 칩의 칩 패드와 인쇄회로기판의 기판 패드 사이의 거리가 길어져, 필연적으로 본딩 와이어의 길이도 길어지게 된다. 본딩 와이어의 길이가 길어지면, 와이어 강도가 저하되고, 와이어 자체 무게의 의해 와이어의 처짐이 발생할 수 있다.

시스템인 패키지에 실장되는 반도체 칩으로 메모리 반도체 칩과 로직·아날로그 반도체 칩이 사용된다. 메모리 반도체 칩과 로직·아날로그 반도체 칩을 기판 위에 적층하는 경우, 일반적으로 메모리 반도체 칩에 비해 로직·아날로그 반도체 칩의 핀(pin) 수가 많기 때문에, 메모리 반도체 칩으로부터의 본딩 와이어와 로직·아날로그 반도체 칩으로부터의 본딩 와이어가 서로 얽히는 경우가 발생한다.

이와 같은 시스템인 패키지의 경박·단소화뿐만 아니라 시스템인 패키지의 고품질을 확보하기 위해 시스템인 패키지를 구성하는 각 반도체 칩에 대하여 직접 접근 테스트(direct access test)를 실시할 수 있는 방안이 제시될 필요가 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 다수의 반도체 칩을 적층할 때 본딩 와이어의 불안정성을 극복하며 경박·단소화를 구현할 수 있고, 각 반도체 칩에 대하여 직접 접근 테스트를 용이하게 실시할 수 있는 반도체 소자 패키지를 제공하고자 하는 것이다.

본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자 패키지는, 일면에 기판 패드를 구비하는 기판과, 상기 기판 상에 적층되는 하나 이상의 메모리 칩으로서, 상기 각 메모리 칩은 상기 각 메모리 칩에 공통 신호가 인가되는 공통 핀과 연결된 메모리 칩 패드를 구비하는 하나 이상의 메모리 칩과, 상기 기판 상에 적층되고, 상기 메모리 칩 패드와 연결된 접속 배선을 구비하고, 상기 각 메모리 칩의 상기 공통 핀은 상기 메모리 칩 패드를 경유하여 상기 접속 배선에 전기적으로 연결되는 인터포저 칩과, 상기 기판 상에 적층되고, 상기 접속 배선과 상기 기판 패드 사이를 전기적으로 연결 또는 차단하는 바이패스 회로부를 구비하는 로직·아날로그 칩을 포함한다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 실시예를 첨부 도면들을 참조하면서 보다 상세하게 설명하고자 한다.

도 1a은 본 발명의 일 실시예에 따른 반도체 소자 패키지를 나타내는 평면도이고, 도 1b는 도 1a의 반도체 소자 패키지에서 바이패스 회로부를 포함하는 로직·아날로그 칩을 나타내는 평면도이다. 그리고, 도 2는 도 1a의 반도체 소자 패키지를 II-II'선으로 자른 단면도이다.

도 1a 내지 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 의한 반도체 소자 패키지(100)는, 기판(110)을 적층 베이스로 하고, 로직·아날로그 칩(120), 인터포저 칩(interposer chip)(130), 제1 메모리 칩(140), 및 제2 메모리 칩(150)이 순차적으로 적층된 구조를 가진다. 또한, 기판(110)과 로직·아날로그 칩(120)의 사이, 로직·아날로그 칩(120)과 인터포저 칩(130)의 사이, 인터포저 칩(130)과 제1 메모리 칩(140)의 사이, 및 제1 메모리 칩(140)과 제2 메모리 칩(150)의 사이는, 각각 접착층(50)으로 접착되어 있다. 로직·아날로그 칩(120)과 제1 및 제2 메모리 칩(140, 150)을 반도체 칩이라 한다.

여기서, 기판(110)은, 무기물로 이루어지는 박판 등의 절연층에 배선층을 형성한 것이 이용될 수 있다. 기판(110) 상에 형성된 배선층으로는, 각 반도체 칩(120, 140, 150)의 공통 핀을 집결하기 위한 기판 패드(111)가 있다. 기판 패드(111)는 외부와 전기적으로 접속하는 외부 인출 전극(I/O electrode)(미도시)과 연결된 전극 패드로서, 또한 와이어 본딩을 행하기 위한 본딩 패드로서 이용될 수 있다. 이러한 기판 패드(111)는 다양한 경로를 통하여 로직·아날로그 칩(120), 제1 메모리 칩(140), 및 제2 메모리 칩(150)의 각 공통 핀과 전기적으로 연결되어 있다. 기판 패드(111)는 로직·아날로그 칩 패드(122)와 와이어(10)에 의해 본딩되어 있다.

또한 기판(110) 상의 배선층으로는, 제1 및 제2 메모리 칩(140, 150)에 대하여 각각 칩 선택 신호를 인가하기 위한 기판 패드(111a, 111b)가 있다. 기판 패드(111a)는 제1 메모리 칩(140)의 칩 선택 핀에 연결된 제1 메모리 칩 패드(141')와 와이어(10)에 의해 본딩되어 있고, 기판 패드(111b)는 제2 메모리 칩(150)의 칩 선택 핀에 연결된 제2 메모리 칩 패드(151')와 와이어(10)에 의해 본딩되어 있다.

그리고, 기판(110)을 구성하는 무기물 박판으로는, 수지 필름, 수지를 함침시킨 유리 섬유 기재, 세라믹 등이 적합하게 이용될 수 있다. 또한, 이러한 기판(110)으로는 리드 프레임 패키지(lead frame package) 또는 볼 그리드 어레이 패키지(Ball Grid Array package) 등을 이용할 수 있다.

로직·아날로그 칩(120)은 일면에 형성된 배선(미도시)과, 이러한 배선과 연결된 공통 핀(미도시)과, 이러한 배선과 연결된 독립핀(미도시)과, 이러한 배선과 연결된 바이패스 회로부(125)와, 바이패스 회로부(125)와 연결되어 일면 가장자리를 따라 형성된 로직·아날로그 칩 패드(121, 122)를 포함한다.

로직·아날로그 칩(120)의 배선은 실리콘 기판 상에 트랜지스터 등의 기능 소자(회로 소자) 등으로 구성될 수 있다. 여기서, 로직·아날로그 칩(120)은 로직·아날로그 회로로 구성되어 있다. 그리고, 공통 핀은 기능 소자를 구성하는 데이터 핀(data pin) 및/또는 어드레스 핀(address pin)에 해당하며, 독립 핀은 기능 소자를 구성하는 전력 핀(power pin) 또는 그라운드 핀(ground pin) 등에 해당한다. 일반적으로 메모리 칩에 비해 로직·아날로그 칩의 핀 수가 더 많으므로 와이어 본딩의 편의를 위하여 기판(110) 상에 적층된 다수의 반도체 칩들 중 로직·아날로그 칩(120)은 최하층에 위치하는 것이 바람직하다.

로직·아날로그 칩 패드(121, 122)는 로직·아날로그 칩(120)과 외부를 전기적으로 연결하는 외부 인출 전극의 전극 패드로서, 또한 와이어 본딩을 행하기 위한 본딩 패드로서 이용될 수 있다. 여기서, 로직·아날로그 칩 패드(121, 122)는 바이패스 회로부(125)와 전기적으로 연결되어 있다. 이 중 로직·아날로그 칩 패드(121)는 기판(110)의 기판 패드(111)과 와이어(10)에 의해 본딩되어 있고, 로직·아날로그 칩 패드(122)는 인터포저 칩(130)의 본딩 패드(131)과 와이어(10)에 의해 본딩되어 있다.

로직·아날로그 칩(120) 상에는 로직·아날로그 회로와 더불어 바이패스 회로부(125)가 형성되어 있다. 바이패스 회로부(125)는 로직·아날로그 칩(120)의 공통 핀과 전기적으로 연결되어 있다. 바이패스 회로부(125)는 각 반도체 칩(120, 140, 150)에 대한 직접 접근 테스트(direct access test)를 할 때 테스트 대상으로서 로직·아날로그 칩(120)을 선택할지 여부를 결정한다. 즉, 로직·아날로그 칩(120)에 대하여 직접 접근 테스트를 실시할 경우 바이패스 회로부(125)는 로직·아날로그 칩 패드(121)와 로직·아날로그 칩 패드(122) 사이의 연결을 끊고 로직·아날로그 칩 패드(121)와 로직·아날로그 칩(120)의 공통 핀을 연결시킨다. 그리고, 제1 메모리 칩(140) 또는 제2 메모리 칩(150)에 대하여 직접 접근 테스트를 실시할 경우 바이패스 회로부(125)는 로직·아날로그 칩 패드(121)와 로직·아날로그 칩(120)의 공통 핀 사이의 연결을 끊고 로직·아날로그 칩 패드(121)와 로직·아날로그 칩 패드(122)를 연결시킨다. 그리고, 각 반도체 칩(120, 140, 150)의 일반적인 동작 시, 즉 각 반도체 칩(120, 140, 150)의 공통 핀에 동일한 신호가 인가될 경우 바이패스 회로부(125)는 로직·아날로그 칩 패드(121, 122) 및 로직·아날로그 칩(120)의 공통 핀을 모두 연결시킨다. 이러한 바이패스 회로부(125)의 역할 및 직접 접근 테스트에 관해서는 후에 자세히 설명한다.

로직·아날로그 칩(120)에서 독립 핀은 도시하지는 않았으나, 로직·아날로그 칩(120)의 칩 패드로부터 기판 패드와 직접 와이어에 의해 연결되거나, 인터포저 칩(130)을 경유하여 기판 패드와 연결될 수 있다.

로직·아날로그 칩(120)의 배선층은 로직·아날로그 칩 패드(121, 122) 부분을 제외하고, SiN 또는 폴리이미드 등으로 이루어진 절연막으로 보호되는 것이 바람직하다.

제1 메모리 칩(140)은, 상면에 형성된 배선(미도시)과, 이들 배선과 연결된 공통 핀(미도시)과, 이들 배선과 연결된 독립핀(미도시)과, 상면 가장자리를 따라 형성된 제1 메모리 칩 패드(141, 141')를 포함한다.

제1 메모리 칩(140)의 배선은 실리콘 기판 상에 트랜지스터 등의 기능 소자(회로 소자)가 형성된 구성을 가질 수 있다. 여기서, 제1 메모리 칩(140)은 메모리 회로로 구성될 수 있다. 그리고, 공통 핀은 기능 소자를 구성하는 데이터 핀(data pin) 및/또는 어드레스 핀(address pin)에 해당하며, 독립 핀은 기능 소자를 구성하는 전력 핀(power pin), 그라운드 핀(ground pin) 또는 칩 선택 핀(chip select pin) 등에 해당한다.

제1 메모리 칩 패드(141, 141')는 제1 메모리 칩(140)과 외부로 전기적으로 연결하는 외부 인출 전극의 전극 패드로서, 또한 와이어 본딩을 행하기 위한 본딩 패드로서 이용될 수 있다. 이 중 제1 메모리 칩 패드(141)는 제1 메모리 칩(140)의 공통 핀과 전기적으로 연결되어, 인터포저 칩(130)의 본딩 패드(133)와 와이어(10)에 의해 본딩되어 있다. 또한, 제1 메모리 칩 패드(141')는 제1 메모리 칩(140)의 칩 선택 핀과 전기적으로 연결되어, 기판(110)의 기판 패드(111a)와 전기적으로 연결된다. 도 1a 및 도 2에 도시된 본 실시예에 있어서는 제1 메모리 칩 패드(141')가 기판 패드(111a)와 직접 와이어(10)에 의해 본딩되어 있는 것으로 설명하였으나 본 발명은 이에 한정되지 않으며, 제1 메모리 칩 패드(141')는 인터포저 칩(130)의 접속 배선을 경유하여 기판 패드(111a)와 전기적으로 연결될 수 있다. 그리고, 칩 선택 핀을 제외한 독립 핀은 도시하지는 않았으나, 칩 선택 핀과 마찬가지로 제1 메모리 칩(140)의 칩 패드로부터 기판 패드와 직접 본딩 와이어에 의해 전기적으로 연결되거나, 인터포저 칩(130)의 접속 배선을 경유하여 기판 패드와 전기적으로 연결될 수 있다.

제1 메모리 칩(140)의 배선층은 제1 메모리 칩 패드(141, 141') 부분을 제외하고, SiN 또는 폴리이미드 등으로 이루어진 절연막으로 보호되는 것이 바람직하다.

제2 메모리 칩(150)은 제1 메모리 칩(140)과 마찬가지로, 상면에 형성된 배선(미도시)과, 이들 배선과 연결된 공통 핀(미도시)과, 이들 배선과 연결된 독립핀(미도시)과, 상면 가장자리를 따라 형성된 제2 메모리 칩 패드(151, 151')를 포함한다.

제2 메모리 칩(150)의 배선은 실리콘 기판 상에 트랜지스터 등의 기능 소자(회로 소자)가 형성된 구성을 가질 수 있다. 여기서, 제2 메모리 칩(150)은 메모리 회로로 구성될 수 있다. 그리고, 공통 핀은 기능 소자를 구성하는 데이터 핀(data pin) 및/또는 어드레스 핀(address pin)에 해당하며, 독립 핀은 기능 소자를 구성하는 전력 핀(power pin), 그라운드 핀(ground pin) 또는 칩 선택 핀(chip select pin) 등에 해당한다.

제2 메모리 칩 패드(151, 151')는 제2 메모리 칩(150)과 외부로 전기적으로 연결하는 외부 인출 전극의 전극 패드로서, 또한 와이어 본딩을 행하기 위한 본딩 패드로서 이용될 수 있다. 이 중 제2 메모리 칩 패드(151)는 제2 메모리 칩(150)의 공통 핀과 전기적으로 연결되어, 인터포저 칩(130)의 본딩 패드(132)와 와이어(10)에 의해 본딩되어 있다. 또한, 제2 메모리 칩 패드(151')는 제2 메모리 칩(150)의 칩 선택 핀과 전기적으로 연결되어, 기판(110)의 기판 패드(111b)와 전기적으로 연결된다. 도 1a 및 도 2에 도시된 본 실시예에 있어서는 제2 메모리 칩 패드(151')가 기판 패드(111b)와 직접 와이어(10)에 의해 본딩되어 있는 것으로 설명하였으나 본 발명은 이에 한정되지 않으며, 제2 메모리 칩 패드(151')는 인터포저 칩(130)의 접속 배선을 경유하여 기판 패드(111b)와 전기적으로 연결될 수 있다. 그리고, 칩 선택 핀을 제외한 독립 핀은 도시하지는 않았으나, 칩 선택 핀과 마찬가지로 제2 메모리 칩(150)의 칩 패드로부터 기판 패드와 직접 본딩 와이어에 의해 전기적으로 연결되거나, 인터포저 칩(130)의 접속 배선을 경유하여 기판 패드와 전기적으로 연결될 수 있다.

제2 메모리 칩(150)의 배선층은 제2 메모리 칩 패드(151, 151') 부분을 제외하고, SiN 또는 폴리이미드 등으로 이루어진 절연막으로 보호되는 것이 바람직하다.

인터포저 칩(130)은, 웨이퍼로 이루어진 더미 반도체 칩으로서 형성될 수 있다. 여기서, 더미 반도체 칩이란, 기능 소자가 형성되어 있지 않은 반도체 칩을 말한다. 또한, 인터포저 칩(130)은 연성 인쇄회로기판(Flexible Printed Circuit board, FPC) 또는 인쇄회로기판(Printed Circuit Board, PCB)으로 구성될 수 있다.

인터포저 칩(130)의 일면에는 단층 또는 다층으로 이루어진 접속 배선이 형성되어 있다. 이러한 접속 배선은, 외부와 전기적으로 연결되는 제1 본딩 패드(131), 제2 본딩 패드(132), 제3 본딩 패드(133) 및 배선(20)을 포함한다.

제1 본딩 패드(131)는 로직·아날로그 칩(120)의 로직·아날로그 칩 패드(122)와 와이어(10)에 의해 본딩되어 있다. 제2 본딩 패드(132)는 제2 메모리 칩(150)의 제2 메모리 칩 패드(151)와 와이어(10)에 의해 본딩되어 있다. 제3 본딩 패드(133)는 제1 메모리 칩(140)의 제1 메모리 칩 패드(141)와 와이어(10)에 의해 본딩되어 있다.

본 발명의 일 실시예에서는, 기판(110) 상에 로직·아날로그 칩(120), 인터포저 칩(130), 제1 메모리 칩(140) 및 제2 메모리 칩(150)이 순차적으로 적층되어 있으므로, 제1 본딩 패드(131)는 로직·아날로그 칩(120)에 가까운 측에 배치되고, 제2 및 제3 본딩 패드(132, 133)는 제1 본딩 패드(131)보다도 제1 메모리 칩(140)에 가까운 측에 배치되는 것이 바람직하다.

배선(20)은 제1 본딩 패드(131), 제2 본딩 패드(132), 제3 본딩 패드(133)를 전기적으로 연결한다. 따라서, 제1 메모리 칩(140)의 공통 핀은 제1 메모리 칩 패드(141), 제3 본딩 패드(133) 및 배선(20)을 경유하여 제1 본딩 패드(131)와 전기적으로 연결되고, 제2 메모리 칩(150)의 공통 핀은 제2 메모리 칩 패드(151), 제2 본딩 패드(132) 및 배선(20)을 경유하여 제1 본딩 패드(131)와 전기적으로 연결된다. 따라서, 제1 및 제2 메모리 칩(140, 150)의 공통 핀은 인터포저 칩(130)의 접속 배선에 집결되고, 인터포저 칩(130)의 접속 배선은 로직·아날로그 칩(120)의 바이패스 회로부(125)와 연결되고, 바이패스 회로부(125)는 기판(110)의 기판 패드(111)와 연결된다.

종래 다층으로 적층된 반도체 소자 패키지에서, 각 반도체 칩의 데이터 핀 또는 어드레스 핀이 개별적으로 기판과 와이어 본딩될 때에는 각 반도체 칩의 데이터 핀 또는 어드레스 핀의 수만큼 와이어와 그에 해당하는 기판 패드가 필요하였다. 따라서, 와이어의 길이가 길어져 와이어가 처지거나, 많은 수의 와이어 때문에 와이어끼리 접촉하여 단락이 되거나 기판 패드를 위한 넓은 공간이 필요하여 패키지의 경박·단소화를 구현하기 어려운 문제가 있었다. 본 발명의 일 실시예에 의한 반도체 소자 패키지(100)에 의하면, 각 메모리 칩(140, 150)에 공통적으로 신호가 인가되는 공통 핀은 인터포저 칩(130)에 전기적으로 집결되고 로직·아날로그 칩(120)의 공통 핀과 인터포저 칩(130)은 바이패스 회로부(125)에 집결된 후 바이패스 회로부(125)와 기판(110)을 전기적으로 접속함으로써, 사용되는 와이어 수를 감소시킬 수 있다. 또한 각 메모리 칩(140, 150)은 인터포저 칩(130)을 경유하여 기판(110)과 전기적으로 접속하므로 와이어(10)의 길이가 길어지는 것을 방지할 수 있다. 또한, 각 반도체 칩(120, 140, 150)의 공통 핀을 하나로 묶어 기판(110)과 연결하게 되어 기판 패드(111)의 수를 확연히 줄일 수 있으므로 패키지의 경박·단소화를 구현할 수 있다.

인터포저 칩(130)의 접속 배선의 구성은 상기에 한정되는 것은 아니며, 예를 들면 배선(20)에 직접 와이어 본딩할 수 있는 경우에는 접속 배선에 본딩 패드를 형성할 필요는 없다. 또한, 본딩 패드만으로 접속 배선을 구성하여, 하나의 본딩 패드 상에 다수의 본딩 와이어를 집합시킬 수도 있다.

제1 본딩 패드(131)는 인터포저 칩(130)의 외주변을 따라서 배치되어 있다. 또한, 제2 및 제3 본딩 패드(132, 133)는 제1 본딩 패드(131)의 내측에서 제1 메모리 칩(140)의 외주변을 따라서 배치되어 있다. 또한, 배선(20)은 상호 교차하지 않도록 제1 본딩 패드(131)와 제2 및 제3 본딩 패드(132, 133)를 연결한다. 또한, 접속 배선의 표면은 제1 본딩 패드(131), 제2 본딩 패드(132) 및 제3 본딩 패드(133)를 제외하고 절연막으로 봉지되는 것이 바람직하다.

앞서 설명한 바와 같이, 인터포저 칩(130)은 웨이퍼, 연성 인쇄회로기판 또는 인쇄회로기판을 사용하여 형성할 수 있다. 특히, 인터포저 칩(130)이 로직·아날로그 칩(120) 또는 메모리 칩(140, 150)을 형성할 때에 이용되는 웨이퍼와 동일한 재질 및 구조의 웨이퍼를 이용하여 형성할 수 있다. 또한, 로직·아날로그 칩(120) 또는 메모리 칩(140, 150)에 배선층을 형성할 때와 동일한 프로세스와 장치로, 인터포저 칩(130) 상에 제1 본딩 패드(131), 제2 본딩 패드(132), 제3 본딩 패드(133) 및 배선(20)을 형성할 수 있다. 따라서, 인터포저 칩(130)의 형성에 로직·아날로그 칩(120) 또는 메모리 칩(140, 150)의 형성과 마찬가지로의 재료나 제조 장치를 이용할 수 있기 때문에, 인터포저 칩(130)의 형성에 요하는 제조 비용 및 제조 시간의 상승을 낮게 억제하는 것이 가능하다. 또한, 웨이퍼에 접속 배선을 형성할 때는, 배선 피치의 최소값은 1  $\mu\text{m}$  이하가 가능하기 때문에, 인터포저 칩(130)의 접속 배선의 배선 피치도 1  $\mu\text{m}$  이하로 미세하게 형성하는 것이 가능하다.

본 발명의 일 실시예에 사용되는 본딩 와이어(10)로는 금, 금 합금, 알루미늄 또는 알루미늄 합금을 사용할 수 있으며, 캐필러리 본딩(capillary bonding 또는 ball bonding) 또는 웨지 본딩(wedge bonding) 등의 툴(tool)을 사용하여 접합할 수 있다.

이하, 본 발명의 일 실시예에 의한 반도체 소자 패키지의 테스트에 대하여 설명한다.



우선 공통적으로 반도체 칩(120, 140, 150)의 각 공통 핀에 동일한 신호를 인가하는 경우, 바이패스 회로부(125)는 로직·아날로그 칩 패드(121, 122) 및 로직·아날로그 칩(120)의 공통 핀을 모두 연결시킨다. 따라서, 로직·아날로그 칩(120)의 공통 핀, 제1 메모리 칩(140)의 공통 핀 및 제2 메모리 칩(150)의 공통 핀은 바이패스 회로부(125)를 경유하여 기관(110)의 기관 패드(111)와 모두 연결되어 있으므로, 동일한 기관 패드(111)를 이용하여 각 반도체 칩(120, 140, 150)의 공통 핀에 동일한 공통 신호를 인가할 수 있다.

그리고, 각 반도체 칩(120, 140)의 특성을 테스트하기 위해, 직접 접근 테스트(direct access test)를 사용할 수 있다. 앞서 설명한 바와 같이, 우선 로직·아날로그 칩(120)에 대하여 직접 접근 테스트를 실시할 경우, 바이패스 회로부(125)는 로직·아날로그 칩 패드(121)와 로직·아날로그 칩 패드(122) 사이의 연결을 끊고 로직·아날로그 칩 패드(121)와 로직·아날로그 칩(120)의 공통 핀을 연결시킨다. 따라서, 기관 패드(111)는 로직·아날로그 칩(120)의 공통 핀에만 연결되어 있으므로 로직·아날로그 칩(120)에 대해서만 직접 접근 테스트를 수행할 수 있다.

그리고, 제1 메모리 칩(140)에 대하여 직접 접근 테스트를 실시할 경우, 바이패스 회로부(125)는 로직·아날로그 칩 패드(121)와 로직·아날로그 칩(120)의 공통 핀 사이의 연결을 끊고 로직·아날로그 칩 패드(121)와 로직·아날로그 칩 패드(122)를 연결시킨다. 그리고, 기관 패드(111b)를 통하여 제2 메모리 칩 패드(151')와 연결된 칩 선택 핀에 높은 임피던스(high impedance)를 인가하여 제2 메모리 칩(150)을 플로팅(floating)시킨다. 그 후, 기관 패드(111)에 테스트 신호를 인가하면 제1 메모리 칩(140)에 대해서만 직접 접근 테스트를 수행할 수 있다.

마찬가지로, 제2 메모리 칩(150)에 대하여 직접 접근 테스트를 실시할 경우, 바이패스 회로부(125)는 로직·아날로그 칩 패드(121)와 로직·아날로그 칩(120)의 공통 핀 사이의 연결을 끊고 로직·아날로그 칩 패드(121)와 로직·아날로그 칩 패드(122)를 연결시킨다. 그리고, 기관 패드(111a)를 통하여 제1 메모리 칩 패드(141')와 연결된 칩 선택 핀에 높은 임피던스(high impedance)를 인가하여 제1 메모리 칩(140)을 플로팅(floating)시킨다. 그 후, 기관 패드(111)에 테스트 신호를 인가하면 제2 메모리 칩(150)에 대해서만 직접 접근 테스트를 수행할 수 있다.

도 3은 본 발명의 일 실시예에 의한 반도체 소자 패키지의 테스트를 위한 바이패스 회로부의 역할을 도식적으로 나타낸 블록도이다. 도 3에 도시된 바와 같이, 바이패스 회로부(125)는 기관, 메모리 칩 및 로직·아날로그 칩과 연결되어 있다. 메모리 칩과 로직·아날로그 칩에 공통 신호를 인가하는 경우 기관과 메모리 칩 및 로직·아날로그 칩은 바이패스 회로부(125)를 경유하여 서로 연결된다. 그리고, 메모리 칩에 대하여 직접 접근 테스트를 실시하는 경우, 로직·아날로그 칩은 바이패스 회로부(125)에 의해 차단되고 기관과 메모리 칩이 연결된다. 그리고, 로직·아날로그 칩에 대하여 직접 접근 테스트를 실시하는 경우, 메모리 칩은 바이패스 회로부(125)에 의해 차단되고 기관과 로직·아날로그 칩이 연결된다.

이와 같이, 본 발명의 일 실시예에 의한 반도체 소자 패키지(100)는 각 메모리 칩(140, 150)의 공통 핀을 인터포저 칩(130)의 접속 배선에 집결시키고 인터포저 칩(130)의 접속 배선을 로직·아날로그 칩(120)의 바이패스 회로부(125)를 거쳐 기관 패드(111)에 의해 전기적으로 연결함으로써, 패키지의 경박·단소화를 구현할 수 있게 되었다. 이뿐만 아니라, 본 발명의 반도체 소자 패키지(100)의 구조에 의하면, 반도체 칩(120, 140, 150)의 고품질을 확보하기 위한 직접 접근 테스트(direct access test)의 테스트 적용범위를 넓힐 수 있고, 기존의 하나의 반도체 칩으로 구성된 반도체 소자 패키지에 대한 직접 접근 테스트 프로그램을 그대로 사용하여 각 반도체 칩을 개별적으로 테스트할 수 있으므로 추가 설비를 구비할 필요가 없어 공정 단가를 낮출 수 있다.

또한, 본 발명의 일 실시예에 의한 반도체 소자 패키지(100)의 구조에서, 반도체 칩이 로직·아날로그 칩인 경우, 번인 테스트(burn-in test)에서 반도체 칩이 높은 전압을 견딜 수 있도록 톨러런트 인출 전극(tolerant I/O electrode)을 사용할 수 있다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

## 발명의 효과

상술한 바와 같이 본 발명에 따른 반도체 소자 패키지에 의하면, 다수의 반도체 칩을 적층할 때 본딩 와이어의 불안정성을 극복하며, 경박·단소화를 구현할 수 있고, 추가 설비를 마련할 필요없이 각 반도체 칩에 대한 직접 접근 테스트를 구현할 수 있다.

## 도면의 간단한 설명

도 1a은 본 발명의 일 실시예에 따른 반도체 소자 패키지를 나타내는 평면도이다.

도 1b는 도 1a의 반도체 소자 패키지에서 바이패스 회로부를 포함하는 로직·아날로그 칩을 나타내는 평면도이다.

도 2는 도 1a의 반도체 소자 패키지를 II-II'선으로 자른 단면도이다.

도 3은 본 발명의 일 실시예에 의한 반도체 소자 패키지의 테스트를 위한 바이패스 회로부의 역할을 도식적으로 나타낸 블록도이다.

(도면의 주요부분에 대한 부호의 설명)

10: 와이어 20: 배선

50: 접착층 100: 반도체 소자 패키지

110: 기판 111, 111a, 111b: 기판 패드

120: 로직·아날로그 칩 121, 122: 로직·아날로그 칩 패드

125: 바이패스 회로부 130: 인터포저 칩

131: 제1 본딩 패드 132: 제2 본딩 패드

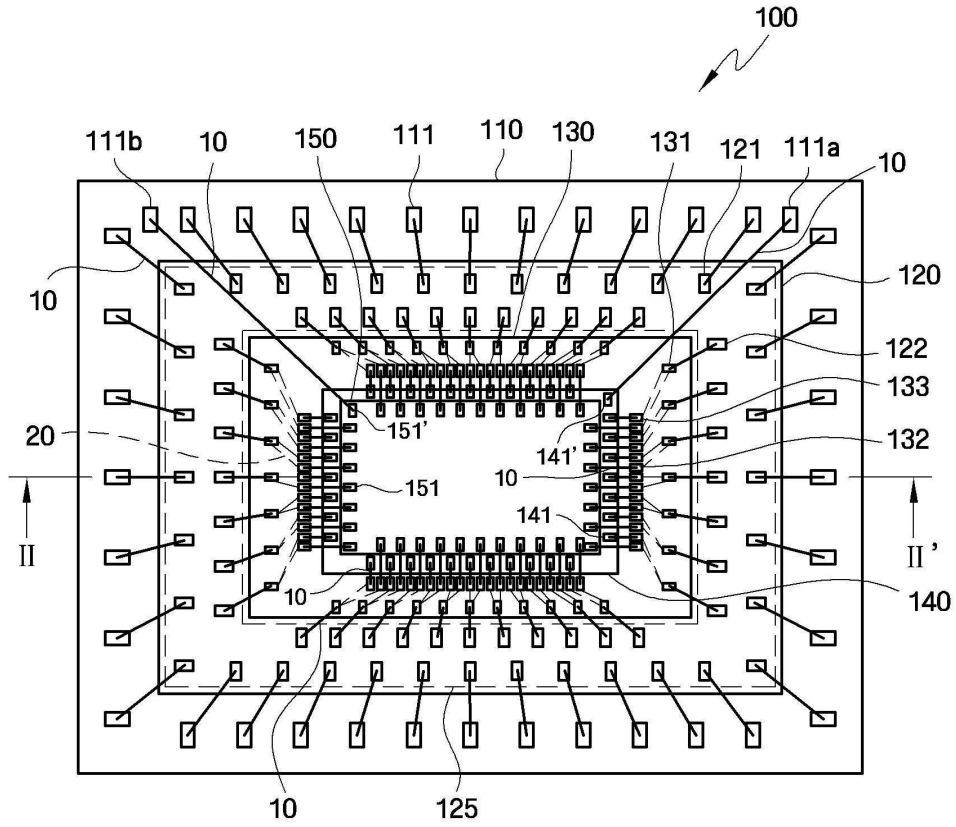
133: 제3 본딩 패드 140: 제1 메모리 칩

141, 141': 제1 메모리 칩 패드 150: 제2 메모리 칩

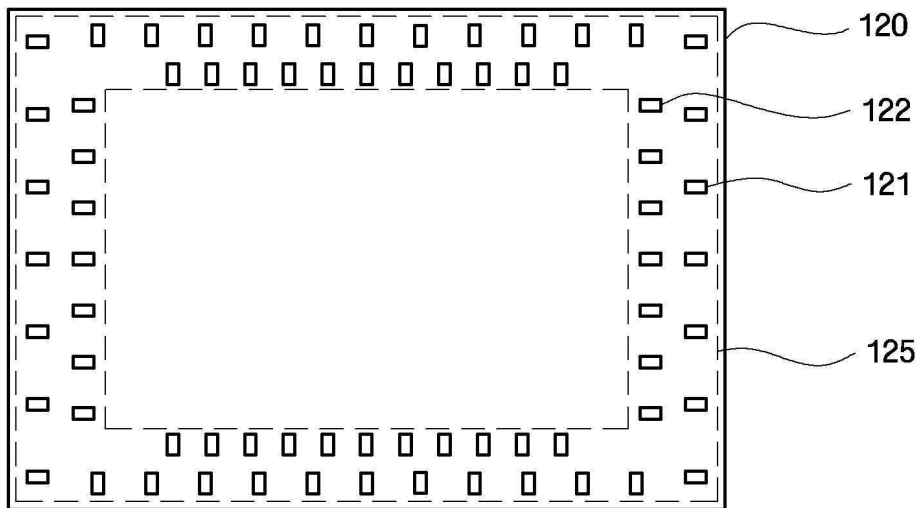
151, 151': 제2 메모리 칩 패드

도면

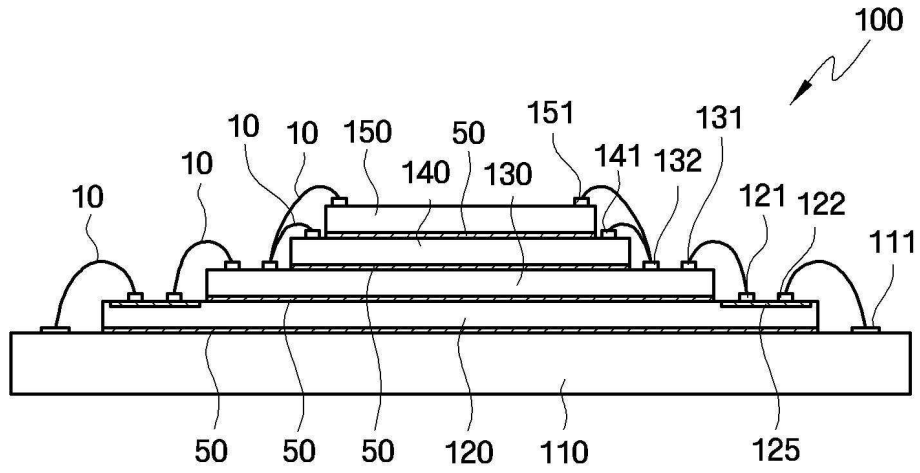
도면1a



도면1b



도면2



도면3

