



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년05월18일  
 (11) 등록번호 10-1622492  
 (24) 등록일자 2016년05월12일

- |   |  |
|---|--|
| (51) 국제특허분류(Int. Cl.)<br><i>G11C 16/24</i> (2006.01) <i>G11C 16/06</i> (2006.01)<br>(21) 출원번호 10-2014-7007995<br>(22) 출원일자(국제) 2013년06월18일<br>심사청구일자 2014년03월26일<br>(85) 번역문제출일자 2014년03월26일<br>(65) 공개번호 10-2014-0053383<br>(43) 공개일자 2014년05월07일<br>(86) 국제출원번호 PCT/US2013/046291<br>(87) 국제공개번호 WO 2014/042732<br>국제공개일자 2014년03월20일<br>(30) 우선권주장<br>13/621,435 2012년09월17일 미국(US)<br>(56) 선행기술조사문헌<br>US20060120174 A1<br>US20060120175 A1<br>US7542352 B2<br>JP1998312688 A | (73) 특허권자<br><b>인텔 코퍼레이션</b><br>미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200<br>(72) 발명자<br><b>하, 창 완</b><br>미국 94582 캘리포니아주 산 라몬 라이센더 웨이 5656<br>(74) 대리인<br><b>양영준, 백만기</b> |
|---|--|

전체 청구항 수 : 총 23 항

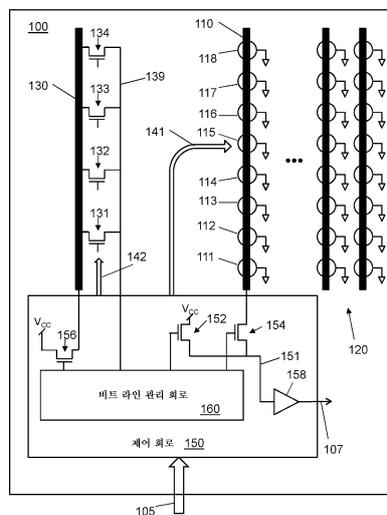
심사관 : 한선경

**(54) 발명의 명칭 메모리에서의 참조 비트 라인의 사용**

**(57) 요약**

방법, 메모리 및 시스템은 감지 노드(sense node)를 논리 하이 전압 레벨로 충전시키는 것, 및 참조 비트 라인(reference bit line)의 전압이 참조 전압(reference voltage)에 도달하는 시간에 적어도 부분적으로 기초하는 프리차지 기간 동안 비트 라인 및 참조 비트 라인에 전하를 공급하는 것을 포함할 수 있다. 프리차지 기간 후에 비트 라인에 결합되어 있는 메모리 셀이 선택될 수 있고, 클램프 전압은 참조 비트 라인의 전압에 적어도 부분적으로 기초하여 설정될 수 있다. 감지 기간 동안 비트 라인의 전압 레벨이 클램프 전압 레벨보다 작은 경우, 전하가 감지 노드로부터 배출될 수 있고, 감지 기간의 끝 부근에서 감지 노드의 전압 레벨에 적어도 부분적으로 기초하여 메모리 셀의 상태가 판정될 수 있다.

**대표도** - 도1a



## 명세서

### 청구범위

#### 청구항 1

메모리에 액세스하는 방법으로서,

감지 노드(sense node)를 논리 하이 전압 레벨로 충전시키는 단계;

참조 비트 라인(reference bit line)의 전압이 참조 전압(reference voltage)에 도달하는 시간에 적어도 부분적으로 기초하는 프리차지 기간 동안 비트 라인 및 상기 참조 비트 라인에 전하를 공급하는 단계;

상기 프리차지 기간 후에 상기 비트 라인에 결합되어 있는 메모리 셀을 선택하는 단계;

상기 참조 비트 라인의 전압에 적어도 부분적으로 기초하여 클램프 전압(clamp voltage)을 설정하는 단계;

감지 기간 동안 상기 비트 라인의 전압 레벨이 클램프 전압 레벨보다 작은 경우 상기 감지 노드로부터 전하를 배출시키는 단계;

상기 감지 기간의 끝 부근에서 상기 감지 노드의 전압 레벨에 적어도 부분적으로 기초하여 상기 메모리 셀의 상태를 판정하는 단계; 및

상기 선택된 메모리 셀로부터 상기 감지 노드까지의 거리가 더 커짐에 따라 상기 참조 전압을 더 낮게 조절하는 단계를 포함하는 방법.

#### 청구항 2

메모리에 액세스하는 방법으로서,

감지 노드를 논리 하이 전압 레벨로 충전시키는 단계;

참조 비트 라인의 전압이 참조 전압에 도달하는 시간에 적어도 부분적으로 기초하는 프리차지 기간 동안 비트 라인 및 상기 참조 비트 라인에 전하를 공급하는 단계;

상기 프리차지 기간 후에 상기 비트 라인에 결합되어 있는 메모리 셀을 선택하는 단계;

상기 참조 비트 라인의 전압에 적어도 부분적으로 기초하여 클램프 전압을 설정하는 단계;

감지 기간 동안 상기 비트 라인의 전압 레벨이 클램프 전압 레벨보다 작은 경우 상기 감지 노드로부터 전하를 배출시키는 단계;

상기 감지 기간의 끝 부근에서 상기 감지 노드의 전압 레벨에 적어도 부분적으로 기초하여 상기 메모리 셀의 상태를 판정하는 단계;

상기 감지 노드로부터의 상기 선택된 메모리 셀의 거리에 적어도 부분적으로 기초하여 상기 참조 비트 라인으로부터 떨어진 탭을 선택하는 단계; 및

상기 선택된 탭을 통해 상기 참조 비트 라인의 전압을 검출하는 단계를 포함하는 방법.

#### 청구항 3

제1항 또는 제2항에 있어서, 상기 클램프 전압 레벨이 여유 전압(margin voltage)만큼 감소되는 것인 방법.

#### 청구항 4

제1항 또는 제2항에 있어서, 상기 전하를 공급하는 단계는 충전 전압(charge voltage)을 제공하는 단계를 포함하고, 상기 충전 전압은 상기 참조 전압보다 더 큰 것인 방법.

#### 청구항 5

제4항에 있어서, 상기 충전 전압은 상기 참조 전압보다 적어도 200 mV 더 큰 것인 방법.

**청구항 6**

삭제

**청구항 7**

제1항 또는 제2항에 있어서, 상기 참조 비트 라인이 상기 참조 전압으로 충전되지 않는 경우 미리 결정된 시간 후에 상기 프리차지 기간을 종료시키는 단계를 추가로 포함하는 방법.

**청구항 8**

제1항 또는 제2항에 있어서, 판독 명령에 응답하여 상기 메모리 셀의 상태를 제공하는 단계를 추가로 포함하는 방법.

**청구항 9**

제1항 또는 제2항에 있어서, 프로그램 또는 소거 명령에 응답하여 상기 메모리 셀의 상태를 확인하는 단계를 추가로 포함하는 방법.

**청구항 10**

2개 이상의 메모리 셀들에 각각 결합되어 있는 비트 라인들;

참조 비트 라인; 및

감지 노드를 포함하는 제어 회로를 포함하고;

상기 제어 회로는

상기 참조 비트 라인의 전압이 참조 전압에 도달하는 시간에 적어도 부분적으로 기초하는 프리차지 기간 동안 비트 라인 및 상기 참조 비트 라인에 전하를 공급하고;

상기 감지 노드를 논리 하이 레벨로 충전시키며;

상기 프리차지 기간 후에 상기 비트 라인에 결합되어 있는 메모리 셀을 선택하고;

상기 참조 비트 라인의 전압에 적어도 부분적으로 기초하여 클램프 전압을 설정하며;

감지 기간 동안 상기 비트 라인의 전압 레벨이 클램프 전압 레벨보다 작은 경우 상기 감지 노드로부터 전하를 배출시키고;

상기 비트 라인의 전압 레벨에 적어도 부분적으로 기초하여 상기 메모리 셀의 상태를 검출하도록 구성되어 있고,

상기 참조 비트 라인은 상기 참조 비트 라인으로부터 떨어진 상이한 전압 검출 위치를 제공하기 위해 2개 이상의 탭을 포함하고, 상기 제어 회로는 또한 상기 선택된 메모리 셀의 주소에 적어도 부분적으로 기초하여 탭을 선택하도록 구성되어 있는, 메모리.

**청구항 11**

2개 이상의 메모리 셀들에 각각 결합되어 있는 비트 라인들;

참조 비트 라인; 및

감지 노드를 포함하는 제어 회로를 포함하고;

상기 제어 회로는

상기 참조 비트 라인의 전압이 참조 전압에 도달하는 시간에 적어도 부분적으로 기초하는 프리차지 기간 동안 비트 라인 및 상기 참조 비트 라인에 전하를 공급하고;

상기 감지 노드를 논리 하이 레벨로 충전시키며;

상기 프리차지 기간 후에 상기 비트 라인에 결합되어 있는 메모리 셀을 선택하고;

상기 참조 비트 라인의 전압에 적어도 부분적으로 기초하여 클램프 전압을 설정하며;

감지 기간 동안 상기 비트 라인의 전압 레벨이 클램프 전압 레벨보다 작은 경우 상기 감지 노드로부터 전하를 배출시키고;

상기 비트 라인의 전압 레벨에 적어도 부분적으로 기초하여 상기 메모리 셀의 상태를 검출하도록 구성 되어 있고,

상기 제어 회로는 또한 상기 선택된 메모리 셀의 주소에 적어도 부분적으로 기초하여 상기 참조 전압을 결정하도록 구성되어 있는, 메모리.

**청구항 12**

제10항 또는 제11항에 있어서, 상기 참조 비트 라인은, 각각, 상기 비트 라인의 길이, 저항 및 커패시턴스의 10% 내에 있는 길이, 저항 및 커패시턴스를 가지는 것인 메모리.

**청구항 13**

제10항 또는 제11항에 있어서, 상기 제어 회로는 상기 비트 라인과 상기 감지 노드 사이에 결합되어 있는 패스 트랜지스터를 추가로 포함하고;

상기 제어 회로는 또한

상기 프리차지 기간 동안, 공급 전압을 상기 감지 노드에 결합시키고 충전 전압을 상기 패스 트랜지스터의 제어 게이트에 인가하여 상기 패스 트랜지스터를 통해 상기 전하를 상기 비트 라인에 공급하며;

상기 감지 기간 동안, 상기 감지 노드로부터 상기 전하를 배출시키기 위해 상기 패스 트랜지스터의 제어 게이트에 제어 전압을 인가하도록 구성되어 있으며;

상기 제어 전압은 상기 클램프 전압보다 상기 패스 트랜지스터의 문턱 전압만큼 더 높고, 상기 충전 전압은 상기 참조 전압보다 더 크며, 상기 공급 전압은 상기 충전 전압보다 더 큰 것인 메모리.

**청구항 14**

제13항에 있어서, 상기 충전 전압은 상기 참조 전압보다 적어도 200 mV 더 큰 것인 메모리.

**청구항 15**

제10항 또는 제11항에 있어서, 상기 클램프 전압 레벨은 여유 전압만큼 감소되는 것인 메모리.

**청구항 16**

제15항에 있어서, 상기 여유 전압은 50 mV 내지 200 mV의 범위에서 가변적인 메모리.

**청구항 17**

삭제

**청구항 18**

제10항 또는 제11항에 있어서, 상기 메모리 셀은 워드 라인에 의해 선택되는 것인 메모리.

**청구항 19**

제10항 또는 제11항에 있어서, 상기 제어 회로는 또한 관독 명령에 응답하여 상기 메모리 셀의 상태를 제공하고 프로그램 또는 소거 명령에 응답하여 상기 메모리 셀의 상태를 확인하도록 구성되어 있는 것인 메모리.

**청구항 20**

메모리 액세스를 발생하는 감시 회로(supervisory circuitry); 및

상기 감시 회로에 결합되어 있는 적어도 하나의 메모리를 포함하고,

상기 적어도 하나의 메모리는

2개 이상의 메모리 셀들에 결합되어 있는 비트 라인을 포함하는 메모리 어레이;

참조 비트 라인; 및

감지 노드를 포함하는 제어 회로를 포함하며;

상기 제어 회로는

전하가 상기 비트 라인 및 상기 참조 비트 라인으로 흐를 수 있게 해주고;

상기 참조 비트 라인의 전압 레벨을 모니터링하며;

상기 참조 비트 라인의 전압이 참조 전압에 도달하면 전하가 상기 비트 라인 및 상기 참조 비트 라인으로 흐르지 못하도록 하고;

상기 감지 노드를 논리 하이 레벨로 충전시키며;

상기 전하가 상기 비트 라인으로 흐르지 못하게 된 후 상기 비트 라인에 결합되어 있는 메모리 셀을 선택하고;

상기 비트 라인의 전압 레벨이 상기 참조 비트 라인의 전압보다 적어도 여유 전압만큼 더 작은 경우 상기 감지 노드로부터 전하를 배출시키며;

상기 감지 노드의 전압 레벨에 적어도 부분적으로 기초하여 상기 메모리 셀의 상태를 검출하도록 구성되어 있고,

상기 참조 비트 라인은 상기 참조 비트 라인으로부터 떨어진 상이한 전압 모니터링 위치를 제공하기 위해 2개 이상의 탭을 포함하고, 상기 제어 회로는 또한 상기 선택된 메모리 셀의 주소에 적어도 부분적으로 기초하여 탭을 선택하도록 구성되어 있는, 전자 시스템.

## 청구항 21

메모리 액세스를 발생하는 감시 회로; 및

상기 감시 회로에 결합되어 있는 적어도 하나의 메모리를 포함하고,

상기 적어도 하나의 메모리는

2개 이상의 메모리 셀들에 결합되어 있는 비트 라인을 포함하는 메모리 어레이;

참조 비트 라인; 및

감지 노드를 포함하는 제어 회로를 포함하며;

상기 제어 회로는

전하가 상기 비트 라인 및 상기 참조 비트 라인으로 흐를 수 있게 해주고;

상기 참조 비트 라인의 전압 레벨을 모니터링하며;

상기 참조 비트 라인의 전압이 참조 전압에 도달하면 전하가 상기 비트 라인 및 상기 참조 비트 라인으로 흐르지 못하도록 하고;

상기 감지 노드를 논리 하이 레벨로 충전시키며;

상기 전하가 상기 비트 라인으로 흐르지 못하게 된 후 상기 비트 라인에 결합되어 있는 메모리 셀을 선택하고;

상기 비트 라인의 전압 레벨이 상기 참조 비트 라인의 전압보다 적어도 여유 전압만큼 더 작은 경우 상기 감지 노드로부터 전하를 배출시키며;

상기 감지 노드의 전압 레벨에 적어도 부분적으로 기초하여 상기 메모리 셀의 상태를 검출하도록 구성되어 있고,

상기 제어 회로는 또한 상기 선택된 메모리 셀의 주소에 적어도 부분적으로 기초하여 상기 참조 전압을 결정하

도록 구성되어 있는, 전자 시스템.

**청구항 22**

제20항 또는 제21항에 있어서, 상기 감지 회로에 결합되어 외부 장치와 통신하는 I/O 회로를 추가로 포함하는 전자 시스템.

**청구항 23**

제20항 또는 제21항에 있어서, 상기 전자 시스템은 SSD(solid state drive)를 포함하는 것인 전자 시스템.

**청구항 24**

제20항 또는 제21항에 있어서, 상기 제어 회로는 상기 비트 라인과 상기 감지 노드 사이에 결합되어 있는 패스 트랜지스터를 추가로 포함하고;

상기 제어 회로는 또한

공급 전압을 상기 감지 노드에 결합시키고 충전 전압을 상기 패스 트랜지스터의 제어 게이트에 인가하여 전하가 상기 패스 트랜지스터를 통해 상기 비트 라인으로 흐를 수 있게 해주며;

상기 감지 노드로부터 전하를 배출시키기 위해 상기 패스 트랜지스터의 제어 게이트에 제어 전압을 인가하도록 구성되어 있으며;

상기 제어 전압은 상기 참조 비트 라인의 전압에 적어도 부분적으로 기초하고, 상기 충전 전압은 상기 참조 전압보다 더 크며, 상기 공급 전압은 상기 충전 전압보다 더 큰 것인 전자 시스템.

**청구항 25**

제20항 또는 제21항에 있어서, 상기 여유 전압이 50 mV 내지 200 mV의 범위에 있는 것인 전자 시스템.

**청구항 26**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명 요지는 반도체 메모리에 관한 것으로서, 보다 구체적으로는, 메모리 액세스를 제어하는 것에 관한 것이다.

**배경 기술**

[0002] 많은 유형의 반도체 메모리가 기술 분야에 공지되어 있다. 한 유형의 메모리는 메모리 셀의 전하 저장 영역에 전하를 저장하는 플래시 메모리이다. MOSFET(metal-oxide-semiconductor field-effect transistor) 기반 플래시 셀(flash cell)의 문턱 전압이 셀의 전하 저장 영역에 저장되는 전하의 양을 변경함으로써 변경될 수 있고, 문턱 전압이 플래시 셀에 저장되는 값을 나타내는 데 사용될 수 있다. 플래시 셀의 2가지 상이한 상태의 문턱 전압 사이에 있는 전압을 플래시 셀 양단에 제공하는 것에 의해, 플래시 셀의 상태가 플래시 셀을 통해 흐르는 전류를 측정함으로써 판정될 수 있다. 플래시 셀은 오프 전류(off-current)보다 훨씬 더 높은 온 전류(on-current)를 가진다. 플래시 메모리에 흔히 사용되는 하나의 아키텍처는 NAND 아키텍처이다. NAND 아키텍처에서, 2개 이상의 메모리 셀이 서로 결합되어 스트링(string)을 이루고, 개별 셀의 제어 라인은 워드 라인에 결합된다. NAND 스트링은 NAND 스트링의 한쪽 끝에서 비트 라인에 결합될 수 있다.

[0003] 다른 유형의 메모리는 PCM(phase change memory)이다. PCM은 비전도성 비정질 상태 및 전도성 결정질 상태를 가지는 상변화 물질을 이용한다. PCM 셀은 저장된 값을 나타내기 위해 한쪽 상태 또는 다른쪽 상태로 될 수 있다. PCM 셀 양단에 전압을 제공하는 것에 의해, PCM 셀의 상태가 PCM 셀을 통해 흐르는 전류를 측정함으로써 판정될 수 있다. PCM 셀은 오프 전류보다 훨씬 더 높은 온 전류를 가진다.

[0004] 플래시 메모리 및 PCM을 비롯한 많은 유형의 메모리는 메모리 셀들을 'X' 및 'Y' 방향 둘 다에서 어레이와 교차

할 수 있는 제어 라인들을 갖는 어레이로 구성할 수 있다. 이들 제어 라인이 많은 상이한 이름들을 가질 수 있지만 이들은 흔히 워드 라인 및 비트 라인이라고 지칭될 수 있다. 제어 라인들은 꽤 길 수 있고, 그의 길이 및 제어 라인들에 결합된 메모리 셀들의 수로 인해, 높은 저항 및 커패시턴스를 가질 수 있다.

**발명의 내용**

**도면의 간단한 설명**

[0005] 명세서에 포함되어 그의 일부를 이루고 있는 첨부 도면은 다양한 실시예들을 나타내고 있다. 개괄적인 설명과 함께, 도면은 다양한 원리들을 설명하는 역할을 한다.

도 1a는 메모리의 일 실시예의 블록도.

도 1b는 메모리에 대한 제어 회로의 일 실시예의 블록도.

도 2a 및 도 2b는 메모리의 일 실시예에서 다양한 라인들의 타이밍도.

도 3은 메모리에 액세스하는 방법의 일 실시예의 플로우차트.

도 4는 전자 시스템의 일 실시예의 블록도.

**발명을 실시하기 위한 구체적인 내용**

[0006] 이하의 상세한 설명에서, 관련 개시 내용의 완전한 이해를 제공하기 위해 다수의 구체적인 상세가 예로서 기재되어 있다. 그렇지만, 본 개시 내용이 이러한 상세 없이 실시될 수 있다는 것이 기술 분야의 당업자에게는 명백할 것이다. 다른 경우에, 본 개념의 측면들을 불필요하게 불명료하게 하는 것을 피하기 위해, 공지된 방법, 절차 및 구성요소가 상세 없이 비교적 개략적으로 기술되어 있다. 이 개시 내용의 다양한 실시예들을 기술하는데 다수의 설명 용어 및 구문이 사용되고 있다. 이들 설명 용어 및 구문은, 본 명세서에서 다른 정의가 주어지지 않는 한, 기술 분야의 당업자에게 일반적으로 합의된 의미를 전달하는 데 사용된다. 이제부터, 첨부 도면에 예시되고 이하에서 논의되는 예를 상세히 언급한다.

[0007] 도 1a는 메모리(100)의 일 실시예의 블록도이다. 메모리(100)는 비트 라인(110) 및 부가의 비트 라인들(120) 등의 다양한 도체를 포함할 수 있다. "비트 라인"이라는 용어가 일반적으로 기술 분야의 당업자에 의해 이해되고 있지만, 어떤 기술들에서는 다른 이름들이 사용될 수 있다. 비트 라인은, 이 용어가 본 명세서에서 그리고 특허청구범위에서 사용되는 바와 같이, 그 라인에 결합되어 있는 메모리 셀들 중 하나의 메모리 셀의 상태를 감지하는 데 사용될 수 있는, 2개 이상의 메모리 셀에 결합되어 있는 임의의 도체를 말하는 것일 수 있다. 비트 라인들(110, 120)은 메모리 어레이의 일부일 수 있다. 비트 라인들(110, 120)은, 각각, 비트 라인(110)에 결합되어 있는 메모리 셀들(111 내지 118) 등의 2개 이상의 메모리 셀들에 결합되어 있을 수 있다. 어떤 실시예들에서, 메모리 셀들(111 내지 118)이 비트 라인(110)에 개별적으로 결합되어 있을 수 있지만, 다른 실시예들은 NAND 아키텍처에서 스트링으로서 배열되어 있는 다수의 메모리 셀들을 가질 수 있고, 스트링은 스트링의 한쪽 끝에서 비트 라인에 결합되어 있다. 메모리 셀들(111 내지 118)은, 어떤 메모리 셀들(111 내지 118)이 다른 메모리 셀들보다 감지 노드(151)에 더 가까이 있도록, 비트 라인(110)을 따라 분포되어 있을 수 있다. 도시된 예에서, 메모리 셀(111)이 감지 노드(151)에 가장 가까이 있고, 메모리 셀(118)이 감지 노드(151)로부터 가장 멀리 있다. 메모리 셀들(111 내지 118)은 또한 접지에 결합되어 있을 수 있고 도통 상태(conductive state) 및 비도통 상태(non-conductive state)를 가질 수 있으며, 따라서 메모리 셀이 도통 상태에 있는 경우, 비트 라인(110) 상의 전기 전하가 메모리 셀을 통해 접지로 배출(drain)될 수 있다. 메모리 셀들이 NAND 스트링으로 배열되어 있는 경우, NAND 스트링의 한쪽 끝은 접지에 결합되어 있을 수 있고, 이 때 스트링의 모든 메모리 셀들이 도통(conductive)인 경우 스트링은 도통이다. 비트 라인(110)에 결합되어 있는 메모리 셀들(111 내지 118) 중에서 메모리 셀을 선택하기 위해 워드 라인(141) 등의 부가의 메모리 제어 라인이 제공될 수 있다.

[0008] 참조 비트 라인(reference bit line)(130)이 포함될 수 있다. 참조 비트 라인(130)은 다른 비트 라인들(110, 120)과 실질적으로 유사한 전기적 특성을 가질 수 있다. 어떤 실시예들에서, 참조 비트 라인(130)의 길이가 다른 비트 라인들과 실질적으로 동일할 수 있다. 어떤 실시예들에서, 참조 비트 라인(130)의 길이, 저항 및 커패시턴스는, 각각, 비트 라인(110) 등의 비트 라인들 중 적어도 하나의 비트 라인의 길이, 저항 및 커패시턴스의 약 10% 내에 있을 수 있다. 비트 라인(110)의 저항 및 커패시턴스가 다양한 실시예들 간에 크게 다를 수 있지만, 어떤 실시예들에서, 비트 라인(110)의 전체 저항(overall resistance)이 약 1 메가오옴(MΩ) 내지 약 5 MΩ일 수 있고, 비트 라인(110)의 집중 커패시턴스(lumped capacitance)가 약 1 피코패럿(pF) 내지 약 2 pF일

수 있다. 비트 라인(110)의 길이도 역시 실시예들 간에 크게 다를 수 있지만, 적어도 어떤 실시예들에서, 비트 라인(110)의 길이가 약 1 밀리미터(mm) 내지 약 3 mm일 수 있다. 비트 라인(110) 및 참조 비트 라인(130)은 전압이 비트 라인(110)을 따라 측정되는지 참조 비트 라인(130)을 따라 측정되는지에 따라 전기 과형이 변할 수 있도록 되어 있는 전송 라인으로서 기능할 수 있다.

[0009] 어떤 실시예들에서, 참조 비트 라인(130)이 메모리 어레이에 포함되어 있을 수 있지만, 다른 실시예들은 메모리 어레이 영역 밖에 참조 비트 라인(130)을 포함할 수 있다. 참조 비트 라인(130)은 메모리 셀들이 그에 결합되어 있거나 그렇지 않을 수 있고, 메모리 셀의 커패시턴스를 시뮬레이트하는 구조를 포함할 수 있다. 어떤 실시예들에서, 참조 비트 라인(130)은 비트 라인(110)에 결합되어 있는 메모리 셀들(111 내지 118)에 동시에 액세스되지 않는 사용가능 메모리 셀들에 결합되어 있을 수 있다. 참조 비트 라인(130)은 참조 비트 라인(130)을 따라 분포되어 있는 상이한 전압 검출 위치를 제공하기 위해 2개 이상의 탭을 포함할 수 있다. 다양한 실시예들에서 임의의 수의 탭이 제공될 수 있지만, 실시예들은 비트 라인(110)에 결합되어 있는 메모리 셀들의 수보다 적은 탭을 참조 비트 라인(130) 상에 제공할 수 있다. 어떤 실시예들에서, 수천개의 메모리 셀들이 비트 라인(110)에 결합되어 있을 수 있더라도, 256개의 탭 또는 그 이하 등의 적은 수의 탭이 제공될 수 있다. 적어도 하나의 실시예에서, 참조 비트 라인(130) 상에 단지 4개의 탭이 제공될 수 있지만, 다른 실시예들은 8개, 16개 또는 32개의 탭을 제공한다. 탭은 패스 트랜지스터들(pass transistors)(131 내지 134)에 의해 전압 모니터링 라인(139)에 결합되어 있을 수 있고, 전압 모니터링 라인(139)은 제어 회로(150)에 결합되어 있다. 제어 회로(150)가 패스 트랜지스터들(131 내지 134) 중 하나를 선택적으로 턴온시켜 탭을 선택할 수 있게 해주기 위해, 패스 트랜지스터들(131 내지 134)의 제어 게이트가 탭 선택 라인(142)에 의해 구동될 수 있다.

[0010] 메모리(100)는 또한 제어 회로(150)를 포함할 수 있다. 제어 회로(150)는 패스 트랜지스터(154)[어떤 실시예들에서, 클램핑 트랜지스터(clamping transistor)라고 할 수 있음]에 의해 비트 라인(110)에 결합되어 있을 수 있는 감지 노드(151)를 포함할 수 있다. 어떤 실시예들에서, 몇개의 비트 라인들 중 하나가 패스 트랜지스터(154)에 결합될 수 있게 해주기 위해 멀티플렉서가 사용될 수 있다. 이하에서 더 상세히 기술될 것인 바와 같이 비트 라인(110)의 전압 레벨에 기초하여 어드레싱된 메모리 셀의 상태를 검출하기 위해, 버퍼(158) 등의 감지 게이트(sense gate)가 감지 노드(151)에 결합되어 있을 수 있다. 버퍼(158)의 출력(107)은, 실시예에 따라, 어드레싱된 메모리 셀의 상태를 제공할 수 있거나 상태의 반전(inversion)을 제공할 수 있다.

[0011] 제어 회로(150)는 메모리(100)에 액세스하는 외부 소스에 결합되어 있을 수 있는 주소 및/또는 명령 라인(105)을 수신할 수 있다. 제어 회로(150)는 라인(105)을 통해 수신되는 판독 명령(command), 기입 명령, 소거 명령 및/또는 프로그램 명령 등의 특정의 명령에 응답할 수 있다. 어떤 실시예들에서, 제어 회로는 판독 명령에 응답하여 버퍼(158)의 출력(107)에 의해 나타나는 것과 같은 어드레싱된 메모리 셀의 상태를 제공할 수 있고 및/또는 기입, 프로그램 또는 소거 명령에 응답하여 어드레싱된 메모리 셀의 상태를 확인할 수 있다.

[0012] 패스 트랜지스터(152)[어떤 실시예들에서, 충전 트랜지스터(charging transistor)라고 할 수 있음]는 감지 노드를 전하 공급원(charge source)(공급 전압  $V_{cc}$  등)에 결합시킬 수 있다. 패스 트랜지스터(156)는 참조 비트 라인(130)을 전하 공급원(공급 전압  $V_{cc}$  등)에 결합시키기 위해 포함되어 있을 수 있다. 패스 트랜지스터들(152, 154, 156)의 제어 게이트는 비트 라인 관리 회로(bit line management circuitry)(160)(그의 일 실시예가 도 1b에 더 상세히 도시되어 있음)로부터 구동될 수 있다. 비트 라인 관리 회로(160)는 메모리 명령(memory command)에 응답하여 적어도 3개의 상이한 기간 - 이하에서 더 상세히 기술되어 있을 수 있는 프리차지 기간, 전개 기간(development period) 및 감지 기간 - 을 개시할 수 있다. 어떤 실시예들에서, 메모리(100)의 다수의 비트들이 사용되는 다수의 비트 라인들에 의해 동시에 액세스될 수 있다. 이러한 실시예들에서, 각자의 비트 라인에 대해 개별 감지 노드(151), 버퍼(158) 및 패스 트랜지스터들(152, 154)이 제공될 수 있다.

[0013] 도 1b는 메모리(100)에 대한 비트 라인 관리 회로(160)를 포함하는 제어 회로의 일 실시예의 블록도이다. 메모리 명령에 응답하여, 비트 라인 관리 회로(160)는 프리차지 기간을 시작할 수 있다. 프리차지 기간 동안, 선택된 비트 라인(110)의 메모리 셀들(111 내지 118)은 선택 해제되고 비도통 상태에 있을 수 있다. 어떤 실시예들에서, 메모리 셀들(111 내지 118)이 메모리 셀들(111 내지 118)에 각각 결합되어 있는 워드 라인들(141)을 디어써트(deassert)함으로써 선택 해제될 수 있지만, 다른 실시예들은 메모리 셀들(111 내지 118)을 비도통 상태에 두기 위한 대안의 메커니즘을 제공할 수 있다. 프리차지 기간의 시작에서, 참조 비트 라인(130)은 그의 길이에 걸쳐 약 0 볼트(V)의 전압을 갖는 충전되지 않은 상태에 있을 수 있다. 탭 선택 라인들(142) 중 하나를 어써트(assert)함으로써 탭이 선택될 수 있다. 어드레싱되는 메모리 셀의 주소에 적어도 부분적으로 기초하여, 탭이 선택될 수 있다. 어드레싱된 메모리 셀로부터 감지 노드(151)까지의 거리에 적어도 부분적으로 기초하여, 주소

가 탭에 매핑될 수 있다. 따라서, 메모리 셀(111)이 감지 노드(151)에 가까이 있는 어드레싱된 메모리 장소인 경우, 패스 트랜지스터(131)의 제어 게이트를 하이로 구동함으로써 첫번째 탭이 선택될 수 있다. 메모리 셀(118)이 감지 노드(151)로부터 멀리 있는 어드레싱된 메모리 장소인 경우, 패스 트랜지스터(134)의 제어 게이트를 하이로 구동함으로써 마지막 탭이 선택될 수 있다. 탭을 선택하는 것은 전압 모니터링 라인(139)을 참조 비트 라인(130)의 특성의 지점에 결합시킨다.

[0014] 프리차지 기간 동안, 시간 제어기 회로(170)는, 패스 트랜지스터(152)를 인에이블시켜 공급 전압  $V_{CC}$ 를 감지 노드(151)에 결합시킴으로써, 감지 노드(151)를 논리 하이 레벨로 충전시킬 수 있다. 공급 전압  $V_{CC}$ 의 전압 레벨은 실시예에 따라 달라질 수 있지만, 패스 트랜지스터(154) 및 패스 트랜지스터(156)의 제어 게이트에 제공되는 다양한 전압들보다 더 클 수 있고, 어떤 실시예들에서, 약 3 V일 수 있다. 프리차지 기간 동안, 시간 제어기 회로(170)는 또한, 패스 트랜지스터(164)를 디스에이블시키면서, 패스 트랜지스터(165)를 인에이블시켜 전압  $V_1$ 을 연산 증폭기(166)의 비반전 입력으로 통과시킬 수 있다. 패스 트랜지스터(164) 및 패스 트랜지스터(165)는 한쪽 패스 트랜지스터를 인에이블시키고 다른쪽 패스 트랜지스터를 인에이블시키지 않으므로써 2대1 멀티플렉서(two to one mux)를 구현하는 데 사용될 수 있다. 시간 제어기 회로(170)는 인에이블 라인(enable line)(176)을 사용하여 연산 증폭기(166)를 인에이블시킬 수 있다. 연산 증폭기(166)는 인에이블 라인(176)이 하이인 경우 연산 증폭기로서 기능할 수 있지만, 인에이블 라인(176)이 로우인 경우 그의 출력을 대략 접지로 구동할 수 있다. 트랜지스터(167)는 그의 소스 및 제어 게이트가 연산 증폭기(166)의 출력에 결합되어 있고, 그의 드레인이 연산 증폭기(166)의 반전 입력 및 트랜지스터(167)를 통한 전류 흐름을 제공하는 저항기(168)에 결합되어 있다. 어떤 실시예들에서, 유휴 기간(idle period) 동안 저항기(168)를 통한 전류를 제거함으로써 전력을 감소시키기 위해, 인에이블 라인(176)에 의해 제어되는 패스 트랜지스터 등의 회로가 제공될 수 있다. 도시된 구성은 "전압  $V_1$  + 트랜지스터(167)(회로 내의 다른 트랜지스터를 나타낼 수 있음)의 문턱 전압  $V_t$ "와 거의 동일한 충전 전압을 클램프 라인(clamp line)(169)을 통해 제공할 수 있다. 클램프 라인(169)은 비트 라인(110)을 감지 노드(151)에 결합시키는 패스 트랜지스터(154)의 제어 게이트에 결합되어 있을 수 있다. 이 구성은, 프리차지 기간 동안,  $V_{CC}$ 로부터의 전하를 패스 트랜지스터(152)를 통해 감지 노드(151)로 그리고 감지 노드(151)로부터 패스 트랜지스터(154)를 통해 비트 라인(110)으로 공급할 수 있다.

[0015] 시간 제어기(170)는 패스 트랜지스터(172)를 인에이블시켜 클램프 라인(169)을 패스 트랜지스터(156)에 결합시킴으로써 참조 비트 라인(130)에 전하를 공급할 수 있고, 이는 공급 전압  $V_{CC}$ 로부터의 전하가 참조 비트 라인(130)으로 흐를 수 있게 해줄 수 있다. 참조 비트 라인(130)의 전압이 선택된 탭에서 전압 모니터링 라인(139)을 통해 모니터링될 수 있다. 비교기(161)는 전압 모니터링 라인(139)을 참조 전압  $V_{REF}$ 와 비교하고, 전압 모니터링 라인(139)이 참조 전압  $V_{REF}$ 에 도달했는지를 나타낼 수 있다. 어떤 실시예들에서, 액세스되는 메모리 셀의 주소 또는 어드레싱된 메모리 셀로부터 감지 노드(151)까지의 거리에 따라 참조 전압  $V_{REF}$ 가 변화될 수 있다. 적어도 하나의 실시예에서, 감지 노드(151)로부터 더 멀리 있는 메모리 셀에 대해 참조 전압  $V_{REF}$ 가 더 낮을 수 있다. 선택된 탭에서의 참조 비트 라인(130)의 전압이 참조 전압  $V_{REF}$ 에 도달하면, 시간 제어기 회로는 프리차지 기간을 종료시킬 수 있다.

[0016] 시간 제어기 회로(170)는 프리차지 기간의 끝에서 몇가지 조치를 취할 수 있다. 시간 제어기 회로는 클램프 라인(169)을 로우로 구동하고 비트 라인(110)에 전하를 공급하는 것을 중단하기 위해 인에이블 라인(176)을 디어써트함으로써 연산 증폭기(166)를 디스에이블시킬 수 있다. 이와 같이, 전하가 비트 라인(110)에 공급되는 시간(프리차지 기간이라고 할 수 있음)이 참조 비트 라인(130)의 전압이 참조 전압  $V_{REF}$ 에 도달하는 시간에 기초할 수 있다. 시간 제어기 회로(170)는 또한, 패스 트랜지스터(156)를 턴오프시키고 참조 비트 라인(130)에 전하를 공급하는 것을 중단하기 위해, 풀다운 트랜지스터(pulldown transistor)(173)를 턴온시키고 패스 트랜지스터(172)를 턴오프시킬 수 있다. 시간 제어기 회로(170)는 또한 감지 노드(151)를 충전시키는 것을 중단하기 위해 패스 트랜지스터(152)를 턴오프시킬 수 있지만, 다른 실시예들은 패스 트랜지스터(152)를 턴오프시키는 것을 나중의 시각까지 지연시킬 수 있다.

[0017] 참조 비트 라인(130)이 비트 라인(110)과 실질적으로 동일한 전기적 특성을 가질 수 있기 때문에, 프리차지 기간 동안 비트 라인(110)의 전압이 참조 비트 라인(130)의 전압과 실질적으로 유사할 수 있다. 따라서 클램프 라인(169)이 참조 전압  $V_{REF}$ 보다 상당히 더 높은 전압에 있더라도, 비트 라인(110)의 전압이 참조 전압  $V_{REF}$ 를 아주 많이 초과하지는 않을 수 있다. 프리차지 기간 동안 클램프 라인(169)을 통해 보다 높은 충전 전압이 제공

되는 경우, 패스 트랜지스터들(154, 156)의 제어 게이트와 드레인 사이의 보다 높은 차이 및 저항-커패시턴스(R-C) 충전 효과로 인해, 비트 라인(110) 및 참조 비트 라인(130)이 더 빨리 충전될 수 있다. 따라서, 충전 전압이 참조 전압  $V_{REF}$ 보다 더 높을 수 있다. 어떤 실시예들에서, 충전 전압이 참조 전압  $V_{REF}$ 보다 적어도 200 밀리볼트(mV) 더 높을 수 있다. 어떤 실시예들에서, 참조 전압이 약 300 mV 내지 약 600 mV의 범위에 있을 수 있고, 충전 전압이 약 500 mV 내지 약 1.0 V의 범위에 있을 수 있다.

[0018] 프리차지 기간이 끝난 후에, 비트 라인(110)에 결합되어 있는 어드레싱된 메모리 셀이 선택될 수 있다. 메모리 셀을 선택함으로써, 메모리 셀은, 소거된 상태 또는 '0' 상태 등의 제1 상태에 있는 경우, 도통될 수 있고, '1' 상태의 세트된 상태 등의 다른 상태에 있는 경우 비도통될 수 있다. 어떤 실시예들에서, 다수의 비트의 정보가 단일의 메모리 셀에 저장될 수 있게 해주기 위해 단일의 메모리 셀이 3개 이상의 상태를 가질 수 있지만, 셀의 상태가 셀을 통해 흐르는 전류에 의해 검출가능한 한, 메모리 셀이 선택된 것으로 간주될 수 있다. 어떤 실시예들에서, 메모리 셀에 결합되어 있는 워드 라인을 어써트함으로써 메모리 셀이 선택될 수 있다. NAND 아키텍처를 사용하는 실시예들에서, NAND 스트링의 비어드레싱된 셀들이, 그의 상태에 관계없이, 도통으로 될 수 있고, 어드레싱된 셀이 선택될 수 있다. 어드레싱된 메모리 셀이 선택되면, 시간 제어기 회로(170)는 비트 라인(110)에 저장된 전하가 안정화되고 어드레싱된 셀이 도통인 경우 선택된 셀이 전하를 배출할 수 있게 해주기 위해 전개 기간을 제공할 수 있다. 비트 라인(110)에서의 전송 선로(transmission line) 효과로 인해 비트 라인(110)이 프리차지 기간의 종료 후에 안정화하기 위해 및/또는 전하가 비트 라인(110) 전체에 걸쳐 분포하는 시간을 고려하기 위해 얼마간의 시간이 소요될 수 있다.

[0019] 커패시턴스 및 저항이 길이에 걸쳐 분포되어 있는 참조 비트 라인(130)의 길이로 인해, 전하가 더 이상 공급되지 않을지라도, 선택된 탭에서 참조 비트 라인(130)의 전압이 프리차지 기간의 종료 이후에 변할 수 있다. 전하가 참조 비트 라인(130)의 한쪽 끝에 공급될 수 있기 때문에, 반대쪽 끝에서보다 참조 비트 라인(130)의 그 끝에서 전하가 더 많을 수 있고, 따라서 전압이 더 높을 수 있다. 따라서 전개 기간 동안, 전하가 참조 비트 라인(130)에 걸쳐 분포될 수 있다. 참조 전압  $V$ 와 비교하기 위해 패스 트랜지스터(131)를 인에이블시킴으로써 근방의 탭이 선택된 경우, 전개 기간 후에 그 탭에서의 전압이 참조 전압  $V_{REF}$ 보다 더 낮을 수 있다. 패스 트랜지스터(134)를 인에이블시킴으로써 멀리 있는 탭이 선택된 경우, 전개 기간 후에 그 탭에서의 전압이 참조 전압  $V_{REF}$ 보다 더 높을 수 있다.

[0020] 전개 기간 후에, 시간 제어기 회로(170)는 감지 기간을 개시할 수 있다. 감지 기간의 시작에서, 감지 노드(151)를 공급 전압  $V_{CC}$ 로부터 분리시키기 위해, 패스 트랜지스터(152)가, 이전에 턴오프되지 않은 경우, 턴오프될 수 있다. 참조 비트 라인(130)이 그의 안정화된 전압 레벨에 계속하여 부유할 수 있게 해주기 위해 패스 트랜지스터(156)가 오프인 채로 있을 수 있고, 참조 비트 라인(130)의 전압에 적어도 부분적으로 기초하여 클램프 전압이 설정될 수 있다. 전압 모니터링 라인(139)은 단위 이득 증폭기(unity gain amplifier)로서 구성되어 있는 연산 증폭기(162)의 비반전 입력에 결합될 수 있다. 어떤 실시예들에서, 여유 전압(margin voltage)이 선택될 수 있게 해주기 위해 분압기(voltage divider)(163)가 제공될 수 있다. 분압기(163)는 고정 분압기(fixed voltage divider), 패키징 및 테스트 단계 동안 고정되거나 동작 동안 선택될 수 있는 다수의 선택가능 탭들을 갖는 저항 사다리(resistive ladder), 다이오드 또는 트랜지스터 및 저항기에 의해 접지 또는 공급 전압으로 설정된 고정 전압 강하(fixed voltage drop), 또는 여유 전압이 참조 비트 라인(139)의 전압으로부터 차감될 수 있게 해주는 임의의 다른 회로일 수 있다. 적어도 하나의 실시예에서, 여유 전압이 약 50 mV 내지 약 200 mV의 범위에서 가변적일 수 있다. "참조 비트 라인(130)의 전압 - 여유 전압"과 거의 동일한 클램프 전압이 연산 증폭기(166)의 비반전 입력에 제공되도록 패스 트랜지스터(164)를 턴온시키고 패스 트랜지스터(165)를 턴오프시킴으로써 분압기(163)의 출력을 통과시키기 위해 2대1 멀티플렉서가 제어될 수 있다. 감지 기간 동안 "클램프 전압 + 문턱 전압  $V_t$ "와 동일한 제어 전압이 클램프 라인(169)을 통해 패스 트랜지스터(154)의 제어 게이트에 제공되도록 인에이블 라인(176)을 어써트함으로써 연산 증폭기(166)가 감지 기간 동안 인에이블될 수 있다.

[0021] 클램프 라인(169)이 "클램프 전압 + 문턱 전압  $V_t$ "와 동일한 전압 레벨에 있는 경우, 패스 트랜지스터(154)는, 다른 단자들 중 적어도 하나가 클램프 전압보다 작으면, 도통할 수 있다. 따라서, 선택된 메모리 셀이 비도통 상태에 있는 경우, 비트 라인(110)은 참조 비트 라인(130)의 전압과 거의 동일한 전압에 있고, 감지 노드는 공급 전압  $V_{CC}$ 에 있다. 클램프 전압이 참조 비트 라인(130)의 전압보다 여유 전압만큼 낮고, 참조 비트 라인(130)의 전압이 그를 충전시키는 데 사용되었던 공급 전압  $V_{CC}$ 보다 낮기 때문에, 패스 트랜지스터(154)가 감지 기간 동안 도통하지 않을 수 있다. 패스 트랜지스터(154)가 도통하지 않는 경우, 감지 노드(151)에서의 전하가 배출

되지 않을 수 있고, 감지 노드(151)의 전압이 감지 기간 동안 논리 하이 레벨에 유지될 수 있다. 선택된 메모리 셀이 도통 상태에 있는 경우, 비트 라인(110)이 전개 기간 동안 선택된 메모리 셀을 통해 방전되었을 수 있고, 따라서 비트 라인(110)은 참조 전압  $V_{REF}$ 보다 낮은 전압에 있을 수 있고 0 V 근방일 수 있다. 비트 라인(110)이 클램프 전압보다 낮은 전압에 있는 경우, 감지 노드(151)로부터의 전하가 감지 기간 동안 비트 라인(110)으로 배출될 수 있고, 비트 라인(110)의 커패시턴스가 감지 노드(151)의 커패시턴스보다 훨씬 더 크고, 선택된 메모리 셀이 비트 라인(110)으로부터의 전하를 접지로 계속하여 배출할 수 있기 때문에, 감지 노드(151)의 전압이 비트 라인(110)의 전압(0 V 근방일 수 있음)에 가까울 수 있고, 감지 기간 동안 논리 로우 레벨로서 검출될 수 있다. 따라서, 어드레싱된 메모리 셀의 상태가 비트 라인(110)의 전압 레벨에 기초하여 판정될 수 있다. 어떤 실시예들에서, 감지 라인 상의 논리 로우 레벨은 소거된 '0' 상태에 대응할 수 있고, 논리 하이 레벨은 세트된 '1' 상태에 대응할 수 있지만, 다른 실시예들은 그 대응 관계를 반대로 할 수 있고, 또 다른 실시예들은 다수의 비트를 표현하기 위해 다수의 전압 레벨을 사용할 수 있다. 감지 기간이 끝난 후에, 트랜지스터(171)를 턴온시킴으로써 참조 비트 라인이 약 0 볼트로 방전될 수 있다. 어떤 실시예들에서, 참조 비트 라인(130)이 그의 전체 길이에 걸쳐 약 0 V로 되돌아가는 것을 가속화하는 데 도움을 주기 위해, 트랜지스터(171)가 온인 동안 다수의 패스 트랜지스터(131 내지 134)가 턴온될 수 있다.

[0022] 유의할 점은, 제어 회로(150)의 단지 하나의 실시예가 본 명세서에 기술되어 있지만, 기술 분야의 당업자가 동일한 거동을 수행하기 위해 많은 다른 회로 실시예들의 원하는 거동 및 설계의 설명을 이용할 수 있다는 것이다. 사용되는 회로 기술에 따라, 다른 회로 토폴로지가 도 1a 및 도 1b에 도시된 회로보다 더 효율적이거나 덜 효율적일 수 있다.

[0023] 도 2a 및 도 2b는 도 1a 및 도 1b에 도시된 것과 같은 메모리(100)의 일 실시예에서 다양한 라인들의 타이밍도이다. 도 2a는 메모리 셀(111) 등의 감지 노드(151)에 가까이 있는 메모리 셀의 액세스를 나타낸 것이고, 도 2b는 메모리 셀(118) 등의 감지 노드(151)로부터 멀리 있는 메모리 셀의 액세스를 나타낸 것이다.

[0024] 이제 도 2a를 참조하면, 액세스 타이밍 표시자(201A)는 메모리(100)의 액세스를 이루고 있을 수 있는 4개의 상이한 기간을 나타내고 있다. 프리차지 기간(210A)은 비트 라인(110) 및 참조 비트 라인(130)이 충전되는 시간으로 특징지어질 수 있다. 전개 기간(220A)은 메모리 셀이 선택되고 비트 라인(110)이 선택된 메모리 셀의 상태에 의존하는 전압으로 안정화될 수 있는 시간으로서 특징지어질 수 있다. 감지 기간(230A)은 감지 노드(151)가 선택된 메모리 셀의 상태를 나타낼 수 있는 시간으로서 특징지어질 수 있고, 데이터 버퍼링 기간(240A)은 메모리로부터 판독된 데이터가 래치되고, 판독 데이터로서 반환되거나, 검증되거나, 다른 방식으로 사용되는 기간으로서 특징지어질 수 있다.

[0025] 참조 비트 라인(130)의 전압 파형(202A)은 감지 노드(151)에 가까이 있는 메모리 셀(111)의 액세스를 나타낸다. 메모리 셀(111)이 감지 노드(151)에 가까이 있기 때문에, 패스 트랜지스터(131)를 인에이블시키고 다른 탭들 상의 다른 패스 트랜지스터들(132 내지 134)을 디스에이블시킴으로써 참조 비트 라인(130)으로부터의 첫번째 탭이 선택될 수 있다. 2개의 상이한 액세스가 도 2a에 도시되어 있다. 파형들(204A 및 205A)로 도시되어 있는 하나의 액세스는 비도통 '1' 상태에 있는 선택된 메모리 셀(111)에 대한 것이고, 파형들(206A 및 207A)로 도시되어 있는 다른 액세스는 도통 '0' 상태에 있는 선택된 메모리 셀(111)에 대한 것이며, 파형들(202A 및 203A)은 이들 액세스 둘 다에 적용된다.

[0026] 패스 트랜지스터(152)가 프리차지 기간(210A) 동안 턴온될 수 있고, 따라서 감지 노드(151)는, 감지 노드 '1' 파형(204A) 및 감지 노드 '0' 파형(206A)으로 나타낸 바와 같이, 공급 전압  $V_{CC}$ 에 가까운 레벨로 상승한다. 클램프 라인 파형(203A)은 비트 라인(110)에 결합되어 있는 패스 트랜지스터(154)의 제어 게이트에서의 전압을 나타낸다. 패스 트랜지스터(156)의 제어 게이트는 또한 프리차지 기간(210A) 동안 유사한 전압으로 구동될 수 있다. 클램프 파형(203A)은 프리차지 기간(210A) 동안 전압  $V_1$ 보다 약간 더 높은 전압을 나타낸다. 파형(202A) 및 파형들(205A 및 207A)로 나타낸 바와 같이, 프리차지 기간(210A) 동안 전하가 패스 트랜지스터(154) 및 패스 트랜지스터(156)를 통해, 각각, 비트 라인(110) 및 참조 비트 라인(130)에 공급될 수 있다.

[0027] 참조 비트 라인(130)이 시점(211A)에서 참조 전압  $V_{REF}$ 에 도달하면, 파형(203A)에 나타낸 바와 같이, 클램프 라인(130)은 물론 패스 트랜지스터(152) 및 패스 트랜지스터(156)의 제어 게이트를 접지로 구동함으로써 프리차지 기간(210A)이 종료될 수 있다. 그 다음에 오는 전개 기간(220A) 동안, 파형(202A)으로 나타낸 바와 같이, 참조 비트 라인(130)의 전압이 안정화될 수 있다. 선택된 탭이 참조 비트 라인(130)의 시작에 가까이 있기 때문에, 참조 비트 라인(130)의 안정화된 전압이 참조 전압  $V_{REF}$ 보다 약간 더 낮을 수 있는데, 그 이유는 전하가 참조 비트

라인(130) 전체에 걸쳐 분포되기 때문이다.

[0028] 전개 기간(220A) 동안 어드레싱된 메모리 셀(들)이 선택될 수 있다. 감지 노드(151)를 나타내는 파형(204A) 및 비도통 '1' 상태에 있는 선택된 메모리 셀(111)에 대한 비트 라인(110)을 나타내는 파형(205A)을 갖는 2개의 예가 도시되어 있다. 파형(206A)은 감지 노드(151)를 나타내고, 파형(207A)은 도통 '0' 상태에 있는 선택된 메모리 셀(111)에 대한 비트 라인(110)을 나타낸다. 파형(204A) 및 파형(206A) 둘 다는, 패스 트랜지스터(154)가 오프이기 때문에, 전개 기간(220A) 동안 그의 전하를 보유하고 있는 감지 노드(151)를 나타낸다. 파형(205A)은, 선택된 메모리 셀(111)이 비도통인 경우, 비트 라인(110)이 참조 비트 라인(130)과 유사한 전압에 안정화될 수 있다는 것을 나타낸다. 파형(207A)은, 선택된 메모리 셀(111)이 도통인 경우, 비트 라인(110)이 전개 기간(220A) 동안 풀다운될 수 있고, 전개 기간(220A)의 끝에서 접지 부근의 낮은 전압일 수 있다는 것을 나타낸다.

[0029] 따라서 감지 기간(230) 동안, 클램프 전압  $V_{CLAMP\_A}$ 는, 앞서 기술한 바와 같이, 참조 비트 라인(130)의 전압(212A)에 적어도 부분적으로 기초하여 설정될 수 있다. 클램프 전압  $V_{CLAMP\_A}$ 는 참조 비트 라인(130)의 전압(212A)보다 분압기(163)에 의해 결정될 수 있는 여유 전압만큼 낮을 수 있다. 클램프 라인(169)은 감지 노드(151)를 비트 라인(110)에 결합시키는 패스 트랜지스터(154)의 게이트에 결합되어 있을 수 있고, 따라서 파형(204A)으로 나타낸 바와 같은 감지 노드(151) 및 파형(205A)으로 나타낸 바와 같은 비트 라인(110) 둘 다 클램프 전압  $V_{CLAMP\_A}$ 보다 높은 경우, 패스 트랜지스터(154)는 비도통인 채로 있을 수 있고, 감지 노드(151)는 논리 하이 레벨에 유지될 수 있으며, 이는, 선택된 메모리 셀(111)이 비도통 '1' 상태에 있다는 것을 나타내기 위해, 버퍼(158)에 의해 검출될 수 있다. 그렇지만, 비트 라인(110)이, 파형(207A)으로 나타낸 바와 같이, 클램프 전압  $V_{CLAMP\_A}$ 보다 낮은 경우, 패스 트랜지스터(154)는 도통일 수 있고, 감지 노드(151)가 논리 로우 레벨로 풀링되게 할 수 있으며, 이는, 선택된 메모리 셀(111)이 도통 '0' 상태에 있다는 것을 나타내기 위해, 버퍼(158)에 의해 검출될 수 있다. 전하가 감지 노드(151)와 비트 라인(110) 간에 공유될 수 있는 반면, 2개의 노드의 최종 전압 레벨이 본질적으로 비트 라인(110)의 전압 레벨에 안정화될 수 있는데, 그 이유는 대부분의 실시예들에서 비트 라인(110)이 감지 노드보다 훨씬 더 높은 커패시턴스를 가질 수 있고 선택된 메모리 셀(111)이 능동적으로 2개의 노드를 로우로 풀링할 수 있기 때문이다.

[0030] 어떤 실시예들은, 선택된 메모리 셀(111)의 데이터가 검출되고 버퍼링되거나 다른 방식으로 사용된 후의 데이터 버퍼링 기간(240A)을 포함할 수 있다. 데이터 버퍼링 기간(240A) 동안, 참조 비트 라인(130)은 트랜지스터(171)에 의해 로우로 풀링될 수 있고, 따라서 참조 비트 라인(130)은 방전되고 데이터 버퍼링 기간(240A) 후에 새로운 액세스를 위한 준비가 되어 있다. 그렇지만, 어떤 실시예들은 감지 기간의 시작에서 참조 비트 라인(130)의 전압에 적어도 부분적으로 기초하여 클램프 전압  $V_{CLAMP\_A}$ 의 값을 설정할 수 있고, 감지 기간(230A) 동안 그 클램프 전압  $V_{CLAMP\_A}$ 를 유지할 수 있는 반면 감지 기간(230A) 동안 참조 비트 라인을 방전시키기 위해 트랜지스터(171)를 턴온시킬 수 있다. 이러한 실시예들에서, 데이터 버퍼링 기간(240A)이 훨씬 더 짧거나 심지어 제거될 수 있다.

[0031] 도 2b는 메모리 셀(118) 등의 도 2b에 도시된 액세스보다 감지 노드(151)로부터 더 멀리 있는 메모리 셀의 액세스에 대한 파형을 나타낸 것이다. 메모리 셀(118)이 감지 노드(151)로부터 멀리 있기 때문에, 패스 트랜지스터(134) 등의 패스 트랜지스터(156)로부터 멀리 있는 참조 비트 라인(130)의 탭이 각자의 탭 선택 라인(142)을 하여 구동함으로써 선택될 수 있다. 따라서, 액세스 타이밍 표시자(201B)에 나타낸 프리차지 기간(210B) 동안, 도 2a에 나타낸 프리차지 기간(210A)과 유사하게, 패스 트랜지스터(152) 및 패스 트랜지스터(156)를 인에이블시키는 것과 함께, 파형(203B)으로 나타낸 바와 같이, 클램프 라인(169)이 전압  $V_1$ 보다 약간 더 높은 전압 레벨로 구동된다. 그렇지만, 선택된 탭 패스 트랜지스터(134)가 참조 비트 라인(130)에 전하를 공급하는 패스 트랜지스터(156)로부터 더 멀리 있기 때문에, 파형(202B)은 보다 가까운 탭이 선택된 경우보다 더 느리게 상승할 것이다. 따라서, 참조 비트 라인(130)이 시점(211B)에서 참조 전압  $V_{REF}$ 에 도달하는 데 더 긴 시간이 소요될 수 있고, 이로 인해 프리차지 기간(210B)이 프리차지 기간(210A)보다 더 길게 된다. 그렇지만, 파형들(206A 및 206B)로 나타낸 바와 같이, 감지 노드(151)는 거의 동일한 속도로 충전될 수 있다.

[0032] 전개 기간(220B) 동안, 참조 비트 라인(130)은 전송 선로 효과 및/또는 전하가 원단(far end)에 도달하기 위해 참조 비트 라인(130)을 따라 분포되는 데 소요될 수 있는 시간으로 인해 참조 전압  $V_{REF}$ 보다 더 높은 전압에서 안정화될 수 있다. 도 2b에 도시된 액세스에서, 선택된 메모리 셀(118)은 도통 '0' 상태에 있을 수 있고, 따라서 파형(207B)은 전개 기간(220B) 동안 비트 라인(110)이 선택된 메모리 셀(118)에 의해 로우로 풀링되는 것을

나타낼 수 있다. 감지 기간(230B) 동안, 클램프 전압  $V_{CLAMP\_B}$ 은 참조 비트 라인(130)의 전압(212B)에 적어도 부분적으로 기초하여 설정될 수 있다. 도 2b에서 참조 전압  $V_{REF}$ 가 도 2a에서와 동일한 경우, 참조 비트 라인(130)의 전압(212B)은 전압(212A)보다 높을 수 있고, 따라서 감지 노드(151)로부터 멀리 있는 메모리 셀(118)의 액세스에 대한 클램프 전압  $V_{CLAMP\_B}$ 는 감지 노드(151)에 가까이 있는 메모리 셀(111)의 액세스에 대한 클램프 전압  $V_{CLAMP\_A}$ 보다 높을 수 있다. 어떤 실시예들에서, 참조 전압  $V_{REF}$ 가 선택된 메모리 셀로부터 감지 노드(151)까지의 거리에 의존하여 변화될 수 있다. 일 실시예에서, 어드레싱된 메모리 셀이 감지 노드(151)로부터 보다 멀리 있는 경우 참조 전압  $V_{REF}$ 가 보다 낮은 전압으로 설정될 수 있고, 따라서 참조 비트 라인(130)의 안정화된 전압이, 어드레싱된 메모리 셀로부터 감지 노드(151)까지의 거리에 관계없이, 거의 동일한 전압일 수 있다.

[0033] 감지 기간(230B) 동안, 파형(203B)으로 나타낸 바와 같이, 클램프 전압  $V_{CLAMP\_B}$ 보다 약간 더 높은 전압이 클램프 라인(169)에 인가될 수 있다. 파형(207B)으로 나타낸 바와 같이, 비트 라인(110)이 클램프 전압  $V_{CLAMP\_B}$ 보다 낮은 전압에 있기 때문에, 패스 트랜지스터(154)가 도통할 수 있고, 감지 노드(151)가 비트 라인(110)으로 방전될 수 있다. 이것은 감지 노드(151)를 논리 로우 레벨에 있게 할 수 있고, 따라서 버퍼(158)가 선택된 메모리 셀(118)의 상태를, 감지 노드(151)의 전압 레벨에 기초하여, '0'인 것으로 검출할 수 있다. 참조 비트 라인(202B)이 데이터 버퍼링 기간(240B) 동안 로우로 풀링될 수 있고, 따라서 메모리(100)는 그 다음 액세스를 위한 준비가 되어 있다.

[0034] 도 3은 메모리에 액세스하는 방법의 일 실시예의 플로우차트(300)이다. 블록(301)에서, 판독 명령이 수신될 수 있다. 어떤 실시예들에서, 이 방법은 또한 기입, 프로그램, 또는 소거 명령 후에 데이터를 확인하는 데도 사용될 수 있다. 블록(303)에서, 감지 노드가 논리 하이 전압 레벨로 충전될 수 있고, 블록(305)에서, 전하가 비트 라인 및 참조 비트 라인에 공급될 수 있다. 블록(307)에서, 참조 비트 라인이 참조 전압과 비교될 수 있고, 참조 비트 라인이 참조 전압에 도달하면, 플로우차트(300)는 블록(313)으로 계속되어 프리차지 기간을 종료할 수 있고, 따라서 프리차지 기간은 참조 비트 라인의 전압이 참조 전압에 도달하는 시간에 기초할 수 있다. 어떤 실시예들에서, 참조 비트 라인은 몇개의 탭을 가질 수 있고, 참조 비트 라인의 전압이 참조 비트 라인으로부터의 탭에서 검출될 수 있다. 선택된 메모리 셀의 주소 및/또는 선택된 메모리 셀로부터 감지 노드까지의 거리에 기초하여 특정의 탭이 선택될 수 있다.

[0035] 참조 비트 라인이 참조 전압에 아직 도달하지 않은 경우, 블록(309)에서, 참조 비트 라인을 충전시키는 데 소비된 시간이 최대 시간과 비교될 수 있고, 최대 시간 한계에 도달되면, 플로우차트는 블록(313)으로 계속될 수 있고, 따라서 참조 비트 라인이 참조 전압으로 충전되지 않는 경우 미리 결정된 시간 후에 프리차지 기간이 종료될 수 있다. 어떤 실시예들에서, 전개 기간 및/또는 감지 기간을 연장시키는 것 등의 액세스의 다른 기간들을 연장시키기 위해 최대 시간에 도달했다는 사실이 사용될 수 있다. 최대 시간에 도달되지 않은 경우, 블록(311)에서, 어떤 추가의 시간이 경과할 수 있고, 이어서 블록(307)에서 참조 비트 라인 전압이 참조 전압과 다시 비교될 수 있지만, 어떤 실시예들은 계속하여 참조 비트 라인 전압을 참조 전압과 비교할 수 있다. 어떤 실시예들에서, 참조 전압이 선택된 메모리 셀의 주소에 적어도 부분적으로 기초하여 결정될 수 있다. 이 주소는 특정의 물리 메모리 셀을 식별해줄 수 있고, 따라서 그 결정은 선택된 메모리 셀로부터 감지 노드까지의 거리에 기초할 수 있다. 어떤 실시예들에서, 선택된 메모리 셀로부터 감지 노드까지의 거리가 보다 큰 경우 참조 전압이 보다 낮게 조절될 수 있다.

[0036] 프리차지 기간 동안, 부분적으로, 참조 전압보다 더 큰 충전 전압을 제공함으로써 전하가 공급될 수 있다. 적어도 하나의 실시예에서, 비트 라인을 공급 전압에 결합시키는 패스 트랜지스터의 제어 게이트에 충전 전압이 제공될 수 있다. 상대 전압 레벨들이 변할 수 있지만, 적어도 하나의 실시예에서, 충전 전압은 참조 전압보다 적어도 약 200 mV 더 클 수 있다. 어떤 실시예들에서, 참조 전압이 약 300 mV 내지 약 600 mV의 범위에 있을 수 있고, 충전 전압이 약 500 mV 내지 약 1.0 V의 범위에 있을 수 있는 일 실시예에서와 같이, 충전 전압이 훨씬 더 높을 수 있다.

[0037] 프리차지 기간의 끝에서, 블록(313)에서, 비트 라인 및 참조 비트 라인을 충전시키는 것이 중단될 수 있고, 블록(315)에서, 프리차지 기간 후에 비트 라인에 결합되어 있는 어드레싱된 셀이 선택될 수 있다. 전개 기간 동안, 블록(317)에서, 비트 라인은 선택된 메모리 셀의 상태에 기초하여 전개하고 안정화될 시간을 제공받을 수 있다. 전개 기간 다음에 감지 기간이 올 수 있고, 이 때 블록(319)에서, 선택된 탭을 통해 검출될 수 있는 참조 비트 라인의 전압에 적어도 부분적으로 기초하여 클램프 전압이 설정될 수 있다. 어떤 실시예들에서, 클램프 전압이 여유 전압만큼 감소될 수 있고, 따라서 클램프 전압이 "참조 비트 라인의 전압 - 여유 전압"에 적어

도 부분적으로 기초한다. 여유 전압은 선택가능할 수 있고, 실시예들마다 달라질 수 있지만, 적어도 하나의 실시예에서, 여유 전압이 약 50 mV 내지 약 200 mV의 범위에서 가변적일 수 있다.

[0038] 블록(321)에서, 감지 기간 동안 비트 라인의 전압이 클램프 전압에 대조하여 검사될 수 있고, 비트 라인의 전압이 클램프 전압보다 작은 경우, 블록(323)에서, 전하가 감지 노드로부터 배출될 수 있다. 블록(325)에서, 감지 기간의 끝 부근에서 감지 노드의 전압 레벨에 기초하여 메모리 셀의 상태가 판정될 수 있다. 적어도 하나의 실시예에서, 전압 레벨이 논리 하이 레벨인 경우, 메모리 셀의 상태가 논리 '1'인 것으로 판정될 수 있고, 전압 레벨이 논리 로우 레벨인 경우, 메모리 셀의 상태가 논리 '0'인 것으로 판정될 수 있다. 블록(327)에서, 판독 명령에 응답하여 메모리 셀의 상태가 반환될 수 있다. 어떤 실시예들에서, 기입, 프로그램 또는 소거 명령에 응답하여 메모리 셀의 상태를 확인하기 위해 메모리 셀의 상태가 사용될 수 있다. 플로우차트(300)는, 블록(329)에서, 그 다음 메모리 액세스를 기다릴 수 있다.

[0039] 도 4는 참조 비트 라인(416)을 포함하는 메모리(410)를 갖는 전자 시스템(400)의 일 실시예의 블록도이다. 감시 회로(401)는 제어/주소 라인(403) 및 데이터 라인(404)에 의해 메모리 장치(410)에 결합되어 있다. 어떤 실시예들에서, 데이터 및 제어가 동일한 라인을 이용할 수 있다. 감시 회로(401)는 프로세서, 마이크로프로세서, 마이크로컨트롤러, 유한 상태 기계, 또는 어떤 다른 유형의 제어 회로일 수 있다. 어떤 실시예들에서, 감시 회로(401)는 프로그램의 명령어들을 실행할 수 있다. 어떤 실시예들에서, 감시 회로(401)는 메모리 장치(410)와 동일한 패키지에 또는 심지어 동일한 다이 상에 통합되어 있을 수 있다. 어떤 실시예들에서, 감시 회로(401)는 제어 회로(411)와 통합되어 있을 수 있어, 동일한 회로의 일부가 양쪽 기능을 위해 사용될 수 있게 된다. 감시 회로(401)는 프로그램 저장 및 중간 데이터를 위해 사용되는 RAM(random access memory) 및 ROM(read only memory) 등의 외부 메모리를 가질 수 있거나, 내부 RAM 또는 ROM을 가질 수 있다. 어떤 실시예들에서, 감시 회로(401)는 프로그램 또는 데이터 저장을 위해 메모리 장치(410)를 사용할 수 있다. 감시 회로(401) 상에서 실행 중인 프로그램은, 운영 체제, 파일 시스템, 메모리 블록 매핑, 및 오류 관리(이들로 제한되지 않음)를 비롯한 많은 상이한 기능들을 구현할 수 있다.

[0040] 어떤 실시예들에서, 외부 연결(external connection)(402)이 제공된다. 외부 연결(402)은 입/출력(I/O) 회로(405)에 결합되어 있고 - I/O 회로(405)는 이어서 감시 회로(401)에 결합되어 있을 수 있음 -, 감시 회로(401)가 외부 장치들과 통신할 수 있게 해준다. 어떤 실시예들에서, 외부 연결(402)이 감시 회로(401)에 직접 결합되도록 I/O 회로(405)가 감시 회로(401)와 통합될 수 있다. 전자 시스템(400)이 저장 시스템인 경우, 외부 연결(402)은 비휘발성 저장 장치를 갖는 외부 장치를 제공하기 위해 사용될 수 있다. 전자 시스템(400)은 SSD(solid-state drive), USB 썸 드라이브(USB thumb drive), SD 카드(secure digital card), 또는 임의의 다른 유형의 저장 시스템일 수 있다. 외부 연결(402)은 표준 또는 독점 통신 프로토콜을 사용하여 컴퓨터 또는 다른 지능형 장치(intelligent device)(셀폰 또는 디지털 카메라 등)에 연결하는 데 사용될 수 있다. 외부 연결(402)과 호환가능할 수 있는 컴퓨터 통신 프로토콜의 예는 이하의 프로토콜들의 임의의 버전을 포함하지만, 이들로 제한되지 않는다: USB(Universal Serial Bus), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interconnect), 파이버 채널(Fibre Channel), PATA(Parallel Advanced Technology Attachment), IDE(Integrated Drive Electronics), 이더넷, IEEE-1394, SD 카드(Secure Digital Card) 인터페이스, 콤팩트 플래시(Compact Flash) 인터페이스, 메모리 스틱 인터페이스, PCI(Peripheral Component Interconnect) 또는 PCI-e(PCI Express).

[0041] 전자 시스템(400)이 휴대폰, 태블릿, 노트북 컴퓨터, 셋톱 박스, 또는 어떤 다른 유형의 컴퓨팅 시스템 등의 컴퓨팅 시스템인 경우, 외부 연결(402)은 이하의 프로토콜들의 임의의 버전(이들로 제한되지 않음) 등의 네트워크 연결일 수 있다: IEEE(Institute of Electrical and Electronic Engineers) 802.3, IEEE 802.11, DOCSIS(Data Over Cable Service Interface Specification), DVB(Digital Video Broadcasting) - Terrestrial, DVB-Cable, 및 ATSC(Advanced Television Committee Standard) 등의 디지털 텔레비전 표준, 그리고 GSM(Global System for Mobile Communication), CDMA(code division multiple access) 기반 프로토콜(CDMA2000 등), 및 LTE(Long Term Evolution) 등의 휴대폰 통신 프로토콜.

[0042] 메모리 장치(410)는 메모리 셀들의 어레이(417)를 포함할 수 있다. 메모리 셀들은 임의의 아키텍처를 사용하여 어레이로 구성될 수 있고 임의의 유형의 메모리 기술을 사용할 수 있다. 메모리 어레이(417)는 비트 라인들 및 /또는 워드 라인들 등의 다양한 라인들을 포함할 수 있다. 비트 라인들은 메모리 어레이(417)의 2개 이상의 메모리 셀들에, 각각, 결합되어 있을 수 있다. 제어 회로에 결합되어 있을 수 있는 참조 비트 라인(416)이, 앞서 기술한 바와 같이, 포함되어 사용될 수 있다. 주소 라인 및 제어 라인(403)이 제어 회로(411), I/O 회로(413), 그리고 워드 라인 구동기(414) 및/또는 감지 회로(415)를 통해 메모리 어레이(417)에 대한 제어를 제공할 수 있

는 주소 회로(412)에 의해 수신되어 디코딩될 수 있다. I/O 회로(413)는 데이터가 감시 회로(401)로부터 수신되고 감시 회로(401)로 송신될 수 있게 해주는 데이터 라인(404)에 결합되어 있을 수 있다. 메모리 어레이(417)로부터 판독된 데이터는 판독 버퍼(419)에 일시적으로 저장될 수 있다.

[0043] 도 4에 예시되어 있는 시스템은 시스템의 특징들에 대한 기본적인 이해를 용이하게 해주기 위해 단순화되어 있다. 보다 많은 저장 공간을 제공하기 위해 단일의 감시 회로(401)를 사용하여 복수의 메모리 장치들(410)을 제어하는 것을 비롯한 많은 상이한 실시예들이 가능하다. 어떤 실시예들에서, 디스플레이를 구동하는 비디오 그래픽 제어기, 및 인간 중심(human oriented) I/O를 위한 다른 장치들 등의 부가의 기능들이 포함되어 있을 수 있다.

[0044] 도면들에서의 플로우차트 및/또는 블록도는 다양한 실시예들의 시스템, 방법 및 컴퓨터 프로그램 제품의 가능한 구현의 아키텍처, 기능 및 동작을 설명하는 데 도움을 준다. 이와 관련하여, 플로우차트 또는 블록도에서의 각각의 블록은 지정된 논리 기능(들)을 구현하는 하나 이상의 실행가능 명령어들을 포함하는 코드의 모듈, 세그먼트, 또는 일부분을 나타낼 수 있다. 또한, 어떤 대안의 구현에서, 블록에 표시된 기능이 도면에 표시된 순서와 달리 행해질 수 있다는 것에 유의해야만 한다. 예를 들어, 연속하여 도시된 2개의 블록이 실제로는, 관여된 기능에 따라, 실질적으로 동시에 실행될 수 있거나, 때때로 정반대 순서로 실행될 수 있다. 또한, 유의할 점은, 블록도 및/또는 플로우차트 예시의 각각의 블록 그리고 블록도 및/또는 플로우차트 예시에서의 블록들의 조합이 지정된 기능 또는 작용을 수행하는 특수 목적 하드웨어-기반 시스템, 또는 특수 목적 하드웨어와 컴퓨터 명령어의 조합에 의해 구현될 수 있다는 것이다.

[0045] 다양한 실시예들의 예가 이하의 단락들에 기술되어 있다:

[0046] 메모리에 액세스하는 예시적인 방법은 감지 노드(sense node)를 논리 하이 전압 레벨로 충전시키는 단계, 및 참조 비트 라인(reference bit line)의 전압이 참조 전압(reference voltage)에 도달하는 시간에 적어도 부분적으로 기초하는 프리차지 기간 동안 비트 라인 및 참조 비트 라인에 전하를 공급하는 단계를 포함할 수 있다. 이 예시적인 방법은 프리차지 기간 후에 비트 라인에 결합되어 있는 메모리 셀을 선택하는 단계, 참조 비트 라인의 전압에 적어도 부분적으로 기초하여 클램프 전압(clamp voltage)을 설정하는 단계, 감지 기간 동안 비트 라인의 전압 레벨이 클램프 전압 레벨보다 작은 경우 감지 노드로부터 전하를 배출시키는 단계, 및 감지 기간의 끝 부근에서 감지 노드의 전압 레벨에 적어도 부분적으로 기초하여 메모리 셀의 상태를 판정하는 단계를 계속할 수 있다. 어떤 예시적인 방법에서, 클램프 전압 레벨이 여유 전압만큼 감소된다. 어떤 예시적인 방법에서, 여유 전압이 약 50 mV 내지 약 200 mV의 범위에서 가변적이다. 어떤 예시적인 방법에서, 전하를 공급하는 단계는 참조 전압보다 더 큰 충전 전압을 제공하는 단계를 포함한다. 어떤 예시적인 방법에서, 충전 전압은 참조 전압보다 적어도 약 200 mV 더 크다. 어떤 예시적인 방법은 또한 선택된 메모리 셀로부터 감지 노드까지의 거리가 보다 큰 경우 참조 전압을 보다 낮게 조절하는 단계를 포함할 수 있다. 어떤 예시적인 방법은 또한 선택된 메모리 셀의 주소에 적어도 부분적으로 기초하여 참조 전압을 결정하는 단계를 포함할 수 있다. 어떤 예시적인 방법은 또한 선택된 메모리 셀로부터 감지 노드까지의 거리에 적어도 부분적으로 기초하여 참조 비트 라인으로부터의 탭을 선택하는 단계, 및 선택된 탭을 통해 참조 비트 라인의 전압을 검출하는 단계를 포함할 수 있다. 어떤 예시적인 방법은 또한 선택된 메모리 셀의 주소에 적어도 부분적으로 기초하여 참조 비트 라인으로부터의 탭을 선택하는 단계, 및 선택된 탭을 통해 참조 비트 라인의 전압을 검출하는 단계를 포함할 수 있다. 어떤 예시적인 방법은 또한 참조 비트 라인이 참조 전압으로 충전되지 않는 경우 미리 결정된 시간 후에 프리차지 기간을 종료시키는 단계를 포함할 수 있다. 어떤 예시적인 방법은 또한 판독 명령에 응답하여 메모리 셀의 상태를 제공하는 단계를 포함할 수 있다. 어떤 예시적인 방법은 또한 프로그램 또는 소거 명령에 응답하여 메모리 셀의 상태를 확인하는 단계를 포함할 수 있다. 이 단락의 예들의 임의의 조합이 실시예들에서 사용될 수 있다.

[0047] 예시적인 메모리는 2개 이상의 메모리 셀들에, 각각, 결합되어 있는 비트 라인들, 참조 비트 라인, 및 감지 노드를 포함하는 제어 회로를 포함할 수 있다. 제어 회로는 참조 비트 라인의 전압이 참조 전압에 도달하는 시간에 적어도 부분적으로 기초하는 프리차지 기간 동안 비트 라인 및 참조 비트 라인에 전하를 공급하고, 감지 노드를 논리 하이 레벨로 충전시키며, 프리차지 기간 후에 비트 라인에 결합되어 있는 메모리 셀을 선택하고, 참조 비트 라인의 전압에 적어도 부분적으로 기초하여 클램프 전압을 설정하며, 감지 기간 동안 비트 라인의 전압 레벨이 클램프 전압 레벨보다 작은 경우 감지 노드로부터 전하를 배출시키고, 비트 라인의 전압 레벨에 적어도 부분적으로 기초하여 메모리 셀의 상태를 검출하도록 구성되어 있을 수 있다. 어떤 예시적인 메모리에서, 참조 비트 라인은 참조 비트 라인으로부터의 상이한 전압 검출 위치를 제공하기 위해 2개 이상의 탭을 포함한다. 어떤 예시적인 메모리에서, 제어 회로는 또한 선택된 메모리 셀로부터 감지 노드까지의 거리에 적어도 부분적으로 기초하여 탭을 선택하도록 구성되어 있다. 어떤 예시적인 메모리에서, 제어 회로는 또한 선택된 메모리 셀의

주소에 적어도 부분적으로 기초하여 탭을 선택하도록 구성되어 있다. 어떤 예시적인 메모리에서, 참조 비트 라인은 비트 라인의 길이, 저항 및 커패시턴스의 약 10% 내에, 각각, 있는 길이, 저항 및 커패시턴스를 가진다. 어떤 예시적인 메모리에서, 제어 회로는 또한 비트 라인과 감지 노드 사이에 결합되어 있는 패스 트랜지스터를 포함할 수 있다. 어떤 예시적인 메모리에서, 제어 회로는 또한, 프리차지 기간 동안, 공급 전압을 감지 노드에 결합시키고 충전 전압을 패스 트랜지스터의 제어 게이트에 인가하여 패스 트랜지스터를 통해 전하를 비트 라인에 공급하며, 감지 기간 동안, 감지 노드로부터 전하를 배출시키기 위해 패스 트랜지스터의 제어 게이트에 제어 전압을 인가할 수 있다. 어떤 예시적인 메모리에서, 제어 전압은 클램프 전압보다 대략 패스 트랜지스터의 문턱 전압만큼 더 높고, 충전 전압은 참조 전압보다 더 크며, 공급 전압은 충전 전압보다 더 크다. 어떤 예시적인 메모리에서, 충전 전압은 참조 전압보다 적어도 약 200 mV 더 크다. 어떤 예시적인 메모리에서, 클램프 전압 레벨이 여유 전압만큼 감소된다. 어떤 예시적인 메모리에서, 여유 전압이 약 50 mV 내지 약 200 mV의 범위에서 가변적이다. 어떤 예시적인 메모리에서, 제어 회로는 또한 선택된 메모리 셀로부터 감지 노드까지의 거리가 보다 큰 경우 참조 전압을 보다 낮게 조절하도록 구성되어 있다. 어떤 예시적인 메모리에서, 제어 회로는 또한 선택된 메모리 셀의 주소에 적어도 부분적으로 기초하여 참조 전압을 결정하도록 구성되어 있다. 어떤 예시적인 메모리에서, 메모리 셀은 워드 라인에 의해 선택된다. 어떤 예시적인 메모리에서, 제어 회로는 또한 참조 비트 라인이 참조 전압에 도달하지 않는 경우 미리 결정된 시간 후에 프리차지 기간을 종료시키도록 구성되어 있다. 어떤 예시적인 메모리에서, 제어 회로는 또한 판독 명령에 응답하여 메모리 셀의 상태를 제공하고 프로그램 또는 소거 명령에 응답하여 메모리 셀의 상태를 확인하도록 구성되어 있다. 이 단락의 예들의 임의의 조합이 실시예들에서 사용될 수 있다.

[0048] 예시적인 전자 시스템은 메모리 액세스를 발생하는 감시 회로, 및 감시 회로에 결합되어 있는 적어도 하나의 메모리를 포함할 수 있다. 메모리는 이전 단락의 예들의 임의의 조합에 의해 기술될 수 있거나, 2개 이상의 메모리 셀들에 결합되어 있는 비트 라인, 참조 비트 라인, 및 감지 노드를 포함하는 제어 회로를 포함하는 메모리 어레이를 포함할 수 있다. 예시적인 전자 시스템에서, 제어 회로는 전하가 비트 라인 및 참조 비트 라인으로 흐를 수 있게 해주고, 참조 비트 라인의 전압 레벨을 모니터링하며, 참조 비트 라인의 전압이 참조 전압에 도달하면 전하가 비트 라인 및 참조 비트 라인으로 흐르지 못하도록 하고, 감지 노드를 논리 하이 레벨로 충전시키며, 전하가 비트 라인으로 흐르지 못하게 된 후 비트 라인에 결합되어 있는 메모리 셀을 선택하고, 비트 라인의 전압 레벨이 참조 비트 라인의 전압보다 적어도 여유 전압만큼 더 작은 경우 감지 노드로부터 전하를 배출시키며, 감지 노드의 전압 레벨에 적어도 부분적으로 기초하여 메모리 셀의 상태를 검출하도록 구성되어 있을 수 있다. 어떤 예시적인 전자 시스템에서, 참조 비트 라인은 참조 비트 라인으로부터의 상이한 전압 모니터링 위치를 제공하기 위해 2개 이상의 탭을 포함할 수 있고, 제어 회로는 또한 선택된 메모리 셀의 주소에 적어도 부분적으로 기초하여 탭을 선택하도록 구성되어 있을 수 있다. 어떤 예시적인 전자 시스템에서, 제어 회로는 또한 비트 라인과 감지 노드 사이에 결합되어 있는 패스 트랜지스터를 포함할 수 있고, 제어 회로는 또한 공급 전압을 감지 노드에 결합시키고 충전 전압을 패스 트랜지스터의 제어 게이트에 인가하여 전하가 패스 트랜지스터를 통해 비트 라인으로 흐를 수 있게 해주며, 감지 노드로부터 전하를 배출시키기 위해 패스 트랜지스터의 제어 게이트에 제어 전압을 인가하도록 구성되어 있을 수 있다. 어떤 예시적인 전자 시스템에서, 제어 전압은 참조 비트 라인의 전압에 적어도 부분적으로 기초할 수 있고, 충전 전압은 참조 전압보다 더 클 수 있고, 공급 전압은 충전 전압보다 더 클 수 있다. 어떤 예시적인 전자 시스템에서, 여유 전압이 약 50 mV 내지 약 200 mV의 범위에 있을 수 있다. 어떤 예시적인 전자 시스템에서, 제어 회로는 또한 선택된 메모리 셀의 주소에 적어도 부분적으로 기초하여 참조 전압을 결정하도록 구성되어 있을 수 있다. 어떤 예시적인 전자 시스템은 또한 감시 회로에 결합되어 있는, 외부 장치와 통신하는 I/O 회로를 포함할 수 있다. 어떤 예시적인 전자 시스템은 SSD(solid state drive)일 수 있다. 이 단락 및 이전의 단락의 예들의 임의의 조합이 실시예들에서 사용될 수 있다.

[0049] 달리 언급하지 않는 한, 본 명세서 및 특허청구범위에서 사용되는 요소, 광학적 특성 등의 양을 표현하는 모든 숫자는, 모든 경우에, 용어 "약"에 의해 수식되고 있는 것으로 이해되어야 한다. 중점으로 수치 범위를 언급하는 것은 중점을 포함하여 그 범위 내에 포함되는 모든 숫자를 포함한다.

[0050] 본 명세서 및 첨부된 특허청구범위에 사용되는 바와 같이, 단수 형태 "한", "하나" 및 "그"는, 내용이 명백히 다른 것을 말하는 것이 아닌 한, 복수의 지시 대상을 포함한다. 게다가, 본 명세서 및 첨부된 특허청구범위에 사용되는 바와 같이, 용어 "또는"은, 내용이 명백히 다른 것을 말하는 것이 아닌 한, 일반적으로 "및/또는"을 포함하여 그의 의미로 이용된다. 본 명세서에서 사용되는 바와 같이, 용어 "결합된"은 직접 연결 및 간접 연결을 포함한다. 더욱이, 제1 및 제2 장치가 결합되어 있는 경우, 능동 장치를 비롯한 중간 장치가 그들 사이에

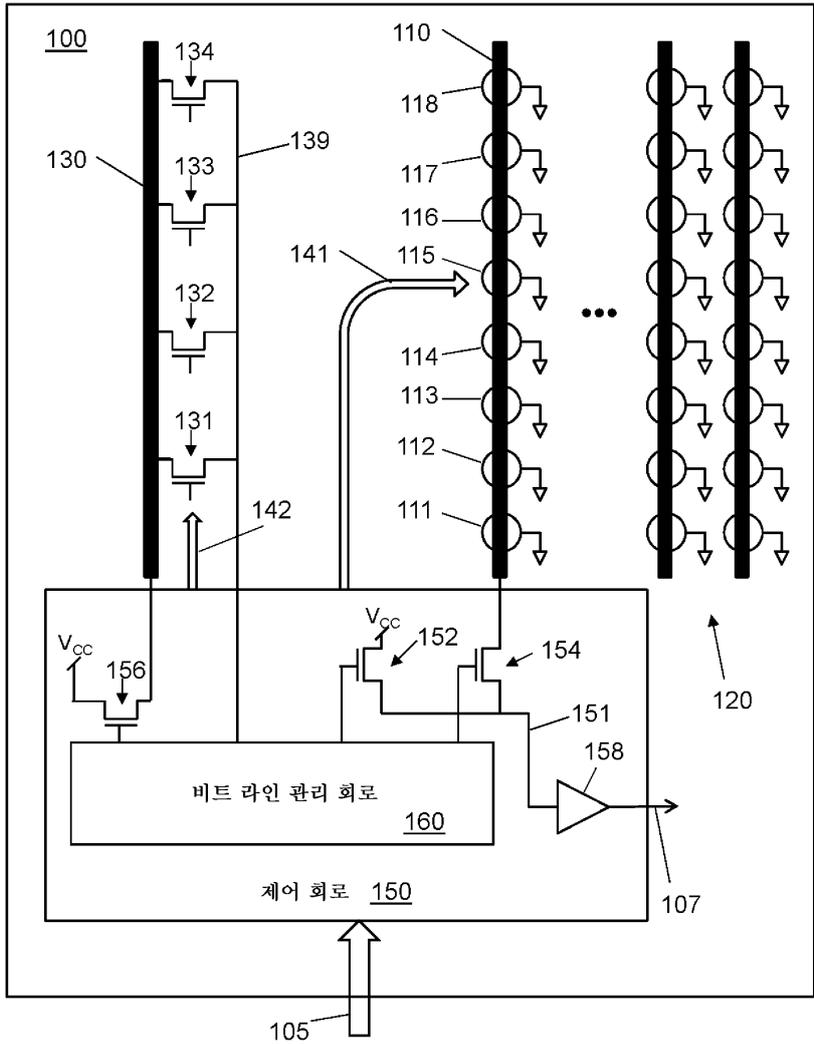
위치되어 있을 수 있다.

[0051]

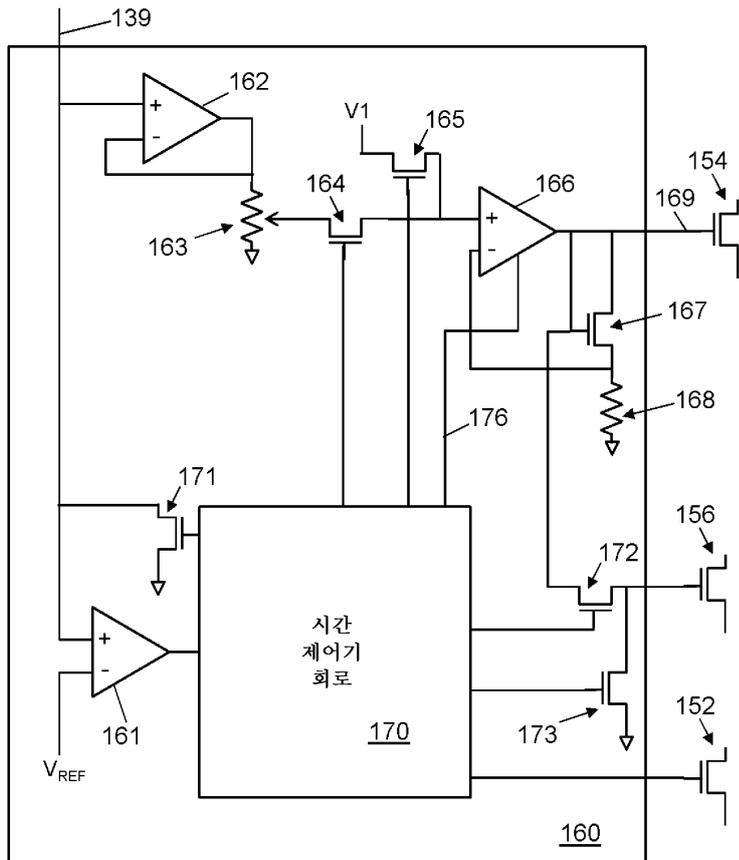
이상에 제공된 다양한 실시예들에 대한 설명은 사실상 예시적인 것이며, 본 개시 내용, 그의 적용, 또는 사용을 제한하기 위한 것이 아니다. 이와 같이, 본 명세서에 기술된 것 이외의 다른 변형들이 실시예들의 범위 내에 속하는 것으로 보아야 한다. 이러한 변형들이 본 개시 내용의 의도된 범위를 벗어나는 것으로 간주되어서는 안 된다. 그에 따라, 본 개시 내용의 폭 및 범위가 상기한 예시적인 실시예들에 의해 제한되어서는 안 되고, 이하의 특허청구범위 및 그의 등가물에 따라서만 한정되어야 한다.

**도면**

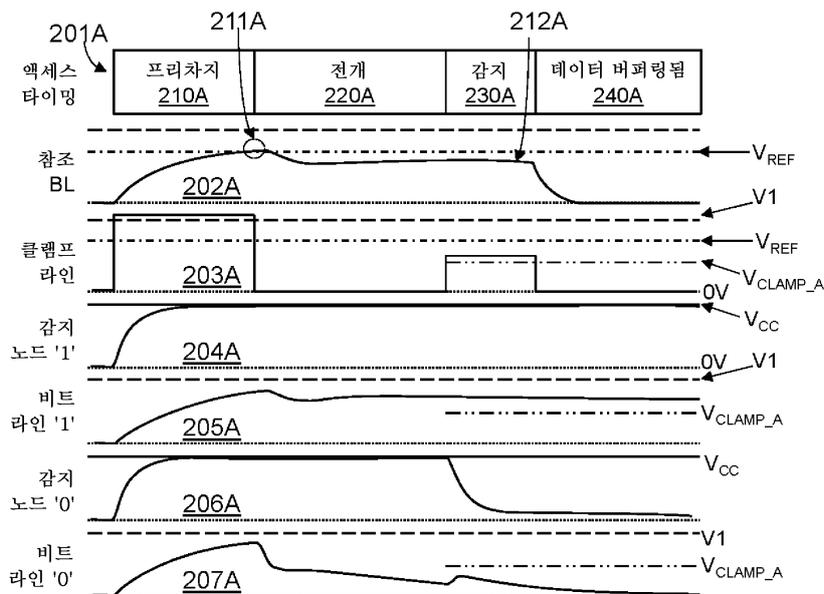
**도면1a**



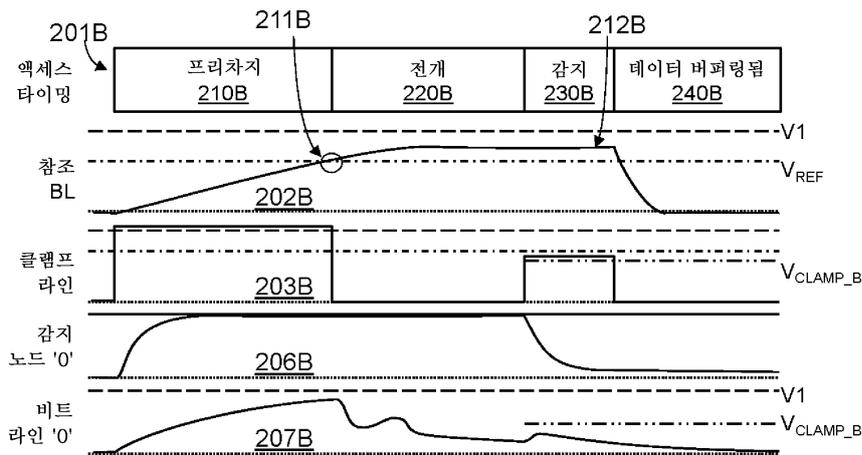
도면1b



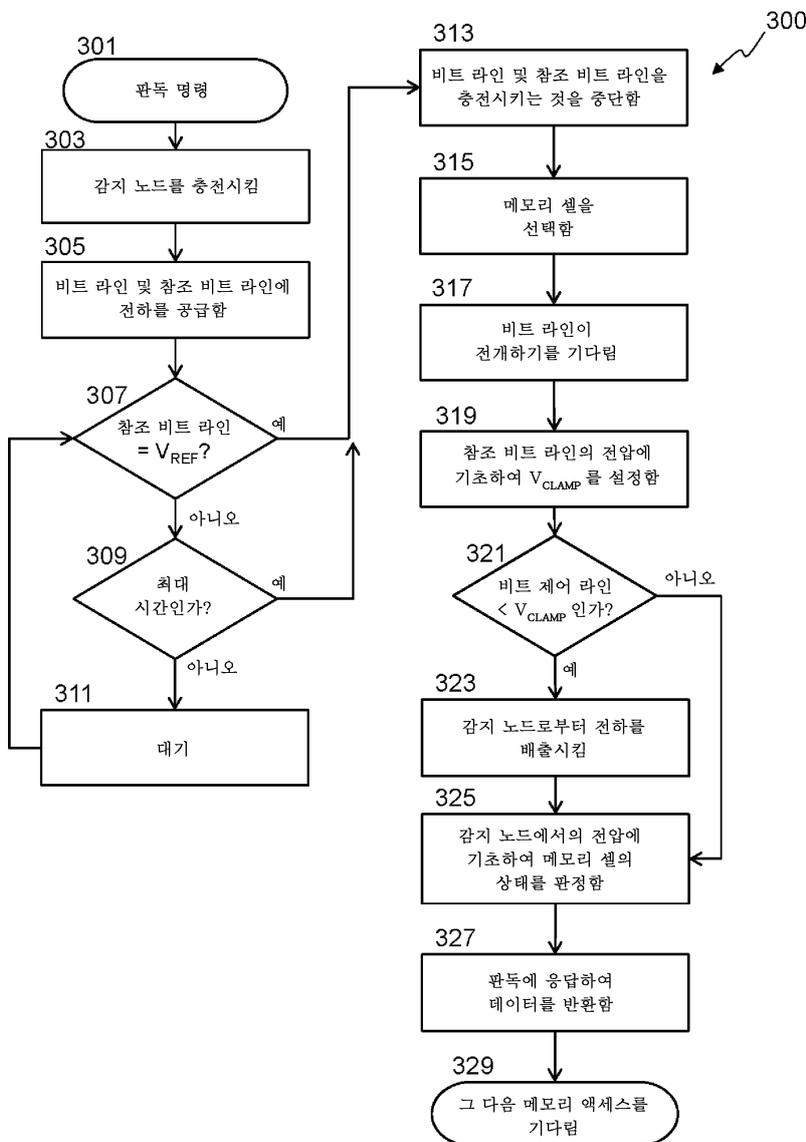
도면2a



도면2b



도면3



도면4

