



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년11월28일  
 (11) 등록번호 10-1801945  
 (24) 등록일자 2017년11월21일

(51) 국제특허분류(Int. Cl.)  
*H01L 23/34* (2006.01)  
 (21) 출원번호 10-2011-0078851  
 (22) 출원일자 2011년08월09일  
 심사청구일자 2016년07월05일  
 (65) 공개번호 10-2013-0016754  
 (43) 공개일자 2013년02월19일  
 (56) 선행기술조사문헌  
 KR1020010066845 A\*  
 KR1020100046760 A\*  
 KR1020080101209 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 에스케이하이닉스 주식회사  
 경기도 이천시 부발읍 경충대로 2091  
 (72) 발명자  
 노희라  
 서울특별시 강남구 남부순환로373길 44, 효성빌라  
 202호 (도곡동)  
 조일환  
 경기도 이천시 대월면 경충대로2050번길 104, 현  
 대5차 아파트 503동 1804호  
 (뒷면에 계속)  
 (74) 대리인  
 특허법인(유한)유일하이스트

전체 청구항 수 : 총 1 항

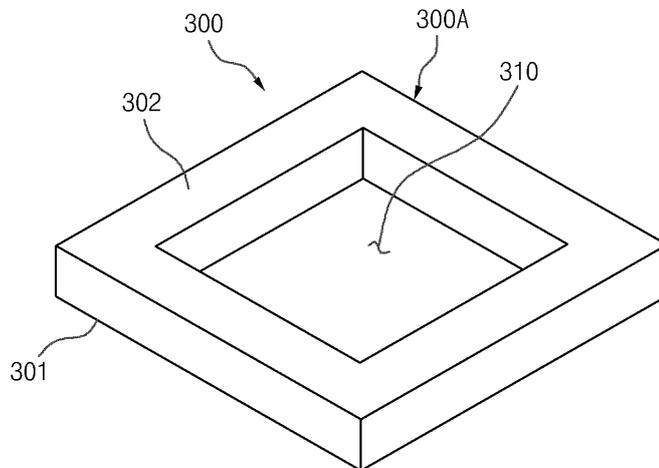
심사관 : 이석주

(54) 발명의 명칭 **반도체 칩 및 이를 갖는 반도체 패키지**

**(57) 요약**

반도체 칩 및 반도체 패키지가 개시되어 있다. 개시된 반도체 칩은, 일면 및 상기 일면과 대향하는 타면을 갖는 몸체부 및 상기 몸체부의 상기 일면에서 타면을 관통하는 개구부를 포함한다.

**대표도** - 도1



(72) 발명자

**김재민**

경기도 이천시 어재연로8번길 27, 명송빌 B동 301호 (중리동)

**서현철**

서울 서대문구 남가좌2동 369-1번지 201호

**설동환**

경기도 이천시 대산로288번길 89, 고담기숙사 105동 404호 (고담동)

## 명세서

### 청구범위

#### 청구항 1

삭제

#### 청구항 2

기관;

상기 기관의 상면 상에 실장된 제1 반도체 칩; 및

상기 기관의 상면 상에 실장되며 상기 기관과 마주하는 일면, 상기 일면과 대향하는 타면, 상기 일면 및 상기 타면을 관통하는 개구부를 구비하는 제2 반도체 칩을 포함하며,

상기 제1 반도체 칩은 상기 개구부 내에 배치되며, 상기 기관의 상면에 수직한 방향으로 상기 제2 반도체 칩과 비중첩되는 반도체 패키지.

#### 청구항 3

[청구항 3은(는) 설정등록료 납부시 포기되었습니다.]

제 2항에 있어서, 상기 제1 반도체 칩과 상기 제2 반도체 칩은 이중 칩인 것을 특징으로 하는 반도체 패키지.

#### 청구항 4

[청구항 4은(는) 설정등록료 납부시 포기되었습니다.]

제 3항에 있어서, 상기 제1 반도체 칩은 메모리 칩이고, 상기 제2 반도체 칩은 시스템 칩인 것을 특징으로 하는 반도체 패키지.

#### 청구항 5

[청구항 5은(는) 설정등록료 납부시 포기되었습니다.]

제 2항에 있어서, 상기 제1 반도체 칩은 직육면체 형상을 갖고, 상기 제2 반도체 칩은 사각틀 형상을 갖는 것을 특징으로 하는 반도체 패키지.

#### 청구항 6

[청구항 6은(는) 설정등록료 납부시 포기되었습니다.]

제 2항에 있어서, 상기 제1, 제2 반도체 칩을 포함한 상기 기관의 상면을 밀봉하는 몰드부; 및

상기 기관의 하면에 장착되는 외부접속단자를 더 포함하는 것을 특징으로 하는 반도체 패키지.

#### 청구항 7

[청구항 7은(는) 설정등록료 납부시 포기되었습니다.]

제 6항에 있어서, 상기 몰드부 상에 장착되는 히트 싱크를 더 포함하는 것을 특징으로 하는 반도체 패키지.

#### 청구항 8

[청구항 8은(는) 설정등록료 납부시 포기되었습니다.]

제 2항에 있어서, 상기 기관은 상기 상면에 상기 제1 반도체 칩과 전기적으로 연결되는 제1 접속 패드 및 상기 제2 반도체 칩과 전기적으로 연결되는 제2 접속 패드를 더 포함하는 것을 특징으로 하는 반도체 패키지.

#### 청구항 9

[청구항 9은(는) 설정등록료 납부시 포기되었습니다.]

제 8항에 있어서, 상기 제1 반도체 칩은 상기 기판과 마주하는 제1 면에 상기 제1 접속 패드와 전기적으로 연결되는 본딩 패드를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 10**

[청구항 10은(는) 설정등록료 납부시 포기되었습니다.]

제 9항에 있어서, 상기 제1 반도체 칩의 본딩 패드와 상기 기판의 제1 접속 패드를 전기적으로 연결하는 연결 부재를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 11**

[청구항 11은(는) 설정등록료 납부시 포기되었습니다.]

제 10항에 있어서, 상기 연결 부재는 범프, 솔더볼 중 어느 하나를 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 12**

[청구항 12은(는) 설정등록료 납부시 포기되었습니다.]

제 8항에 있어서, 상기 제2 반도체 칩은 상기 일면에 상기 기판의 제2 접속 패드와 전기적으로 연결되는 본딩 패드를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 13**

[청구항 13은(는) 설정등록료 납부시 포기되었습니다.]

제 12항에 있어서, 상기 제2 반도체 칩의 본딩 패드와 상기 기판의 제2 접속 패드를 전기적으로 연결하는 연결 부재를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 14**

[청구항 14은(는) 설정등록료 납부시 포기되었습니다.]

제 13항에 있어서, 상기 연결 부재는 범프, 솔더볼 중 어느 하나를 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 15**

[청구항 15은(는) 설정등록료 납부시 포기되었습니다.]

제 8항에 있어서, 상기 제2 반도체 칩은 상기 타면에 상기 기판의 제2 접속 패드와 전기적으로 연결되는 본딩 패드를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 16**

[청구항 16은(는) 설정등록료 납부시 포기되었습니다.]

제 15항에 있어서, 상기 제2 반도체 칩의 본딩 패드와 상기 제2 접속 패드를 전기적으로 연결하는 연결 부재를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 17**

[청구항 17은(는) 설정등록료 납부시 포기되었습니다.]

제 16항에 있어서, 상기 연결 부재는 와이어를 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 18**

[청구항 18은(는) 설정등록료 납부시 포기되었습니다.]

제 2항에 있어서, 상기 기판은 상기 상면 및 상기 상면과 대향하는 하면을 관통하는 관통부;

상기 하면에 형성되며 상기 제1 반도체 칩과 전기적으로 연결되는 제1 접속 패드; 및

상기 상면에 형성되며 상기 제2 반도체 칩과 전기적으로 연결되는 제2 접속 패드를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 19**

[청구항 19은(는) 설정등록료 납부시 포기되었습니다.]

제 18항에 있어서, 상기 제1 반도체 칩은 상기 기판과 마주하는 제1 면에 상기 기판의 제1 접속 패드와 전기적으로 연결되는 본딩 패드를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 20**

[청구항 20은(는) 설정등록료 납부시 포기되었습니다.]

제 19항에 있어서, 상기 관통부를 통과하여 상기 제1 반도체 칩의 본딩 패드와 상기 기판의 제1 접속 패드를 전기적으로 연결하는 연결 부재를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 21**

[청구항 21은(는) 설정등록료 납부시 포기되었습니다.]

제 20항에 있어서, 상기 연결 부재는 와이어를 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 22**

[청구항 22은(는) 설정등록료 납부시 포기되었습니다.]

제 20항에 있어서, 상기 관통부 및 연결 부재를 포함한 상기 기판의 하면 중심부를 밀봉하는 추가 몰드부를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 23**

[청구항 23은(는) 설정등록료 납부시 포기되었습니다.]

제 2항에 있어서, 상기 제1 반도체 칩은 적어도 2개 이상이 상기 개구부 안쪽 상기 기판 상면 상에 수평 실장되는 것을 특징으로 하는 반도체 패키지.

**청구항 24**

[청구항 24은(는) 설정등록료 납부시 포기되었습니다.]

제 23항에 있어서, 상기 제1 반도체 칩들은 모두 동종 칩인 것을 특징으로 하는 반도체 패키지.

**청구항 25**

[청구항 25은(는) 설정등록료 납부시 포기되었습니다.]

제 23항에 있어서, 상기 제1 반도체 칩들 중 적어도 하나는 다른 것들과 이종인 것을 특징으로 하는 반도체 패키지.

**청구항 26**

[청구항 26은(는) 설정등록료 납부시 포기되었습니다.]

제 23항에 있어서, 상기 제1 반도체 칩들은 동일한 사이즈를 갖는 것을 특징으로 하는 반도체 패키지.

**청구항 27**

[청구항 27은(는) 설정등록료 납부시 포기되었습니다.]

제 23항에 있어서, 상기 제1 반도체 칩들은 상이한 사이즈를 갖는 것을 특징으로 하는 반도체 패키지.

**청구항 28**

[청구항 28은(는) 설정등록료 납부시 포기되었습니다.]

제 2항에 있어서, 상기 기판과 상기 제1,제2 반도체 칩 사이에 개재되며, 상기 기판과 상기 제1 반도체 칩을 전기적으로 연결하는 제1 관통 배선 및 상기 기판과 상기 제2 반도체 칩을 전기적으로 연결하는 제2 관통 배선을 포함하는 인터포저를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 29**

[청구항 29은(는) 설정등록료 납부시 포기되었습니다.]

제 2항에 있어서, 상기 제1 반도체 칩은 상기 기판과 마주하는 제1 면 및 상기 제1 면과 대향하는 제2 면을 관통하는 제1 관통 전극을 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 30**

[청구항 30은(는) 설정등록료 납부시 포기되었습니다.]

제 29항에 있어서, 상기 제1 반도체 칩은 적어도 2개 이상이 각각의 제1 관통 전극들이 수직하게 연결되도록 적층된 것을 특징으로 하는 반도체 패키지.

**청구항 31**

[청구항 31은(는) 설정등록료 납부시 포기되었습니다.]

제 30항에 있어서, 상기 기판과 상기 제1반도체 칩들 및 제2 반도체 칩 사이에 개재되며 상기 기판과 상기 제1 반도체 칩들의 제1 관통 전극을 전기적으로 연결하는 제1 관통 배선 및 상기 기판과 상기 제2 반도체 칩을 전기적으로 연결하는 제2 관통 배선을 포함하는 인터포저를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 32**

[청구항 32은(는) 설정등록료 납부시 포기되었습니다.]

제 30항에 있어서, 상기 제2 반도체 칩은 상기 일면 및 상기 타면을 관통하는 제2 관통 전극을 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 33**

[청구항 33은(는) 설정등록료 납부시 포기되었습니다.]

제 32항에 있어서, 상기 제2 반도체 칩은 적어도 2개 이상이 각각의 제2 관통 전극들이 수직하게 연결되도록 적층되는 것을 특징으로 하는 반도체 패키지.

**청구항 34**

[청구항 34은(는) 설정등록료 납부시 포기되었습니다.]

제 33항에 있어서, 상기 기판과 상기 제1반도체 칩들 및 제2 반도체 칩들 사이에 개재되며 상기 기판과 상기 제1 반도체 칩들의 제1 관통 전극을 전기적으로 연결하는 제1 관통 배선 및 상기 기판과 상기 제2 반도체 칩들의 제2 관통 전극을 전기적으로 연결하는 제2 관통 배선을 포함하는 인터포저를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 35**

[청구항 35은(는) 설정등록료 납부시 포기되었습니다.]

제 2항에 있어서, 상기 제2 반도체 칩은 상기 일면 및 상기 타면을 관통하는 제2 관통 전극을 더 포함하는 것을 특징으로 하는 반도체 패키지.

**청구항 36**

[청구항 36은(는) 설정등록료 납부시 포기되었습니다.]

제 35항에 있어서, 상기 제2 반도체 칩은 적어도 2개 이상이 각각의 제2 관통 전극들이 수직하게 연결되도록 적층되는 것을 특징으로 하는 반도체 패키지.

**청구항 37**

[청구항 37은(는) 설정등록료 납부시 포기되었습니다.]

제 36항에 있어서, 상기 기판과 상기 제1반도체 칩 및 제2 반도체 칩들 사이에 개재되며 상기 기판과 상기 제1 반도체 칩을 전기적으로 연결하는 제1 관통 배선 및 상기 기판과 상기 제2 반도체 칩들의 제2 관통 전극을 전기적으로 연결하는 제2 관통 배선을 포함하는 인터포저를 더 포함하는 것을 특징으로 하는 반도체 패키지.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 칩 및 이를 갖는 반도체 패키지에 관한 것이다.

**배경 기술**

[0002] 전자 제품이 소형화됨에 따라서 전자 제품에 사용되는 패키지의 사이즈가 작아지고 있으며, 다양하고 복합적인 응용 제품이 개발됨에 따라 여러 가지 기능을 수행할 수 있는 패키지가 요구되고 있다. 이에, 각기 다른 기능을 갖는 반도체 칩들, 예를 들어 CPU(Central Processe Unit), GPU(Grapic Process Unit) 등의 시스템 칩을 메모리 칩과 함께 하나의 패키지에 밀봉하여 시스템을 실현하는 시스템 인 패키지(System In Package, SIP)가 주목 받고 있다.

[0003] 그러나, 고발열 특성을 갖는 시스템 칩에서 발생된 열이 상대적으로 써멀 데미지(thermal damage)에 취약한 메모리 칩에 데미지를 유발하여 메모리 칩의 동작 성능이 저하되고 신뢰성이 열화되는 문제가 발생되었다. 써멀 데미지를 줄이기 위하여 히트 싱크(heat sink)가 사용되고 있으나, 집적화에 따른 영향으로 시스템 칩과 메모리 칩간 간격이 좁아지고 시스템 칩과 히트 싱크간 오버랩 면적이 감소되어 방열 효과가 떨어짐에 따라서 시스템 칩에 인접한 메모리 칩에서의 국부적인 써멀 데미지를 피하기 어려운 실정이다.

[0004] 한편, 반도체 제조 기술이 고도화됨에 따라서 반도체 칩의 사이즈는 점점 작아지고 있으나, 상용화된 모듈에 적용하기 위해서 반도체 패키지는 국제전기전자표준협회(Joint Electron Device Engineering Council, JEDEC)에서 규정된 규격에 맞게 제작되어야 하기 때문에 반도체 칩의 사이즈가 축소되더라도 JEDEC 규격이 변경되지 않는 한 반도체 패키지의 사이즈를 축소시킬 수 없다. 즉, 반도체 칩 사이즈 축소가 반도체 패키지의 집적도 바로 증가로 이어지지 못하므로 집적화가 어려운 실정이다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명은, 써멀 데미지를 줄이고 집적도를 향상시키기에 적합한 반도체 칩 및 이를 이용한 반도체 패키지를 제공하는데, 그 목적이 있다.

**과제의 해결 수단**

[0006] 본 발명의 일 견지에 따른 반도체 칩은, 일면 및 상기 일면과 대향하는 타면을 갖는 몸체부; 및 상기 몸체부의 상기 일면에서 타면을 관통하는 개구부를 포함한다.

[0007] 본 발명의 다른 견지에 따른 반도체 패키지는, 기판; 상기 기판의 상면 상에 배치되는 제1 반도체 칩; 및 상기 제1 반도체 칩에 대응되는 개구부를 가지며 상기 개구부를 통해 상기 제1 반도체 칩이 노출되도록 상기 기판의 상면 상에 배치되는 제2 반도체 칩을 포함한다.

[0008] 상기 제1 반도체 칩과 상기 제2 반도체 칩은 이종 칩일 수 있다. 예컨대, 상기 제1 반도체 칩은 메모리 칩이고, 상기 제2 반도체 칩은 시스템 칩일 수 있다.

[0009] 상기 제1 반도체 칩은 직육면체 형상을 갖고, 상기 제2 반도체 칩은 사각틀 형상을 가질 수 있다.

- [0010] 상기 반도체 패키지는, 상기 제1, 제2 반도체 칩을 포함한 상기 기판의 상면을 밀봉하는 몰드부; 및 상기 기판의 하면에 장착되는 외부접속단자를 더 포함할 수 있다. 그 외에, 상기 몰드부 상에 장착되는 히트 싱크를 더 포함할 수도 있다.
- [0011] 상기 기판은 상기 상면에 상기 제1 반도체 칩과 전기적으로 연결되는 제1 접속 패드 및 상기 제2 반도체 칩과 전기적으로 연결되는 제2 접속 패드를 더 포함할 수 있다.
- [0012] 상기 제1 반도체 칩은 상기 기판과 마주하는 제1 면에 상기 제1 접속 패드와 전기적으로 연결되는 본딩 패드를 더 포함할 수 있다. 그리고, 상기 반도체 패키지는 상기 제1 반도체 칩의 본딩 패드와 상기 기판의 제1 접속 패드를 전기적으로 연결하는 연결 부재를 더 포함할 수 있다. 상기 연결 부재는 범프, 솔더볼 중 어느 하나를 포함할 수 있다.
- [0013] 상기 제2 반도체 칩은 상기 기판과 마주하는 일면에 상기 제2 접속 패드와 전기적으로 연결되는 본딩 패드를 더 포함할 수 있다. 그리고, 상기 반도체 패키지는 상기 제2 반도체 칩의 본딩 패드와 상기 기판의 제2 접속 패드를 전기적으로 연결하는 연결 부재를 더 포함할 수 있다. 상기 연결 부재는 범프, 솔더볼 중 어느 하나를 포함할 수 있다.
- [0014] 상기 제2 반도체 칩은 상기 기판과 마주하는 일면과 대향하는 타면에 상기 제2 접속 패드와 전기적으로 연결되는 본딩 패드를 더 포함할 수 있다. 그리고, 상기 반도체 패키지는 상기 제2 반도체 칩의 본딩 패드와 상기 제2 접속 패드를 전기적으로 연결하는 연결 부재를 더 포함할 수 있다. 상기 연결 부재는 와이어를 포함할 수 있다.
- [0015] 상기 기판은 상기 상면 및 상기 상면과 대향하는 하면을 관통하는 관통부; 상기 하면에 형성되며 상기 제1 반도체 칩과 전기적으로 연결되는 제1 접속 패드; 및 상기 상면에 형성되며 상기 제2 반도체 칩과 전기적으로 연결되는 제2 접속 패드를 더 포함할 수 있다.
- [0016] 상기 제1 반도체 칩은 상기 기판과 마주하는 제1 면에 상기 기판의 제1 접속 패드와 전기적으로 연결되는 본딩 패드를 더 포함할 수 있다. 그리고, 상기 반도체 패키지는 상기 관통부를 통과하여 상기 제1 반도체 칩의 본딩 패드와 상기 기판의 제1 접속 패드를 전기적으로 연결하는 연결 부재를 더 포함할 수 있다. 상기 연결 부재는 와이어를 포함할 수 있다. 그 외에, 상기 반도체 패키지는 상기 관통부 및 연결 부재를 포함한 상기 기판의 하면 중심부를 밀봉하는 추가 몰드부를 더 포함할 수 있다.
- [0017] 상기 제1 반도체 칩은 2개 이상이 상기 개구부 안쪽 상기 기판 상면 상에 적어도 수평 실장될 수 있다. 상기 제1 반도체 칩들은 모두 동종 칩일 수 있다. 이와 달리, 상기 제1 반도체 칩들 중 적어도 하나는 다른 것들과 이종일 수도 있다. 상기 제1 반도체 칩들은 동일한 사이즈를 가질 수 있다. 이와 달리, 상기 제1 반도체 칩들은 상이한 사이즈를 가질 수도 있다.
- [0018] 상기 반도체 패키지는, 상기 기판과 상기 제1, 제2 반도체 칩 사이에 개재되며 상기 기판과 상기 제1 반도체 칩을 전기적으로 연결하는 제1 관통 배선 및 상기 기판과 상기 제2 반도체 칩을 전기적으로 연결하는 제2 관통 배선을 포함하는 인터포저를 더 포함할 수 있다.
- [0019] 상기 제1 반도체 칩은 상기 기판과 마주하는 제1 면 및 상기 제1 면과 대향하는 제2 면을 관통하는 제1 관통 전극을 더 포함할 수 있으며, 상기 제1 반도체 칩은 적어도 2개 이상이 각각의 제1 관통 전극들이 수직하게 연결되도록 적층될 수 있다. 그리고, 상기 반도체 패키지는 상기 기판과 상기 제1 반도체 칩들 및 제2 반도체 칩 사이에 개재되며 상기 기판과 상기 제1 반도체 칩들의 제1 관통 전극을 전기적으로 연결하는 제1 관통 배선 및 상기 기판과 상기 제2 반도체 칩을 전기적으로 연결하는 제2 관통 배선을 포함하는 인터포저를 더 포함할 수 있다.
- [0020] 상기 제2 반도체 칩은 상기 기판과 마주하는 일면 및 상기 일면과 대향하는 타면을 관통하는 제2 관통 전극을 더 포함할 수 있으며, 상기 제2 반도체 칩은 적어도 2개 이상이 각각의 제2 관통 전극들이 수직하게 연결되도록 적층될 수 있다. 그리고, 상기 반도체 패키지는 상기 기판과 상기 제1 반도체 칩들 및 제2 반도체 칩들 사이에 개재되며 상기 기판과 상기 제1 반도체 칩들의 제1 관통 전극을 전기적으로 연결하는 제1 관통 배선 및 상기 기판과 상기 제2 반도체 칩들의 제2 관통 전극을 전기적으로 연결하는 제2 관통 배선을 포함하는 인터포저를 더 포함할 수 있다.
- [0021] 이와 달리, 상기 반도체 패키지는 상기 기판과 상기 제1 반도체 칩 및 제2 반도체 칩들 사이에 개재되며 상기 기판과 상기 제1 반도체 칩을 전기적으로 연결하는 제1 관통 배선 및 상기 기판과 상기 제2 반도체 칩들의 제2 관통 전극을 전기적으로 연결하는 제2 관통 배선을 포함하는 인터포저를 더 포함할 수 있다.

**발명의 효과**

[0022] 본 발명에 따르면, 제2 반도체 칩이 제1 반도체 칩의 주변을 에워싸는 구조로 형성되므로 제2 반도체 칩에서 발생된 열이 제1 반도체 칩에 균등하게 영향을 주어 국부적인 써멀 데미지가 감소된다. 또한, 제2 반도체 칩과 히트 싱크간 오버랩 면적이 증가되어 제2 반도체 칩에서 발생된 열이 외부로 원활히 방출되므로 써멀 데미지가 감소된다. 게다가, 제2 반도체 칩이 제1 반도체 칩 주변의 여유 공간에 설치되므로 집적도가 향상된다.

**도면의 간단한 설명**

[0023] 도 1은 본 발명의 실시예에 따른 반도체 칩을 도시한 사시도이다.  
 도 2는 본 발명의 제1 실시예에 따른 반도체 패키지를 도시한 평면도이다.  
 도 3은 도 2의 I-I' 라인에 따른 단면도이다.  
 도 4는 도 2의 제1, 제2 반도체 칩이 제조되는 웨이퍼를 도시한 평면도이다.  
 도 5는 본 발명의 제2 실시예에 따른 반도체 패키지를 도시한 단면도이다.  
 도 6은 본 발명의 제 3 실시예에 따른 반도체 패키지를 도시한 단면도이다.  
 도 7은 본 발명의 제4 실시예에 따른 반도체 패키지를 도시한 단면도이다.  
 도 8은 본 발명의 제5 실시예에 따른 반도체 패키지를 도시한 평면도이다.  
 도 9는 도 8의 II-II' 라인에 따른 단면도이다.  
 도 10은 본 발명의 제6 실시예에 따른 반도체 패키지를 도시한 단면도이다.  
 도 11은 본 발명의 제7 실시예에 따른 반도체 패키지를 도시한 단면도이다.  
 도 13은 본 발명의 제8 실시예에 따른 반도체 패키지를 도시한 단면도이다.  
 도 13는 본 발명의 제9 실시예에 따른 반도체 패키지를 도시한 단면도이다.  
 도 14는 본 발명의 제10 실시예에 따른 반도체 패키지를 도시한 단면도이다.  
 도 15는 본 발명에 따른 반도체 패키지를 구비한 전자 장치를 도시한 사시도이다.  
 도 16는 본 발명에 따른 반도체 패키지를 적용한 전자 장치의 시스템 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0024] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하도록 한다.

[0025] 도 1은 본 발명의 실시예에 따른 반도체 칩을 도시한 사시도이다.

[0026] 도 1을 참조하면, 본 발명의 실시예에 따른 반도체 칩(300)은 몸체부(300A) 및 개구부(310)를 포함한다.

[0027] 몸체부(300A)는 일면(301), 타면(302), 본딩 패드(미도시) 및 회로부(미도시)를 포함한다.

[0028] 일면(301)은 타면(302)과 대향하고, 회로부는 데이터를 저장 및 처리하기 위해 트랜지스터, 커패시터 및 저항 등과 같은 소자를 포함한다. 본딩 패드는 외부와의 전기적인 연결을 위한 회로부의 전기적 접점으로 일면(301)에 형성된다.

[0029] 개구부(310)는 몸체부(300A)의 일면(301)에서 타면(302)을 관통한다. 상기 반도체 칩(300)을 기판에 실장하여 패키지를 제조할 때, 개구부(310) 안쪽에는 다른 반도체 칩이 배치될 수 있다.

[0030] 도 2는 본 발명의 제1 실시예에 따른 반도체 패키지를 도시한 평면도이고, 도 3은 도 2의 I-I' 라인에 따른 단면도이다.

[0031] 도 2 및 도 3을 참조하면, 본 발명의 제1 실시예에 따른 반도체 패키지는 기판(100), 제1 반도체 칩(200) 및 제2 반도체 칩(300)을 포함한다. 그 외에, 제1, 제2 연결 부재(400,500), 몰드부(600), 히트 싱크(700) 및 외부 접속단자(800)를 더 포함한다.

[0032] 기판(100)은, 예를 들어, 인쇄회로기판(Printed Circuit Board, PCB)일 수 있다. 기판(100)은 제1 영역(First

Region, FR), 제2 영역(Second Region, SR) 및 제 3 영역(Third Region, TR)으로 구획되며, 상면(101), 하면(102), 제1, 제2 접속 패드(110, 120) 및 볼랜드(130)를 포함한다.

- [0033] 제1 영역(FR)은 기관(100)의 중심에 배치되고, 제3 영역(TR)은 기관(100)의 가장자리를 따라서 배치되고, 제2 영역(SR)은 제1 영역(FR)과 제3 영역(TR) 사이에 배치된다. 본 실시예에서, 제1 접속 패드(110)는 상면(101)의 제1 영역(FR)에 배치되고, 제2 접속 패드(120)는 상면(101)의 제2 영역(SR)에 배치되고, 볼랜드(130)는 하면(102)에 JEDEC 규정에 따라 다수개 배치된다.
- [0034] 제1 반도체 칩(200)은 예를 들어 직육면체 형상을 가지며, 제1 면(201), 제1 면(201)과 대향하는 제2 면(202) 및 제1 본딩 패드(210)를 포함한다. 제1 본딩 패드(210)는 제1 반도체 칩(200)의 제1 면(201)에 형성되며 기관(100)의 제1 접속 패드(110)와 전기적으로 연결된다.
- [0035] 제1 반도체 칩(200)은 기관(100) 상면(101)의 제1 영역(FR) 상에 배치된다. 본 실시예에서, 제1 반도체 칩(200)은 제1 본딩 패드(210)가 형성된 제1 면(201)이 기관(100)과 마주하도록 기관(100) 상면(101)의 제1 영역(FR) 상에 페이스 다운(face-down) 형태로 배치된다.
- [0036] 제2 반도체 칩(300)은 예를 들어 사각틀 형상을 가지며, 일면(301), 일면(301)과 대향하는 타면(302), 개구부(310) 및 제2 본딩 패드(320)를 포함한다.
- [0037] 개구부(310)는 일면(301)에서 타면(302)을 관통하며 개구부(310)를 통해 제1 반도체 칩(200)이 노출될 수 있도록 제1 반도체 칩(200)에 대응되는 사이즈 및 형태를 갖는다. 본 실시예에서, 개구부(310)는 평면상에서 보았을 때 제1 반도체 칩(200)보다 약간 큰 사이즈를 갖는다. 제2 본딩 패드(320)는 제2 반도체 칩(300)의 일면(301)에 형성되며 기관(100)의 제2 접속 패드(120)와 전기적으로 연결된다.
- [0038] 제2 반도체 칩(300)은 기관(100) 상면(101)의 제2 영역(SR) 상에 배치된다. 본 실시예에서, 제2 반도체 칩(300)은 제2 본딩 패드(320)가 형성된 일면(301)이 기관(100)과 마주하도록 기관(100) 상면(101)의 제2 영역(SR) 상에 페이스 다운 형태로 배치된다.
- [0039] 제2 반도체 칩(300)은 제1 반도체 칩(200)과 이종(異種) 칩일 수 있다. 예컨대, 제1 반도체 칩(200)은 메모리 칩이고, 제2 반도체 칩(300)은 CPU, GPU 등의 시스템 칩일 수 있다.
- [0040] 제1 반도체 칩(200) 및 제2 반도체 칩(300)은, 단일 웨이퍼 상에서 제조된 후 소잉 공정을 통해 개별화시켜 형성할 수 있다. 예컨대, 도 4를 참조하면, 반도체 소자 제조 공정을 통해 웨이퍼(W) 상에 제1 반도체 칩(200) 및 제1 반도체 칩(200) 바깥쪽에 제1 반도체 칩(200)을 둘러싸는 제2 반도체 칩(300)을 제조한 후에, 제1, 제2 반도체 칩(200,300)이 개별화되도록 웨이퍼(W)를 절단하여 형성할 수 있다. 이때, 제1 반도체 칩(200)과 제2 반도체 칩(300)간 간격(D)은 웨이퍼 절단시 사용되는 레이저 빔(laser beam)의 스폿 사이즈(spot size)를 가변시킴으로써 조절될 수 있다.
- [0041] 도 2 및 도 3을 다시 참조하면, 제1 연결 부재(400)는 제1 반도체 칩(200)의 제1 본딩 패드(210)와 기관(100)의 제1 접속 패드(110)를 전기적으로 연결하고, 제2 연결 부재(500)는 제2 반도체 칩(300)의 제2 본딩 패드(320)와 기관(100)의 제2 접속 패드(120)를 전기적으로 연결한다. 본 실시예에서, 제1, 제2 연결 부재(400, 500)는 범프, 솔더볼 중 어느 하나를 포함할 수 있다.
- [0042] 몰드부(600)는 제1, 제2 반도체 칩(200,300)을 포함한 기관(100)의 상면(101)을 밀봉한다. 몰드부(600)는 에폭시 몰드 컴파운드(Epoxy Mold Compound, EMC)를 포함할 수 있다.
- [0043] 히트 싱크(700)는 몰드부(600) 상에 장착되고, 외부접속단자(800)는 기관(100) 하면(102)의 볼랜드(130) 상에 장착된다. 외부접속단자(800)는 솔더볼을 포함할 수 있다.
- [0044] 도 5는 본 발명의 제2 실시예에 따른 반도체 패키지를 도시한 단면도이다.
- [0045] 본 발명의 제2 실시예에 따른 반도체 패키지는, 앞서 도 2 및 도 3을 통해 설명된 제1 실시예에와 달리 제2 반도체 칩(300)이 페이스 업(face up) 형태로 배치되고, 제2 반도체 칩(300)과 기관(100)이 와이어 본딩 방식으로 연결된 구성을 갖는다. 따라서, 동일한 구성요소에 대해서는 동일한 명칭 및 동일한 참조 부호를 부여하기로 한다.
- [0046] 도 5를 참조하면, 본 발명의 제2 실시예에 따른 반도체 패키지는 기관(100), 제1 반도체 칩(200) 및 제2 반도체 칩(300)을 포함한다. 그 외에, 제1, 제2 연결 부재(400,500), 몰드부(600), 히트 싱크(700) 및 외부접속단자(800)를 더 포함한다.

- [0047] 기관(100)은 제1 영역(FR), 제2 영역(SR) 및 제 3 영역(TR)으로 구획되며, 상면(101), 하면(102), 제1, 제2 접속 패드(110, 120) 및 볼랜드(130)를 포함한다.
- [0048] 제1 영역(FR)은 기관(100)의 중심에 배치되고, 제3 영역(TR)은 기관(100)의 가장자리를 따라서 배치되며, 제2 영역(SR)은 제1 영역(FR)과 제3 영역(TR) 사이에 배치된다. 본 실시예에서, 제1 접속 패드(110)는 상면(101)의 제1 영역(FR)에 배치되고, 제2 접속 패드(120)는 상면(101)의 제3 영역(TR)에 배치되고, 볼랜드(130)는 JEDEC 규정에 따라서 기관(100) 하면(102)에 다수개 배치된다.
- [0049] 제1 반도체 칩(200)은 예를 들어 직육면체 형상을 가지며, 제1 면(201), 제1 면(201)과 대향하는 제2 면(202) 및 제1 본딩 패드(210)를 포함한다. 제1 본딩 패드(210)는 제1 반도체 칩(200)의 제1 면(201)에 형성되며 기관(100)의 제1 접속 패드(110)와 전기적으로 연결된다.
- [0050] 제1 반도체 칩(200)은 기관(100) 상면(101)의 제1 영역(FR) 상에 배치된다. 본 실시예에서, 제1 반도체 칩(200)은 제1 본딩 패드(210)가 형성된 제1 면(201)이 기관(100)과 마주하도록 기관(100) 상면(101)의 제1 영역(FR) 상에 페이스 다운 형태로 배치된다.
- [0051] 제2 반도체 칩(300)은 예를 들어 사각틀 형상을 가지며, 일면(301), 일면(301)과 대향하는 타면(302), 개구부(310) 및 제2 본딩 패드(320)를 포함한다.
- [0052] 개구부(310)는 일면(301)에서 타면(302)을 관통하며, 개구부(310)를 통해 제1 반도체 칩(200)이 노출될 수 있도록 제1 반도체 칩(200)에 대응되는 사이즈 및 형태를 갖는다. 본 실시예에서, 개구부(310)는 평면상에서 보았을 때 제1 반도체 칩(200)보다 약간 큰 사이즈를 갖는다. 제2 본딩 패드(320)는 제2 반도체 칩(300)의 일면(301)에 형성되며 기관(100)의 제2 접속 패드(120)와 전기적으로 연결된다.
- [0053] 제2 반도체 칩(300)은 기관(100) 상면(101)의 제2 영역(SR)상에 배치된다. 본 실시예에서, 제2 반도체 칩(300)은 제2 본딩 패드(320)가 형성된 일면(301)과 대향하는 타면(302)이 기관(100)과 마주하도록 기관(100) 상면(101)의 제2 영역(SR) 상에 페이스 업 형태로 배치된다. 그리고, 제2 반도체 칩(300)의 타면(302)과 기관(100)의 상면(101)은 접촉 부재(900)를 매개로 상호 부착된다.
- [0054] 제2 반도체 칩(300)은 제1 반도체 칩(200)과 이종 칩일 수 있다. 예컨대, 제1 반도체 칩(200)은 메모리 칩이고, 제2 반도체 칩(300)은 CPU, GPU 등의 시스템 칩일 수 있다.
- [0055] 제1 연결 부재(400)는 제1 반도체 칩(200)의 제1 본딩 패드(210)와 기관(100)의 제1 접속 패드(110)를 전기적으로 연결하고, 제2 연결 부재(500)는 제2 반도체 칩(300)의 제2 본딩 패드(320)와 기관(100)의 제2 접속 패드(120)를 전기적으로 연결한다. 본 실시예에서, 제1 연결 부재(400)는 범프, 솔더볼 중 어느 하나를 포함할 수 있고, 제2 연결 부재(500)는 와이어를 포함할 수 있다.
- [0056] 몰드부(600)는 제1, 제2 반도체 칩(200,300)을 포함한 기관(100) 상면(101)을 밀봉한다. 몰드부(600)는 에폭시 몰드 컴파운드(EMC)를 포함할 수 있다.
- [0057] 히트 싱크(700)는 몰드부(600) 상에 장착되고, 외부접속단자(800)는 기관(100) 하면(102)의 볼랜드(130) 상에 장착된다. 외부접속단자(800)는 솔더볼을 포함할 수 있다.
- [0058] 도 6은 본 발명의 제3 실시예에 따른 반도체 패키지를 도시한 단면도이다.
- [0059] 본 발명의 제3 실시예에 따른 반도체 패키지는, 앞서 도 2 및 도 3을 통해 설명된 제1 실시예에와 달리 제1 반도체 칩(200)이 기관(100)에 와이어 본딩 방식으로 연결된 구성을 갖는다. 따라서, 동일한 구성요소에 대해서는 동일한 명칭 및 동일한 참조 부호를 부여하기로 한다.
- [0060] 도 6을 참조하면, 본 발명의 제3 실시예에 따른 반도체 패키지는 기관(100), 제1 반도체 칩(200) 및 제2 반도체 칩(300)을 포함한다. 그 외에, 제1, 제2 연결 부재(400,500), 몰드부(600), 추가 몰드부(610), 히트 싱크(700) 및 외부접속단자(800)를 더 포함한다.
- [0061] 기관(100)은 제1 영역(FR), 제2 영역(SR) 및 제 3 영역(TR)으로 구획되며, 상면(101), 하면(102), 제1, 제2 접속 패드(110, 120), 볼랜드(130) 및 관통부(140)를 포함한다.
- [0062] 제1 영역(FR)은 기관(100)의 중심에 배치되고, 제3 영역(TR)은 기관(100)의 가장자리를 따라서 배치되고, 제2 영역(SR)은 제1 영역(FR)과 제3 영역(TR) 사이에 배치된다. 관통부(140)는 제1 영역(FR)의 중심부에 형성되며 상면(101)에서 하면(102)을 관통한다. 본 실시예에서, 제1 접속 패드(110)는 하면(102)에 관통부(140)의 가장자

리를 따라서 배치되고, 제2 접속 패드(120)는 상면(101)의 제2 영역(SR)에 배치된다. 그리고, 볼랜드(130)는 제1 접속 패드(110) 바깥쪽 하면(102)에 JEDEC 규정에 따라서 다수개 배치된다.

- [0063] 제1 반도체 칩(200)은 예를 들어 직육면체 형상을 가지며, 제1 면(201), 제1 면(201)과 대향하는 제2 면(202) 및 제1 본딩 패드(210)를 포함한다. 제1 본딩 패드(210)는 제1 반도체 칩(200) 제1 면(201)에 형성된다.
- [0064] 제1 반도체 칩(200)은 제1 본딩 패드(210)가 기관(100)의 관통부(140)에 대응되도록 기관(100) 상면(101)의 제1 영역(FR) 상에 페이스다운 형태로 배치된다. 그리고, 제1 반도체 칩(200)의 제1 면(201)과 기관(100) 상면(101)은 접착 부재(900)를 매개로 상호 부착된다.
- [0065] 제2 반도체 칩(300)은 예를 들어 사각틀 형상을 가지며, 일면(301), 일면(301)과 대향하는 타면(302), 개구부(310) 및 제2 본딩 패드(320)를 포함한다.
- [0066] 개구부(310)는 일면(301)에서 타면(302)을 관통하며, 개구부(310)를 통해 제1 반도체 칩(200)이 노출될 수 있도록 제1 반도체 칩(200)에 대응되는 사이즈 및 형태를 갖는다. 본 실시예에서, 개구부(310)는 평면상에서 보았을 때 제1 반도체 칩(200)보다 약간 큰 사이즈를 갖는다. 제2 본딩 패드(320)는 제2 반도체 칩(300)의 일면(301)에 형성되며 기관(100)의 제2 접속 패드(120)와 전기적으로 연결된다.
- [0067] 제2 반도체 칩(300)은 개구부(310)를 통해 제1 반도체 칩(200)이 노출되도록 기관(100) 상면(101)의 제2 영역(SR) 상에 배치된다. 본 실시예에서, 제2 반도체 칩(300)은 제2 본딩 패드(320)가 형성된 일면(301)이 기관(100)과 마주하도록 기관(100) 상면(101)의 제2 영역(SR) 상에 페이스다운 형태로 배치된다.
- [0068] 제2 반도체 칩(300)은 제1 반도체 칩(200)과 이종 칩일 수 있다. 예컨대, 제1 반도체 칩(200)은 메모리 칩이고, 제2 반도체 칩(300)은 CPU, GPU 등의 시스템 칩일 수 있다.
- [0069] 제1 연결 부재(400)는 관통부(140)를 통과하여 제1 반도체 칩(200)의 제1 본딩 패드(210)와 기관(100)의 제1 접속 패드(110)를 전기적으로 연결하고, 제2 연결 부재(500)는 제2 반도체 칩(300)의 제2 본딩 패드(320)와 기관(100)의 제2 접속 패드(120)를 전기적으로 연결한다. 본 실시예에서, 제1 연결부재(400)는 와이어를 포함할 수 있고, 제2 연결 부재(500)는 범프, 솔더볼 중 어느 하나를 포함할 수 있다.
- [0070] 몰드부(600)는 제1, 제2 반도체 칩(200,300)을 포함한 기관(100)의 상면(101)을 밀봉하고, 추가 몰드부(610)는 제1 연결부재(400) 및 관통부(140)를 포함한 기관(100) 하면(102) 중심부를 밀봉한다. 몰드부 및 추가 몰드부(600, 610)는 에폭시 몰드 컴파운드(EMC)를 포함할 수 있다.
- [0071] 히트 싱크(700)는 몰드부(600) 상에 장착되고, 외부접속단자(800)는 기관(100) 하면(102)의 볼랜드(130) 상에 장착된다. 외부접속단자(800)는 솔더볼을 포함할 수 있다.
- [0072] 도 7은 본 발명의 제4 실시예에 따른 반도체 패키지를 도시한 단면도이다.
- [0073] 본 발명의 제4 실시예에 따른 반도체 패키지는, 앞서 도 2 및 도 3을 통해 설명된 제1 실시예에와 달리 제2 반도체 칩(300)이 페이스 업 형태로 배치되고, 제1, 제2 반도체 칩(200, 300)이 기관(100)에 와이어 본딩 방식으로 연결된 구성을 갖는다. 따라서, 동일한 구성요소에 대해서는 동일한 명칭 및 동일한 참조 부호를 부여하기로 한다.
- [0074] 도 7을 참조하면, 본 발명의 제4 실시예에 따른 반도체 패키지는 기관(100), 제1 반도체 칩(200) 및 제2 반도체 칩(300)을 포함한다. 그 외에, 제1, 제2 연결 부재(400,500), 몰드부(600), 추가 몰드부(610), 히트 싱크(700) 및 외부접속단자(800)를 더 포함한다.
- [0075] 기관(100)은 제1 영역(FR), 제2 영역(SR) 및 제 3 영역(TR)으로 구획되며, 상면(101), 하면(102), 제1, 제2 접속 패드(110, 120), 볼랜드(130) 및 관통부(140)를 포함한다.
- [0076] 제1 영역(FR)은 기관(100)의 중심에 배치되고, 제3 영역(TR)은 기관(100)의 가장자리를 따라서 배치되고, 제2 영역(SR)은 제1 영역(FR)과 제3 영역(TR) 사이에 배치된다. 관통부(140)는 제1 영역(FR)의 중심부에 배치되며 상면(101)에서 하면(102)을 관통한다. 본 실시예에서, 제1 접속 패드(110)는 하면(102)에 관통부(140)의 가장자리를 따라서 배치되고, 제2 접속 패드(120)는 상면(101)의 제3 영역(TR)에 배치되고, 볼랜드(130)는 제1 접속 패드(110) 바깥쪽 하면(102)에 JEDEC 규정에 따라서 다수개 배치된다.
- [0077] 제1 반도체 칩(200)은 예를 들어 직육면체 형상을 가지며, 제1 면(201), 제1 면(201)과 대향하는 제2 면(202) 및 제1 본딩 패드(210)를 포함한다. 제1 본딩 패드(210)는 제1 반도체 칩(200) 제1 면(201)의 중심부에 형성된

다.

- [0078] 제1 반도체 칩(200)은 제1 본딩 패드(210)가 기관(100)의 관통부(140)에 대응되도록 기관(100)의 제1 영역(FR) 상에 페이스다운 형태로 배치된다. 그리고, 제1 반도체 칩(200)의 제1 면(201)과 기관(100) 상면(101)은 접촉 부재(900)을 매개로 상호 부착된다.
- [0079] 제2 반도체 칩(300)은 예를 들어 사각틀 형상을 가지며, 일면(301), 일면(301)과 대향하는 타면(302), 개구부(310) 및 제2 본딩 패드(320)를 포함한다.
- [0080] 개구부(310)는 일면(301)에서 타면(302)을 관통하며, 개구부(310)를 통해 제1 반도체 칩(200)이 노출될 수 있도록 제1 반도체 칩(100)에 대응되는 사이즈 및 형태를 갖는다. 본 실시예에서, 개구부(310)는 평면상에서 보았을 때 제1 반도체 칩(200)보다 약간 큰 사이즈를 갖는다. 제2 본딩 패드(320)는 제2 반도체 칩(300)의 일면(301)에 형성되며 기관(100)의 제2 접속 패드(120)와 전기적으로 연결된다.
- [0081] 제2 반도체 칩(300)은 개구부(310)를 통해 제1 반도체 칩(200)이 노출되도록 기관(100) 상면(101)의 제2 영역(SR) 상에 배치된다. 본 실시예에서, 제2 반도체 칩(300)은 제2 본딩 패드(320)가 형성된 일면(301)과 대향하는 타면(302)이 기관(100)과 마주하도록 기관(100) 상면(101)의 제2 영역(SR) 상에 페이스 업 형태로 배치된다.
- [0082] 제2 반도체 칩(300)은 제1 반도체 칩(200)과 이종 칩일 수 있다. 예컨대, 제1 반도체 칩(200)은 메모리 칩이고, 제2 반도체 칩(300)은 CPU, GPU 등의 시스템 칩일 수 있다.
- [0083] 제1 연결 부재(400)는 관통부(140)를 통과하여 제1 반도체 칩(200)의 제1 본딩 패드(210)와 기관(100)의 제1 접속 패드(110)를 전기적으로 연결하고, 제2 연결 부재(500)는 제2 반도체 칩(300)의 제2 본딩 패드(320)와 기관(100)의 제2 접속 패드(120)를 전기적으로 연결한다. 본 실시예에서, 제1, 제2 연결부재(400, 500)는 와이어를 포함할 수 있다.
- [0084] 몰드부(600)는 제1, 제2 반도체 칩(200, 300)을 포함한 기관(100)의 상면(101)을 밀봉하고, 추가 몰드부(610)는 제1 연결부재(400) 및 관통부(140)를 포함한 기관(100)의 하면(102) 중심부를 밀봉한다. 몰드부 및 추가 몰드부(600, 610)는 에폭시 몰드 컴파운드(EMC)를 포함할 수 있다.
- [0085] 히트 썬크(700)는 몰드부(600) 상에 부착되고, 외부접속단자(800)는 기관(100) 하면(102)의 볼랜드(130) 상에 장착된다. 외부접속단자(800)는 솔더볼을 포함할 수 있다.
- [0086] 도 8은 본 발명의 제5 실시예에 따른 반도체 패키지를 도시한 단면도이고, 도 9는 도 8의 II-II' 라인에 따른 단면도이다.
- [0087] 본 발명의 제5 실시예에 따른 반도체 패키지는, 앞서 도 2 및 도 3을 통해 설명된 제1 실시예와 달리, 제1 반도체 칩(200)이 2개인 구성을 갖는다. 따라서, 제1 반도체 칩(200)을 제외하면 제1 실시예에 따른 반도체 패키지와 실질적으로 동일한 구성을 갖는다. 따라서, 동일한 구성요소에 대한 중복된 설명은 생략하기로 하며, 동일한 구성요소에 대해서는 동일한 명칭 및 동일한 참조 부호를 부여하기로 한다.
- [0088] 도 8 및 도 9를 참조하면, 본 실시예에서는 2개의 제1 반도체 칩(200)들이 제2 반도체 칩(300)의 개구부(310)에 의해 노출된 기관(100) 상에 수평 실장된다.
- [0089] 제1 반도체 칩(200)들은 모두 동종 칩일 수 있다. 이와 달리, 제1 반도체 칩(200)들 중 적어도 하나는 다른 것들과 이종일 수도 있다. 본 실시예에서, 제1 반도체 칩(200)들은 동일한 사이즈를 갖는다. 이와 달리, 제1 반도체 칩(200)들은 상이한 사이즈를 가질 수도 있다.
- [0090] 비록, 본 실시예에서는 제2 반도체 칩(300)의 개구부(310)에 의해 노출된 기관(100) 상에 수평 실장되는 제1 반도체 칩(200)의 개수가 2개인 경우만을 도시 및 설명하였으나, 본 발명은 이에 한정되지 않으며 제2 반도체 칩(300)의 개구부(310)에 의해 노출된 기관(100) 상에 수평 실장되는 제1 반도체 칩(200)의 개수가 1개 이상인 모든 경우를 포함한다.
- [0091] 도 10은 본 발명의 제6 실시예에 따른 반도체 패키지를 도시한 단면도이고,
- [0092] 본 발명의 제6 실시예에 따른 반도체 패키지는, 앞서 도 2 및 도 3을 통해 설명된 제1 실시예에 인터포저(interposer, 10)가 추가된 구성을 갖는다. 따라서, 인터포저(10)를 제외하면 제1 실시예에 따른 반도체 패키지와 실질적으로 동일한 구성을 갖는다. 따라서, 동일한 구성요소에 대한 중복된 설명은 생략하기로 하며, 동일한 구성요소에 대해서는 동일한 명칭 및 동일한 참조 부호를 부여하기로 한다.

- [0093] 도 10을 참조하면, 본 발명의 제6 실시예에 따른 반도체 패키지는 기판(100) 및 제1, 제2 반도체 칩(200, 300)을 포함한다. 그 외에, 인터포저(10), 제1, 제2 연결 부재(400,500), 몰드부(600), 히트 싱크(700) 및 외부접속단자(800)를 더 포함한다.
- [0094] 본 실시예에서, 인터포저(10)는 기판(100)과 제1, 제2 반도체 칩(200,300) 사이에 배치되며, 제1 관통 배선(11) 및 제2 관통 배선(12)을 포함한다.
- [0095] 제1 관통 배선(11)은 기판(100)의 제1 접속 패드(110)와 제1 반도체 칩(200)의 제1 본딩 패드(210)를 전기적으로 연결하고, 제2 관통 배선(12)은 기판(100)의 제2 접속 패드(120)와 제2 반도체 칩(300)의 제2 본딩 패드(320)를 전기적으로 연결한다.
- [0096] 제1 연결 부재(400)는 제1 반도체 칩(200)의 제1 본딩 패드(210)와 인터포저(10)의 제1 관통 배선(11) 사이 및 인터포저(10)의 제1 관통 배선(11)과 기판(100)의 제1 접속 패드(110) 사이에 각각 형성되어, 이들을 전기적으로 연결한다. 제2 연결 부재(500)는 제2 반도체 칩(300)의 제2 본딩패드(320)와 인터포저(10)의 제2 관통 배선(12) 사이 및 인터포저(10)의 제2 관통 배선(12)과 기판(100)의 제2 접속 패드(120) 사이에 각각 형성되어, 이들을 전기적으로 연결한다. 제1,제2 연결 부재(400,500)는 범프 또는 솔더볼을 포함할 수 있다.
- [0097] 도 11은 본 발명의 제7 실시예에 따른 반도체 패키지를 도시한 단면도이다.
- [0098] 본 발명의 제7 실시예에 따른 반도체 패키지는, 앞서 도 2 및 도 3을 통해 설명된 제1 실시예와 달리 제1 반도체 칩(200)이 제1 관통 전극(220)을 더 구비하며, 적어도 2개 이상의 제1 반도체 칩(200)들이 제1 관통 전극(220)을 통해 연결되도록 적층된 구성을 갖는다. 따라서, 동일한 구성요소에 대한 중복된 설명은 생략하기로 하며, 동일한 구성요소에 대해서는 동일한 명칭 및 동일한 참조 부호를 부여하기로 한다.
- [0099] 도 11을 참조하면, 본 발명의 제7 실시예에 따른 반도체 패키지는 기판(100), 제1 반도체 칩(200)들, 제2 반도체 칩(300)을 포함한다. 그 외에, 제1, 제2 연결 부재(400,500), 몰드부(600), 히트 싱크(700) 및 외부접속단자(800)를 더 포함한다.
- [0100] 본 실시예에서, 제1 반도체 칩(200)들은 각각 제1 면(201), 제1 면(201)과 대향하는 제2 면(202), 제1 본딩 패드(210) 및 제1 관통 전극(220)을 포함한다.
- [0101] 제1 본딩 패드(210)는 제1 반도체 칩(200)의 제1 면(201)에 형성되고, 제1 관통 전극(220)은 제1 반도체 칩(200)의 제1 면(201) 및 제2 면(202)을 관통하며 제1 본딩 패드(210)와 전기적으로 연결된다. 본 실시예에서, 제1 관통 전극(220)은 제1 본딩 패드(210)를 관통하도록 형성된다. 이와 달리, 제1 관통 전극(220)은 제1 본딩 패드(210)와 전기적으로 연결된 부분을 관통할 수도 있다.
- [0102] 다수의 제1 반도체 칩(200)들은 기판(100)의 제1 영역(FR) 상에 제1 관통 전극(220)이 수직하게 연결되도록 적층된다. 도시하지 않았지만, 적층된 제1 반도체 칩(200)들의 제1 관통 전극(220)들 사이에는 연결 부재가 개재되어, 제1 관통 전극(220)들을 전기적으로 연결한다. 그리고, 상기 다수의 제1 반도체 칩(200)들 중 최하부에 위치한 제1 반도체 칩(200)의 제1 관통 전극(220)은 기판(100)의 제1 접속 패드(110)와 전기적으로 연결된다.
- [0103] 비록, 본 실시예에서는 제1 반도체 칩(200)이 관통 전극을 매개로 다수개 적층되고 제2 반도체 칩(300)은 단일층으로 구성된 경우만을 설명하였으나, 이와 반대로, 제1 반도체 칩(200)이 단일층으로 구성되고 제2 반도체 칩(300)이 관통 전극을 매개로 다수개 적층될 수도 있다.
- [0104] 도 12는 본 발명의 제8 실시예에 따른 반도체 패키지를 도시한 단면도이다.
- [0105] 본 발명의 제8 실시예에 따른 반도체 패키지는, 앞서 도 11를 통해 설명된 제7 실시예에 인터포저(10)가 추가된 구성을 갖는다. 따라서, 동일한 구성요소에 대해서는 동일한 명칭 및 동일한 참조 부호를 부여하기로 한다.
- [0106] 도 12를 참조하면, 본 발명의 제8 실시예에 따른 반도체 패키지는 기판(100), 제1 반도체 칩(200)들 및 제2 반도체 칩(300)을 포함한다. 그 외에, 인터포저(10), 제1, 제2 연결 부재(400,500), 몰드부(600), 히트 싱크(700) 및 외부접속단자(800)를 더 포함한다.
- [0107] 본 실시예에서, 인터포저(10)는 기판(100)과 제1 반도체 칩들 및 제2 반도체 칩(200,300) 사이에 배치되며, 제1 관통 배선(11) 및 제2 관통 배선(12)을 포함한다.
- [0108] 제1 관통 배선(11)은 적층된 제1 반도체 칩(200)들 중 최하부에 위치한 제1 반도체 칩(200)의 제1 관통 전극(220)과 기판(100)의 제1 접속 패드(110)를 전기적으로 연결하고, 제2 관통 배선(12)은 제2 반도체 칩(300)의

제2 본딩 패드(320)와 기관(100)의 제2 접속 패드(120)를 전기적으로 연결한다.

- [0109] 제1 연결 부재(400)는 최하부 제1 반도체 칩(200)의 제1 관통 전극(220)과 인터포저(10)의 제1 관통 배선(11) 사이 및 인터포저(10)의 제1 관통 배선(11)과 기관(100)의 제1 접속 패드(110) 사이에 형성되어, 이들을 전기적으로 연결한다. 제2 연결 부재(500)는 제2 반도체 칩(300)의 제2 본딩패드(320)와 인터포저(10)의 제2 관통 배선(12) 사이 및 인터포저(10)의 제2 관통 배선(12)과 기관(100)의 제2 접속 패드(120) 사이에 형성되어, 이들을 전기적으로 연결한다. 제1, 제2 연결 부재(400, 500)는 범프 또는 솔더볼을 포함할 수 있다.
- [0110] 도 13은 본 발명의 제9 실시예에 따른 반도체 패키지를 도시한 단면도이다.
- [0111] 본 발명의 제9 실시예에 따른 반도체 패키지는, 앞서 도 11을 통해 설명된 제7 실시예와 달리 제2 반도체 칩(300)이 제2 관통 전극(330)을 더 구비하며, 적어도 2개 이상의 제2 반도체 칩(300)들이 제2 관통 전극(330)을 통해 연결되도록 적층된 구성을 갖는다. 따라서, 동일한 구성요소에 대해서는 동일한 명칭 및 동일한 참조 부호를 부여하기로 한다.
- [0112] 도 13을 참조하면, 본 발명의 제9 실시예에 따른 반도체 패키지는 기관(100), 다수의 제1 반도체 칩(200) 및 다수의 제2 반도체 칩(300)들을 포함한다. 그 외에, 제1, 제2 연결 부재(400, 500), 몰드부(600), 히트 썬크(700) 및 외부접속단자(800)를 더 포함한다.
- [0113] 각각의 제2 반도체 칩(300)은 사각틀 형상을 가지며, 일면(301), 일면(301)과 대향하는 타면(302), 개구부(310), 제2 본딩 패드(320) 및 제2 관통 전극(330)을 포함한다. 본 실시예에서, 제2 관통 전극(330)은 제2 본딩 패드(320)를 관통하도록 형성된다. 이와 달리, 제2 관통 전극(330)은 제2 본딩 패드(320)와 전기적으로 연결된 부분을 관통할 수도 있다.
- [0114] 다수의 제2 반도체 칩(300)들은 기관(100)의 제2 영역(SR) 상에 제2 관통 전극(330)이 수직하게 연결되도록 적층된다. 도시하지 않았지만, 적층된 제2 반도체 칩(300)들의 제2 관통 전극(330)들 사이에는 연결 부재가 개재되어, 제2 관통 전극(330)들을 전기적으로 연결한다. 그리고, 상기 다수의 제2 반도체 칩(300)들 중 최하부에 위치한 제2 반도체 칩(300)의 제2 관통 전극(330)은 기관(100)의 제2 접속 패드(220)와 전기적으로 연결된다.
- [0115] 도 14는 본 발명의 제10 실시예에 따른 반도체 패키지를 도시한 단면도이다.
- [0116] 본 발명의 제10 실시예에 따른 반도체 패키지는, 앞서 도 13를 통해 설명된 제9 실시예에 인터포저(10)가 추가된 구성을 갖는다. 따라서, 동일한 구성요소에 대해서는 동일한 명칭 및 동일한 참조 부호를 부여하기로 한다.
- [0117] 도 14를 참조하면, 본 발명의 제8 실시예에 따른 반도체 패키지는 기관(100), 제1 반도체 칩(200)들 및 제2 반도체 칩(300)들을 포함한다. 그 외에, 인터포저(10), 제1, 제2 연결 부재(400, 500), 몰드부(600), 히트 썬크(700) 및 외부접속단자(800)를 더 포함한다.
- [0118] 본 실시예에서, 인터포저(10)는 기관(100)과 제1 반도체 칩들 및 제2 반도체 칩들(200, 300) 사이에 배치되며, 제1 관통 배선(11) 및 제2 관통 배선(12)을 포함한다.
- [0119] 제1 관통 배선(11)은 적층된 제1 반도체 칩(200)들 중 최하부에 위치한 제1 반도체 칩(200)의 제1 관통 전극(220)과 기관(100)의 제1 접속 패드(110)를 전기적으로 연결하고, 제2 관통 배선(12)은 적층된 제2 반도체 칩(300)들 중 최하부에 위치한 제2 반도체 칩(300)의 제2 본딩 패드(320)와 기관(100)의 제2 접속 패드(120)를 전기적으로 연결한다.
- [0120] 제1 연결 부재(400)는 최하부 제1 반도체 칩(200)의 제1 관통 전극(220)과 인터포저(10)의 제1 관통 배선(11) 사이 및 인터포저(10)의 제1 관통 배선(11)과 기관(100)의 제1 접속 패드(110) 사이에 형성되어, 이들을 전기적으로 연결한다. 제2 연결 부재(500)는 최하부 제2 반도체 칩(300)의 제2 본딩패드(320)와 인터포저(10)의 제2 관통 배선(12) 사이 및 인터포저(10)의 제2 관통 배선(12)과 기관(100)의 제2 접속 패드(120) 사이에 형성되어, 이들을 전기적으로 연결한다. 제1, 제2 연결 부재(400, 500)는 범프 또는 솔더볼을 포함할 수 있다.
- [0121] 상술한 반도체 패키지는 다양한 패키지 모듈에 적용될 수 있다.
- [0122] 도 15는 본 발명의 실시예에 따른 반도체 패키지를 구비한 전자 장치를 도시한 사시도이다.
- [0123] 도 15를 참조하면, 본 발명의 실시예에 따른 반도체 패키지는 휴대폰과 같은 전자 장치(1000)에 응용될 수 있다. 본 실시예의 반도체 패키지는 사이즈 축소 및 전기적 특성 측면에서 우수하므로, 다양한 기능을 동시에 구현하는 전자 장치(1000)의 경박 단소화에 유리하다. 전자 장치는 도 15에 도시된 휴대폰에 한정되는 것이 아니며,

가령 모바일 전자 기기, 랩톱(laptop) 컴퓨터, 휴대용 컴퓨터, 포터블 멀티미디어 플레이어(PMP), 엠펙쓰리(MP3) 플레이어, 캠코더, 웹 태블릿(web tablet), 무선 전화기, 네비게이션, 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant) 등 다양한 전자 기기를 포함할 수 있다.

[0124] 도 16은 본 발명에 따른 반도체 패키지를 포함하는 전자 장치의 예를 보여주는 블럭도이다.

[0125] 도 16을 참조하면, 전자 시스템(1300)은 제어기(1310), 입출력 장치(1320) 및 기억 장치(1330)를 포함할 수 있다. 상기 제어기(1310), 입출력 장치(1320) 및 기억 장치(1330)는 버스(1350, bus)를 통하여 결합될 수 있다. 상기 버스(1350)는 데이터들이 이동하는 통로라 할 수 있다. 예컨대, 상기 제어기(1310)는 적어도 하나의 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 그리고 이들과 동일한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 어느 하나를 포함할 수 있다. 상기 제어기(1310) 및 기억 장치(1330)는 본 발명에 따른 반도체 패키지를 포함할 수 있다. 상기 입출력 장치(1320)는 키패드, 키보드 및 표시 장치(display device) 등에서 선택된 적어도 하나를 포함할 수 있다. 상기 기억 장치(1330)는 데이터를 저장하는 장치이다. 상기 기억 장치(1330)는 데이터 및/또는 상기 제어기(1310)에 의해 실행되는 명령어 등을 저장할 수 있다. 상기 기억 장치(1330)는 휘발성 기억 소자 및/또는 비휘발성 기억 소자를 포함할 수 있다. 또는, 상기 기억 장치(1330)는 플래시 메모리로 형성될 수 있다. 예를 들면, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템에 본 발명의 기술이 적용된 플래시 메모리가 장착될 수 있다. 이러한 플래시 메모리는 반도체 디스크 장치(SSD)로 구성될 수 있다. 이 경우 전자 시스템(1300)은 대용량의 데이터를 상기 플래시 메모리 시스템에 안정적으로 저장할 수 있다. 상기 전자 시스템(1300)은 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하기 위한 인터페이스(1340)를 더 포함할 수 있다. 상기 인터페이스(1340)는 유무선 형태일 수 있다. 예컨대, 상기 인터페이스(1340)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 그리고, 도시되지 않았지만, 상기 전자 시스템(1300)에는 응용2칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor:CIS), 그리고 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

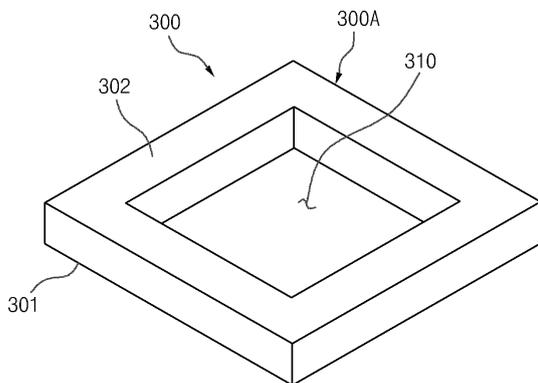
[0126] 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술 될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**부호의 설명**

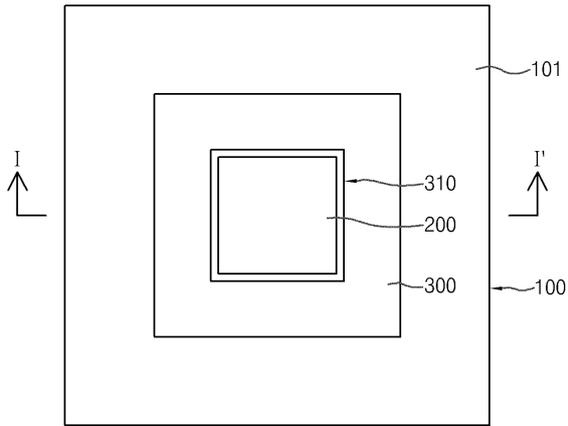
- [0127] 100 : 기판
- 200 : 제1 반도체 칩
- 300 : 제2 반도체 칩

**도면**

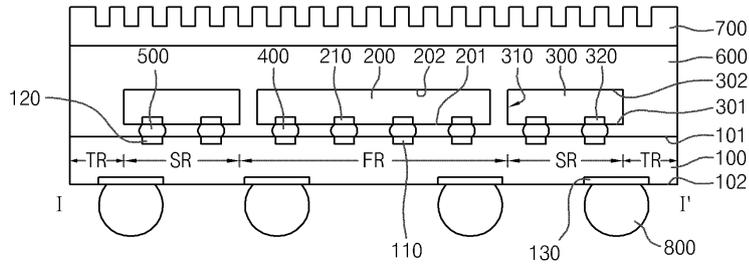
**도면1**



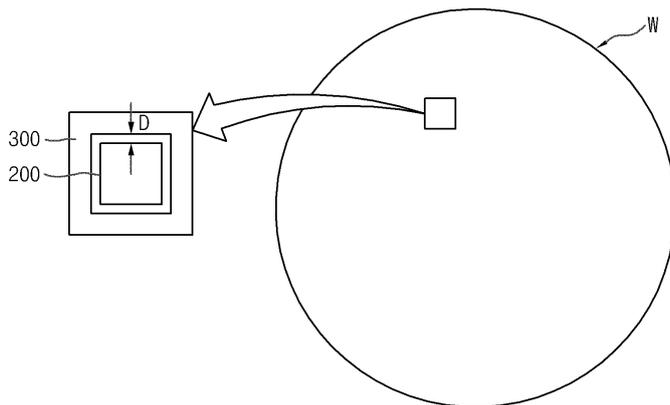
도면2



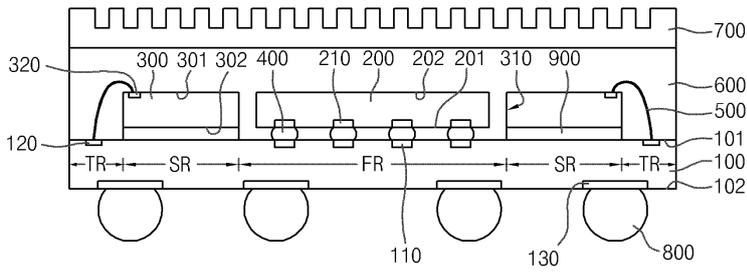
도면3



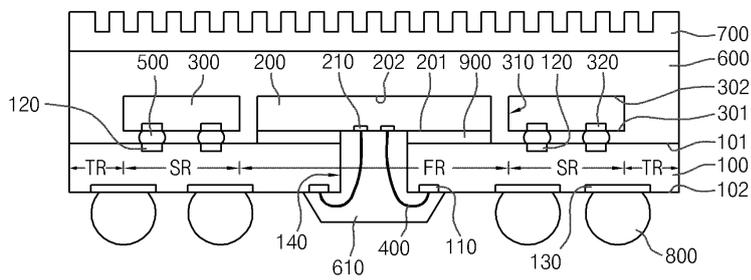
도면4



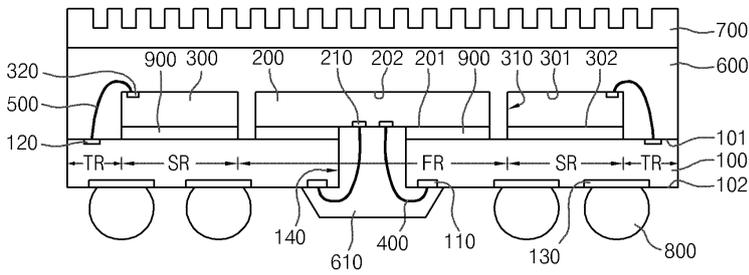
도면5



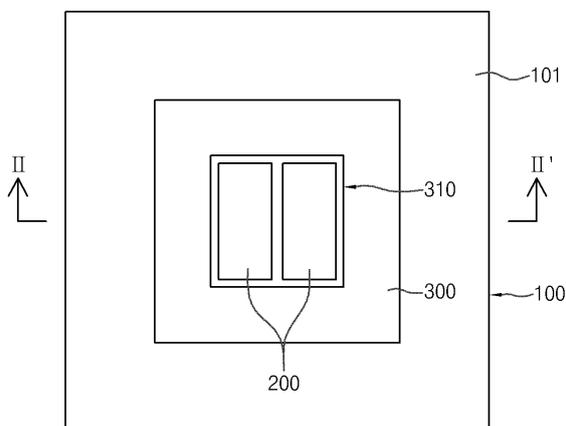
도면6



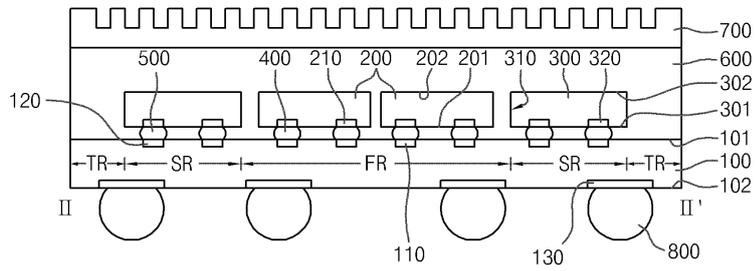
도면7



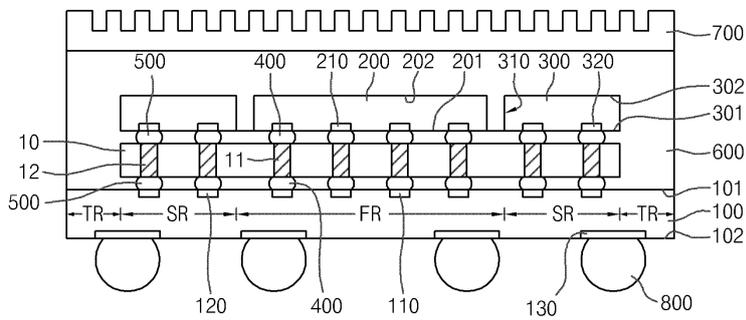
도면8



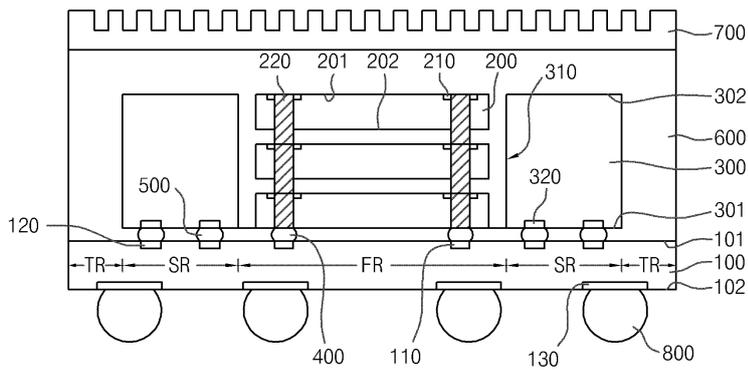
도면9



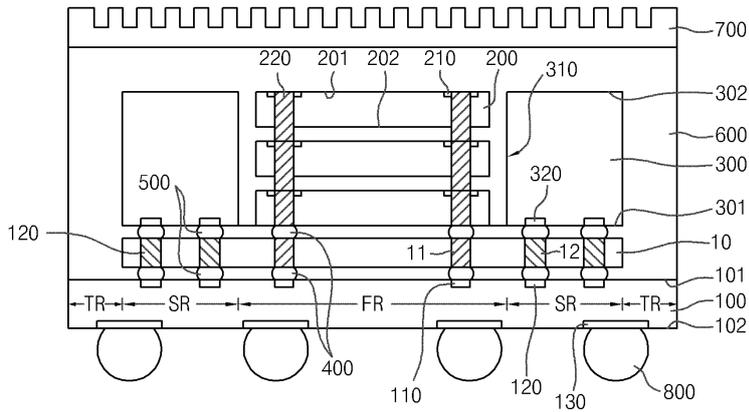
도면10



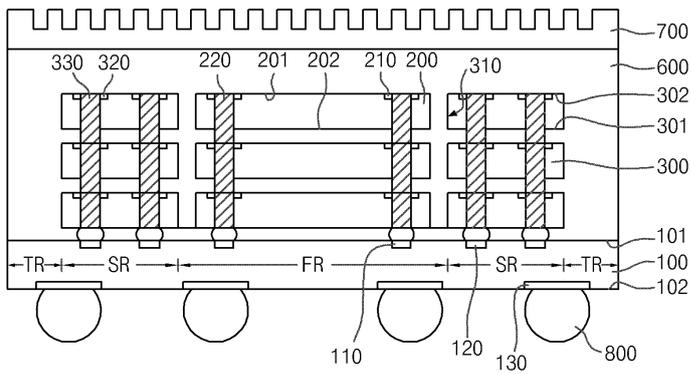
도면11



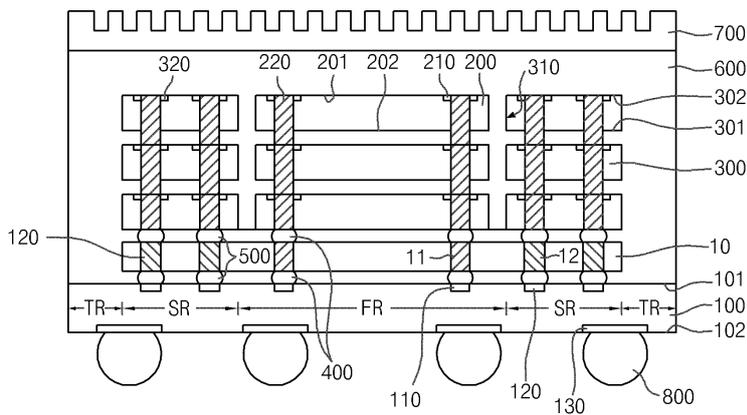
도면12



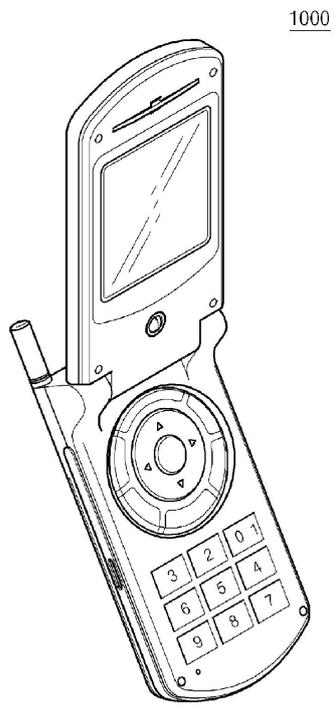
도면13



도면14



도면15



도면16

