



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월20일
(11) 등록번호 10-0804567
(24) 등록일자 2008년02월12일

(51) Int. Cl.

G01R 31/28 (2006.01) G01R 31/3183 (2006.01)

(21) 출원번호 10-2006-0018092

(22) 출원일자 2006년02월24일

심사청구일자 2006년02월24일

(65) 공개번호 10-2007-0023493

(43) 공개일자 2007년02월28일

(30) 우선권주장

JP-P-2005-00243199 2005년08월24일 일본(JP)

(56) 선행기술조사문헌

KR10-2005-0075452 A

US2005/0253627 A1

US2005/0275447 A1

전체 청구항 수 : 총 9 항

(73) 특허권자

후지쯔 가부시끼가이샤

일본국 가나가와켄 가와사키시 나카하라꾸 가미고
다나카 4초메 1-1

(72) 발명자

미야타 신지

일본 아이치켄 가스가이시 고조지쵸 2-1844-2 후
지쯔브이엘에스아이 가부시끼가이샤 나이

(74) 대리인

김태홍, 송승필

심사관 : 오응기

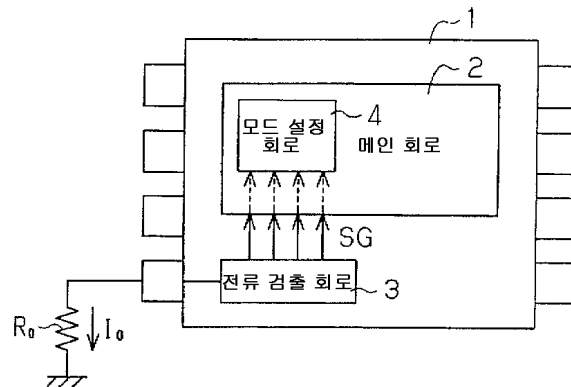
(54) 반도체 장치

(57) 요약

본 발명은 1개의 외부 단자로부터 다수의 동작 모드를 설정 가능하게 하면서 전원 전압에 상관없이 안정된 동작 모드 설정 동작을 확보할 수 있는 반도체 장치를 제공하는 것을 목적으로 한다.

본 발명의 반도체 장치는 칩(1)의 외부 단자에 접속되는 외부 저항(R_o)과, 외부 저항(R_o)에 흐르는 전류에 기초하여 설정 신호(SG)를 생성하는 전류 검출 회로(3)와, 설정 신호(SG)에 기초하여 내부 회로(2)의 동작 모드를 설정하는 모드 설정 회로(4)를 구비하는 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

칩의 외부 단자에 접속되는 외부 저항과,
 상기 외부 저항에 흐르는 전류에 기초하여 설정 신호를 생성하는 전류 검출 회로와,
 상기 설정 신호에 기초하여 내부 회로의 동작 모드를 설정하는 모드 설정 회로를 구비하고,
 상기 전류 검출 회로는,
 복수의 내부 저항과,
 상기 외부 저항과 상기 내부 저항 각각에 동일 전류를 흘리도록 각각의 게이트가 상호 접속된 복수의 트랜지스터로 이루어지는 전류 생성 회로와,
 상기 내부 저항 각각에서 생성되는 전압과 기준 전압을 비교하고, 그 비교 결과를 상기 설정신호로서 출력하는 복수의 비교기를 구비한 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 복수의 내부 저항을 상기 전류 생성 회로에 대하여 병렬로 접속한 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서, 상기 복수의 내부 저항을 상기 전류 생성 회로에 대하여 직렬로 접속한 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서, 상기 전류 생성 회로 및 비교기에는 파워 다운 동작을 나타내는 신호에 응답하여 소비 전류를 차단하는 소비 전류 저감 수단과, 상기 비교기의 출력 신호를 래치하는 래치 회로를 구비한 것을 특징으로 하는 반도체 장치.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 내부 회로를 PLL 회로로 구성하고, 상기 모드 설정 회로는 상기 PLL 회로를 구성하는 분주기로 한 것을 특징으로 하는 반도체 장치.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 내부 회로를 PLL 회로로 구성하고, 상기 모드 설정 회로는 상기 PLL 회로를 구성하는 위상 비교기로 한 것을 특징으로 하는 반도체 장치.

청구항 7

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 내부 회로를 PLL 회로로 구성하고, 상기 모드 설정 회로는 상기 PLL 회로를 구성하는 차지 펌프로 한 것을 특징으로 하는 반도체 장치.

청구항 8

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 내부 회로를 PLL 회로로 구성하고, 상기 모드 설정 회로는 상기 PLL 회로를 구성하는 루프 필터로 한 것을 특징으로 하는 반도체 장치.

청구항 9

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 내부 회로를 PLL 회로로 구성하고, 상기 모드 설정 회로는 상기 PLL 회로를 구성하는 전압 제어 발진기로 한 것을 특징으로 하는 반도체 장치.

청구항 10

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <24> 본 발명은 외부로부터 복수의 동작 모드를 선택하여 설정 가능하게 한 반도체 장치에 관한 것이다.
- <25> 복수의 동작 모드를 선택 가능하게 한 내부 회로를 탑재한 칩에서는 외부로부터 각 동작 모드에 대응하는 설정 신호를 공급해야 한다. 이러한 설정 신호를 각각 외부 단자로부터 공급하고자 하면, 단자 수가 한정되어 있는 경우에는 복수의 동작 모드에 대응하는 설정 신호를 공급하는 일이 곤란해진다. 그래서 복수의 동작 모드에 대응하는 설정 신호를 1개의 단자로부터 내부 회로에 공급하는 것이 필요해지고 있다.
- <26> 동작 모드를 설정하기 위한 설정 신호를 외부로부터 칩 내에 입력하기 위한 한 방법으로서, 모드 설정용 외부 단자로부터 설정 신호로서 소정의 전압 레벨의 신호를 입력하는 것이 행해진다.
- <27> 이러한 입력 방법에서는 설정 신호의 전압 레벨이 H 레벨과 L 레벨의 2종류이면, 1개의 외부 단자로 2종류의 동작 모드가 설정 가능해진다. 그런데 더욱 다수의 동작 모드를 설정해야 하는 경우에는 설정 신호를 입력하기 위한 외부 단자 수를 증대시켜야 한다.
- <28> 또한, 단자 수를 증대시키는 일 없이 많은 종류의 동작 모드 설정 신호를 입력하기 위해서는 외부 단자에 다종류의 전압 레벨의 설정 신호를 입력 가능하게 하고 내부 회로에 전압 검출 회로를 탑재해야 한다.
- <29> 특허문헌 1에는 패드에 흐르는 전류를 검출함으로써 동작 모드를 검출하는 동작 모드 검출 장치에 있어서 공통의 패드로 복수의 동작 모드를 검출 가능하게 하는 구성이 개시되어 있다.
- <30> 특허문헌 2에는 출력 단자에 외부 회로를 접속함으로써 내부 회로를 전압 강하시키고 그 전압 변화에 기초하여 내부 회로의 기능을 전환하는 구성이 개시되어 있다.
- <31> [특허문헌 1] 일본 특허 공개 평성 제7-263505호 공보
- <32> [특허문헌 2] 일본 특허 공개 평성 제5-190771호 공보

발명이 이루고자 하는 기술적 과제

- <33> 다수의 동작 모드를 설정하는 설정 신호를 각각 독립한 외부 단자로부터 입력하면, 칩의 단자 수의 증대를 초래하고 단자 수가 한정되어 있는 경우에는 설정 신호를 입력하기 위한 단자를 확보하는 것이 곤란해진다.
- <34> 1개의 외부 단자로 복수의 동작 모드를 설정하기 위해서, 많은 종류의 전압 레벨의 설정 신호를 입력하는 구성에서는 설정 전압을 저항 분압에 의해 생성하면 많은 종류의 설정 전압의 설정이 용이하다.
- <35> 그러나, 저항 분할에 의한 설정 전압의 생성은 전원 전압의 변동에 의한 영향을 받기 쉽다. 따라서 동작 모드를 정확히 설정할 수 없는 경우가 있다.
- <36> 본 발명의 목적은 1개의 외부 단자로부터 다수의 동작 모드를 설정 가능하게 하면서, 전원 전압에 상관없이 안정된 동작 모드 설정 동작을 확보할 수 있는 반도체 장치를 제공하는 것에 있다.

발명의 구성 및 작용

- <37> 상기 목적은 칩의 외부 단자에 접속되는 외부 저항과, 상기 외부 저항에 흐르는 전류에 기초하여 설정 신호를 생성하는 전류 검출 회로와, 상기 설정 신호에 기초하여 내부 회로의 동작 모드를 설정하는 모드 설정 회로를 구비한 반도체 장치에 의해 달성된다.
- <38> (제1 실시 형태)
- <39> 도 1은 다수의 동작 모드를 설정 가능하게 한 칩을 나타낸다. 칩(1) 상에는 메인 회로(2)와 전류 검출 회로(3)가 탑재된다. 메인 회로(2)에는 전류 검출 회로(3)로부터 출력되는 설정 신호군(SG)에 기초하여 메인 회로(2)에

복수의 동작 모드를 설정 가능하게 하는 모드 설정 회로(4)가 탑재되어 있다.

- <40> 상기 전류 검출 회로(3)에는 칩(1)의 1개의 외부 단자를 통해 외부 저항(R_o)이 접속된다. 그리고, 외부 저항(R_o)의 저항값을 조정함으로써 상기 설정 신호군(SG)을 변경할 수 있게 되어 있다.
- <41> 상기 전류 검출 회로(3)의 구체적 구성을 도 2에 나타낸다. 증폭기(5)의 반전 입력 단자에는 기준 전압(V_{ref})이 입력되고, 출력 단자는 P 채널 MOS 트랜지스터($Tr1$ 내지 $Tr4$)의 게이트에 접속된다. 상기 트랜지스터($Tr1$ 내지 $Tr4$)의 소스에는 전원(V_{cc})이 공급된다.
- <42> 상기 트랜지스터($Tr4$)의 드레인은 상기 외부 저항(R_o)을 통해 그라운드(GND)에 접속되는 동시에 상기 증폭기(5)의 비반전 입력 단자에 접속된다. 상기 트랜지스터($Tr1$)의 드레인은 저항($R1$)을 통해 그라운드(GND)에 접속된다.
- <43> 상기 트랜지스터($Tr2$)의 드레인은 저항($R2$)을 통해 그라운드(GND)에 접속되고, 상기 트랜지스터($Tr3$)의 드레인은 저항($R3$)을 통해 그라운드(GND)에 접속된다. 상기 저항($R1$ 내지 $R3$)은 칩 내에 형성되고 그 저항값은 $R1 < R2 < R3$ 이 되도록 설정되어 있다.
- <44> 상기 트랜지스터($Tr1$)의 드레인은 비교기(6a)의 플러스측 입력 단자에 접속되고 그 비교기(6a)의 마이너스측 입력 단자에는 기준 전압(V_{ref})이 입력된다.
- <45> 상기 트랜지스터($Tr2$)의 드레인은 비교기(6b)의 플러스측 입력 단자에 접속되고 그 비교기(6b)의 마이너스측 입력 단자에는 기준 전압(V_{ref})이 입력된다.
- <46> 상기 트랜지스터($Tr3$)의 드레인은 비교기(6c)의 플러스측 입력 단자에 접속되고 그 비교기(6c)의 마이너스측 입력 단자에는 기준 전압(V_{ref})이 입력된다.
- <47> 다음에, 상기한 바와 같이 구성된 전류 검출 회로(3)의 동작을 설명한다.
- <48> 증폭기(5)는 트랜지스터($Tr4$)의 드레인 전압이 기준 전압(V_{ref})이 되는 것과 같은 전압을 각 트랜지스터($Tr1$ 내지 $Tr4$)의 게이트에 출력한다. 따라서 외부 저항(R_o)에 흐르는 전류(I_o)는 V_{ref}/R_o 로 구해진다.
- <49> 또한, 각 트랜지스터($Tr1$ 내지 $Tr4$)에는 동일한 게이트 전압이 공급되기 때문에 각 저항($R1$ 내지 $R3$)에도 동일한 전류(I_o)가 흐른다. 따라서 각 트랜지스터($Tr1$ 내지 $Tr3$)는 각 저항($R1$ 내지 $R3$)에 동일한 전류(I_o)를 공급하는 전류 생성 회로로서 동작한다.
- <50> 그러면 트랜지스터($Tr1$)의 드레인 전압($V1$)은 $(R1/R_o) \times V_{ref}$ 가 되고, 트랜지스터($Tr2$)의 드레인 전압($V2$)은 $(R2/R_o) \times V_{ref}$ 가 되며, 트랜지스터($Tr3$)의 드레인 전압($V3$)은 $(R3/R_o) \times V_{ref}$ 가 된다.
- <51> 그래서, 외부 저항(R_o)의 저항값의 설정에 의해 각 비교기(6a 내지 6c)의 출력 신호(OUT1 내지 OUT3)는 도 3에 나타내는 값이 된다.
- <52> 즉, 외부 저항(R_o)의 저항값을 저항($R3$)보다 크게 설정하면, 비교기(6a 내지 6b)의 출력 신호(OUT1 내지 OUT3)는 모두 L 레벨이 된다.
- <53> 또한, 외부 저항(R_o)의 저항값을 $R2 < R_o < R3$ 이 되도록 설정하면, 출력 신호(OUT1)는 H 레벨, 출력 신호(OUT2, OUT3)는 L 레벨이 된다.
- <54> 또한, 외부 저항(R_o)의 저항값을 $R1 < R_o < R2$ 가 되도록 설정하면, 출력 신호(OUT1, OUT2)는 H 레벨, 출력 신호(OUT3)는 L 레벨이 된다.
- <55> 또한, 외부 저항(R_o)의 저항값을 저항($R1$)보다 작게 설정하면, 출력 신호(OUT1 내지 OUT3)는 모두 H 레벨이 된다.
- <56> 따라서, 외부 저항(R_o)의 저항값의 4가지의 설정에 의해 4가지의 출력 신호(OUT1 내지 OUT3)를 설정 신호군(SG)으로서 출력 가능해진다.
- <57> 도 4는 상기 칩(1)을 패키징한 경우를 나타낸다. 패키지(7) 내에는 칩(1)과 외부 저항(R_o)이 배치되고, 외부 저항(R_o)은 칩(1)의 외부 단자에 접속되는 동시에 그라운드(GND) 접속용 패키지 단자에 접속된다.
- <58> 상기한 바와 같이 구성된 칩(1)에서는 다음에 나타내는 작용 효과를 얻을 수 있다.
- <59> (1) 칩(1)의 1개의 외부 단자에 접속하는 외부 저항(R_o)의 저항값을 조정함으로써, 전류 검출 회로(3)로부터 4

가지의 설정 신호군(SG)을 모드 설정 회로(4)에 출력할 수 있다. 따라서 1개의 외부 단자에 접속하는 외부 저항(Ro)의 저항값을 조정함으로써 메인 회로(2)를 4종류의 동작 모드 중 어느 하나로 동작시킬 수 있다.

<60> (2) 외부 저항에 흐르는 전류(Io)와 동일 전류를 내부 저항(R1 내지 R3)에 흘리고, 각 내부 저항(R1 내지 R3)으로 생성되는 전압(V1 내지 V3)과 기준 전압(Vref)을 비교함으로써, 출력 신호(OUT1 내지 OUT3)를 설정 신호군(SG)으로서 출력한다. 따라서 전원(Vcc)의 전압 변동에 상관없이 외부 저항(Ro)의 저항값에만 기초하여 안정된 출력 신호(OUT1 내지 OUT3)를 출력할 수 있다.

<61> (제2 실시 형태)

<62> 도 5는 전류 검출 회로의 제2 실시 형태를 나타낸다. 이 실시 형태는 상기 제1 실시 형태의 전류 검출 회로의 트랜지스터(Tr2, Tr3)를 생략하고 트랜지스터(Tr1)의 드레인과 그라운드(GND) 사이에 저항(R1 내지 R3)을 직렬로 접속한 구성으로 한 것이다. 증폭기(5), 트랜지스터(Tr4) 및 외부 저항(Ro)은 제1 실시 형태와 동일하다.

<63> 증폭기(5) 및 트랜지스터(Tr1, Tr4)의 동작에 의해 저항(R1 내지 R3)에는 외부 저항(Ro)에 흐르는 전류(Io)와 동일 전류가 흐른다.

<64> 그러면, 비교기(6a)의 비반전 입력 단자에 입력되는 전압(V4)은 $((R1+R2+R3)/Ro) \times Vref$ 가 된다. 또한 비교기(6b)의 비반전 입력 단자에 입력되는 전압(V5)은 $((R2+R3)/Ro) \times Vref$ 가 된다. 또한 비교기(6c)의 비반전 입력 단자에 입력되는 전압(V6)은 $(R3/Ro) \times Vref$ 가 된다.

<65> 그래서, 외부 저항(Ro)의 저항값의 설정에 의해 각 비교기(6a 내지 6c)의 출력 신호(OUT1 내지 OUT3)는 도 6에 나타내는 값이 된다.

<66> 즉, 외부 저항(Ro)의 저항값을 $R1+R2+R3$ 보다 크게 설정하면, 비교기(6a 내지 6b)의 출력 신호(OUT1 내지 OUT3)는 모두 L 레벨이 된다.

<67> 또한, 외부 저항(Ro)의 저항값을 $R2+R3 < Ro < R1+R2+R3$ 이 되도록 설정하면, 출력 신호(OUT1)는 H 레벨, 출력 신호(OUT2, OUT3)는 L 레벨이 된다.

<68> 또한, 외부 저항(Ro)의 저항값을 $R3 < Ro < R2+R3$ 이 되도록 설정하면, 출력 신호(OUT1, OUT2)는 H 레벨, 출력 신호(OUT3)는 L 레벨이 된다.

<69> 또한, 외부 저항(Ro)의 저항값을 저항(R3)보다 작게 설정하면, 출력 신호(OUT1 내지 OUT3)는 모두 H 레벨이 된다.

<70> 따라서, 외부 저항(Ro)의 저항값의 4가지의 설정에 의해 4가지의 출력 신호(OUT1 내지 OUT3)를 설정 신호군(SG)으로서 출력 가능해진다.

<71> 상기한 바와 같이 구성된 전류 검출 회로를 구비한 칩에서는 상기 제1 실시 형태와 동일한 작용 효과를 얻을 수 있다. 또한, 저항(R1 내지 R3)을 직렬로 접속하여 외부 저항(Ro)에 흐르는 전류(Io)와 동일 전류를 흘림으로써 전압(V4 내지 V6)을 생성하는 구성으로 했기 때문에 트랜지스터의 수 및 저항을 삭감할 수 있다.

<72> 한편, 저항(Ro)과 저항(R3)을 비교할 때, 트랜지스터(Tr4, Tr1)의 드레인 전압(Vo, V4)이 다르기 때문에, 트랜지스터(Tr4, Tr1)의 정전류 특성에 의해 Io에 오차가 발생한다. 따라서, 트랜지스터(Tr4, Tr1)의 정전류 특성을 충분히 확보해야 한다.

<73> (제3 실시 형태)

<74> 도 7은 전류 검출 회로의 제3 실시 형태를 나타낸다. 이 실시 형태는 상기 제1 실시 형태의 전류 검출 회로에 소비 전력을 저감하기 위한 파워 다운 기능을 구비한 것이다. 파워 다운 기능 이외의 구성은 제1 실시 형태와 동일하다.

<75> 트랜지스터(Tr1 내지 Tr4)의 드레인과 저항(R1 내지 R3, Ro) 사이에는 P 채널 MOS 트랜지스터(Tr5 내지 Tr8)가 소비 전류 저감 수단으로서 개재되고, 각 트랜지스터(Tr5 내지 Tr8)의 게이트에는 파워 다운 신호(PD)가 입력된다.

<76> 파워 다운 신호(PD)는 전원 투입시 등의 동작 모드 설정 동작시에 한하여 L 레벨이 되는 신호이다. 따라서 각 트랜지스터(Tr5 내지 Tr8)는 동작 모드 설정 동작시에 온되고 통상시에는 오프되는 스위치로서 동작한다.

<77> 상기 파워 다운 신호(PD)는 증폭기(5) 및 비교기(6a 내지 6c)에도 입력된다. 그리고, 동작 모드 설정 동작시에

파워 다운 신호(PD)가 L 레벨이 되면 증폭기(5) 및 비교기(6a 내지 6c)가 활성화되고, 통상시에 파워 다운 신호(PD)가 H 레벨이 되면 증폭기(5) 및 비교기(6a 내지 6c)가 불활성화된다.

<78> 또한, 비교기(6a 내지 6c)의 출력 단자에는 래치 회로(8a 내지 8c)가 접속되어 있다. 래치 회로(8a 내지 8c)는 비교기(6a 내지 6c)의 출력 신호(OUT1 내지 OUT3)를 래치하여 출력한다.

<79> 상기한 바와 같이 구성된 전류 검출 회로에서는 전원 투입시 등에 파워 다운 신호(PD)가 L 레벨이 되면 증폭기(5) 및 비교기(6a 내지 6c)가 활성화되고 트랜지스터(Tr5 내지 Tr8)가 온되기 때문에 제1 실시 형태와 동일하게 동작한다.

<80> 파워 다운 신호(PD)가 H 레벨이 되면, 증폭기(5) 및 비교기(6a 내지 6c)가 불활성화되고 트랜지스터(Tr5 내지 Tr8)가 오프된다. 그러면 저항(R1 내지 R3, Ro)에 흐르는 전류가 차단되고 증폭기(5) 및 비교기(6a 내지 6c)에서도 전류를 소비하지 않는다. 또한, 출력 신호(OUT1 내지 OUT3)는 래치 회로(8a 내지 8c)로부터 계속해서 출력된다.

<81> 따라서, 이 실시 형태에서는 전원 투입시 이외의 통상시에는 전류의 소비를 억제할 수 있기 때문에 상기 제1 실시 형태에 비하여 소비 전력을 저감할 수 있다.

<82> (제4 실시 형태)

<83> 도 8은 상기 제1 내지 제3 실시 형태의 메인 회로(2)의 구체예로서의 PLL 회로를 나타낸다. 분주기(9)에는 수정 발진기로부터 출력되는 기준 클럭 신호(CK)가 입력되고, 분주기(9)는 그 기준 클럭 신호(CK)를 1/N로 분주하여 위상 비교기(10)에 출력한다.

<84> 위상 비교기(10)에는 분주기(11)의 출력 신호가 입력된다. 그리고, 위상 비교기(10)는 분주기(9, 11)의 출력 신호의 위상을 비교하여 위상차 신호를 차지 펌프(12)에 출력한다.

<85> 차지 펌프(12)는 위상 비교기(10)로부터 출력되는 위상차 신호를 전압으로 변환하여 VCO(전압 제어 발진기)(13)에 출력한다. VCO(13)는 차지 펌프(12)로부터 출력되는 전압에 따른 주파수의 출력 신호(f out)를 출력한다. 또, VCO(13)의 입력 단자와 그라운드(GND) 사이에 루프 필터(14)가 배치되어 차지 펌프(12)의 출력 신호로부터 고주파 성분을 제거하도록 되어 있다.

<86> 또한, VCO(13)의 출력 신호(f out)는 상기 분주기(11)에 출력되고, 분주기(11)는 VCO(13)의 출력 신호(f out)를 1/M로 분주하여 상기 위상 비교기(10)에 출력한다.

<87> 이와 같이 구성된 PLL 회로는 분주기(11)의 출력 신호의 주파수가 분주기(9)의 출력 신호의 주파수보다 높은 경우에는 위상 비교기(1)의 위상차 신호에 기초하여 차지 펌프(12)의 출력 전압이 저하되고 VCO(13)의 출력 신호(f out)의 주파수가 저하된다.

<88> 또한, 분주기(11)의 출력 신호의 주파수가 분주기(9)의 출력 신호의 주파수보다 낮은 경우에는 위상 비교기(1)의 위상차 신호에 기초하여 차지 펌프(12)의 출력 전압이 상승하고 VCO(13)의 출력 신호(f out)의 주파수가 상승한다.

<89> 이러한 동작에 의해 출력 신호(f out)의 주파수는 분주기(9, 11)의 출력 신호 주파수가 일치하는 주파수에 수속한다.

<90> 이러한 PLL 회로에서 설정 신호군(SG)을 분주기(9)에 입력하여 분주기(9)의 분주비를 설정 신호군(SG)에 의해 전환 가능하게 함으로써 VCO(13)의 출력 신호(f out)의 주파수의 전환, 즉 동작 모드를 변경할 수 있다.

<91> (제5 실시 형태)

<92> 도 9는 제5 실시 형태를 나타낸다. 이 실시 형태는 제4 실시 형태와 동일한 PLL 회로에서 분주기(11)에 설정 신호군(SG)을 입력하여 분주기(11)의 분주비를 설정 신호군(SG)에 의해 전환 가능하게 한 것이다.

<93> 이러한 구성에 의해 분주기(11)의 분주비를 설정 신호군(SG)에 의해 전환하여 VCO(13)의 출력 신호(f out)의 주파수를 전환할 수 있다.

<94> (제6 실시 형태)

<95> 도 10은 제6 실시 형태를 나타낸다. 이 실시 형태는 제4 실시 형태와 동일한 PLL 회로에서 위상 비교기(10)에 설정 신호군(SG)을 입력하여 위상 비교기(10)의 감도 혹은 이득을 전환 가능하게 한 것이다.

- <96> 이러한 구성에 의해 위상 비교기(10)의 감도 혹은 이득을 전환하여 출력 신호(f out)가 소요의 주파수에 수속하기까지의 록업(lockup) 속도의 전환을 행할 수 있다.
- <97> (제7 실시 형태)
- <98> 도 11은 제7 실시 형태를 나타낸다. 이 실시 형태는 제4 실시 형태와 동일한 PLL 회로에서 차지 펌프(12)에 설정 신호군(SG)을 입력하여 차지 펌프(12)의 감도 혹은 이득을 전환 가능하게 한 것이다.
- <99> 이러한 구성에 의해 차지 펌프(12)의 감도 혹은 이득을 전환하여 출력 신호(f out)가 소요의 주파수에 수속하기까지의 록업 속도의 전환을 행할 수 있다.
- <100> (제8 실시 형태)
- <101> 도 12는 제8 실시 형태를 나타낸다. 이 실시 형태는 제4 실시 형태와 동일한 PLL 회로에서 루프 필터(14)에 설정 신호군(SG)을 입력하여 루프 필터(14)의 감쇠 특성을 전환 가능하게 한 것이다.
- <102> 이러한 구성에 의해 루프 필터(14)의 감쇠 특성을 전환하여 출력 신호(f out)가 소요의 주파수에 수속하기까지의 록업 속도의 전환을 행할 수 있다.
- <103> (제9 실시 형태)
- <104> 도 13은 제9 실시 형태를 나타낸다. 이 실시 형태는 제4 실시 형태와 동일한 PLL 회로에서 VCO(13)에 설정 신호군(SG)을 입력하여 VCO(13)의 감도 혹은 이득을 전환 가능하게 한 것이다.
- <105> 이러한 구성에 의해 VCO(13)의 감도 혹은 이득을 전환하여 출력 신호(f out)가 소요의 주파수에 수속하기까지의 록업 속도의 전환을 행할 수 있다.
- <106> (제10 실시 형태)
- <107> 도 14는 제10 실시 형태를 나타낸다. 이 실시 형태는 제4 실시 형태와 동일한 PLL 회로에서 VCO(13)를 구성하는 전류 가변 회로(16)에 설정 신호군(SG)을 입력하여 VCO(13)의 감도 혹은 이득을 전환 가능하게 한 것이다.
- <108> VCO(13)는 차지 펌프(12)의 출력 전압을 전류로 변환하는 V-I 변환 회로(15)와, V-I 변환 회로(15)로부터 출력되는 전류값을 설정 신호군(SG)에 기초하여 전환하는 전류 가변 회로(16)와, 전류 가변 회로(16)로부터 출력되는 전류값에 따른 주파수의 출력 신호(f out)를 출력하는 ICO(17)로 구성되어 있다.
- <109> 이러한 구성에 의해 VCO(13)의 감도 혹은 이득을 전환하여 출력 신호(f out)가 소요의 주파수에 수속하기까지의 록업 속도의 전환을 행할 수 있다.
- <110> 상기 실시 형태는 이하의 형태로 실시하더라도 좋다.
- <111> · 제1 실시 형태에서 외부 저항(Ro)은 패키지(7) 외에 배치하더라도 좋다.

발명의 효과

- <112> 본 발명에 의하면, 1개의 외부 단자로부터 다수의 동작 모드를 설정 가능하게 하면서, 전원 전압에 상관없이 안정된 동작 모드 설정 동작을 확보할 수 있는 반도체 장치를 제공할 수 있다.

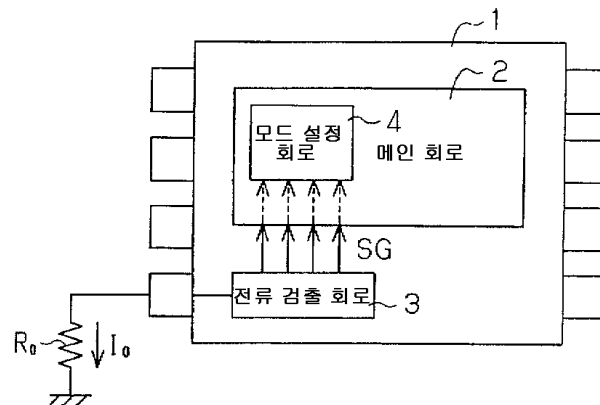
도면의 간단한 설명

- <1> 도 1은 칩을 나타내는 개요도.
- <2> 도 2는 제1 실시 형태의 전류 검출 회로를 나타내는 회로도.
- <3> 도 3은 제1 실시 형태의 전류 검출 회로의 동작을 나타내는 설명도.
- <4> 도 4는 칩 내를 나타내는 단면도.
- <5> 도 5는 제2 실시 형태의 전류 검출 회로를 나타내는 회로도.
- <6> 도 6은 제2 실시 형태의 전류 검출 회로의 동작을 나타내는 설명도.
- <7> 도 7은 제3 실시 형태의 전류 검출 회로를 나타내는 회로도.
- <8> 도 8은 제4 실시 형태를 나타내는 블록도.

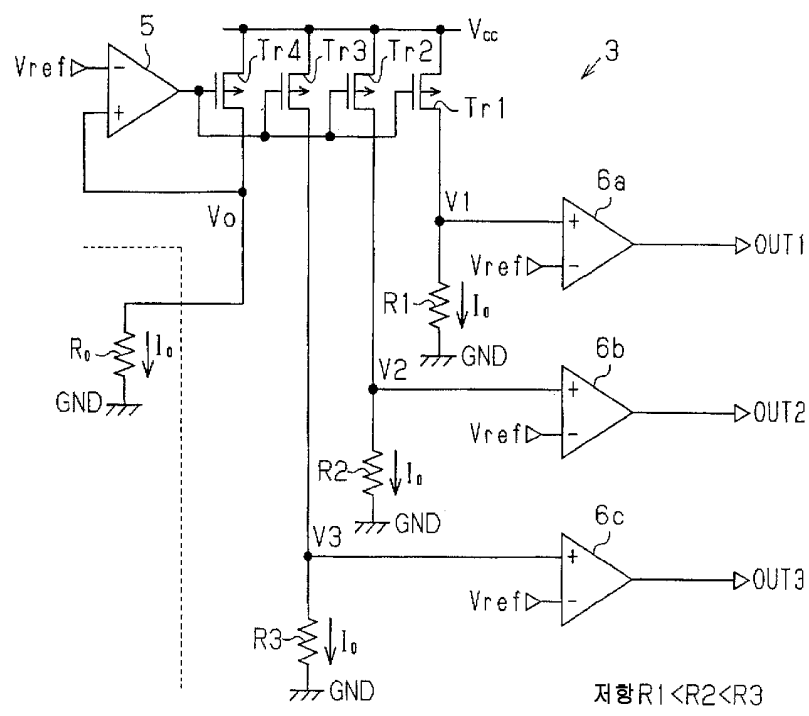
- <9> 도 9는 제5 실시 형태를 나타내는 블록도.
- <10> 도 10은 제6 실시 형태를 나타내는 블록도.
- <11> 도 11은 제7 실시 형태를 나타내는 블록도.
- <12> 도 12는 제8 실시 형태를 나타내는 블록도.
- <13> 도 13은 제9 실시 형태를 나타내는 블록도.
- <14> 도 14는 제10 실시 형태를 나타내는 블록도.
- <15> <도면의 주요 부분에 대한 부호의 설명>
- <16> 1: 칩
- <17> 2: 내부 회로(내부 회로)
- <18> 3: 전류 검출 회로
- <19> 4: 모드 설정 회로
- <20> 6a 내지 6c: 비교기
- <21> 8a 내지 8c: 래치 회로
- <22> Ro: 외부 저항
- <23> SG: 설정 신호

도면

도면1



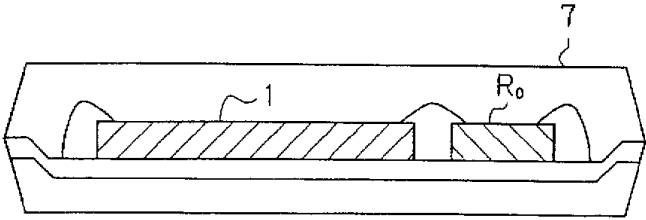
도면2



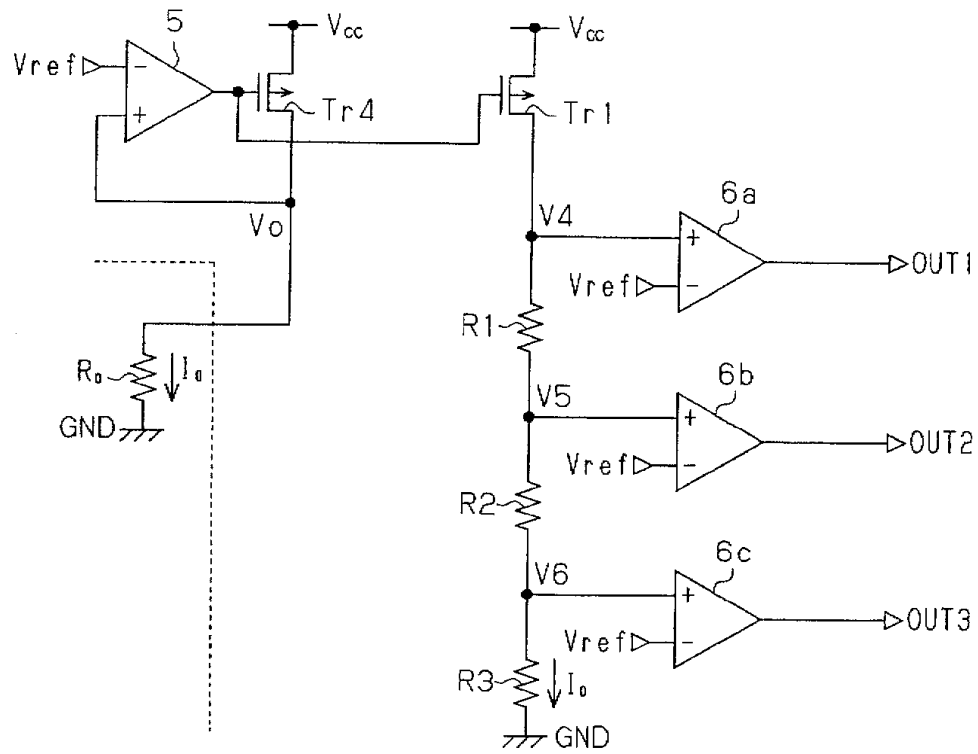
도면3

	$R3 < R_0$	$R2 < R_0 < R3$	$R1 < R_0 < R2$	$R_0 < R1$
OUT1	L	H	H	H
OUT2	L	L	H	H
OUT3	L	L	L	H

도면4



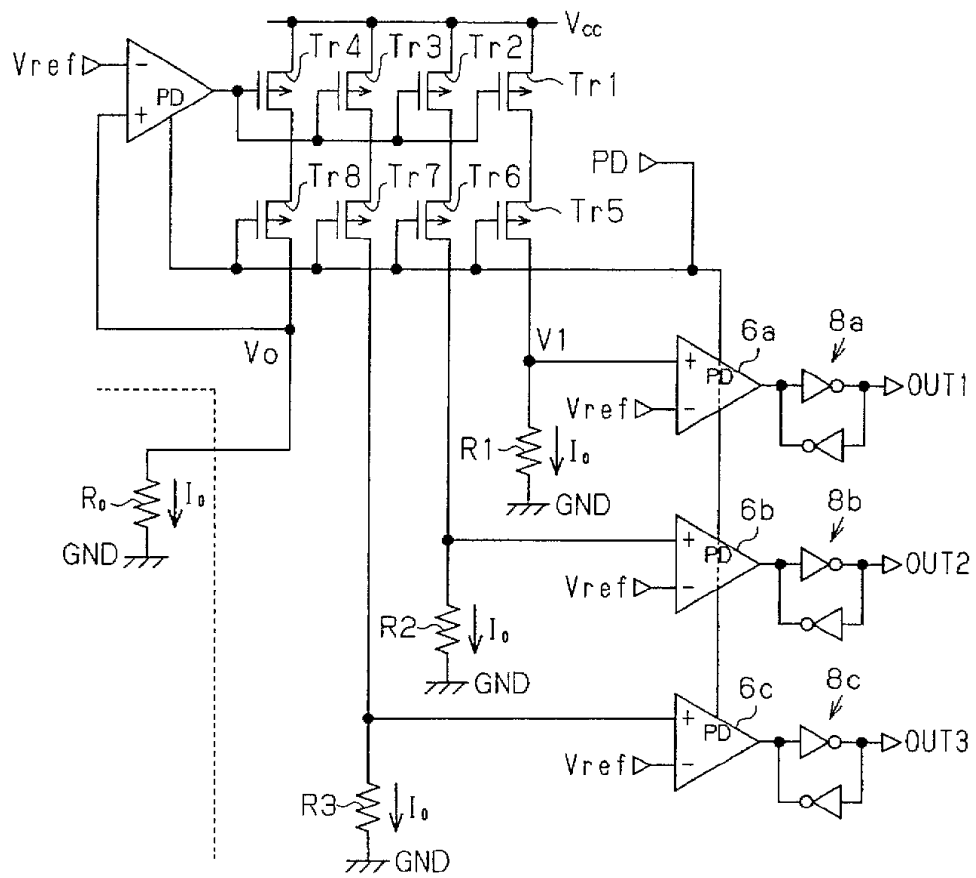
도면5



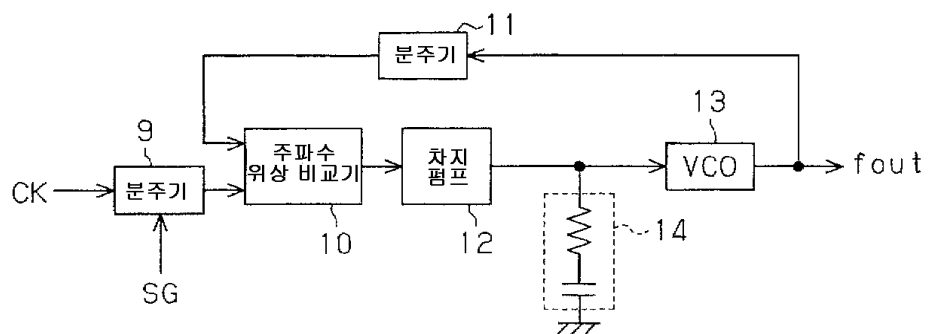
도면6

	$R1+R2+R3 < R_0$	$R2+R3 < R_0 < R1+R2+R3$	$R3 < R_0 < R2+R3$	$R_0 < R3$
OUT1	L	H	H	H
OUT2	L	L	H	H
OUT3	L	L	L	H

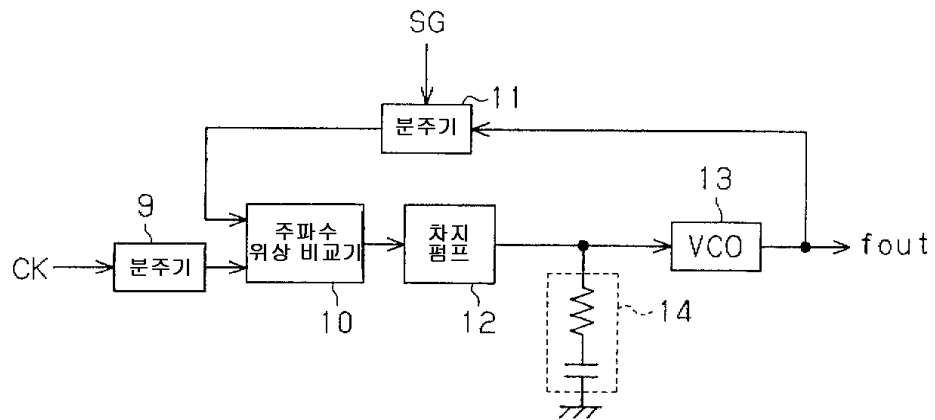
도면7



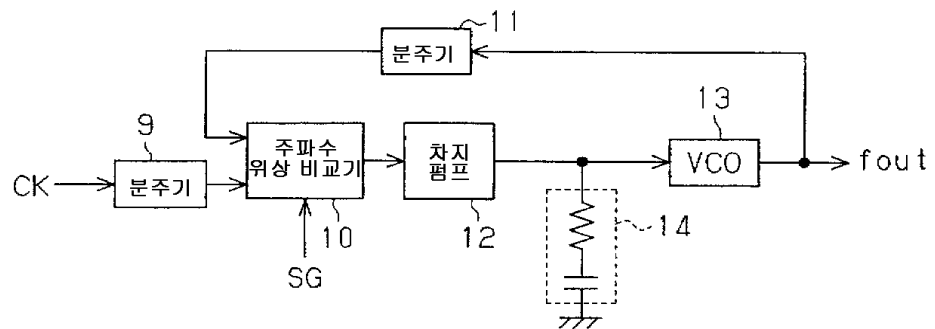
도면8



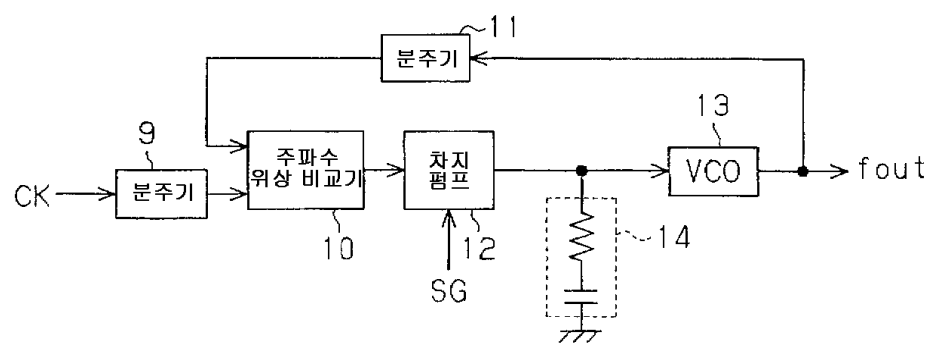
도면9



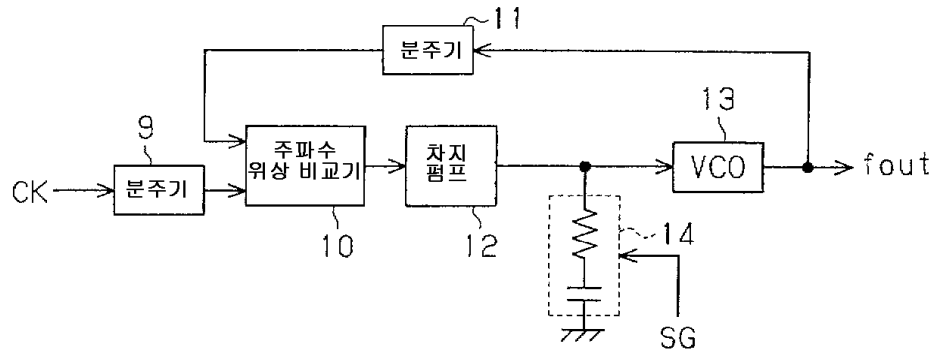
도면10



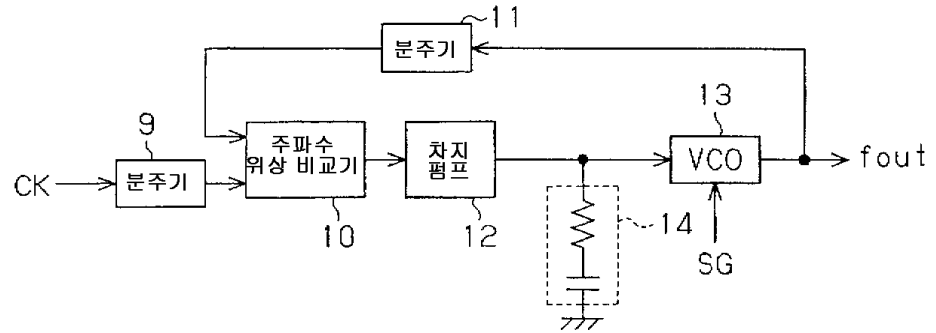
도면11



도면12



도면13



도면14

