



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년10월08일  
(11) 등록번호 10-0920288  
(24) 등록일자 2009년09월28일

(51) Int. Cl.  
*G11C 11/34* (2006.01)  
(21) 출원번호 10-2009-0040166(분할)  
(22) 출원일자 2009년05월08일  
심사청구일자 2009년06월08일  
(65) 공개번호 10-2009-0053887  
(43) 공개일자 2009년05월28일  
(62) 원출원 특허 10-2002-0064452  
원출원일자 2002년10월22일  
심사청구일자 2007년10월12일  
(30) 우선권주장 JP-P-2001-324357 2001년10월23일 일본(JP)  
(56) 선행기술조사문헌 JP10261946 A\*  
JP07254685 A\*  
JP04165670 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자 가부시끼가이샤 르네사스 테크놀로지  
일본국 도쿄도 치요다쿠 오테마치 2초메 6반 2고  
(72) 발명자 야마오카 마사나오  
일본 도쿄도 치요다쿠 마루노우찌 1쵸메 5-1 신마루노우찌빌딩 가부시끼가이샤 히타치세이사쿠쇼 지적재산권본부 내  
이시바시 고이찌로  
일본 도쿄도 치요다쿠 마루노우찌 1쵸메 5-1 신마루노우찌빌딩 가부시끼가이샤 히타치세이사쿠쇼 지적재산권본부 내  
(뒷면에 계속)  
(74) 대리인 박충범, 이중희, 장수길

전체 청구항 수 : 총 17 항

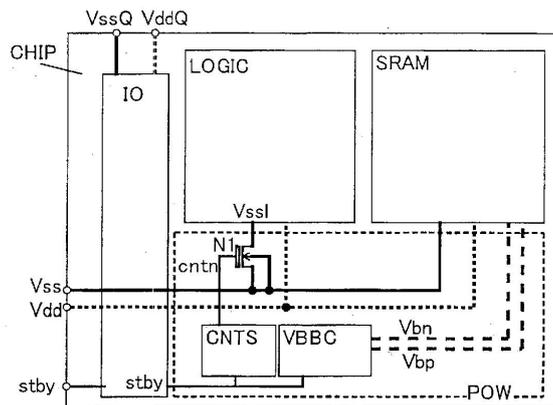
심사관 : 이보형

(54) 반도체 장치

(57) 요약

로직 회로와 SRAM 회로가 혼재된 시스템 LSI에서, 누설 전류를 저장하여, 스탠바이 상태의 소비 전력을 저감한다. 시스템 LSI 내의 로직 회로에는 전원 스위치를 설치하여, 스탠바이 시에는 그 스위치를 차단하여 누설 전류를 저감한다. 동시에 SRAM 회로에서는, 기관 바이어스를 제어하여 누설 전류를 저감한다.

대표도 - 도1



(72) 발명자

**마쯔이 시게즈미**

일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 신마루노우찌빌딩 가부시기가이샤 히타치세이사쿠쇼 지적재산권본부 내

**오사다 겐이찌**

일본 도쿄도 지요다구 마루노우찌 1쵸메 5-1 신마루노우찌빌딩 가부시기가이샤 히타치세이사쿠쇼 지적재산권본부 내

## 특허청구의 범위

### 청구항 1

복수의 제1 래치 셀을 포함하는 제1 회로;

복수의 제2 래치 셀을 포함하는 제2 회로;

로직 회로;

상기 제1회로, 상기 제2 회로 및 상기 로직 회로에 결합되는 버스;

상기 제1 회로, 상기 제2 회로 및 상기 로직 회로에 제1 전압을 공급하는 제1 전원선; 및

상기 제1 회로와 상기 제1 전원선 사이에 연결된 제1 스위치 회로

를 포함하고,

상기 제2 회로는 상기 제1 전원선에 연결되고,

상기 제1 스위치 회로에 의해 상기 복수의 제1 래치 셀로의 상기 제1 전압의 전원 공급이 차단되는 동안, 상기 복수의 제2 래치 셀이 상기 제1 전원선으로부터의 상기 제1 전압을 공급받는 반도체 장치.

### 청구항 2

제1항에 있어서,

상기 제1 래치 셀과 상기 제2 래치 셀은 제1 인버터 및 제2 인버터를 포함하고,

상기 제1 인버터의 출력은 상기 제2 인버터의 입력에 접속되고,

상기 제2 인버터의 출력은 상기 제1 인버터의 입력에 접속되는 반도체 장치.

### 청구항 3

제1항에 있어서,

상기 복수의 제2 래치 셀의 MIS 트랜지스터들의 기판 전압을 제어하는 제어 회로를 더 포함하는 반도체 장치.

### 청구항 4

제3항에 있어서,

상기 제1 스위치 회로가 오프(off) 상태에 있는 동안, 상기 제어 회로는 상기 복수의 제2 래치 셀의 MIS 트랜지스터들의 누설 전류를 저감하도록 상기 기판 전압을 제어하는 반도체 장치.

### 청구항 5

제1항에 있어서,

상기 제1 스위치 회로가 오프(off) 상태로 변경되기 이전에 상기 복수의 제1 래치 셀에 유지된 정보의 일부가 상기 버스를 통하여 상기 복수의 제2 래치 셀로 전송되는 반도체 장치.

### 청구항 6

복수의 제1 SRAM 셀을 포함하는 제1 메모리 회로;

복수의 제2 SRAM 셀을 포함하는 제2 메모리 회로;

로직 회로;

상기 제1 메모리 회로, 상기 제2 메모리 회로 및 상기 로직 회로에 결합되는 버스;

상기 제1 메모리 회로, 상기 제2 메모리 회로 및 상기 로직 회로에 제1 전압을 공급하는 제1 전원선; 및

상기 제1 메모리 회로와 상기 제1 전원선 사이에 연결된 제1 스위치 회로

를 포함하고,

상기 제2 메모리 회로는 상기 제1 전원선에 연결되고,

상기 제1 스위치 회로에 의해 상기 복수의 제1 SRAM 셀로의 상기 제1 전압의 전원 공급이 차단되는 동안, 상기 복수의 제2 SRAM 셀이 상기 제1 전원선으로부터의 상기 제1 전압을 공급받는 반도체 장치.

**청구항 7**

제6항에 있어서,

상기 복수의 제2 SRAM 셀의 MIS 트랜지스터들의 기판 전압을 제어하는 제어 회로를 더 포함하는 반도체 장치.

**청구항 8**

제7항에 있어서,

상기 제어 회로는 상기 제1 메모리 회로에 연결되지 않는 반도체 장치.

**청구항 9**

제7항에 있어서,

상기 제1 스위치 회로가 오프 상태에 있는 동안, 상기 제어 회로는 상기 복수의 제2 SRAM 셀의 MIS 트랜지스터들의 누설 전류를 저감하도록 상기 기판 전압을 제어하는 반도체 장치.

**청구항 10**

제6항에 있어서,

상기 제1 스위치 회로가 오프 상태로 변경되기 이전에 상기 복수의 제1 SRAM 셀에 유지된 정보의 일부가 상기 버스를 통하여 상기 복수의 제2 SRAM 셀로 전송되는 반도체 장치.

**청구항 11**

제6항에 있어서,

상기 복수의 제1 SRAM 셀의 MIS 트랜지스터들 각각의 임계치 전압은 상기 복수의 제2 SRAM 셀의 MIS 트랜지스터들 각각의 임계치 전압보다 작은 반도체 장치.

**청구항 12**

제11항에 있어서,

상기 복수의 제1 SRAM 셀의 MIS 트랜지스터들 각각의 게이트 절연막 두께는 상기 복수의 제2 SRAM 셀의 MIS 트랜지스터들 각각의 게이트 절연막 두께보다 작은 반도체 장치.

**청구항 13**

제6항에 있어서,

상기 복수의 제1 SRAM 셀의 MIS 트랜지스터들 각각의 게이트 절연막 두께는 상기 복수의 제2 SRAM 셀의 MIS 트랜지스터들 각각의 게이트 절연막 두께보다 작은 반도체 장치.

**청구항 14**

제6항에 있어서,

상기 제1 전원선과 상기 로직 회로 간에 결합되는 제2 스위치를 포함하고,

상기 제1 스위치 회로가 오프 상태에 있는 동안 상기 제2 스위치 회로는 오프 상태에 있는 반도체 장치.

**청구항 15**

제1항에 있어서,

상기 제1 스위치는 상기 반도체 장치의 외부로부터 입력되는 신호에 의해 차단되는 반도체 장치.

**청구항 16**

제5항에 있어서,

상기 제1회로에 포함되는 상기 복수의 제1 래치 셀의 수는 상기 제2 회로에 포함되는 상기 복수의 제2 래치 셀의 수보다 작은 반도체 장치.

**청구항 17**

제6항에 있어서,

상기 제1 메모리 회로에 포함된 메모리 셀의 수는 상기 제2 메모리 회로에 포함된 메모리 셀의 수보다 작은 반도체 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 로직 회로와 스테틱 메모리(SRAM) 회로가 혼재된 반도체 장치에 관한 것이다.

**배경기술**

<2> 특개평 7-86916호에는 로직 회로에 전원 스위치를 설치하고, 로직 회로를 구성하는 MOS 트랜지스터에 백 게이트 바이어스를 거는 구성이 개시되어 있다. 또한, 특개 2000-207884호에 있어서는 스테틱 메모리를 포함한 저전압 동작 대응의 시스템 LSI에 대한 기관 바이어스 제어 기술이 개시되어 있다. 특개 2001-93275호에서는 로직 회로에 로직 전원을, 메모리 회로에 메모리 전원을 설치한 구성이 개시되어 있다.

**발명의 내용**

**해결하고자하는 과제**

<3> 현재, SRAM 회로와 로직 회로를 동일 반도체 칩 상에 집적한 시스템 LSI(Large Scale Integrated Circuit: 대규모 집적 회로)라고 불리는 반도체 집적 회로가 광범위하게 제조되고 있다. 여기서, SRAM 회로란, 어레이 형상으로 배열한 SRAM의 메모리 셀 및 그 메모리 셀에 액세스하기 위한 주변 회로를 포함한, 그 회로만으로 메모리로서 기능하는 회로를 가리킨다. 또한, 로직 회로란, SRAM이나 다이내믹 메모리(DRAM) 및 불휘발성 메모리 등의 어레이 형상으로 배열한 메모리 셀 및 메모리 셀에 액세스하기 위한 회로를 포함한 메모리 회로 이외의, 입력된 신호에 특정한 처리를 실시하여 출력하는 회로를 가리킨다. 따라서, 로직 회로 중에 플립플롭 등의 데이터를 유지하는 회로가 있어도 이것은 로직 회로의 일부라고 생각한다.

<4> 시스템 LSI의 저소비 전력에 대한 요구 및 LSI 내의 트랜지스터가 미세화되어 있기 때문에, LSI의 전원 전압이 저하하고 있다. 예를 들면, 0.13 $\mu$ m 프로세스에서는, 전원 전압 1.2V에서 동작하는 LSI가 제조된다. 전원 전압이 강하하면 MOS 트랜지스터의 전류가 감소하여 회로 성능이 열화한다. 이 성능의 열화를 억제하기 위해서 MOS 트랜지스터의 임계치 전압을 낮게 한 LSI가 제조된다.

<5> MOS 트랜지스터의 임계치를 감소시키면 MOS 트랜지스터의 서브 임계 전류라고 불리는 누설 전류가 증가한다. 누설 전류는 회로의 동작 시, 비 동작 시에 상관없이 계속 흐른다. 스탠바이 상태에서는, SRAM에서는 기입/판독 동작은 행해지고 있지 않지만, 데이터는 계속 유지한다. 따라서, 시스템 LSI의 스탠바이 상태에서의 소비 전력은 회로 내의 MOS 트랜지스터의 누설 전류이고, MOS 트랜지스터의 임계치 전압을 감소시키면, 스탠바이 상태의 소비 전력이 증가한다. 여기서, 시스템 LSI에서, 로직 회로가 동작하지 않고, SRAM 회로가 데이터를 유지하고 있는 상태를 스탠바이 상태라고 부른다.

<6> 스탠바이 시에는 로직 회로는 동작하지 않기 때문에, 로직 회로에 대해서는 스위치를 이용하여 전원을 차단함으로써 누설 전류를 줄일 수 있게 되었다. 또한, SRAM의 메모리 셀은 플립플롭 구조를 이루고 있기 때문에 비교적 누설 전류가 적으며, 또한 종래의 시스템 LSI에서는 탑재되는 SRAM 회로의 용량이 크지 않거나 임계치가

높은 MOS 트랜지스터로 SRAM의 메모리 셀을 제조하고 있기 때문에, SRAM 회로에서의 누설 전류는 문제는 되지 않았다. 그러나, MOS 트랜지스터의 미세화가 진행하여, 시스템 LSI에 대용량의 SRAM이 탑재되고, SRAM의 메모리 셀을 구성하는 MOS 트랜지스터의 임계치 전압을 감소시키면, SRAM의 메모리 셀에서의 누설 전류를 무시할 수 없게 된다. 로직 회로에서는 전원을 스위치로 차단하면 스탠바이 시의 누설 전류를 줄일 수 있지만, SRAM 회로에서는 스탠바이 상태로 데이터를 유지해 둘 필요가 있기 때문에, 전원을 차단할 수 없어, 누설 전류를 저감할 수 없다. 또한, 저전압화가 진행하여 MOS 트랜지스터의 임계치 전압이 감소되면 SRAM 회로 내에서 메모리 셀에 액세스하기 위해서 부속하고 있는 회로에서의 누설 전류가 커진다.

**과제 해결수단**

- <7> 본원에서 개시되는 발명 중, 대표적인 것의 개요를 설명하면, 이하와 같다.
- <8> (1) 로직 회로와 SRAM 회로가 혼재되어 있는 LSI에서 스탠바이 시에, 로직 회로의 전원은 스위치로 차단하고, SRAM 회로는 누설 전류를 저감할 수 있도록 MOS 트랜지스터의 기관 전위를 제어한다.
- <9> (2) SRAM 회로 내의 메모리 셀에 액세스하기 위한 제어 회로의 전원을 분할하여 차단하여 소비 전력을 저감한다.
- <10> (3) SRAM 회로를 분할하여 일부의 SRAM에서 스탠바이 시에 데이터를 유지하여, 데이터를 유지하지 않는 SRAM은 전원을 차단하여, 누설 전류를 감소시킨다.

**효과**

- <11> 본 발명에 따르면, 로직 회로와 SRAM 회로가 혼재된 LSI에서 스탠바이 시의 소비 전력을 저감하는 것이 가능해진다.

**발명의 실시를 위한 구체적인 내용**

- <12> <발명의 실시 형태>
- <13> <실시예 1>
- <14> 도 1에, 본 발명을 이용한 로직 회로와 SRAM 회로를 혼재한 LSI의 전체의 구성을 개략적으로 도시한다. 도 1에 있어서, 혼재 LSI인 CHIP은, 외부로부터의 전원 전위선 VssQ과 VddQ를 동작 전위로 하는 입출력 회로 IO(IO 회로)와, 데이터에 소정의 처리를 실행하는 로직 회로 LOGIC와, 데이터를 기억하는 스테틱 메모리 회로 SRAM과, 접지 전위선 Vss와 로직 회로의 저전위측의 동작 전위 공급선 Vss1의 사이에서 스위치로 되는 nMOS 트랜지스터 N1과, 스탠바이 상태 동안 입력되는 신호 stby가 입력되어 N1의 게이트 전극에 접속되어 N1을 제어하는 신호 cntn을 출력하는 제어 회로 CNTS와, stby가 입력되면 SRAM의 기관 전위 Vbn 및 Vbp를 제어하는 기관 바이어스 제어 회로 VBBC를 포함한다. 이하, 특별히 특정하지 않는 경우에는 Vdd로부터 시작되는 기호가 부여된 전원은 높은 전위(하이 전위)를 공급하는 전원, Vss로부터 시작되는 기호가 부여된 전원은 낮은 전위(로우 전위)를 공급하는 전원으로 한다. 또한, IO 회로에 공급되는 동작 전위차(VssQ-VddQ)는 일반적으로 규격에 의해 정해지고 로직 회로나 SRAM 회로의 동작 전위차(Vss-Vdd)보다도 크다. 일례로서 VddQ에 3.3V, Vdd에 1.2V, Vss와 VssQ에 0V를 공급하는 것을 예로 들 수 있다. 제어 회로 CNTS에 이용되는 신호 stby는 IO 회로를 통해 이용된다.
- <15> 도 1의 회로의 반도체 칩 상의 레이아웃을 도 2에 도시한다. 입출력 회로 IO(IO 회로)에 둘러싸인 중에 코어 회로(로직 회로나 SRAM 회로 등)가 배치되어 있다. IO 회로는 입출력 패드에 접속되어 있다. IO 회로에는 코어 회로에서 사용되고 있는 MOS 트랜지스터보다 게이트 절연막 두께가 두꺼운 MOS 트랜지스터가 사용된다. 일반적으로 IO 회로에서는 코어 회로보다 높은 전원 전압이 인가되기 때문이다. 도 1 중 전원 제어계 POW에 포함된 전원 스위치, 기관 바이어스 제어 회로 VBBC, 전원 스위치 제어 회로 CNTS는, 통합하여 배치함으로써 집적도를 높일 수 있다. 트랜지스터 사이즈(채널 길이, 채널 폭)가 로직 회로나 SRAM 회로와 다를 때에 유리하게 된다. 또한, 기관 바이어스 제어 회로는 제어 스위치, 차지 펌프 회로 등으로 구성된다.
- <16> 도 1 중 N1은 IO 회로에 이용되는 절연막 두께가 두꺼운 nMOS 트랜지스터를 이용하고 있다. 전원 스위치 N1의 기관 전위는 소스측에 접속되어 있다. 이하, 전원과 접속된 스위치를 구성하는 MOS 트랜지스터의 기관 전위는 특히 기제가 없는 한 N 채널형 및 P 채널형 MOS 트랜지스터와도 해당 트랜지스터의 소스 전위에 접속되어 있는

것으로 한다. 두꺼운 막의 MOS 트랜지스터를 사용함으로써, 게이트의 터널 누설 전류 대책에 유효가 된다. 또한 내압이 우수하기 때문에 스위치 N1의 게이트에 인가되는 전압을 동작 전압보다도 크게 할 수 있어, nMOS를 비도통으로 한 경우의 누설 전류를 억제할 수 있다. LSI를 구성하는 트랜지스터의 막 두께가 1 종류밖에 없는 경우나, 설계 상 IO 회로에 이용되는 MOS 트랜지스터를 코어 부분에서 사용할 수 없는 경우 등에는 절연막 두께가 얇은 MOS 트랜지스터를 스위치로서 이용할 수 있다. 그 경우에는 스위치 N1로 완전하게 누설 전류를 차단할 수는 없다. 따라서, 이 누설 전류가 허용 범위 내인 경우에는 MOS 스위치를 박막의 MOS 트랜지스터만으로 제조할 수 있지만, 누설 전류가 허용치를 초과한 경우에는, 로직 회로 및 스위치 N1, 또는 스위치 N1만으로 기관 전위를 제어하여 누설 전류를 저감하는 등의 방법을 취할 필요가 있다.

<17> 또한 전원을 차단하는 스위치로서 nMOS 트랜지스터를 이용하고 있는 것은, nMOS는 pMOS와 비교하여 흐르는 전류가 커지기 때문에 동일한 전류를 흘리고자 한 경우에, 스위치의 사이즈를 적게할 수 있기 때문이다. 따라서, 면적에 여유가 있는 경우 등 스위치의 크기를 고려하지 않으면, 접지 전원 Vss를 차단하는 nMOS의 스위치를 삽입하는 대신에, 전원 Vdd를 차단하는 pMOS의 스위치를 삽입하는 것이 가능하다.

<18> 회로 각부의 액티브 상태 ACT 및 스탠바이 상태 STB의 전위의 예를 도 3에 도시한다. 여기서, 액티브 상태 ACT란 로직 회로 및 SRAM 회로가 동작하고 있는 상태를 나타낸다. 도 1 중 Vdd 및 Vss는 SRAM 회로·로직 회로를 포함하는 코어의 전원으로 Vdd의 전압은 1.2V, Vss의 전압은 0.0V이다. 액티브 상태에서는, 스탠바이 신호 stby가 로우이기 때문에, 스위치의 컨트롤 신호가 하이로 nMOS 스위치는 온으로 되어 있다. 또한 SRAM 회로의 nMOS 트랜지스터 및 pMOS 트랜지스터의 기관 전위인 Vbn 및 Vbp은 각각 0V와 1.2V로 되어 있고, SRAM 회로 중 MOS 트랜지스터에 걸리는 기관 바이어스 Vbs는 0V로 되어 있다. 따라서, SRAM 회로를 구성하는 MOS 트랜지스터의 임계치 전압은 트랜지스터의 구조(게이트 폭, 게이트 길이, 인프라량)로부터 결정되는 값과 비교하여 변화하지 않는다.

<19> 스탠바이 상태에서는 스탠바이 신호 stby가 하이로 된다. 그것에 따라서 nMOS 스위치를 제어하는 신호 cntn이 로우로 되어 nMOS 스위치가 비도통 상태가 된다. 동시에, SRAM 회로를 구성하는 nMOS 트랜지스터 및 pMOS 트랜지스터의 기관 전위인 Vbn과 Vbp가 -1.2V 및 2.4V로 된다. 이에 의해서, SRAM 회로 중 MOS 트랜지스터에 1.2V의 기관 바이어스가 인가되어, MOS 트랜지스터의 임계치 전압이 상승하여, MOS 트랜지스터의 누설 전류가 감소한다.

<20> 입력된 스탠바이 신호 stby를 이용하여 스위치를 컨트롤하는 신호 cntn을 생성하는 회로는, 예를 들면 도 4와 같은 간단한 회로로 실현할 수 있다.

<21> 또한 도 4의 회로를 이용하는 경우에는 도 3과 같이 스탠바이 상태 STB에서 항상 스탠바이 신호 stby로서 하이 가 입력될 필요가 있다. 여기서, 예를 들면, 스탠바이 상태 STB로 될 때에만 스탠바이 신호 stby가 입력되고, 스탠바이 상태 STB로부터 액티브 상태 ACT로 변화할 때에 액티브 신호 ack가 입력되는 경우가 생각된다. 그때의 스탠바이 신호 stby 및 액티브 신호 ack 및 컨트롤 신호 cntn의 전위 변화를 도 5에 도시한다. 스탠바이 신호 stby가 입력되면 컨트롤 신호 cntn이 로우로 되어 전원 스위치가 차단되어 누설 전류를 감소시키는 것이 가능해진다. 또 액티브 신호 ack가 입력되면 컨트롤 신호 cntn이 하이로 되어 전원 스위치가 도통하여 로직 회로에 전원이 공급된다.

<22> 도 5의 파형의 신호를 출력하기 위한 회로 CNTS를 도 6에 도시한다. 스탠바이 상태 STB인 것을 회로 내에 기억해 두기 위해서 플립플롭을 이용하고 있다. 이 때는, 액티브 상태 ACT로 되돌리기 위한 신호를 준비한다.

<23> 도 7은 도 1 중의 SRAM 회로 SRAM의 구성예를 나타내고 있다. SRAM 회로는, 메모리 셀 어레이 MAR와, 메모리 셀에 액세스하기 위한 주변 회로 PERI1와 PERI2, 및 PERI1 또는 PERI2의 전원선 Vss 및 Vdd를 차단하기 위한 스위치가 되는 MOS 트랜지스터 s\_sw2 및 s\_sw1 및 s\_sw2m의 게이트에 스탠바이 상태를 전달하는 신호 stby의 반전 신호를 입력시키기 위해서 인버터를 포함한다. SRAM\_CIR에 포함되는 P 채널형 MOS 트랜지스터의 기관 전위는 Vbp에 접속되고, N 채널형 MOS 트랜지스터의 기관 전위는 Vbn에 접속함으로써 기관 바이어스 전위를 제어할 수 있다. MAR은 SRAM의 메모리 셀이 어레이 상에 배열된 회로이다. 메모리 셀은 한쌍의 CMOS 인버터의 입력과 출력이 상호 접속되어 구성되는 플립플롭(제1과 제2 P 채널형 부하 MOS 트랜지스터, 제1과 제2 N 채널형 구동 MOS 트랜지스터로 구성된다)과, 상기 플립플롭의 2개의 기억 노드와 비트선(BL, /BL)과의 사이에 접속된 제1과 제2 N 채널형 전송 MOS 트랜지스터로 구성된다. N 채널형 전송 MOS 트랜지스터의 게이트 전극에는 워드선 WL이 접속된다. 메모리 셀의 동작 전위는 Vddma와 Vssma에 의해 공급된다.

<24> 주변 회로 PERI1은 워드 드라이버 WDR 및 로우 디코더 RDEC, 메모리 컨트롤러 MCNT를 포함한 메모리 셀의 워드

선 WL을 제어하기 위한 회로를 포함하고 있다. PERI1에 포함되는 회로의 동작 전위는 Vddper와 Vssper에 의해 공급된다.

- <25> 주변 회로 PERI2는 프리차지 회로 PRE, 비트선에 접속된 판독·기입 제어 회로인 리드·라이트 증폭기 RWAMP 및 컬럼 디코더 CDEC를 포함하는 메모리 셀의 비트선 BL을 제어하기 위한 회로를 포함하고 있다. 리드·라이트 증폭기 RWAMP는 감지 증폭기의 출력 버퍼인 OBUF, 라이트 증폭기의 제어 회로 WCNT를 포함하고 있다. PERI2에 포함되는 회로의 동작 전위는 Vddamp과 Vssamp에 의해 공급된다. 도면 중 /stby는, 스탠바이 시 STB에는 로우의 신호가 입력된다. 이에 따라, 스탠바이 시에는 PERI1로 입력되는 전원선 Vdd가 차단되고, 동시에 PERI2에 입력되는 전원선 Vss가 차단된다. 또한 동시에 MAR, PERI1 및 PERI2를 구성하는 MOS 트랜지스터의 기관 전위를 공급하는 Vbn 및 Vbp은 MOS 트랜지스터의 임계치 전압의 절대값을 상승시키도록 제어된다. 이와 같이, SRAM의 메모리 셀에는 기관 바이어스를 인가하고, 주변 회로에는 기관 바이어스를 건 후에 전원에 스위치를 설치하여 누설 전류를 저감함으로써, 스탠바이 시의 SRAM에서의 소비 전력을 저감할 수 있다.
- <26> 도 7 중에서, 주변 회로를 2개로 나누어서, 각각 Vss 및 Vdd를 차단하고 있는 것에는 다음에 설명하는 이유가 있다. 스탠바이 상태에서는 워드선은 로우로 되어 있는 데다가, 동작 상태에서도 선택된 워드선을 제외하면 로우로 되어 있다. 따라서, 워드선을 드라이브하는 회로는 하이의 전위인 전원 Vdd를 차단함으로써, 로우의 전위인 전원 Vss를 차단하는 것에 의해 누설 전류를 저감할 수 있고, 스탠바이 상태에서부터의 복귀에 걸리는 시간이 짧아진다. 즉, Vdd 측에 스위치를 삽입하는 경우, Vss 측에 스위치를 삽입하는 것보다도 작은 스위치로 해결된다. 반대로, SRAM에서는 비트선은 통상 Vdd로 차지되기 때문에, 증폭기 등은 Vdd로 차지된 상태가 안정적으로 되는 구성으로 되어 있는 경우가 많다. 따라서, 스탠바이 시에 비트선을 Vdd로 차지하고, 리드 증폭기 및 라이트 증폭기의 전원 Vss를 스위치로 차단하면 누설 전류를 저감할 수 있고, 스탠바이 상태에서 액티브 상태로의 복귀 시간이 짧아진다. 비트선을 Vdd로 프리차지하는 회로에서는 비트선을 구동하는 회로의 Vss를 차단하는 쪽이 누설 전류 및 복귀 시간의 점에서 유리하지만, 비트선을 Vss로 프리차지하는 회로에서는, 당연히 Vdd 측의 스위치를 차단하는 쪽이 유리하여, 그 구성을 취하는 것도 가능하다.
- <27> 도 7의 회로는, 도 1과 같은 시스템 LSI 중 SRAM을 상정하고 있지만, 시스템 LSI에 한하지 않고 메모리 LSI에 적용하는 것이 가능하다. 또한, 도 7은 SRAM 회로의 기관 바이어스를 제어하는 도면으로 되어 있지만, 주변 회로의 누설을 억제함으로써 충분히 스탠바이 상태의 소비 전력을 저감하는 것이 가능하면, 반드시 기관 바이어스를 인가할 필요는 없다. 특히, 금후 MOS 트랜지스터의 특성이 변화하여, MOS 트랜지스터의 서브 임계라고 불리는 누설 전류보다도 MOS 트랜지스터의 접합 누설이라고 불리는 누설 전류가 증가한 경우, 기관 전위를 제어하는 방식에서는, 누설 전류를 저감할 수 없을 가능성이 있다. 그 경우에는, 시스템 LSI 내의 로직 회로 및 SRAM의 주변 회로의 전원을 스위치로 차단하는 구성은 특히 중요한 기술이라고 생각된다.
- <28> 도 8에는 도 1 중 로직 회로 LOGIC의 구성예를 나타내고 있다. 로직 회로 LOGIC\_CIR은 P 채널형 MOS 트랜지스터와 N 채널형 MOS 트랜지스터로 구성되는 인버터, NAND, NOR 등의 논리 게이트가 조합되어, 다단 접속되어 있다. 로직 회로 내의 트랜지스터에는 기관 전위는 인가되어 있지 않기 때문에, P 채널형 MOS 트랜지스터의 기관 전위는 동작 전위의 고전위측 Vdd에 접속되고, N 채널형 MOS 트랜지스터의 기관 전위는 동작 전위의 저전위측 Vss1에 접속되어 있다.
- <29> 도 9에는 LSI 중의 로직 회로나 SRAM 회로(CORE)에 이용되는 MOS 트랜지스터와, LSI의 입출력 회로 IO에 이용되는 MOS 트랜지스터와, 도 1에 도시한 로직 회로의 전원을 차단하는 스위치 logic sw에 이용되는 MOS 트랜지스터와, 도 7에 도시한 SRAM의 주변 회로의 전원을 차단하는 스위치 S\_SW에 이용되는 MOS 트랜지스터의 종류의 구조를 나타낸다. P 채널형 MOS와 N 채널형 MOS 트랜지스터는 임계치 전압은 다르지만, 일반적으로 극성을 반전시켜 동일한 값으로 설계되기 때문에 도 16에 있어서는 그 절대값을 나타낸다. 일반적으로 LSI의 입출력 회로부분에는 절연막 두께가 두꺼운 트랜지스터가, 내부의 로직 회로 등에는 절연막 두께가 얇은 트랜지스터가 이용된다. 이 도면에서는 절연막 두께가 두꺼운 MOS 트랜지스터의 예로서 절연막 두께가 6.7nm인 것, 절연막 두께가 얇은 MOS 트랜지스터의 예로서 절연막 두께가 2.0nm인 것을 이용하였다. 또한, 막 두께가 얇은 MOS 트랜지스터로서, 불순물량의 차이에 따라 2 종류나 그 이상의 임계치 전압을 갖는 MOS 트랜지스터가 사용되는 경우가 많다.
- <30> 도 9에서는, 임계치 전압 Vth가 0.40V와 0.25V의 2 종류의 MOS 트랜지스터가 사용되는 경우를 예로 들었다. 임계치 전압이 낮은 MOS 트랜지스터 쪽이, 동작 시의 전류가 크지만, 대기 시의 누설 전류도 커진다. 모든 조합에 있어서, 제어 스위치를 제외한 로직 회로 LOGIC\_CIR과 SRAM 회로 SRAM\_CIR에는 게이트 절연막이 박막의 2 종류의 Vth의 MOS 트랜지스터를, IO에는 게이트 절연막이 두꺼운 막이며 Vth가 높은 MOS 트랜지스터를 이용하고

있다. LOGIC\_CIR에 있어서, 크리티컬 패스에는 저임계치, 나머지 회로에는 고임계치의 트랜지스터를 이용한다. SRAM\_CIR에 있어서, 누설 전류의 삭감 및 스테틱 노이즈 마진(SNB)의 유지를 위해 메모리 셀 어레이 MAR에는 고 임계치의 트랜지스터를 이용한다. 프리차지 회로, 감지 증폭기, 워드 드라이버, 디코더를 포함시킨 주변 회로 PERI에는 고속성이 요구되기 때문에 저임계치의 MOS 트랜지스터를 이용한다.

- <31> Pattern1의 조합에서는, 로직 회로의 전원 스위치에는 두꺼운 막이며 Vth가 높은 MOS 트랜지스터를, SRAM 회로 내의 주변 회로의 전원 스위치에는 박막이며 Vth가 높은 MOS 트랜지스터를 사용한다. 로직 회로의 전원 스위치에는 두꺼운 막의 MOS 트랜지스터를 이용하여, 규모가 큰 회로의 누설 전류를 억제한다. SRAM에서는 기관 바이어스를 제어하여 누설 전류를 억제하고 있기 때문에, 전원 스위치에 다소 누설이 큰 박막의 MOS 트랜지스터를 이용하고 있기 때문에 전체의 누설 전류가 억제된다.
- <32> 또한, SRAM 회로의 주변 회로의 회로 규모가 크지 않을 때에는, 주변 회로의 누설 전류는 크지 않다고 생각되기 때문에, Pattern1의 구성이 유효하다. 또한, SRAM 회로를 재이용하기 쉬운 형태의 모듈로서 설계하는 경우에는, SRAM 회로를 설계하는 경우에 박막의 MOS 트랜지스터만의 특성에 대하여 고려하여 설계할 수 있기 때문에, 스위치를 박막의 MOS 트랜지스터로 제조하는 쪽이 설계 효율이 좋다.
- <33> 이와 같이 Pattern1의 구성에서는, SRAM 회로 자체의 규모가 크지 않은 경우, SRAM 회로 중의 주변 회로의 규모가 크지 않은 경우, 기관 바이어스를 제어함에 따른 누설 전류의 저감을 크게 기대하는 경우, 또는 SRAM의 설계 효율을 생각한 경우에 유효한 구성이다.
- <34> Pattern2의 조합에서는 로직 회로의 전원 스위치 및 SRAM 회로 내의 주변 회로의 전원 스위치 모두 두꺼운 막이며 Vth가 높은 MOS 트랜지스터를 사용한다. 이것에 의해서, LSI 중의 SRAM 메모리 셀 이외의 회로의 누설 전류를 저감할 수 있어, Pattern1과 비교하여 스탠바이 시의 소비 전력이 작아진다. 그러나, SRAM 회로를 설계할 때에, 두꺼운 막의 MOS 트랜지스터의 특성을 고려할 필요가 있기 때문에, 설계 효율은 떨어진다. Pattern2의 조합은 SRAM 회로의 규모가 큰 경우, SRAM의 주변 회로의 규모가 큰 경우, 또는 기관 바이어스를 제어함에 따른 누설 전류의 저감 효과를 크게 기대하지 않는 경우에 유효한 조합이다.
- <35> Pattern3의 조합에서는 로직 회로의 전원 스위치 및 SRAM 회로 내의 주변 회로의 전원 스위치 모두 박막이며 Vth가 높은 MOS 트랜지스터를 사용한다. 이 경우, 박막의 MOS 트랜지스터를 이용하고 있기 때문에, Pattern2와 비교하여 누설 전류를 저감하는 효과가 떨어진다. 그러나 두꺼운 막의 MOS 트랜지스터의 특성을 고려할 필요가 없기 때문에, 설계 효율은 높아진다. Pattern3의 조합은 LSI의 누설 전류의 저감 효과가 그다지 크지 않고, 설계 효율이 필요한 경우 등에 유효하다.
- <36> 이상과 같이, 스탠바이 상태에서는 로직 회로의 전원을 스위치로 차단하고, SRAM 회로에는 기관 바이어스를 인가함으로써, 시스템 LSI의 누설 전류를 감소시켜, 스탠바이 상태의 소비 전력을 저감할 수 있다.
- <37> <실시예 2>
- <38> 본 실시예에서는 로직 회로에 이용되는 전원 스위치의 변형예를 나타낸다. 도 10에는 도 1의 회로에서 로직 회로부분의 전원 Vss에만 탑재된 전원 스위치를 전원 Vdd 및 Vss에 설치한 경우의 회로 블록도를 나타낸다. 로직 회로의 2개의 전원인 Vdd 및 Vss에 스위치를 설치하여 전원을 차단함으로써, 전원 스위치를 설치하는 것에 의한 면적의 증가는 커지지만, 보다 확실하게 스탠바이 시의 누설 전류를 차단하는 것이 가능해진다. 또한, 도 1에는 10 회로가 도시되어 있지만, 도 10에서는 생략하고 있다. 이하, 다른 도면에서도 CHIP 내의 IO 회로를 생략하여 기재한다.
- <39> 도 10의 회로를 이용한 때의, 회로 각부의 전위를 도 11에 도시한다. 이 도 11은, 도 3의 전위에 논리 부분의 Vdd를 차단하기 위한 스위치인 pMOS의 P1을 제어하는 신호 cntp가 가해진 도면으로 되어 있다. cntp는 액티브 상태 ACT에서 로우로 되고, 스탠바이 상태 STB에서 하이로 된다. 따라서, 도 7 중 제어 신호를 출력하는 회로 CNTS2의 내부 회로를 특별히 기술하지 않지만, 도 4 또는 도 6의 회로에 역 위상의 신호를 출력하는 회로가 부가된 회로를 취하는 것도 가능하다.
- <40> 도 1 및 도 10에서는 도 1 중의 로직 회로가 1개로 통합되어 있는 경우의 회로에 대하여 설명하였다. 도 12에는 로직 회로가 2개 이상의 블록으로 분할되어 있는 LSI에, 본 발명을 적용한 경우의 회로의 블록도를 도시한다. 도 12에서는 로직 회로가 2개의 블록으로 분할되어 있는 경우의 예를 나타내지만, 3개 이상의 블록으로 분할되어 있는 경우에도, 마찬가지로의 구성을 적용할 수 있다. 도 12에 도시한 메모리 혼재 LSI는, 로직 회로 LOGIC1 및 LOGIC2, LOGIC1 및 LOGIC2 각각의 접지 전위 전원선 Vss11 및 Vss12, Vss11 및 Vss12를 LSI 전체의 전원선 Vss에 접속하는 스위치 N2 및 N3, 스테틱 메모리 회로 SRAM, 스위치의 제어 회로 CNTS 및 SRAM의

기관 전위를 제어하는 회로 VBBC로 구성되어 있다. 로직 회로가 복수 있는 것을 제외하고는 도 1의 회로와 동등한 구성이고, 동작은 도 1의 회로와 동등한 동작이 된다. 로직 회로를 복수의 블록으로 분할하고, 각각에 전원을 차단하는 스위치를 설치함으로써, 각각의 블록에 최적의 스위치를 부가할 수 있다. 예를 들면, 일부의 논리 블록에는 Vss를 차단하는 nMOS의 스위치를 부가하고, 다른 블록에는 Vdd를 차단하는 pMOS의 스위치를 부가하거나, 혹은 블록에 따라서는 Vdd와 Vss의 2개의 전원을 차단하는 스위치를 설치하는 것이 가능하다.

<41> 도 13에 도시한 메모리 혼재 LSI는, 각 로직 회로의 블록의 각각에 전원 스위치가 부가되고, 그 전원 스위치가 각각 다른 신호 cntn1 및 cntn2로 제어되는 것, 및 제어 신호 cntn1 및 cntn2를 별도로 제어 가능한 제어 회로 CNTS3으로 구성한 것이 도 12와 다르다. CNTS3은 전원 스위치의 제어 신호 cntn1 및 cntn2를 제어할 수 있는 회로이며, 회로의 동작 상태에 따라서, 스위치 N2를 차단하고 스위치 N3은 도통한다는 제어가 가능하다. 이것에 의해서, 스탠바이 상태에서 동작시켜 둘 필요가 있는 로직 회로의 블록을 동작시키고, 동작을 정지시킬 수 있는 로직 회로의 블록과 SRAM 회로를 스탠바이 상태로 하여, 누설 전류를 저감하는 것이 가능해진다.

<42> 도 13에 있어서, 도 12의 경우와 마찬가지로, 3개 이상의 로직 블록이 있는 경우나, 블록마다 Vss측의 전원 또는 Vdd측의 전원 또는 그 양자를 차단한다는 조합을 만드는 것은 가능하다. 도 13의 구성에서는 블록마다의 전원의 공급을 제어하여 스탠바이 상태 즉 저누설 상태로 하는 것이 가능하기 때문에, 스탠바이 상태에 한하지 않고 액티브 상태에서도, 동작할 필요가 없는 로직 회로 및 SRAM 회로를 스탠바이 상태가 되도록 전원 스위치를 제어하여, 누설 전류를 최소한으로 억제하는 것도 가능하다.

<43> 도 14에 도 13의 실시예를 중앙 연산 처리 장치를 탑재한 시스템(마이크로 컴퓨터)에 적용한 예를 든다. 시스템 LSI는 중앙 연산 처리 장치 CPU라고 불리는 각종의 연산이 가능한 로직 회로 블록 CPU와 디지털 신호 연산 전용의 로직 회로 블록 DSP와 스테틱 메모리 블록 SRAM 회로와 그 블록을 접속하여 데이터를 교환하는 버스 BUS와 그 버스를 제어하는 회로 BSCNT 및 외부와 데이터를 교환하는 회로 IO로 구성된다. 각각의 블록은 액티브 상태에서는 버스를 통하여 데이터가 교환되기 때문에, 버스의 동작 상태를 모니터함으로써, 그 블록이 동작하고 있는지를 알 수 있다. 예를 들면, 회로 전체가 동작하지 않은 경우에는 버스를 컨트롤하는 회로 BSCNT로부터 stat1이라는 신호로 모든 블록이 스탠바이 상태에 있는 것을 스위치의 제어 회로 CNTS3으로 전달하면, CNTS3가 cntn1 및 cntn2를 로우로 하여 스위치 N2 및 N3이 차단되어 로직 회로의 누설 전류를 저감할 수 있다. 동시에, VBBC가 SRAM의 기관 전위인 Vbn 및 Vbp를 제어하여 SRAM의 누설 전류를 감소시키면 회로 전체의 누설 전류를 저감할 수 있다.

<44> 또한 예를 들면, CPU만 동작하고 있고 DSP 및 SRAM에의 버스를 통한 액세스가 없는 경우에는 BSCNT가 그 정보를 stat1을 통하여 출력하여, SRAM의 기관 전위를 스탠바이 상태로 하고, DSP의 전원 스위치 N3을 차단하여 DSP를 스탠바이 상태로 하고, CPU만을 액티브 상태로 하는 것이 가능해진다.

<45> <실시예 3>

<46> 도 15에는, 본 발명을 이용한 로직 회로와 SRAM 회로를 혼재한 LSI의 전체의 구성을 개략적으로 도시한다. 혼재 LSI인 CHIP은, 로직 회로 LOGIC과, 스테틱 메모리 회로 SRAM과, 외부로부터의 접지 전위선 Vss와 로직 회로의 접지 전위선 Vss1 사이에서 스위치가 되는 nMOS 트랜지스터 N1과, 스탠바이 상태 동안 입력되는 신호 stby가 입력되어 N1의 게이트 전극에 접속되어 N1을 제어하는 신호 cntn을 출력하는 제어 회로 CNTS와, stby가 입력되면 SRAM의 기관 전위 Vbn 및 Vbp를 제어하는 기관 바이어스 제어 회로 VBBC와, stby 신호에 의해서 SRAM의 전원선 Vddm을 제어하는 회로 CNTV1을 포함한다.

<47> 도 15의 구성은 CNTV1을 제외하면 도 1의 회로와 마찬가지로의 구성을 취하고, CNTV1 이외에는 도 1과 동등한 동작을 한다. CNTV1은 스탠바이 상태로 되어 stby 신호가 입력되면, SRAM의 전원 전압을 Vdd에서 데이터를 유지하는 것이 가능한 Vdd보다 낮은 전압으로 내린다. 이것에 의해서, 스탠바이 상태에서는, SRAM의 기관 전위가 제어되어 누설 전류가 감소하고, 전원 전압을 내리기 위해서 누설 전류를 더 저감할 수 있어, 도 1의 회로보다 더 스탠바이 시의 소비 전력을 저감할 수 있다.

<48> 도 15의 회로 각부의 액티브 시 ACT 및 스탠바이 시 STB의 전위를 도 16에 도시한다. 회로의 전원 Vdd의 전압은 1.2V인 경우의 전위를 나타낸다. stby, cntn, Vbn, Vbp는 도 1의 동작 전위인 도 3과 동일하다. SRAM의 전원 전압 Vddm은 액티브 시 ACT는 전원 전압과 동일한 1.2V이고, 스탠바이 시 STB에는 0.6V로 되어 있다. 이에 의해서, SRAM에서의 누설 전류를 저감할 수 있다.

<49> 도 15 중의 전원 제어 회로 CNTV1는, 예를 들면 도 16의 회로로 실현할 수 있다. CNTV1은 강압 회로 PDC와 전환 스위치로 구성된다. SRAM 회로가 액티브 상태 ACT일 때에는 전환 스위치에 의해서 SRAM 회로 내의 메모리

셀에 동작 전위를 공급하는 전원선 Vddm이 외부로부터 공급되는 전원 Vdd에 접속되어, SRAM 회로의 전원 전압은 Vdd와 같게 된다. 스탠바이 상태 STB에서는, 신호 stby에 의해 전환 스위치가 전환되고, 강압 회로에 의해서 발생한 Vdd보다 낮고 SRAM의 메모리 셀 내의 데이터를 유지할 수 있는 전위 이상으로 되어 있는 Vddlow와 SRAM 회로의 전원 Vddm이 접속되어, SRAM 회로의 전원 전압이 Vdd보다 낮아진다. 또한, 도 15에서는 고전위측에서 강압하였지만, 전원 제어 회로 CNTV1을 Vssm과 Vss 사이에 접속하여, CNTV1를 승압 회로로 하는 것도 가능하다. 저전위측을 승압, 또는 승압 강압의 조합에 의해 동일한 효과를 얻을 수 있다.

<50> <실시예 4>

<51> 도 18에, 도 7의 회로의 변형예를 도시한다. 도 7에서는, 메모리 셀 어레이의 전원은 Vddma 및 Vssma로 비트선을 드라이브하는 회로를 포함한 회로 RWAMP의 전원은 Vddamp 및 Vssamp로 그 이외의 회로의 전원은 Vddper 및 Vssper로, SRAM 회로 내의 전원을 3계통으로 나누어서, 비트선의 제어에 이용되는 주변 회로 PERI2와 저전위측의 전원과의 사이에 N 채널형 MOS 트랜지스터로 이루어지는 스위치를, 워드선의 제어에 이용되는 주변 회로 PERI1과 고전위측의 전원과의 사이에 P 채널형 MOS 트랜지스터로 이루어지는 스위치를 삽입하였지만, 여기서는 3계통으로 나눈 전원의 고전위측과 저전위측 각각에 스위치를 삽입하여 각 전원을 스탠바이 시에 차단할 수 있는 구성으로 한 것이다. 이 회로에서는, 모든 전원에 MOS 트랜지스터로 구성된 스위치가 삽입되어 있어, 스탠바이 시에 제어 신호 cntmp1 및 제어 신호 cntmp2를 로우로, 제어 신호 cntmp3을 하이로, 제어 신호 cntmn1 및 제어 신호 cntmn3을 하이로, 제어 신호 cntmn2를 로우로 함으로써, 스위치 P6, P7, N6 및 N8을 도통시키고, 스위치 P8 및 N7를 차단함으로써, 도 7의 구성을 실현할 수 있다. 또한, P6과 N6은 SRAM 메모리 셀의 정보 유지를 위해서 스탠바이 시에도 도통해 둘 필요가 있지만, 후술하는 SRAM 회로를 블록 분할한 경우에, 정보를 유지할 필요가 없는 블록에 있어서는 P6과 N6을 차단하는 구성을 채용하는 것도 저전력화에 유효하게 된다.

<52> 스탠바이 시에 Vssamp를 제어하는 스위치에 인가되는 신호 cntmn2를 로우로 하는 대신에, cntmp2를 하이로 하면, 비트선을 로우로 프리차지하는 회로에서 사용된다고 생각되는 리드·라이트 증폭기의 Vdd측의 전원을 차단하는 회로를 실현할 수 있다. 이와 같이, 도 18에 도시한 회로에서는, 제어 신호의 제어의 방법에 의해서, 몇개의 종류의 회로를 실현할 수 있다.

<53> 도 19에는, 도 7의 회로를 일부 변경한 회로를 도시한다. 컬럼 디코더 CDEC의 전원은 Vddper 및 Vssper에 접속되어 있다. 도 7에서는 컬럼 디코더 CDEC는 Vss측의 전원을 차단하도록 되어 있지만, 이것은 컬럼 디코더가 증폭기의 근처에 배치되어 있기 때문에, 증폭기와 동일한 스위치로 전원을 차단하면 회로 설계가 용이해진다고 생각되기 때문이다. 그러나, 컬럼 디코더를 워드선을 제어하는 회로와 전원을 공통으로 하여, Vdd 측의 전원을 차단함으로써, 전원의 배치 등의 설계가 복잡하게 되지 않으면, Vdd측을 차단하는 구성을 취할 수 있다. 컬럼 디코더는 비트선을 제어하지만 워드 드라이버 WDR과 마찬가지로 동작 시에 저전위를 취하는 노드가 많기 때문에 (선택선이 비선택선보다도 많기 때문에), 고전위측에 스위치를 이용하는 메모리 컨트롤러 MNCT과 동일한 동작 전위 Vddper와 Vssper를 취하는 쪽이 유리해진다. 또한 마찬가지로 이유로, 도 19상에 도시되어 있지 않지만, 라이트 증폭기의 제어 회로 WCNT도 Vddper와 Vssper에 접속하는 쪽이 바람직하다.

<54> 도 19에서는 도 18의 3개의 전원에 대한 스위치(Vdd와 Vddma, Vddamp와 Vddper와의 사이에 각각 설치된 P 채널형 MOS 트랜지스터에 의한 스위치 및, Vss와 Vssma, Vssamp와 Vssper와의 사이에 각각 설치된 N 채널형 MOS 트랜지스터에 의한 스위치)와 스위치를 통하지 않은 전원선을 준비하였지만, 구성 상 저전위측, 고전위측의 어느 쪽에 차단하는 스위치를 설치하는 편이 좋은지에 따라 SRAM 회로 내를 블록화함으로써, Vddamp와 접속된 P 채널형 MOS 트랜지스터, 및 Vssper와 접속된 N 채널형 MOS 트랜지스터를 생략할 수 있다.

<55> 이 회로에서는, 도 7과 달리 로우 디코더 RDEC에 연결되는 전원이 SRAM 회로 내의 차단 가능한 전원이 아니라 SRAM 회로 외의 전원 Vdd 및 Vss와 직접 접속되어 있고, 스탠바이 시에 로우 디코더에는 전원이 공급되어 있다. 이것은 스탠바이 상태에서부터의 복귀 시에 전원이 공급되는 시간차 등으로부터 워드선에 노이즈가 실려, 메모리 셀 내의 전송 MOS가 도통 상태가 되는 것을 방지하기 위함이다.

<56> 노이즈가 발생하는 것은 워드 드라이버의 전원이 그 전단의 회로의 전원이 빨리 상승하여, 워드 드라이버에 로우의 신호가 입력된 상태로 되어, 워드 드라이버가 하이로 출력하기 때문이다. 로우 디코더에 스탠바이 시에 전원을 공급해 둬으로써, 워드 드라이버에 로우의 신호가 입력되지 않게 되어, 워드선에 노이즈가 실리지 않게 된다.

<57> 도 19에서는, 로우 디코더 전체의 전원을 외부로부터 공급되는 전원 Vdd 및 Vss에 직접 접속하였지만, 이 회로 구성에서는 로우 디코더의 누설 전류는 저감할 수 없게 된다. 따라서, 특별히 도시하지는 않았지만, 로우 디코

더 전체의 전원을 Vdd 및 Vss에 접속하는 것이 아니라, 워드 드라이버의 전단의 회로, 예를 들면 NAND 회로에만 전원 Vdd 및 Vss를 접속하고, 그 이외의 로우 디코더의 회로에는 스위치로 차단하는 전원을 접속한다고 하는 회로 구성이 생각된다. 이 회로 구성이면, 누설 전류는 저감할 수 있지만, 로우 디코더 내에서의 전원의 배치가 복잡하게 되어 설계가 곤란해진다. 따라서, SRAM 회로 내의 로우 디코더의 규모가 비교적 크고, 로우 디코더의 누설 전류를 억제하는 필요가 있는 경우에는 워드 드라이버의 전단의 회로에만 외부로부터 공급되고 있는 전원 Vdd 및 Vss를 접속하고, 그 이외의 로우 디코더의 회로에는 전원 스위치에 의해서 스탠바이 시에 전원을 차단하는 것이 가능한 전원을 접속하는 회로 구성으로 하여, 로우 디코더의 규모가 크지 않아 로우 디코더의 누설 전류의 영향이 적은 경우에는 로우 디코더의 전원을 전부 Vdd 및 Vss에 접속하는 본 구성이 유효하다고 생각된다. 도 19와 같이 SRAM의 주변 회로의 전원을 기능에 의해서 분할하여 제어함으로써, SRAM의 주변 회로의 누설 전류를 저감하는 것이 가능해진다.

<58> <실시예 5>

<59> 도 20에, 도 1의 로직 회로와 SRAM 회로를 혼재한 LSI에서 SRAM 회로뿐만 아니라 로직 회로에도 기관 바이어스 제어를 행한 구성도를 도시한다. 혼재 LSI 인 CHIP은, 로직 회로 LOGIC과 스테틱 메모리 회로 SRAM과, 로직 회로의 접지 전위선 Vss1과의 사이에서 스위치가 되는 nMOS 트랜지스터 N1과, 로직 회로 및 SRAM 회로를 구성하는 MOS 트랜지스터의 기관 전위선 Vbn1, Vbp1, Vbnm 및 Vbpm이, Vdd 및 Vss와 Vbn 및 Vbp의 어느 쪽에 접속되는지를 선택하는 스위치 SW1과, N1을 제어하는 신호 cntn과 스위치 SW1를 제어하는 신호 cntvbb1 및 cntvbb2를 출력하는 제어 회로 CNTS4와, 기관 바이어스 Vbn 및 Vbp를 발생하는 기관 바이어스 제어 회로 VBBC2를 포함한다.

<60> 액티브 시 및 스탠바이 시의 각 부의 전압은 도 3에 도시되어 있는 전압이 된다. 스탠바이 시에는 로직 회로의 전원이 차단됨과 함께, 로직 회로의 기관 전위가 제어되어 로직 회로의 누설 전류가 저감된다.

<61> 이 회로는 도 9의 Pattern3에서 도시한 바와 같이 로직 회로의 전원 스위치를 저임계치의 MOS 트랜지스터로 제조한 경우에, 전원 스위치에서의 누설 전류가 있는 경우에, 기관 바이어스를 인가함으로써, 로직 회로의 누설 전류가 저감되기 때문에 유효가 된다. 이 회로에서는 로직 회로와 SRAM 회로의 기관 전위를 독립적으로 제어할 수 있다. SRAM 회로만 스탠바이 상태로 하고 로직 회로를 액티브 상태로 함으로써, 로직 회로만이 동작하고 있을 때에 SRAM 회로에서의 누설 전류를 저감하는 것이 가능하다.

<62> 또한, 로직 회로에 기관 바이어스를 인가하여, SRAM 회로를 동작시켜 로직 회로의 누설 전류를 저감하는 것도 가능하다. 이와 같이, 로직 회로 및 SRAM 회로에 기관 바이어스를 인가하는지의 여부를 선택할 수 있는 스위치를 갖게 함으로써, 동작 상태에 따라서 누설 전류를 감소시킨다고 하는 동작이 가능해진다.

<63> 또한, 기관 전위를 제어하는 블록을 정밀하게 제어함으로써, 기관 바이어스를 인가하여 전압을 변화시키는 부하의 양을 변화시킬 수 있다. 즉, 스위치를 설치하여 불필요한 부분에 기관 바이어스를 인가하지 않으면, 전위를 변화시킬 필요가 있는 부하가 감소하기 때문에 전위의 변화에 걸리는 시간을 짧게 할 수 있다.

<64> <실시예 6>

<65> 도 21에 도 1의 SRAM 회로를 블록으로 분할한 제1 변형예를 도시한다. 도 24에서, 혼재 LSI인 CHIP는 로직 회로 LOGIC와, 스테틱 메모리 회로 SRAM1 및 SRAM2와, 전원 Vss와 로직 회로의 접지 전위선 Vss1과의 사이에서 스위치가 되는 nMOS 트랜지스터 N9과, 전원 Vss와 SRAM1의 접지 전위선 Vssm1과의 사이에서 스위치가 되는 nMOS 트랜지스터 N10과, N9 및 N10을 제어하는 신호 cntn을 출력하는 제어 회로 CNTS와, 기관 바이어스 Vbn 및 Vbp를 발생하는 기관 바이어스 제어 회로 VBBC를 포함한다. SRAM 회로 SRAM1과 SRAM2는 도 7 및 상술한 도 7의 변형예와 마찬가지로의 구성을 취할 수 있다.

<66> 이 회로에서는, 도 1의 SRAM 회로를 SRAM1과 SRAM2의 2개의 블록으로 분할하고, 스탠바이 시에는 로직 회로 및 SRAM1의 전원을 차단하고, SRAM2에는 기관 바이어스를 인가하여 전체의 누설 전류를 저감하여, 스탠바이 시의 소비 전력을 저감한다. 따라서, 도 1의 회로와 비교하면 SRAM1의 회로의 누설 전류를 저감할 수 있다. 단, 이 구조에서는 스탠바이 시에는 SRAM1에 기억되어 있던 데이터는 소거되어 버리기 때문에, 스탠바이 시에 기억해 둘 필요가 있는 데이터는 SRAM2에 기억시킬 필요가 있다. 시스템 LSI에서는, 몇개의 SRAM 블록이 혼재되어, 스탠바이 시에 데이터를 유지해 둘 필요가 있는 블록이 아닌 블록이 혼재하고 있는 구성도 다양하게 생각되기 때문에, 그와 같은 회로에서는 이 회로 구성을 이용함으로써, 누설 전류를 저감하는 효과가 크다.

<67> 도 22에 SRAM 회로를 2개로 분할한 경우의 각각의 SRAM의 메모리 셀 회로에 이용하는 MOS 트랜지스터의 조합을 도시한다. 이 도 22에서는, 도 9와 마찬가지로, 절연막 두께가 두꺼운 MOS 트랜지스터의 예로서 절연막 두께가 6.7nm인 것, 절연막 두께가 얇은 MOS 트랜지스터의 예로서 절연막 두께가 2.0nm인 것을 이용한다. 또한, 막 두

께가 얇은 MOS 트랜지스터가 2 종류의 임계치 전압을 갖는 예로서, 임계치 전압  $V_{th}$ 가 0.40V와 0.25V인 2 종류의 MOS 트랜지스터가 사용되는 경우를 예로 들었다. MAR1이 전원을 차단할 수 있는 SRAM1의 메모리 셀의 MOS 트랜지스터, MAR2가 전원을 차단하지 않은 SRAM2의 메모리 셀의 MOS 트랜지스터를 나타내고 있다. 로직 회로 LOGIC\_CIR에는, 도 9의 표로 예를 든 바와 같이, 2 종류의 임계치의 MOS 트랜지스터를 이용한다. 로직 회로 내의 약 10%에 저임계치의 MOS 트랜지스터를 이용하여 이들은 크리티컬 패스 경로 내의 트랜지스터에 할당한다.

- <68> SRAM의 메모리 셀을 제외한 주변 회로의 MOS 트랜지스터는 도시하지 않았지만, 로직 회로의 저임계치 0.25V와 동일한 임계치의 MOS 트랜지스터를 이용한다. 모두 박막의 MOS 트랜지스터가 이용된다. IO는 입출력 회로에 이용되는 MOS 트랜지스터를 나타내고 있고, 어느 것의 조합이나 두꺼운 막이며 임계치 전압이 높은 MOS 트랜지스터가 이용된다.
- <69> Pattern1에서는, 모든 SRAM 회로 블록 내의 메모리 셀에 박막이며 임계치 전압이 높은 MOS 트랜지스터를 이용하고 있다. 이 구성에서는, 메모리 셀의 면적이 작아져, 또한 SRAM의 동작 안정성에도 우수하다고 생각된다.
- <70> Pattern2에서는, 전원 스위치가 부가하지 않은 SRAM 메모리 셀을 두꺼운 막이며 누설 전류가 적은 MOS 트랜지스터로 제조하여, 누설 전류를 감소시키는 조합이다. 이 조합에서는, 전원 스위치가 삽입되어 있는 SRAM1 내의 메모리 셀을 구성하는 트랜지스터는 박막의 MOS 트랜지스터로 제조하기 때문에 면적이 적고 동작도 빠르다. 또한 누설 전류는 전원 스위치로 억제할 수 있다.
- <71> 또한, 전원 스위치가 삽입되어 있지 않은 SRAM2 내의 메모리 셀을 구성하는 트랜지스터를 두꺼운 막의 MOS 트랜지스터로 제조함으로써, 스탠바이 시의 누설 전류를 감소시킬 수 있다. 단, SRAM2의 메모리 셀의 면적은 커진다고 생각되기 때문에, 회로 면적이 그다지 부담이 없는 회로나, 누설 전류를 확실하게 줄일 필요가 있는 회로에서 사용하면, 이 회로의 이점을 살릴 수 있다. 또한, SRAM2의 회로 규모가 작은 경우에도 이 조합은 유효하다.
- <72> Pattern3은, SRAM1의 메모리 셀을 박막이며 임계치 전압이 낮은 MOS 트랜지스터로 만들고, SRAM2의 메모리 셀은 박막이며 임계치 전압이 높은 MOS 트랜지스터로 만든다. SRAM의 메모리 셀을 구성하는 MOS 트랜지스터의 임계치를 내린 경우, 누설 전류가 커져 스탠바이 시의 소비 전력이 커지는 문제와, SRAM 자체의 동작 마진이 없어져서 메모리 셀 자체가 동작하지 않게 된다는 문제가 있다. 전자의 문제는, 전원 스위치를 설치함으로써 회피할 수 있다. 따라서, 후자의 문제가 현저히 나타나지 않는 특성을 가진 MOS 트랜지스터를 이용할 때에만 이 조합을 실현할 수 있다.
- <73> Pattern4는, Pattern3의 조합의 중 SRAM2의 메모리 셀을 구성하는 MOS 트랜지스터로서 두꺼운 막의 MOS 트랜지스터를 이용한 것이다. 이에 따라, Pattern3보다도 회로 면적은 커지지만, 누설 전류는 저감할 수 있다.
- <74> 도 23에, 도 21의 응용예를 도시한다. 혼재 LSI인 CHIP은, 로직 회로 LOGIC과, 스택 메모리 회로 SRAM1 및 SRAM2과, 로직 회로와 SRAM 회로와의 사이에서 데이터를 전송하는 버스인 BUS와, 전원  $V_{ss}$ 와 로직 회로의 접지 전위선  $V_{ss1}$ 과의 사이에서 스위치가 되는 nMOS 트랜지스터 N9와, 전원  $V_{ss}$ 와 SRAM1의 접지 전위선  $V_{ssm1}$ 과의 사이에서 스위치가 되는 nMOS 트랜지스터 N10과, 스탠바이 상태에서의 제어 신호 cntn 및 dtran을 출력하는 제어 회로 CNTS5와, 기관 바이어스  $V_{bn}$  및  $V_{bp}$ 를 발생하는 기관 바이어스 제어 회로 VBBC를 포함한다.
- <75> 통상, 시스템 LSI에서는 버스를 통해서 로직 회로와 SRAM 회로와의 사이에서 데이터의 교환이 행해지기 때문에, 도 21의 시스템 LSI의 회로에도 버스가 존재한다고 생각된다. 따라서, 도 23의 회로와 도 21의 회로가 다른 것은 스탠바이 상태의 제어 회로인 CNTS5만이며, 이 회로의 동작 및 버스의 동작에 대하여 설명한다.
- <76> LSI를 스탠바이 상태로하는 경우에, 제어 회로 CNTS5로부터 제어 신호 dtran을 이용하여 로직 회로를 제어하여, SRAM1 중 스탠바이 시에 기억해 둘 필요가 있는 데이터를 버스를 통해 SRAM2에 퇴피시킨다. 퇴피시켜두면 dtran을 통하여 퇴피가 종료한 것을 제어 회로 CNTS5로 전달한다. 이것에 의해서, 제어 회로 CNTS5로부터 스탠바이 상태로 천이하는 신호가 출력되어, 로직 회로 및 SRAM1의 전원이 스위치에 의해서 차단되고, 또한 SRAM2에 누설 전류가 감소되도록 한 기관 바이어스가 인가된다. 반대로, 스탠바이 상태에서부터 액티브 상태로 복귀하는 경우에는 제어 회로 CNTS5로부터 신호가 출력되어, 로직 회로 및 SRAM1에 전원이 공급됨과 함께 SRAM2의 스탠바이 상태의 기관 바이어스가 액티브 상태의 바이어스로 전환된다. 로직 회로 및 SRAM1의 전원 전압 및 SRAM2의 기관 전위가 안정되면, 제어 신호 dtran을 통해서 버스를 제어하는 회로가 제어되고, SRAM2에 퇴피시켰던 SRAM1의 데이터를 원래대로 복원한다. 이 회로에서는, 스탠바이 시에 유지해 둘 필요가 있는 데이터는 유지할 수 있고, 또한 유지해 둘 필요가 없는 데이터의 메모리 셀의 누설 전류를 저감할 수 있다.

- <77> \*도 24에, SRAM 회로를 블록으로 분할한 제2 변형예의 SRAM 회로와 그 전원 제어 회로 부분을 도시한다. 도 15에 있어서는 CNTV1이 하나의 강압 회로에 의해 SRAM 회로의 고전위측의 전위를 제어하고 있지만, SRAM 회로를 분할함으로써 각 블록마다 최적의 제어(SRAM1은 강압하지만, SRAM2는 관독·기입 동작이 행해지기 때문에 강압되지 않는다)를 행할 수 있다. 도 15의 경우와 마찬가지로, 고전위측에서 강압하지 않고, 저전위측을 승압, 또는 승압 강압의 조합에 의해 동일한 효과를 얻을 수 있다. CNTV2는 각각 도 17에 도시된 회로를 이용하면 된다. 강압 전압은 SRAM의 기억 유지를 할 수 있는 최저한의 전압 이상으로 할 필요가 있다.
- <78> 도 25는 SRAM 회로를 블록으로 분할한 제3 변형예의 SRAM 회로와 그 전원 제어 회로 부분을 도시한다. 4개의 SRAM 블록 SRAM1, SRAM2, SRAM3 및 SRAM4와, 각각의 블록의 전원을 차단하는 P 채널형 MOS 트랜지스터로 구성된 스위치 P9, P10, P11 및 P12와, 그 전원 스위치를 제어하는 제어 회로 CNTS6로 구성되어 있다. 스탠바이 시에는 데이터를 유지할 필요가 있는 블록의 전원은 차단하지 않고, 데이터를 유지할 필요가 없는 블록의 전원은 차단한다. 이 회로 구성에 의해서, SRAM 회로의 누설 전류를 데이터 유지가 필요한 블록분만으로 할 수 있다. P 채널형 MOS 트랜지스터의 예를 도시하였지만, 면적 효율 상 N 채널형의 트랜지스터로 치환한 구성쪽이 유리한 점은 이미 설명한 대로이다.
- <79> 도 21에서는 전원을 차단하지 않는 블록을 설치하고, 정보 유지를 필요로 하지만 전원이 스탠바이 시에 차단되는 다른 블록의 정보를 전송하는 구성을 취하지만, 본 구성에 따르면, 데이터를 전송하는 처리를 행하는 필요는 없게 된다. 단, 정보 유지를 필요로 하는지의 여부를 검출하는 수단을 부가하고, 그 수단에 의해서 정보 유지가 필요가 없는 블록의 전원 스위치만이 차단되는 것으로 된다.
- <80> 그래서, 제어 회로 CNTS6의 제어 방식으로서, 예를 들면 필요한 데이터가 저장되어 있는 블록을 기억해 놓고, 스탠바이 상태로 천이할 때에는 데이터가 저장되어 있지 않은 블록의 전원을 차단하는 제어 방식이 생각된다. 또한, 회로 작성 시에, 전원을 차단하는 블록과 차단하지 않는 블록을 프로그램해두고, 그 프로그램에 따라서, 전원을 차단하는 제어 방식도 생각된다. 또한, 동작 중에 어떤 블록의 전원을 차단할지를 프로그램해 놓고, 전원 차단이 필요한 블록만 전원을 차단하는 제어 방법도 생각된다. 이와 같이, 제어 회로 CNTS6의 제어 방식을 변경하면, 각종 전원 차단 패턴을 실현할 수 있다.
- <81> 도 26에는, 도 24의 CNTV2를 3개의 전원 상태 중 어느 하나에 접속하는 스위치로 한 것이다. 3개의 전원 상태란 외부로부터 공급되고 있는 전원 전압 Vdd와 접속되는 상태, SRAM에서 데이터를 유지하는 것이 가능한 Vdd보다도 낮은 전압의 전원과 접속되는 상태, 및 전원이 차단되는 상태이다. 3개의 전원 상태에 접속할 수 있는 경우로는 액티브 상태에서는 모든 블록의 전원을 Vdd와 접속하고, 스탠바이 상태에서는 데이터를 유지할 필요가 있는 블록의 전원은 Vdd보다도 낮은 전압의 전원에 접속하고, 데이터를 유지할 필요가 없는 블록의 전원은 차단한다. 이것에 의해서, 데이터를 유지할 필요가 있는 블록의 누설 전류도 저감할 수 있다. 도면 중 PDC는 강압 회로이며 전원 Vdd보다도 낮은 전압으로, SRAM의 메모리 셀이 데이터를 유지할 수 있는 전압을 출력한다. 이 회로에서는, 입력된 제어 신호 cntp1의 값에 따라서, 스위치가 전환되어, 메모리의 전원 Vddm이 Vdd나 Vdd를 강압한 회로에 접속되거나, 또는 어디에도 접속되어 있지 않은 상태로 된다.
- <82> 도 25의 회로를 사용하면 스탠바이 상태의 누설 전류를 저감할 수 있지만, 예를 들면, 액티브 상태에서 액세스하고 있는 SRAM 블록의 전원은 Vdd에 접속되고, 액세스되어 있지 않은 블록의 전원은 Vdd보다도 낮은 전압의 전원에 접속된다. 이것에 의해서, 액티브 시의 불필요한 SRAM 블록의 누설 전류를 저감하는 것도 가능하다. CNTV2를 강압 회로로부터 승압 회로에 바꾸고, 메모리 셀의 저전위측의 전원과의 사이에 삽입하는 것도 가능하다. 또한, 도 24, 도 25에서는, 특히 SRAM 회로를 4개의 블록으로 분할하고 있지만, 회로 구성으로서는, 하나 이상의 블록이 있는 경우에 적용할 수 있다.
- <83> 이상, MOS(Metal-Oxide-Semiconductor) 트랜지스터로서 기재하였지만, 산화막을 이용하지 않은 MIS(Metal-Insulated-Semiconductor) 트랜지스터로 치환해도 본 발명의 효과는 차이가 없다.

**도면의 간단한 설명**

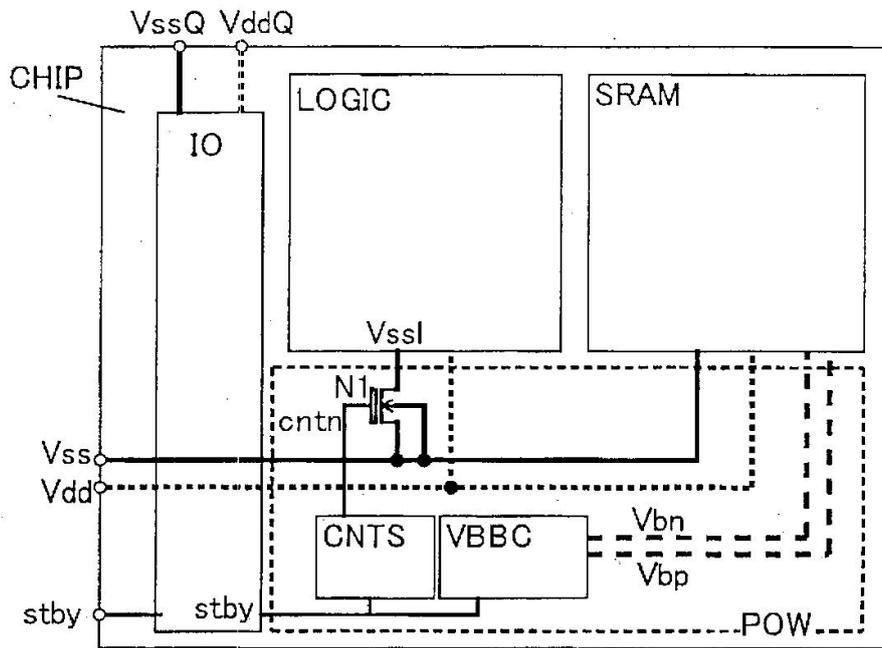
- <84> 도 1은 본 발명이 적용된 시스템 LSI의 로직 회로 및 SRAM 회로와 그 전원 관계의 개략을 도시한 도면.
- <85> 도 2는 도 1의 시스템 LSI의 레이아웃의 모식도.
- <86> 도 3은 도 1에 도시한 회로 중 각 노드의 전위가 변화를 도시한 도면.
- <87> 도 4는 도 1 중 제어 회로 CNTS의 회로의 예를 도시한 도면.

- <88> 도 5는 도 1의 회로의 상태를 변화시키기 위한 신호의 파형도.
- <89> 도 6은 도 5에 도시한 신호를 발생시키는 회로의 예를 도시한 도면.
- <90> 도 7은 본 발명이 적용된 SRAM 회로의 내부의 구성과 그 전원의 관계를 도시한 도면.
- <91> 도 8은 본 발명이 적용된 로직 회로의 구성을 도시한 도면.
- <92> 도 9는 본 발명이 적용된 시스템 LSI의 트랜지스터의 구조를 도시한 도면.
- <93> 도 10은 로직 회로의 스위치의 제1 변형예를 도시한 도면.
- <94> 도 11은 도 10에 도시한 회로 중의 각 노드의 전위가 변화를 도시한 도면.
- <95> 도 12는 로직 회로의 스위치의 제2 변형예를 도시한 도면.
- <96> 도 13은 로직 회로의 스위치의 제3 변형예를 도시한 도면.
- <97> 도 14는 도 13의 응용예의 도면.
- <98> 도 15는 SRAM 회로에 강압 회로를 적용한 도면.
- <99> 도 16은 도 15에 도시한 회로 중의 각 노드의 전위가 변화를 도시한 도면.
- <100> 도 17은 도 16 중 스위치 회로 CNTV1의 회로도.
- <101> 도 18은 도 7의 SRAM 회로의 제1 변형예.
- <102> 도 19는 도 7의 SRAM 회로의 제2 변형예.
- <103> 도 20은 로직 회로에 기관 바이어스 제어를 적용한 도면.
- <104> 도 21은 SRAM 회로부를 분할한 제1 변형예를 도시한 도면.
- <105> 도 22는 도 21에 있어서 복수개 있는 SRAM 회로를 구성하는 트랜지스터의 구조를 도시한 도면.
- <106> 도 23은 도 21의 발명의 시스템의 응용예를 도시한 도면.
- <107> 도 24는 SRAM 회로를 분할한 제2 변형예를 도시한 도면.
- <108> 도 25는 SRAM 회로를 분할한 제3 변형예를 도시한 도면.
- <109> 도 26은 도 24 중 전원 제어 회로 CNVT2의 회로 구성예를 도시한 도면.
- <110> <도면의 주요 부분에 대한 부호의 설명>
- <111> CHIP : 칩
- <112> LOGIC, LOGIC1, LOGIC2 : 로직 회로
- <113> SRAM, SRAM1, SRAM2 : 스택 메모리 회로
- <114> POW : 전원 제어계
- <115> VssQ : 외부로부터 공급되는 고전위측 전원선
- <116> VddQ : 외부로부터 공급되는 저전위측 전원선
- <117> Vss : 내부 회로의 저전위측(접지) 전원선
- <118> Vdd : 내부 회로의 고전위측 전원선
- <119> stby : 스탠바이 신호
- <120> Vbn : nMOS 기관 전원선
- <121> Vbp : pMOS 기관 전원선
- <122> N1~N10 : nMOS 전원 스위치
- <123> P1~P12 : pMOS 전원 스위치

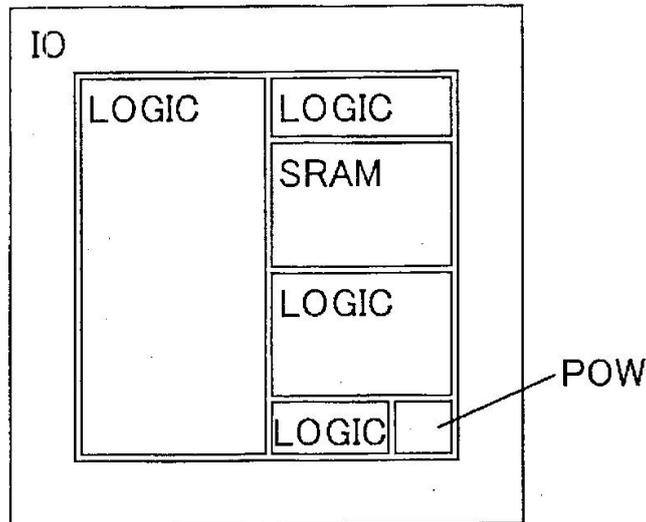
- <124> cntn, cntp, cntn1, cntn2, cntmn1, cntmn2, cntmn3, cntp1, cntp2, cntp3, cntp4, cntmp1, cntmp2, cntmp3 : 전원 스위치 제어 신호
- <125> CNTS, CNTS2~CNTS5 : 전원 스위치 제어 회로
- <126> VBBC, VBBC2 : 기관 바이어스 제어 회로
- <127> Vdd1, Vss1, Vss11, Vss12 : 로직 회로 전원선
- <128> IO : 입출력 회로
- <129> ack : 액티브 상태 천이 신호
- <130> FF : 플립플롭
- <131> BUS : 버스
- <132> BSCNT : 버스 제어 회로
- <133> PDC : 강압 회로
- <134> MAR : 메모리 셀 어레이
- <135> PERI1, PERI2 : SRAM 주변 회로
- <136> CORE : 로직 회로 및 SRAM 회로
- <137> WL : 워드선
- <138> BL, /BL 비트선
- <139> WDR : 워드 드라이버
- <140> RWAMP : 리드·라이트 증폭기
- <141> PRE : 프리차지 회로
- <142> CDEC : 컬럼 디코더
- <143> RDEC : 로우 디코더
- <144> MCNT : 메모리 제어 회로
- <145> Vddma, Vssma, Vddamp, Vssamp, Vddperi, Vssperi : 메모리 각부의 전원
- <146> OBUF : 리드 증폭기 출력 버퍼
- <147> cntvbb1, cntvbb2 : 기관 바이어스 제어 신호
- <148> SW1 : 전환 스위치
- <149> Vbp1, Vbn1 : 로직 회로 기관 전위선
- <150> Vbpm, Vbnm : SRAM 회로 기관 전위선
- <151> MEM1, MEM2 : SRAM 메모리 셀
- <152> BLK1~BLK2 : SRAM 블록
- <153> CNTV1, CNTV2 : 전원 전압 제어 회로
- <154> tox : 게이트 절연막 두께

도면

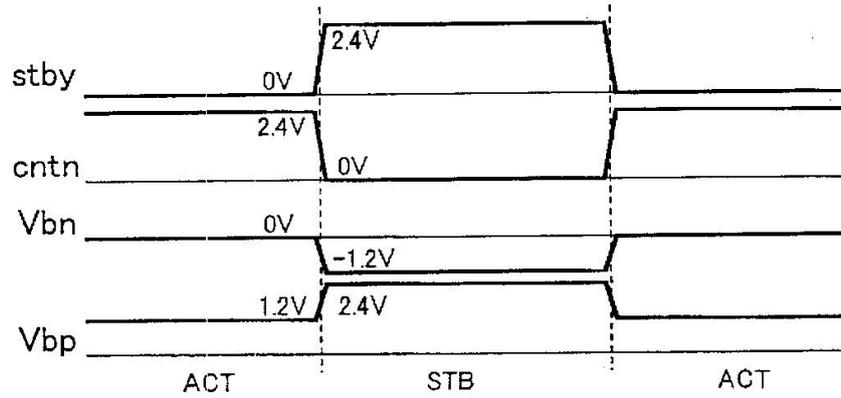
도면1



도면2

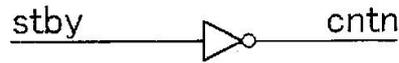


도면3

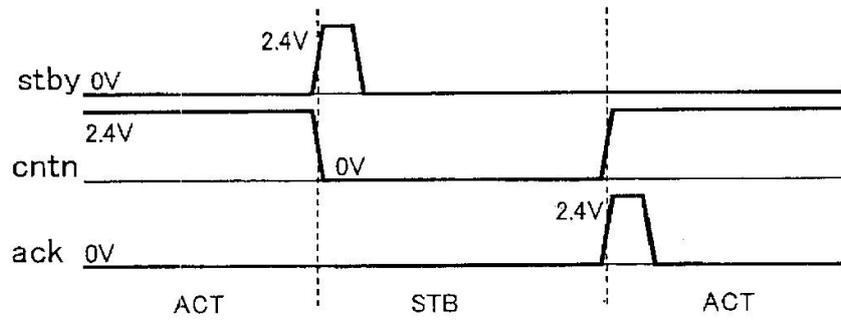


도면4

CNTS

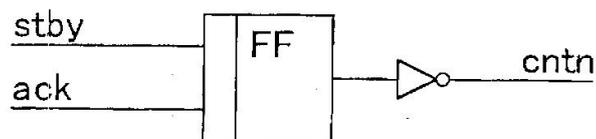


도면5

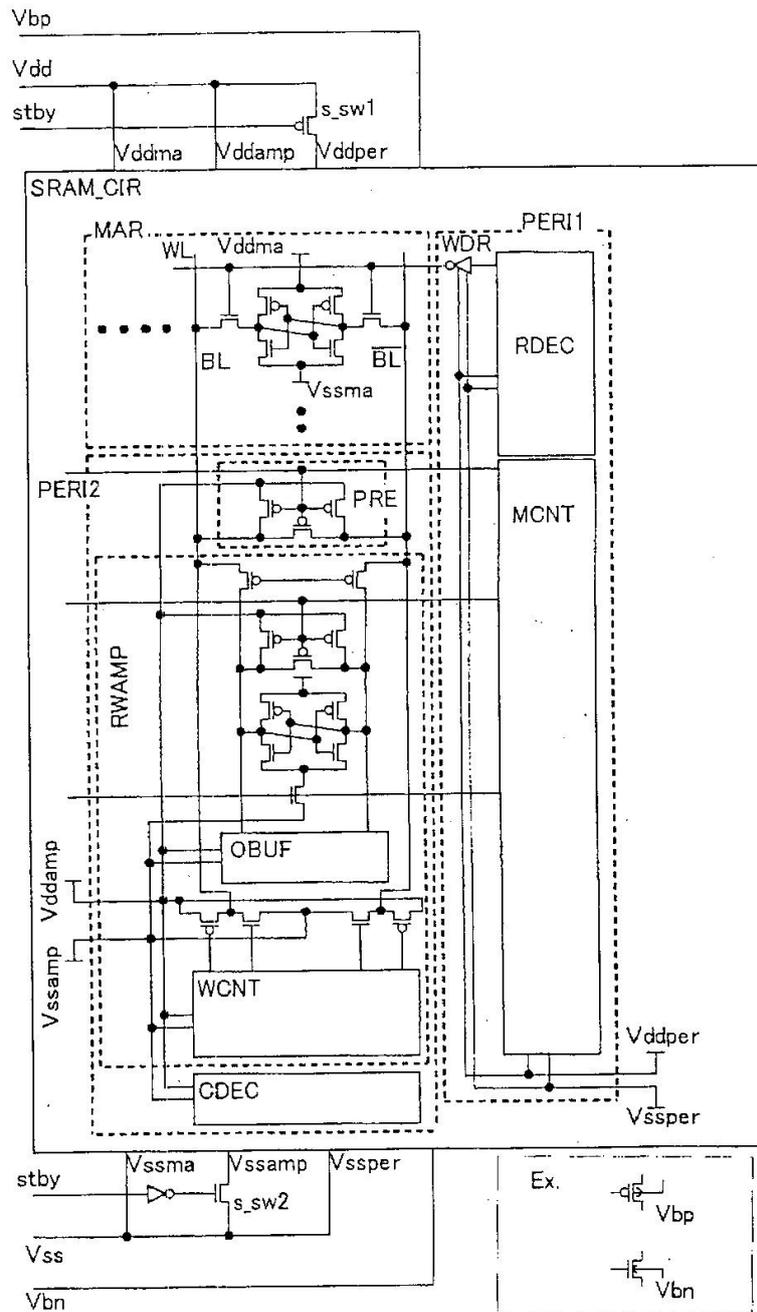


도면6

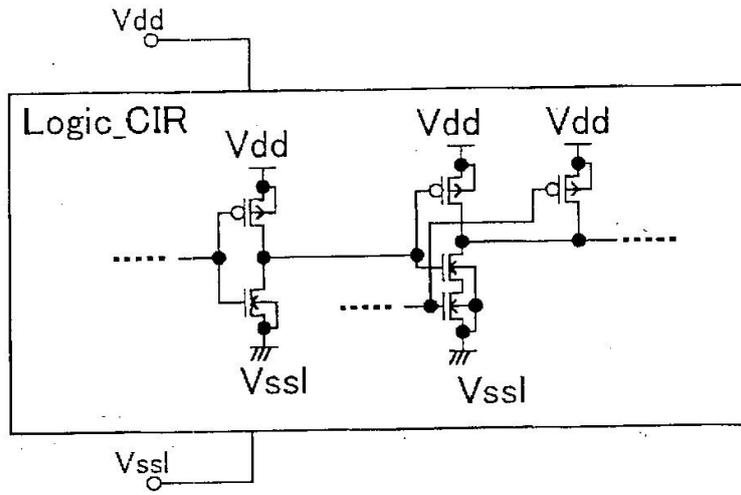
CNTS



도면7



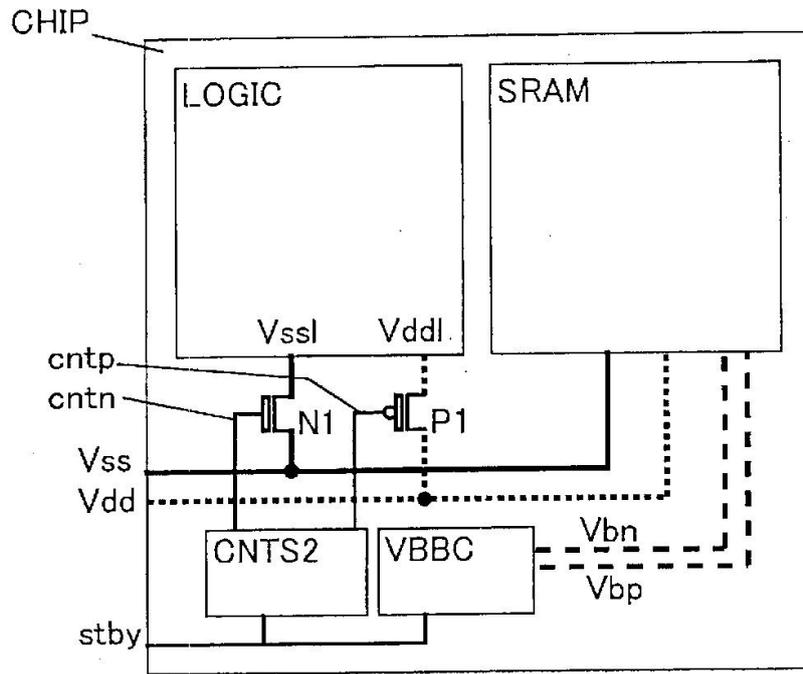
도면8



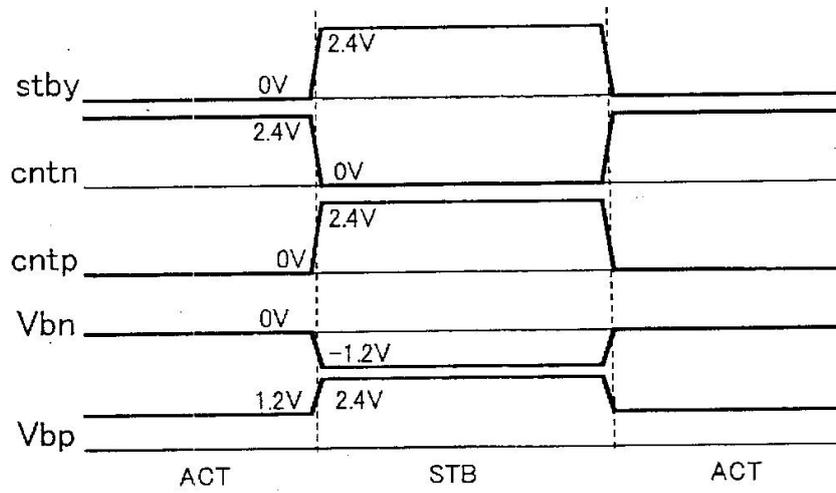
도면9

		Logic_CIR	Logic sw (N1)	SRAM_CIR	SRAM sw (s_sw1, s_sw2)	ID
Pattern1	Tox	2.0nm	6.7nm	2.0nm	2.0nm	6.7nm
	Vth	0.25V, 0.40V	0.80V	0.25V, 0.40V	0.40V	0.80V
Pattern2	Tox	2.0nm	6.7nm	2.0nm	6.7nm	6.7nm
	Vth	0.25V, 0.40V	0.80V	0.25V, 0.40V	0.40V	0.80V
Pattern3	Tox	2.0nm	6.7nm	2.0nm	2.0nm	6.7nm
	Vth	0.25V, 0.40V	0.80V	0.25V, 0.40V	0.40V	0.80V

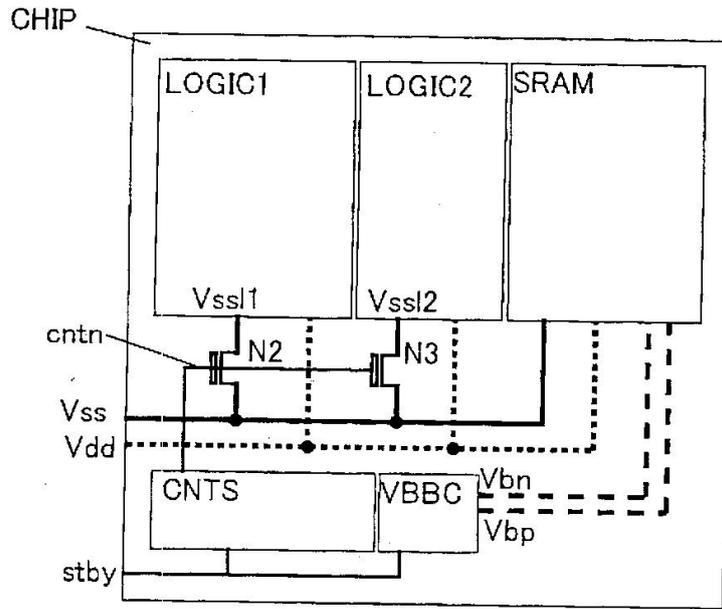
도면10



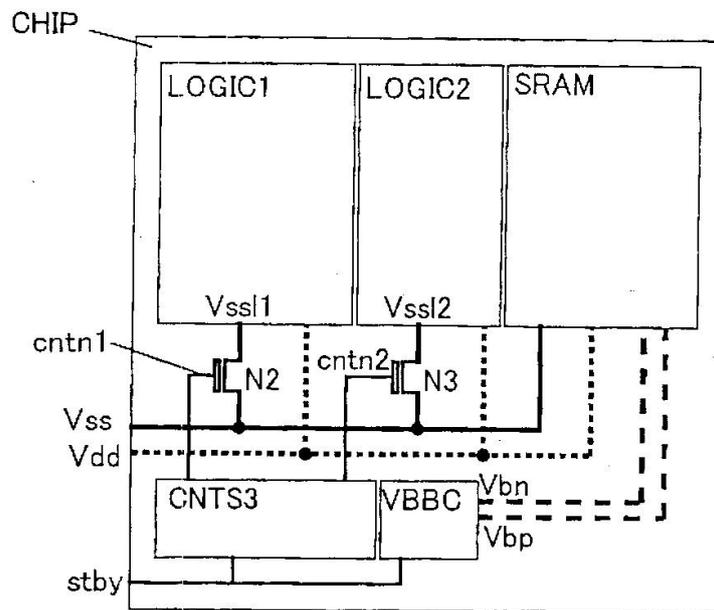
도면11



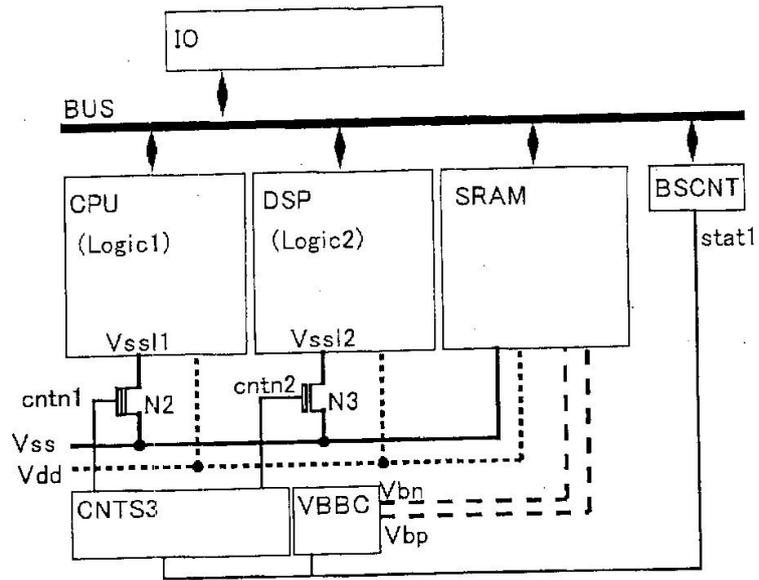
도면12



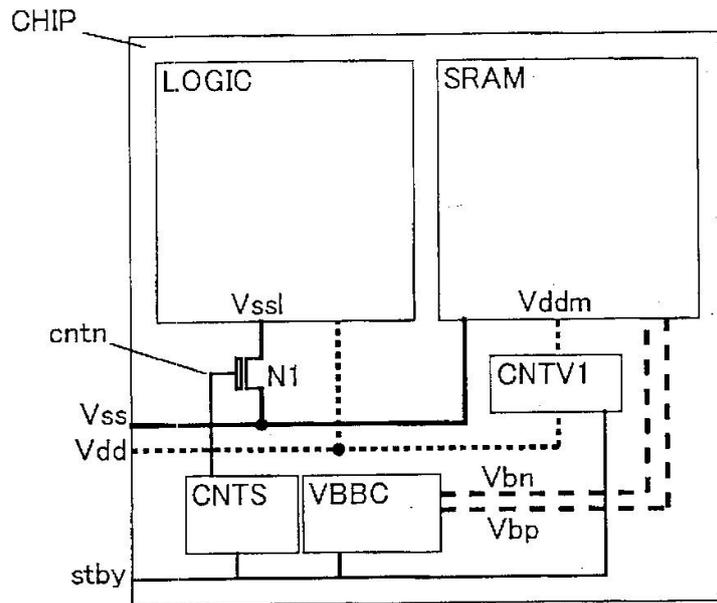
도면13



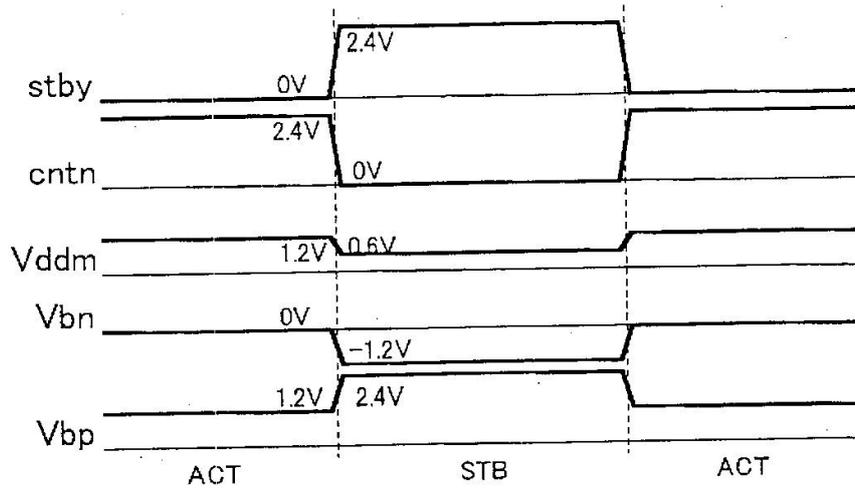
도면14



도면15

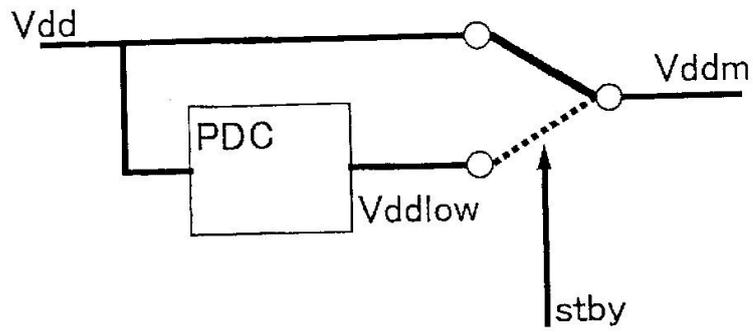


도면16

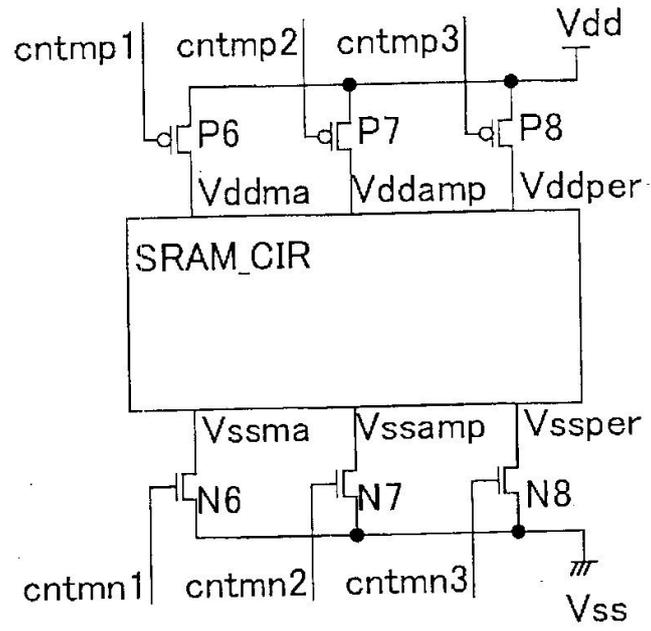


도면17

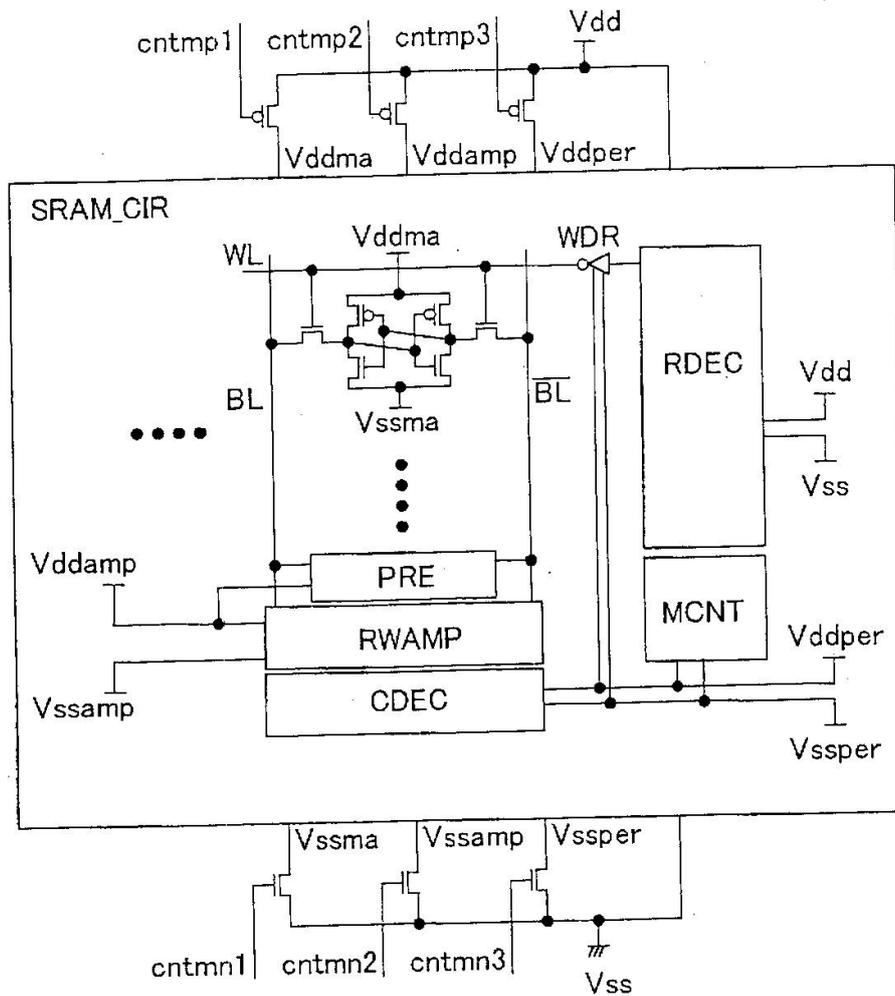
CNTV1



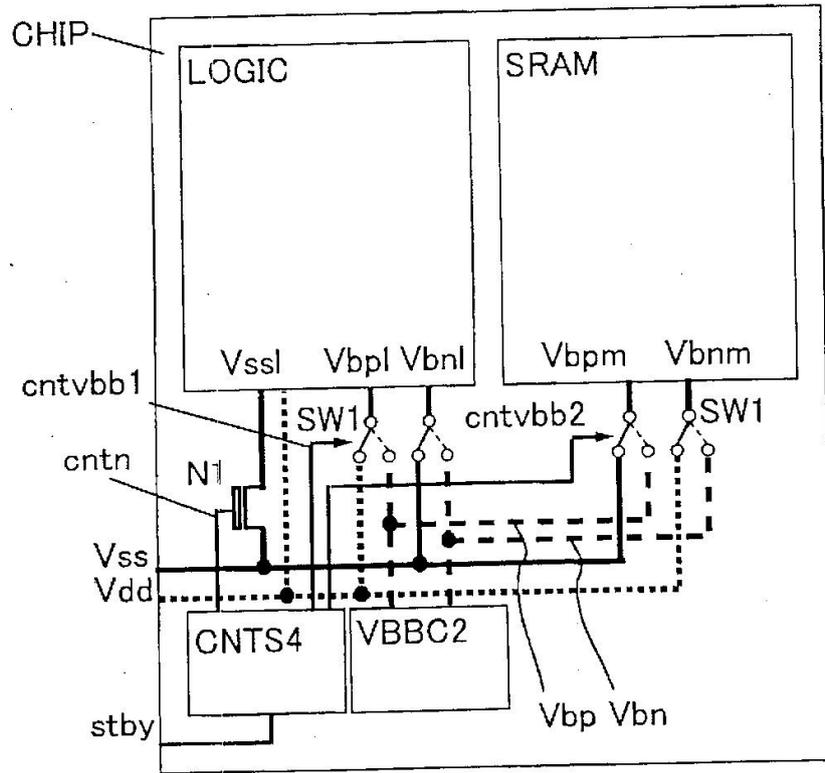
도면18



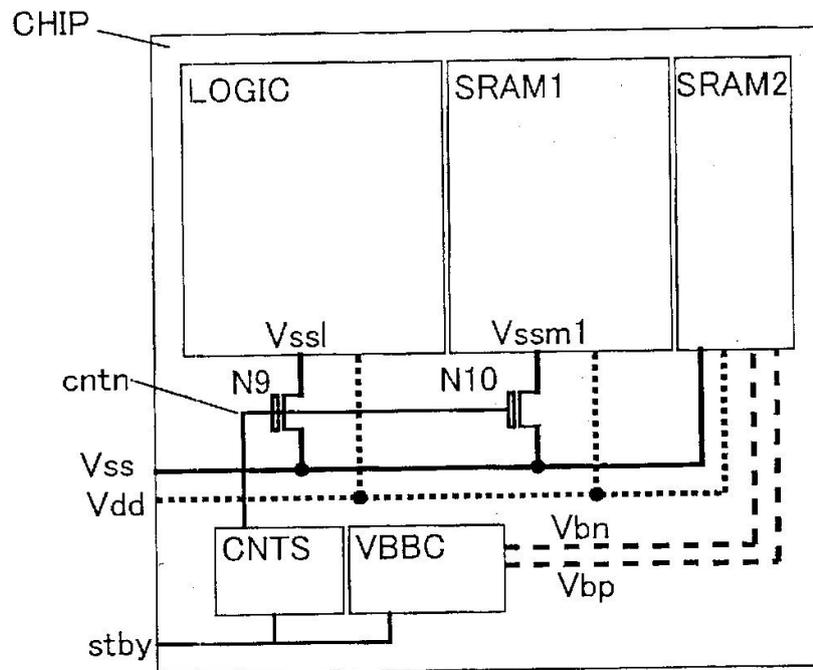
도면19



도면20



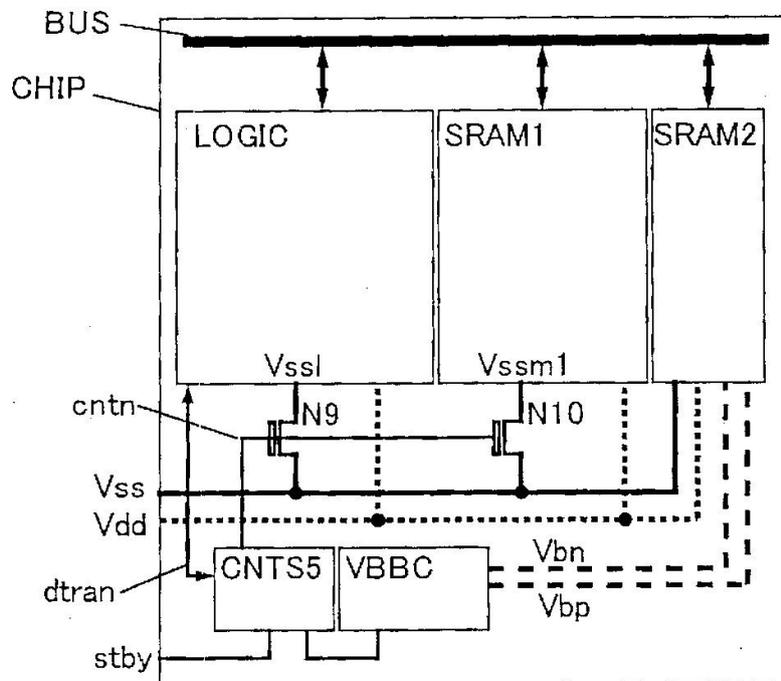
도면21



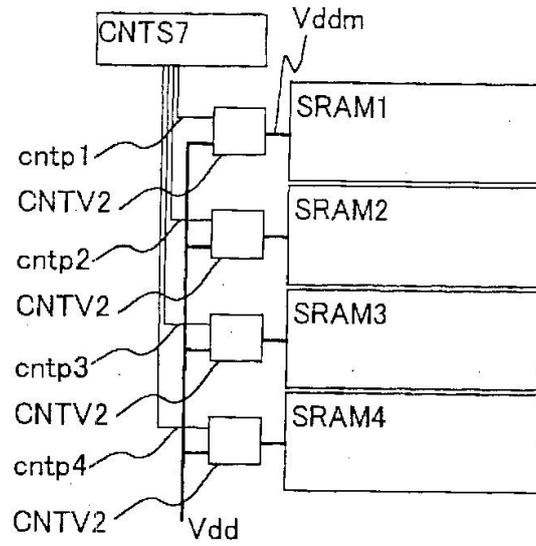
도면22

		Logic_CIR	IO	MAR1	MAR2
Pattern1	Tox Vth	2.0nm 0.25V, 0.40V	6.7nm 0.80V	2.0nm 0.40V	2.0nm 0.40V
Pattern2	Tox Vth	2.0nm 0.25V, 0.40V	6.7nm 0.80V	2.0nm 0.40V	6.7nm 0.40V
Pattern3	Tox Vth	2.0nm 0.25V, 0.40V	6.7nm 0.80V	2.0nm 0.25V	2.0nm 0.40V
Pattern4	Tox Vth	2.0nm 0.25V, 0.40V	6.7nm 0.80V	2.0nm 0.25V	6.7nm 0.40V

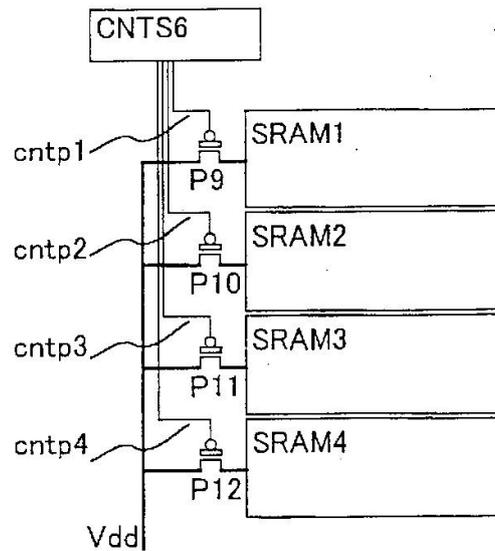
도면23



도면24



도면25



도면26

