



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년09월02일  
 (11) 등록번호 10-1062095  
 (24) 등록일자 2011년08월29일

(51) Int. Cl.  
*H05K 3/30* (2006.01)  
 (21) 출원번호 10-2007-0014388  
 (22) 출원일자 2007년02월12일  
 심사청구일자 2009년02월18일  
 (65) 공개번호 10-2007-0081770  
 (43) 공개일자 2007년08월17일  
 (30) 우선권주장  
 11/353,725 2006년02월13일 미국(US)  
 (56) 선행기술조사문헌  
 JP2006012870 A\*  
 JP2003051678 A  
 JP2002374068 A  
 KR100462835 B1  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**산미나-에스씨아이 코퍼레이션**  
 미국, 캘리포니아 95134, 산 조세, 2700 엔. 퍼스트 스트리트  
 (72) 발명자  
**임 시용 산**  
 싱가포르 610163, 용 평 로드, #12-84, 블록 163  
**네오 목 춘**  
 싱가포르 298187, #07-07, 톰슨 로드 802  
 (뒷면에 계속)  
 (74) 대리인  
**허용록**

전체 청구항 수 : 총 34 항

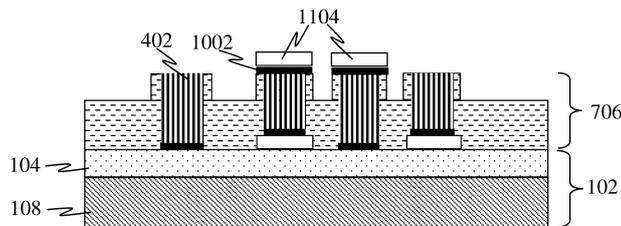
심사관 : 나선희

**(54) 유전층에 도전성 엘리먼트를 내장하는 방법**

**(57) 요약**

인쇄회로기판을 구성하는 층들의 제조 과정 중 일부로서 형성되는 내장형 도전성 엘리먼트를 포함하는 다층 인쇄회로기판을 제조하는 방법이 제공된다. 그리고 나서, 절연층 및 도전층은 상기 도전성 엘리먼트 위로 프레싱되어, 상기 도전성 엘리먼트들은 상기 도전층의 표면으로부터 돌출된다. 상기 돌출부들을 제거하여 상기 내장된 도전성 엘리먼트들을 노출하기 위해 기계적인 공정이 추가된다. 도전성 언더코트가 상기 도전층의 표면에 부가되고, 상기 도전성 언더코트 위에 제2 회로 패턴이 형성된다.

**대표도 - 도11**



(72) 발명자

**케빈 임**

싱가포르 730340, 우드랜즈 에베뉴 1, #08-593, 블락 340

**켈빈 이오우**

싱가포르 575569, #09-03, 신 밍 워크 18

**탄 광 치아**

싱가포르 641665, 주룽 웨스트 스트리트 64, #10-170, 블락665에이

**특허청구의 범위**

**청구항 1**

다층 인쇄회로기판에 도전성 엘리먼트를 형성하는 방법에 있어서,

제1면을 갖는 제1 기판을 제공하는 단계;

상기 제1 기판의 제1면 상에 제1 도전성 회로 패턴을 형성하는 단계;

상기 제1면에 제1 도전성 엘리먼트를 형성하는 단계;

상기 제1 기판의 제1면, 제1 도전성 회로 패턴, 및 제1 도전성 엘리먼트 위에 제1 절연층 및 제1 도전층을 형성하는 단계로서, 상기 제1 절연층은 상기 제1면에 근접하여 배치되는 단계;

상기 제1 도전성 엘리먼트의 적어도 일면을 노출시키도록, 상기 제1 절연층의 일부 및 상기 제1 도전층의 일부를 제거하는 단계로서, 상기 제1 도전층 및 노출된 제1 도전성 엘리먼트는 제2면을 정의하는 단계; 및

상기 제2면에 제1 도전성 언더코트층을 형성하는 단계를 포함하는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 2**

제1항에 있어서,

상기 제1 도전층과 상기 제1 도전성 엘리먼트 사이에 전기적 연속성이 형성되는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 3**

제1항에 있어서,

상기 제1 도전성 엘리먼트를 관통하는 홀을 천공하는 단계를 더 포함하는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 4**

제1항에 있어서,

상기 제1 도전성 언더코트층 상에 제2 도전성 회로 패턴을 형성하는 단계; 및

상기 제1 도전성 엘리먼트를 상기 제1 도전성 회로 패턴 또는 제2 도전성 회로 패턴 중 적어도 어느 하나에 전기적으로 연결하는 단계를 더 포함하는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 5**

제1항에 있어서,

상기 제1면 상에 포토레지스트층을 적용하는 단계로서, 상기 포토레지스트는 상기 제1 도전성 엘리먼트가 형성될 위치에 개구부를 정의하는 단계; 및

상기 제1 도전성 엘리먼트가 형성된 후에 상기 포토레지스트를 제거하는 단계를 더 포함하는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 6**

제1항에 있어서,

상기 제1 절연층 및 제1 도전층은,

상기 제1 절연층 및 상기 제1 도전층을 상기 제1 기판의 제1면 상에 프레싱하여 상기 제1 도전성 엘리먼트 및 상기 제1면에 거의 동일한 압력이 가해지도록 함으로써, 상기 제1 기판의 제1면 상에 형성되고,

상기 제1 도전성 엘리먼트는 상기 제1 절연층 및 상기 제1 도전층 상에 돌출부를 형성하는 것을 특징으로 하는

도전성 엘리먼트 형성방법.

**청구항 7**

제1항에 있어서,

상기 제1 절연층 및 상기 제1 도전층은,

상기 제1 절연층 및 상기 제1 도전층을 상기 제1 기판의 제1면 상에 프레싱하여 상기 제1 도전성 엘리먼트 및 상기 제1 면에 거의 동일한 압력이 가해지도록 하는 단계에 의해, 이때 상기 제1 절연층은 제1 노출면을 가지고; 그리고

상기 제1 도전층을 생성하도록 상기 제1 노출면에 도전성 재료를 제공하는 단계에 의해, 상기 제1 기판의 제1면 상에 형성되는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 8**

제1항에 있어서,

상기 제1 기판은 상기 제1면에 반대쪽에 제3면을 갖고,

상기 제3면 상에 제2 도전성 회로 패턴을 형성하는 단계;

상기 제3면 상에 제2 도전성 엘리먼트를 형성하는 단계로서, 상기 제2 도전성 엘리먼트의 높이는 상기 제3면 상의 제2 도전성 회로 패턴의 높이보다 더 높은 단계;

상기 제1 기판의 제3면, 상기 제2 도전성 회로 패턴 및 상기 제2 도전성 엘리먼트 상에 제2 절연층 및 제2 도전층을 형성하는 단계로서, 상기 제2 절연층은 상기 제3면에 근접하여 배치되는 단계;

상기 제2 도전성 엘리먼트의 적어도 일면을 노출시키도록, 상기 제2 절연층의 일부 및 상기 제2 도전층의 일부를 제거하는 단계로서, 상기 제2 도전층 및 노출된 제2 도전성 엘리먼트는 제4면을 정의하는 단계; 및

상기 제4면 상에 제2 도전성 언더코트층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 9**

제8항에 있어서,

상기 제1 및 제2 도전성 엘리먼트들은 대향하는 제1 및 제3면 상에 동시에 형성되는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 10**

제1항에 있어서,

상기 제1 도전성 엘리먼트를 상기 제1 도전성 엘리먼트의 아래, 위, 또는 어느 말단의 하나 이상의 전기 회로에 전기적으로 연결하는 단계를 더 포함하는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 11**

제1항에 있어서,

상기 제1 도전성 엘리먼트는 전기-자기 쉴드 또는 에너지 저장 소자 중 어느 하나로서 동작하도록 구성되는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 12**

제1항에 있어서,

상기 제1 도전성 엘리먼트는 도전성 금속, 도전성 접착제, 또는 도전성 페이스트 중 적어도 하나를 포함하는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 13**

제1항에 있어서,

상기 제1면 상에 복수의 도전성 엘리먼트를 동시에 형성하는 단계를 더 포함하고, 상기 복수의 도전성 엘리먼트들 중 적어도 2개는 서로 다른 형태를 갖는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 14**

제13항에 있어서,

상기 제1 도전성 엘리먼트는 타원형, 직사각형, 정사각형, L형, T형 또는 십자형 중 하나를 가질 수 있도록 형성되는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 15**

제1항에 있어서,

상기 제1 도전성 회로 패턴은 플렉서블 회로, 인쇄회로, 금속 기반의 인쇄회로 또는 이들의 조합 중 하나인 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 16**

제1항에 있어서,

상기 제1 도전성 엘리먼트는 금속의 전기-증착, 도전성 접착제의 증착 또는 전기-증착 중 하나에 의해 형성된 후에 도전성 재료를 에칭하는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 17**

제1항에 있어서,

상기 제1 도전성 엘리먼트는 상기 제1 절연층 및 제1 도전층의 두께의 합보다 큰 높이를 갖는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 18**

다층 인쇄회로기판의 층간에 내장된 도전성 엘리먼트를 제조하는 방법에 있어서, 상기 방법은:

제1면을 갖는 최외각 유전층을 갖는 제1 기판을 제공하는 단계;

상기 제1면 상에 도전성 회로 패턴을 형성하는 단계;

상기 최외각 유전층 및 상기 도전성 회로 패턴 위에 도전성 언더코트를 적용하는 단계;

상기 도전성 언더코트 상에 감광 재료인 제1층을 증착하는 단계;

상기 감광 재료의 일부를 노광시킴으로써 상기 제1층에 하나 이상의 개구부를 형성하는 단계;

상기 제1층의 개구부에 도전성 엘리먼트를 형성하는 단계;

상기 도전성 엘리먼트 중 적어도 하나를 노출시키도록, 상기 제1층의 나머지를 제거하는 단계; 및

상기 도전성 엘리먼트 위 및 주위에 유전층을 형성하는 단계를 포함하는 것을 특징으로 하는 내장형 도전성 엘리먼트 제조방법.

**청구항 19**

제18항에 있어서,

하나 이상의 상기 도전성 엘리먼트의 면을 노출시키도록, 상기 도전성 엘리먼트의 상면을 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 내장형 도전성 엘리먼트 제조방법.

**청구항 20**

제18항에 있어서,

상기 유전층의 상면에 도전층을 부가하는 단계; 및

하나 이상의 상기 도전성 엘리먼트의 면을 노출시키도록, 상기 도전층의 상면과 상기 도전성 엘리먼트의 상면을 평탄화하는 단계를 포함하는 것을 특징으로 하는 내장형 도전성 엘리먼트 제조방법.

**청구항 21**

제20항에 있어서,

평탄화 후에 상기 도전성 엘리먼트 중 적어도 하나는 상기 유전층의 아래에 노출되지 않은 상태로 남아있는 것을 특징으로 하는 내장형 도전성 엘리먼트 제조방법.

**청구항 22**

제18항에 있어서,

상기 도전성 엘리먼트는 전기-도금을 사용하여 형성되는 것을 특징으로 하는 내장형 도전성 엘리먼트 제조방법.

**청구항 23**

제1면을 갖는 제1 기판;

상기 제1 기판의 제1면 상에 형성된 제1 도전성 회로 패턴;

상기 제1 기판의 제1면 상에 형성된 제1 도전성 엘리먼트; 및

상기 제1 기판의 제1면 상에 형성되며, 상기 제1 도전성 회로 패턴을 덮고, 상기 제1 도전성 엘리먼트를 둘러싸는 제1 절연층을 포함하고,

상기 제1 도전성 엘리먼트의 적어도 일면은 상기 제1 절연층을 통해 노출되는 것을 특징으로 하는 다층인쇄회로 기판.

**청구항 24**

제23항에 있어서,

상기 제1 절연층 상에 형성된 제2 도전성 회로 패턴을 더 포함하며, 상기 제1 도전성 엘리먼트는 상기 제1 도전성 회로 패턴과 상기 제2 도전성 회로 패턴을 상호연결하는 것을 특징으로 하는 다층인쇄회로기판.

**청구항 25**

제1항에 있어서,

상기 절연층 내에 강화층을 포함시키는 단계를 더 포함하는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 26**

제1항에 있어서,

상기 제1 절연층 및 도전층이 형성된 후, 상기 제1 도전성 엘리먼트는 상기 도전층의 상부 평면을 넘어 일정 거리 연장되는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 27**

제1항에 있어서,

상기 제1 도전성 엘리먼트는 적어도 상기 절연층을 통해 연장되는 이산(discrete) 엘리먼트이고, 상기 절연층은 상기 도전층에 평행한 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 28**

제1항에 있어서,

상기 절연층의 일부 및 상기 도전층의 일부를 제거한 후, 상기 제1 도전성 엘리먼트가 상기 제2면으로 연장됨에 따라, 상기 제1 도전성 엘리먼트는 상기 절연층에 의해 상기 도전층으로부터 전기적으로 절연되는 것을 특징으로

로 하는 도전성 엘리먼트 형성방법.

**청구항 29**

제1항에 있어서,

상기 제1 도전성 엘리먼트는:

상기 제1면 상에 감광 재료인 제1층을 증착하는 단계;

상기 감광 재료의 일부를 노광시킴으로써 상기 제1층에 제1 개구부를 형성하는 단계;

상기 제1층의 상기 제1 개구부에 상기 제1 도전성 엘리먼트를 형성하는 단계; 및

상기 도전성 엘리먼트를 노출시키도록, 상기 제1층의 나머지를 제거하는 단계에 의해 형성되는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 30**

제1항에 있어서,

상기 제1 도전성 엘리먼트에 의해 형성되는 돌출부는 상기 절연층 및 상기 도전층을 밀고 나가며(pushing), 상기 돌출부는 상기 제2면 위로 상승하고 상기 제1면으로부터 멀어지며, 상기 절연층 또는 상기 도전층 중 적어도 하나를 평탄화하는 단계는 상기 제1 도전성 엘리먼트의 일 단부를 노출시키도록 상기 돌출부를 제거하는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 31**

제1항에 있어서,

상기 절연층 및 상기 도전층을 형성하는 단계 전에,

상기 제1면 상에 수동 도전성 엘리먼트를 형성하는 단계를 더 포함하며, 상기 수동 도전성 엘리먼트는 상기 제1 기판의 제1면 위로 노출되고 일정 거리 연장되며, 상기 수동 도전성 엘리먼트는 상기 제1 도전성 엘리먼트와 동시에 형성되는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 32**

제31항에 있어서,

상기 수동 도전성 엘리먼트는 전기-자기 쉴드 또는 에너지 저장 장치 중 하나인 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 33**

제31항에 있어서,

상기 수동 도전성 엘리먼트는 타원형, 직사각형, 정사각형, L형, T형 또는 십자형 중 하나를 갖도록 형성되는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**청구항 34**

제1항에 있어서,

상기 제1 도전성 엘리먼트는 상기 절연층에 의해 상기 도전층으로부터 전기적으로 절연되는 것을 특징으로 하는 도전성 엘리먼트 형성방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0029] 본 발명의 다양한 실시예들은 인쇄회로기판의 제조방법에 관한 것이다. 보다 구체적으로, 도전성 엘리먼트를 다층 회로 기판의 유전층에 내장시키는 제조방법 및 기술이 제공된다.
- [0030] 초기의 인쇄회로기판들은 전자 컴포넌트를 실장하고 이 컴포넌트들을 회로기판의 일면의 배선을 통해 연결시키도록 설계된 단면 회로 기판으로 구성되었다. 전자 회로의 복잡도가 증가할수록, 회로 기판에 보다 전자적인 연결을 만들 필요성도 증가하였다. 이러한 필요성으로 인해 회로 기판의 양면에 회로 및 전자 배선을 가질 수 있는 양면 인쇄회로기판을 제조하게 되었다.
- [0031] 많은 최근의 전자 시스템들은 훨씬 복잡한 회로들을 가지며, 이러한 회로들은 다수의 컴포넌트들과 배선들을 포함하지만, 이들은 모든 전기적인 연결을 가능케하기 위해서 단 두개의 면으로 제한되어 있다. 더 작은 회로 기판 영역에 보다 많은 회로 배선을 생성하기 위해서는, 다층 인쇄회로기판이 개발되었다.
- [0032] 다층 인쇄회로기판을 제조하기 위한 종래의 방법들은 도금된 쓰루홀 또는 비아홀들을 사용하여 회로 기판을 연결하는 과정을 포함한다. 회로 네트워크나 트레이스들(traces)은 공통점에서 서로 연결된 서로 다른 층에 형성되고, 그 공통점에는 연결 패드가 존재한다. 상기 연결 패드를 관통하는 홀이 형성되고, 도전층(예컨대, 도금 또는 기타 공정을 통해)이 상기 홀벽에 형성되어, 서로 다른 층에 두 개 이상의 층이 전기적으로 연결된다. 층간에 필요한 연결을 하는 것 외에, 홀은 컴포넌트들을 연결하는 부가 기능도 수행할 수 있다. 즉, 예컨대, 홀은 컴포넌트로부터 터미널(terminal)이나 리드(lead)를 받는 역할을 할 수 있다.
- [0033] 표면 실장 기술의 도입과 함께, 매우 복잡한 회로 기판에서, 컴포넌트 홀들은 천공된 홀들 중에서 점점 더 적은 양을 차지하게 되었다. 도금된 쓰루홀, 또는 비아홀들의 대다수는 대부분 회로 층간의 전기 연결에 사용된다.
- [0034] 적층된 다층 인쇄회로기판을 통하여 기계적 비아홀을 천공하는 것은, 효율적인 비용으로 천공될 수 있는 비아홀들의 크기, 고 수율 제조 방법에 요구되는 대형 캡처 패드 및 천공된 모든 포인트들에서 상호연결을 필요치 않는 손실 공간으로 인해 유용한 기판의 공간을 낭비하게 된다. 결과적으로, 층간을 수직으로 연결하는 방법이 다층 인쇄회로기판 설계자나 제조자들 사이에 호응을 얻고 있다.
- [0035] 기존 비아들보다 작은 개구를 갖는 마이크로비아는, 레이저, 포토리소그래피 및 플라즈마 에칭과 같은 기술들을 사용하여 형성되며, 설계자들, 제조자들 및/또는 조립자들에 의해 알려지고 사용되어 왔다. 그러나, 마이크로비아를 신뢰성있고, 일관되게 제조하는 것에는 많은 기술 노하우가 관련되어 있다. 두꺼운 전해 구리 층이 마이크로비아 벽 상에 도금되기 전에 마이크로비아 벽에 시드(seed)를 제공하기 위한 공통 과정인 무전해 구리 적층 과정을 예로 들어 보자. 마이크로비아 홀이 관통 형성된 회로 기판 또는 기판들은 통상적으로 팽창제(swelling agent), 과망간산염 산화제, 과망간산염 잔여물을 환원시키기 위한 환원제로 처리되고, 조건 형성제가 사용되며, 마이크로에칭되어 조건 형성제를 제거하고, 팔라듐-틴(Pd-Sn) 콜로이드로 촉매 반응된 후에, 염산으로 처리되어 팔라듐을 노출시키고 난후에 도금된다. 도금액은 통상적으로 환원제(예컨대, 포름알데히드 또는 하이포포스페이트(hypophosphate)), 구리염 및 구리염을 용액상태로 유지하기 위한 킬레이트제(예컨대, EDTA, 알카놀 아민 또는 타르타르산(tartartes))를 포함한다. 이러한 화학 처리는 각 처리 사이에서 2 내지 3회의 행굼을 전형적으로 사용한다. 신뢰성 및 일관성을 달성하기 위해, 각 화학 처리 및 각 행굼은 미세한 마이크로비아 내에서 적절한 기능을 대부분의 시간이 아닌 항상 정확히 수행하여야 한다. 따라서, 마이크로비아를 신뢰성있게 일관되게 형성하기 위해서는 고도로 설계된 장비를 사용하여 엄격한 공정 제어가 요구된다.
- [0036] 마이크로비아를 도금하는데 있어 신뢰성 문제 외에도, 다른 문제들이 있다. 예를 들어, 마이크로비아 내에 남아 있는 화학물질은 어셈블리 공정에서 가스를 발생시킬 수도 있고, 다른 잠재적인 신뢰성 문제를 일으킬 킬 수 있다.
- [0037] 휴대성, 소규모 팩터, 보다 많은 내장형 기능 및 보다 정교한 시스템에 대한 전자 산업의 수요가 증가할수록, 보다 작은 인쇄회로기판 내에 보다 많은 회로 연결을 설계하고자 하는 요구가 계속되고 있다.
- [0038] Chantraine 등의 미국등록특허 5,231,757은 다층 구조용 도전체를 형성하도록 연속적으로 에칭하여 균일 금속층 상에 형성된 다층 구조를 위해 비아 스테드(stud)를 사용하는 방법을 개시하고 있다. 그리고 나서, 유전층은 스테드들을 포함하는 전체 표면을 커버한다. 그리고 나서, 스테드들의 침단은 플라즈마 또는 기계적 수단에 의해 유전층을 통해 노출된다. 구체적으로 특정되어 있지는 않지만, 사용된 유전층은 비강화 재료인 것이 주목된다. 상기 특허에 설명된 실시예는 액상 막으로 폴리아믹산(polyamicacid)를 기반으로 하는데, 이것은 중합되어 폴리이미드가 된다.

- [0039] Schmidt의 미국등록특허 5,457,881는 유전층을 관통하는 원단을 갖는 돌출부들을 개시한다. 구체적으로 특정되어 있지는 않지만, 상기 특허는 상기 유전층은 비강화 물질로부터 만들어지는 것을 제안하는데, 이것은 개념적으로 상기 돌출부들이 상기 유전층을 관통할 수 있도록 하는 것이다. 비강화 유전층의 사용은 섬유유리로 강화된 유전층을 사용하는 추세인 많은 현대 회로에 있어서는 바람직하지 않다.
- [0040] 미국등록특허 5,231,757, 및 5,457,881에 개시된 방법들의 문제점은 적절한 유전체를 사용할 필요가 있다는 것이다. 프리프렉(prepreg)으로 알려진 통상적인 인쇄회로기판용 유전체 재료는 일반적으로 유리 섬유 강화제를 포함하는 레진을 포함한다. 도전성 스테드, 돌출부 또는 범프들은 순수한 레진 유전층을 관통하기 쉽다. 그러나, 이러한 도전성 스테드, 돌출부 또는 범프들이 프리프렉에 내장된 유리 섬유를 관통하기는 상대적으로 어렵다.
- [0041] Yamamoto 등의 미국등록특허 5,736,681은 통상적인 강화 프리프렉층을 관통해서 상호연결부를 형성하는 방법을 개시하고 있다. 도전성 범프들은 통상적으로 페이스트 또는 다른 수단들을 프린트함으로써 형성되며, 실질적인 원뿔형의 범프를 형성한다. 상기 상호연결부는 2단계의 프레싱으로 형성된다. 제1 프레싱 단계에서는, 금속 프레싱 플레이트를 사용하여 범프들을 프리프렉에 프레싱하고, 범프들이 강화층을 포함하는 레진층을 관통하게 된다. 제2 프레싱 단계는 앞서 상기 레진층을 통해 프레싱되었던 도전성 범프들의 첨단을 상기 범프들과 전기적으로 접촉하도록 설계된 금속층에 전기적으로 연결하는 단계이다. 범프 첨단들의 소성 변형을 보장하기 위해, 양쪽의 프레싱 플레이트는 금속, 방열 하드 레진 또는 세라믹과 같이 압축이 거의 없거나 전혀 없는 물질로 이루어진다. 상기 범프의 소성 변형된 표면은 본딩용의 내부가 프레시(fresh) 액티브 금속인 표면을 생성한다.
- [0042] Motomura 등의 미국등록특허 6,705,003은 Yamamoto의 방법에 추가적인 단계들을 포함하는 방법에 관한 것으로서, 제1 프레싱 단계 후와 제2 프레싱 단계 전 사이에 범프의 첨단을 플라즈마 세척하는 방법을 개시한다. 첨단들이 제2 프레싱 단계 중에 변형된 동일한 높이의 원뿔형 범프들이 개시된다. 범프들의 높이가 거의 일정해야 하기 때문에, 범프 도금 공정을 통해 범프를 형성하기 위해서는 추가적인 난점들이나, 추가적인 공정이 요구된다. 사실, 대부분의 범프들은 완전 도전층을 형성한 다음, 원치않는 금속을 에칭에 의해 제거함으로써 동일한 높이의 범프들이 형성된다. 이것은 도전층에 사용되는 재료를 낭비하는 것이 된다.
- [0043] 따라서, 다층 회로 기판 상에 비아를 형성하는 종래의 방법은 통상적으로 신뢰성 및 일관성을 확보하기 위해 상당한 정확성과 기술을 요하게 된다. 그러나, 마이크로비아에 내재하는 문제들은 프로세싱, 고가의 프로세싱 장비, 레이저로 천공이 가능한 프리프렉 또는 RCC(resin coated copper foil)와 같은 특정 재료를 사용하는데 드는 추가 비용 및 완성된 마이크로비아의 화학적 트랩(trap)과 같은 문제점들을 포함한다. 추가적으로, 마이크로비아의 크기는 고밀도, 다층 회로 기판 상에 많은 표면 공간을 소모한다.
- [0044] 마이크로비아를 없애기 위한 시도들이 행해져 왔다. 이러한 방법들은 (a) 이들 대체 방법들의 대부분이 비강화 유전층을 사용하고, (b) 유전층 상에 도전층을 형성하기 위해 금속화(metallization) 공정이 포함되고, 및/또는 (c) 기판의 프레싱이 지나치게 복잡하고 도전성 엘리먼트가 고정된 크기이고 및/또는 거의 일정한 형상이어야 한다는 점 때문에 널리 사용되지 않는다.

**발명이 이루고자 하는 기술적 과제**

- [0045] 본 발명의 다양한 측면들은 거의 일정한 높이를 갖는 도전성 엘리먼트들(예컨대, 범프들)을 형성할 필요성을 제거함으로써 회로 기판 상호 연결 엘리먼트들(예컨대, 스테드, 비아 등)의 제조방법을 개선한다. 또한, 본 발명은 단일 프레싱 라미네이션 공정에 도전층과 함께 라미네이트된 내장형 유리 섬유를 갖는 유전층(예컨대, 프리프렉)을 사용한다.  
본 발명은 다층 코어의 표면의 도전성 패턴 상에 도전성 엘리먼트를 형성한다. 이것은 예컨대 내부층 회로 패턴 상에 무전해 구리층을 도금하고, 도전성 엘리먼트를 마스크한 다음 도금함으로써 수행될 수 있다.
- [0046] 도전성 엘리먼트를 포함하는 패터닝된 층의 표면에 유전층 및 도전층을 라미네이트하기 위해 프레싱 라미네이션 공정이 수행되어, 도전성 엘리먼트는 추가된 도전층의 표면 위로 돌출된다. 도전성 엘리먼트들에 압축될 수 있는 컴포넌트들을 프레싱하는 라미네이션 방법은 구리 박막을 갖는 프리프렉층을 내부 코어에 라미네이션하는데 사용될 수 있다.
- [0047] 도전층, 유전층 및 도전성 엘리먼트의 일부를 제거하여 도전성 엘리먼트를 노출시키는데 기계적인 공정이 사용된다. 그 후에, 도전성 언더코트(undercoat)가 유전층의 표면 상에 형성된다. 그리고 나서, 도전성 언더코트

상에 회로 패턴이 형성된다.

[0048] 본 발명은 다층 회로 기판에 내장형 도전성 엘리먼트를 형성하는 종래 방법에 대해 몇가지 장점을 제공할 수 있다. 예를 들어, 내장형 도전성 엘리먼트를 형성하는 방법은 새로운 장비나 재료 없이도 수행될 수 있다. 본 발명의 신규한 방법은 또한 다층 회로 기판에 내장된 패드 밑의 상호연결 엘리먼트를 생성하는데 쉽고도 신뢰성 있는 방법을 제공한다.

[0049] 본 발명의 또다른 측면은 기판 공간을 보다 효율적으로 사용할 수 있도록 해주는 다양한 형태, 크기 및 길이를 갖는 내장형 엘리먼트들을 형성하는 방법을 제공한다. 예를 들어, 다양한 형태(예컨대, 사각 라운드형, 타원형, 선형 등)를 갖는 상호연결 엘리먼트들은 다층 기판의 서로 다른 층의 2개의 회로를 연결시킬 수 있다. 이 기술은 다양한 형태 및 크기의 전하-보전 엘리먼트 및/또는 전기-자기 쉴딩 엘리먼트를 형성하는데 사용될 수 있다.

다층 인쇄회로기판에 도전성 엘리먼트를 형성하는 방법이 제공되며, 상기 방법은: (a) 제1면을 갖는 제1 기판을 제공하는 단계, (b) 상기 제1 기판의 제1면 상에 제1 도전성 회로 패턴을 형성하는 단계, (c) 상기 제1면 상에 제1 도전성 엘리먼트를 형성하는 단계, (d) 상기 제1 기판의 제1면, 제1 도전성 회로 패턴, 및 제1 도전성 엘리먼트 상에 제1 절연층 및 제1 도전층을 형성하는 단계로서, 상기 제1 절연층은 상기 제1면에 근접하여 배치되는 단계, (e) 상기 제1 도전성 엘리먼트의 적어도 일면을 노출시키도록 상기 제1 절연층의 일부 및 상기 제1 도전층의 일부를 제거하는 단계로서, 상기 제1 도전층 및 노출된 제1 도전성 엘리먼트는 제2면을 정의하는 단계 및 (f) 상기 제2면 상에 제1 도전성 언더코트층을 형성하는 단계를 포함한다. 다른 실시예에서, 상기 방법은 : (a) 상기 제1 도전성 엘리먼트를 관통하는 홀을 천공하는 단계, (b) 상기 제1 도전성 언더코트 상에 제2 도전성 회로 패턴을 형성하는 단계, (c) 상기 제1 도전성 엘리먼트를 상기 제1 도전성 회로 패턴 또는 제2 도전성 회로 패턴 중 적어도 어느 하나에 전기적으로 연결하는 단계를 더 포함할 수 있다. 또한, 상기 방법은, (a) 포토레지스트층을 상기 제1면 상에 적용하는 단계로서, 상기 포토레지스트는 상기 제1 도전성 엘리먼트가 형성될 위치에 개구부를 정의하는 단계; 및 (b) 상기 제1 도전성 엘리먼트가 형성된 후에 상기 포토레지스트를 제거하는 단계를 더 포함할 수 있다. 상기 제1 절연층 및 제1 도전층은, 상기 제1 절연층 및 상기 제1 도전층을 상기 제1 기판의 제1면 상에 프레싱하여 상기 제1 도전성 엘리먼트 및 상기 제1면에 거의 동일한 압력이 가해지도록 함으로써, 상기 제1 기판의 제1면 상에 형성될 수 있고, 상기 제1 도전성 엘리먼트는 상기 제1 절연층 및 상기 제1 도전층 상에 돌출부를 형성한다. 상기 제1 절연층 및 상기 제1 도전층은, (a) 상기 제1 절연층 및 상기 제1 도전층을 상기 제1 기판의 제1면 상에 프레싱하여, 상기 제1 도전성 엘리먼트 및 상기 제1면에 거의 동일한 압력이 가해지도록 하는 단계에 의해, 이때 상기 제1 절연층은 제1 노출면을 가지고; 그리고 (b) 상기 제1 도전층을 생성하도록 상기 제1 노출면에 도전성 재료를 제공하는 단계에 의해, 상기 제1 기판의 제1면 상에 형성될 수 있다.

본 발명의 또 다른 특징에서, 상기 제1 기판은 상기 제1면에 반대쪽에 제3면을 갖고, (a) 상기 제3면 상에 제2 도전성 회로 패턴을 형성하는 단계, (b) 상기 제2면 상에 제2 도전성 엘리먼트를 형성하는 단계로서, 상기 제2 도전성 엘리먼트의 높이는 상기 제3면의 제2 도전성 회로 패턴의 높이보다 높은 단계, (c) 상기 제1 기판의 제3면, 상기 제2 도전성 회로 패턴 및 상기 제2 도전성 엘리먼트 상에 제2 절연층 및 제2 도전층을 형성하는 단계로서, 상기 제2 절연층은 상기 제3면에 근접하여 배치되는 단계, (d) 상기 제2 도전성 엘리먼트의 적어도 일면을 노출시키도록, 상기 제2 절연층의 일부 및 상기 제2 도전층의 일부를 제거하는 단계로서, 상기 제2 도전층 및 노출된 제2 도전성 엘리먼트는 제4면을 정의하는 단계, 및 (e) 상기 제4면 상에 제2 도전성 언더코트층을 형성하는 단계를 더 포함한다. 상기 제1 및 제2 도전성 엘리먼트들은 대향하는 제1 및 제3면 상에 동시에 형성될 수 있다. 상기 방법은 상기 제1 도전성 엘리먼트를 상기 제1 도전성 엘리먼트의 아래, 위, 또는 어느 말단의 하나 이상의 전기 회로에 전기적으로 연결하는 단계를 더 포함할 수 있다. 상기 제1 도전성 엘리먼트는 전기-자기 쉴드 또는 에너지 저장 소자 중 어느 하나로서 동작하도록 구성될 수 있다. 상기 제1 도전성 엘리먼트는 도전성 금속, 도전성 접착제, 또는 도전성 페이스트 중 적어도 하나를 포함할 수 있다. 다양한 실시예에서, 상기 도전성 금속은 철, 니켈, 주석, 알루미늄, 인듐, 납, 금, 은, 비스무스, 구리 및 팔라듐으로 구성된 군으로부터 적어도 하나의 재료를 포함한다. 상기 방법은 상기 제1면 상에 복수의 도전성 엘리먼트를 동시에 형성하는 단계를 더 포함하고, 상기 복수의 도전성 엘리먼트들 중 적어도 2개는 서로 다른 형태를 갖는다. 상기 제1 도전성 엘리먼트는 타원형, 직사각형, 정사각형, L형, T형 또는 십자형 중 하나를 가지도록 형성될 수 있다. 상기 제1 기판은 유연할 수 있고 하나 이상의 유연체 재료 층을 포함한다. 상기 제1 도전성 회로 패턴은 플렉서블 회로, 인쇄회로, 금속 기반의 인쇄회로 또는 이들의 조합 중 하나일 수 있다. 또한, 상기 제1 도전성 엘리먼트는 금속의 전기-증착, 도전성 접착제의 증착 또는 전기-증착 중 하나에 의해 형성된 후에 도전성 재료를

에칭할 수 있다.

본 발명의 다른 측면은 다층인쇄회로기판을 제공하며, 상기 다층인쇄회로기판은, (a) 제1면을 갖는 제1 기판, (b) 상기 제1 기판의 제1면 상에 형성된 제1 도전성 회로 패턴, (c) 상기 제1 기판의 제1면 상에 형성된 제1 도전성 엘리먼트, 및 (d) 상기 제1 기판의 제1면 상에 형성되며, 상기 제1 도전성 회로 패턴을 덮고, 상기 제1 도전성 엘리먼트를 둘러싸는 제1 절연층을 포함하고, (e) 상기 제1 도전성 엘리먼트의 적어도 일면은 상기 제1 절연층 엘리먼트를 통해 노출되고, 및/또는 (f) 상기 제1 절연층 상에 형성된 제2 도전성 회로 패턴을 포함하며, 상기 제1 도전성 엘리먼트는 상기 제1 도전성 회로 패턴과 상기 제2 도전성 회로 패턴을 상호연결한다.

**발명의 구성 및 작용**

- [0050] 삭제
- [0051] 삭제
- [0052] 삭제
- [0053] 이하에서는 본 발명의 완전한 이해를 돕기 위해 상세한 설명을 제공한다. 그러나, 당업자라면 본 발명이 이러한 특정 설명없이도 실시될 수 있음을 이해할 것이다. 다른 경우에는, 불필요하게 본 발명의 측면들을 모호하게 하지 않기 위해 공지된 방법, 단계들, 및/또는 컴포넌트들은 상세히 설명되지 않았다.
- [0054] 이하에서는 본 발명의 완전한 이해를 돕기 위해 상세한 설명을 제공한다. 그러나, 당업자라면 본 발명이 이러한 특정 설명없이도 실시될 수 있음을 이해할 것이다. 예를 들어, 회로 또는 공정들은 실시예들을 모호하게 하지 않기 위해 보다 간략화된 다이어그램으로 표현될 수 있다. 다른 경우에는, 불필요하게 본 발명의 실시예들을 모호하게 하지 않기 위해 공지된 회로, 구조, 공정 및 기술들은 상세히 설명되지 않았다.
- [0055] 본 발명의 일 측면은 다층 인쇄회로기판의 일부인 유전층에 도전성 엘리먼트를 형성하는 방법을 제공하는 것이다. 비아를 천공하고 도금을 하거나, 스테르드를 사용하여 레진 유전층에 구멍을 뚫으로써 층간에 전기적 상호연결부(예컨대, 도전성 엘리먼트)를 형성하는 종래 기술과 달리, 본 발명은 전기적 상호연결부 주위에 층들을 형성한다. 그러한 방법은 층간 상호연결부의 생성 공정 중에, 레이저 천공, 플라스마 에칭과 같은 정교한 장치나, 포토이미징이 가능한 유전체와 같은 특별한 물질, 또는 마이크로 천공 깊이 제어와 같은 고난도 공정을 사용하지 않고도 비용면에서 효과적인 상호연결부의 제조방법을 사용하여 고밀도 상호연결 기판을 제공한다. 이와 관련된 공정의 단순함과 상호 연결 신뢰성이 개선됨으로써 고밀도 상호 연결부를 갖는 다층 회로기판의 제조 공정을 개선할 수 있다.
- [0056] 본 발명의 또다른 측면은 상호연결부, 전하 저장, 및/또는 전기-자기 절당으로 사용하기에 적합한 다양한 형태, 길이, 및 크기의 도전성 엘리먼트를 갖는 유전층을 설계하는 방법을 제공한다.
- [0057] 또한, 다층 회로기판의 실장 패드 밑에 상호연결 엘리먼트를 생성하는 방법이 제공된다. 이 컨셉은 개별적인 전기 연결을 위해 표면 상의 컴포넌트 패드 밑 영역 뿐만 아니라 다층 회로 기판의 표면 공간을 사용한다. 즉, 도전성 엘리먼트들은 내부층 내에 형성되지만, 외부층으로 확장되지는 않는다. 이런 방식으로, 회로 기판은 모든 원하는 컴포넌트들을 실장하는데 충분하면서도 그 크기가 감소될 수 있다.
- [0058] 본 발명의 특징 중 하나는 표준 유리 섬유 강화 프리프렉 유전층이 순수 레진 유전체를 대신하여 사용될 수 있는 공정에서 사용될 수 있다는 것이다. 추가적으로, 본 발명은 단일 프레싱 단계로 행해지기 때문에 유전체 표면 상에 도전체층을 형성하는 별도의 단계를 필요로 하지 않는다.
- [0059] 본 발명의 또 다른 특징은 내장형 도전성 엘리먼트들이 이 공정을 수행하기 위해 거의 일정한 높이를 가질 필요가 없다는 것이다. 또한, 본 방법에서는 도전성 엘리먼트가 원뿔 형상을 가질 필요가 없다. 도전성 엘리먼트는 다양한 형상, 크기 및 형태를 가질 수 있다.
- [0060] 도1-11은 유전층에 내장된 도전성 엘리먼트(예컨대, 스테르드, 비아 등)가 형성된 다층 회로기판의 단면도를 나타

내는 도면이다. 비아를 형성하기 위해 천공과 도금을 하거나, 2개층 상의 회로를 상호연결하기 위해 미리 형성된 스테드를 사용하는 대신에, 본 발명은 다층 회로기판을 형성하는 공정의 일부로서 전기적 상호연결부(예컨대, 도전성 엘리먼트들)를 사용한다. 특히, 전기적 상호연결부들은 다층 회로기판에 내장된다. 이러한 내장형 도전성 엘리먼트들의 한가지 용도는 다층 인쇄회로기판의 2개 이상의 서로 다른 층 상에서 동작하는 2개 이상의 회로를 연결하기 위한 것이다.

- [0061] 본 명세서 전체에서, "다층 코어" 및/또는 "기판"이라는 용어는 일반적으로 유전층 사이에 배치된 단일 또는 다층 도전성 트레이스, 패드 또는 다른 도전성 경로를 갖는 회로 또는 전기 네트워크를 형성하는 도전성 패턴 또는 트레이스를 가질 수 있는 유전층, 절연층 또는 이와 균등한 재료들의 기판을 가리킨다. 사용되는 유전체 재료는 강하거나 유연할 수 있으며, 하나 이상의 층으로 형성될 수 있다. 통상적인 멀티층 코어는 플렉서블 회로, 하나 이상의 인쇄회로기판층, 연결홀을 갖는 2개 이상의 회로층, 내장형 수동 컴포넌트들을 갖는 하나 이상의 인쇄회로층, 및/또는 내장형 집적 회로를 갖는 하나 이상의 인쇄회로층 또는 도전성 층을 포함한다.
- [0062] 도1은 본 발명의 한 실시예에 따른 다층 코어를 갖는 제1 기판(102)의 단면도를 나타낸다. 제1 기판(102)은 일면에는 도전성 회로 패턴(106)을 갖는 최외각 유전층(104)이 있고, 다른 면에는 다층 인쇄배선회로(108)의 하나 이상의 코어를 갖는다. 다른 실시예에서, 다층 코어(102)는 통상적인 구리 박막(copper foil)로부터 형성될 수 있는 도전성 회로 패턴(106)을 갖는 4층 회로 기판 코어일 수 있다. 이 도전성 회로 패턴(106)의 두께는 예컨대, 약 17 마이크론일 수 있다.
- [0063] 도2는 유전층(104) 및 도전성 회로 패턴(106) 상에 적용된 도전성 언더코트(202)의 단면도를 나타낸다. 도전성 언더코트(202)는 도전성 엘리먼트를 수용하는 유전층(104) 상에 형성된 개구부(예컨대 스테드 또는 비아홀)로 전류가 흘러가도록 하는 수단을 제공한다. 다른 실시예에서는, 도전성 언더코트(202)는 무전해 구리로서, 약 1.5 마이크론의 두께를 갖는다.
- [0064] 무전해 구리 공정 사용 대신에, 도전성 언더코트(202)를 형성하는데 다른 금속화(metallization) 공정이 사용될 수 있다. 예를 들어, 도전성 언더코트(예컨대, Enthone-OMI에 의해 Cuprostar LP-1 공정을 사용함)를 형성하는데 전해 도금 공정을 사용하는 직접 금속화 공정이 사용될 수 있다. MacDermid의 Black Hole<sup>®</sup>과 같은 다른 직접 금속화 공정들도 사용될 수 있다.
- [0065] 도3은 언더코트(202)에 적용되어 도전성 엘리먼트들이 위치하게 될 위치에 하나 이상의 개구부(304)를 형성하는 포토레지스트(302)를 갖는 제1 기판(102)의 단면도를 나타낸다. 이들 개구부(304)는 포토레지스트(302)와 같은 감광 재료층을 적층하고, 노광 또는 설딩을 이용하여 도전성 엘리먼트의 예상되는 위치에 개구부(304)를 형성함으로써 형성될 수 있다. 포토레지스트(302)는 예컨대, 듀폰 사의 Dry Film 9000 시리즈일 수 있다. 모든 개구부(304)가 도전성 회로 패턴(106)에 대응하는 위치에 있어야할 필요는 없다. 예를 들어, 2개의 개구부(302)는 도전성 회로 패턴(106)에 해당하는 위치에 있지 않고, 대신에 유전층(104)에 해당하는 지역에 위치한다.
- [0066] 도4는 도전성 엘리먼트(402)를 형성하기 위해 포토레지스트(302)에 의해 형성된 개구부(304)에 적층된 도전성 재료를 갖는 제1 기판(102)의 단면도이다. 개구부(304)의 하부가 도전성 언더코트(202)에 의해 전기적으로 연결되어 있으므로, 개구부(304)에 도전성 물질을 증착하기 위해 전기 도금 공정이 사용된다. 다른 실시예에서는, 예를 들면, 도금 첨가제인 Rohm and Hans의 Copper Gleam 125-T를 사용하여 구리를 도금하기 위해 전기 도금 공정이 사용되었다. 도전성 엘리먼트(402)는 주로 전기 도금 공정 중의 전계 분포 때문에 서로 다른 높이(예컨대, 60 내지 200 마이크론)를 가질 수 있다. 종래 기술과 달리, 본 발명은 도전성 엘리먼트(402)가 거의 일정한 높이를 갖는지에 관계없이 추가 공정이 없이도, 동일한 기능을 수행할 수 있다. 다른 실시예에서는, 도전성 엘리먼트들은 금속의 전기 증착, 도전성 접착제의 증착, 및/또는 전기-증착 후에 도전성 재료를 에칭함으로써 형성될 수 있다.
- [0067] 다른 실시예에서, 도전성 엘리먼트들은 도전성 금속, 도전성 접착제, 및/또는 도전성 페이스트를 포함할 수 있다. 도전성 금속은 철, 니켈, 주석, 알루미늄, 인듐, 납, 금, 은, 비스무스, 구리, 및/또는 팔라듐을 포함할 수 있다.
- [0068] 도5는 도전성 언더코트(202)의 표면으로부터 포토레지스트(302)를 제거하는 공정을 나타낸다. Atotech의 Resisstrip(예컨대, RR10)과 같은 드라이 필름 스트리퍼가 포토레지스트(302)를 제거하는데 사용될 수 있다. 이 드라이 필름 스트리퍼 공정은 희석된 나트륨 하이드록사이드 용액을 사용하여 수행될 수 있다.
- [0069] 도6은 노출된 도전성 언더코트(202)의 제거 후의 도전성 엘리먼트(402)를 나타낸다. 도전성 엘리먼트(402) 밑에 도전성 언더코트(202)가 잔존하는 것이 주목된다. 무전해 구리가 도전성 언더코트(202)로 사용되면, 마이크

로에칭 용액(예컨대, 100 gram/liter 나트륨 퍼설페이트(persulphate) 및 50 gram/liter 황산)에 의해 제거될 수 있다.

- [0070] 상기 도전성 언더코트(202)를 제거하는데 사용되는 방법은 언더코트(202)의 성질 및 성분에 따라 달라질 수 있다. 예를 들어, 언더코트(202)에 도전성 폴리머가 사용된다면, 도금된 구리를 제거하기 위해 마이크로테크 용액을 사용한 후에, 과망간산칼륨과 같은 강한 산화제가 사용될 수 있다. 다른 예에서는, 탄소 공정이 언더코트(202)에 사용되면 도금된 구리를 제거하기 위해 마이크로에칭 용액을 사용한 후에, 탄소 조각을 제거하기 위해 퍼미스(pumice) 파우더가 스프레이된다.
- [0071] 도전성 엘리먼트(402)를 형성하는 또다른 방법은 도전성 언더코트(202)에 도전성 페이스트를 프린트한 후에 경화처리하는 방법을 포함할 수 있다. 도전성 엘리먼트(402)의 소기의 높이를 확보하기 위해, 수차례의 도전성 페이스트 프린트가 요구될 수 있다. 이는 시간 및 제조 리소스를 많이 소모하고 프린트 공정이 적절히 제어되지 않을 경우 스미어링(smearing)과 같은 문제들에 약하다는 점에서 바람직하지 않다.
- [0072] 도전성 엘리먼트(402)는 두꺼운 구리층에 도금된 후에 에칭함으로써 형성될 수도 있다. 실제로는, 많은 양의 구리가 도금되고, 그 중 상당 부분이 에칭에 의해 제거되어야 한다. 이것은 상당한 재료의 낭비를 초래하게 된다.
- [0073] 도7은 제1 기판(102) 및 제2 기판(706)의 단면도를 나타내며, 제2 기판(706)은 절연층(702) 및 도전층(704)을 포함하며, 다층 라미네이션 프레싱 전에 제1 기판 상에 배치된다. 다른 실시예에서, 도전층(704)은 RCC(resin coated copper foil)일 수 있고, 절연층(702)은 프리프랙(예컨대, 표준 유리 섬유 강화제를 갖는 순수 레진, Mitsui의 절반 oz 구리 박막과 결합된 Nelco의 1080 프리프랙)일 수 있다. 상기 제2 기판(706) 위에 프레싱 플레이트는 상기 프레싱 압력을 골고루 분산시킬 수 있어야 한다. 목적은 2개의 기판(102 및 706)이 프레싱된 후에, 도전성 엘리먼트(402)가 제2 기판(706) 상에 확실하게 돌출부를 형성할 수 있도록 하는 것이다. 그러나, 프레싱 라미네이션 온도가 절연 물질(702)의 유리 전이 온도(Tg) 보다 높기 때문에, 제1 기판(102)의 다층 코어 재료는 프레싱 공정 중에 연화처리될 수 있다. 도전성 엘리먼트(402)는 내장형 도전성 엘리먼트가 없는 주위 표면보다 높이가 높다. 예를 들어, 도전성 엘리먼트는 절연층(702) 및/또는 도전층(704)을 합친 두께보다 더 큰 두께를 가질 수 있다. 통상적인 조건하에 압력이 가해지게 되면, 도전성 엘리먼트는 제1 기판(102)의 연화된 다층 코어로 "싱크"될 수 있다.
- [0074] 이러한 상황을 해결하기 위해, 제2 기판(706) 상의 프레싱 플레이트(708)는 도전성 엘리먼트가 없는 영역보다 도전성 엘리먼트가 있는 영역을 보다 압축하도록 설정된다. 다른 실시예에서, 제2 기판(706) 상의 프레싱 플레이트(708)는 도전성 엘리먼트(402)에 해당하는 위치에 홀 또는 압축-패드(710)를 포함할 수 있다. 홀 및 압축 패드는 동일한 크기이거나 도전성 엘리먼트(402)의 크기보다 클 수 있다. 압축 패드(710)는 압축이 독립적으로 제어될 수 있어 도전성 엘리먼트(402)에 가해지는 압력이 도전성 엘리먼트가 없는 나머지 영역에 가해지는 압력과 거의 동일하도록 해줄 수 있다. 프레싱 플레이트(708)는 도전성 엘리먼트가 없는 영역에 압력을 덜 가하도록 설정될 수 있다. 제1 기판(102) 위의 도전성 엘리먼트(402) 및 나머지 영역들에 거의 동일한 압력을 유지함으로써, 도전성 엘리먼트(402)는 제2 기판(706)으로 프레싱되어 돌출부를 형성한다(도8에 도시됨).
- [0075] 본 발명은 동일한 단계로 유전층(702) 표면에 도전층(704)을 형성한다는 점이 주목된다. 유전체 및 구리 박막을 프레싱하기 위해 통상적인 프레싱 기술이 사용될 수 있다. 도전층(704)이 사용되지 않는 경우에는 내장형 도전성 엘리먼트(402)를 노출시키는 것이 약간 더 쉬울 수 있지만, 이러한 이득은 도전층(704)을 사용하지 않고 프레싱하고, 도전성 언더코트층(1002)에 대한 유전체 표면에 시드(seed)를 제공하는 추가 공정을 상쇄시킬 만큼 충분하지 않다(도10).
- [0076] 도8은 내장형 도전성 엘리먼트(402) 상을 돌출부 또는 범프(802)로 제1 및 제2 기판(102, 706)을 프레싱한 뒤의 회로 기판층의 단면도를 나타낸다. 실제로는, 이러한 돌출부의 단면도는 프레싱 라미네이션 후의 절연층에 내장된 도전성 엘리먼트를 나타낼 것이다. 도전성 엘리먼트(402)의 상부는 절연층(702) 및 도전층(704)의 훨씬 상부에 위치한다. 도전성 엘리먼트(402)는 절연층(702)의 유리 섬유 강화층(804)을 반드시 관통하지는 않는다. 절연층(702)의 유리 섬유 강화재료(804)는 도전성 엘리먼트(402) 상에 위치한다. 절연층(702)으로부터의 레진은 도전성 엘리먼트(402)의 하부로 흘러간다. 이러한 공정에 의해, 상호연결하는 도전성 엘리먼트(402)가 절연층(702)의 강화 재료(804)를 관통할 필요가 없기 때문에, 본 발명은 종래기술과 같은 원뿔형 범프를 필요로 하지 않는다.
- [0077] 도9는 평탄화를 위해 샌딩(sanding) 또는 브러싱(brushing)과 같은 기계적 수단이 제2 기판(706)의 상면(806)에

적용된 후의 회로 기관층의 단면도를 나타낸다. 이것은 도전층(704)의 일부, 절연층(702)의 일부 및 도전성 엘리먼트의 일부를 제거한다. 결과적으로 제2면(806)에 제2 도전층(704) 및 제2 절연층(702)의 일부가 존재하게 된다. 종래 기술과 달리, 결과적인 회로기관이 평탄화되기 때문에, 본 발명은 도전성 엘리먼트(402)가 거의 일정한 높이를 갖느냐의 여부에 상관없이 동일한 기능을 수행할 수 있다. 즉, 제2면(806)이 평탄화 또는 거의 평면화되어 도전성 엘리먼트(402)의 높이가 일정해지기 때문에, 도전성 엘리먼트(402)가 형성되었을 때 동일한 높이를 갖느냐는 상관이 없게 된다.

[0078] 선택적인 실시예에서, 제2 도전층(704)은 기계적으로 브러싱 또는 샌딩하여 평탄화하기 전에 에칭될 수 있다. 이는 다층 기관 제조 공정이 노출된 유전체 또는 절연층(702) 표면에 도전성 언더코트를 직접 형성할 수 있는 경우에 사용될 수 있다. 선택적으로, 기계적 브러싱은 제2 도전층(704)의 에칭 전에 수행될 수도 있다. 그러나, 이 방법의 단점은 제2 도전층(704)을 브러싱하는 것이 더 어렵고, 브러싱 이후에 에칭 공정을 수행하면 제2 도전층(704) 및 도전성 엘리먼트(402)의 노출된 부분에 상처를 입힐 수 있다는 단점을 갖는다.

[0079] 또 다른 실시예에서, 제2 기관(706)이 제1 도전층에 프레싱될 경우에는 제2 도전층(704)을 포함하지 않는다. 그 후에, 제2 기관의 상면(절연층(702))이 브러싱 또는 샌딩에 의해 평탄화된다. 이는 도전성 언더코트의 층이 제2 절연층(702)의 평탄화된 표면에 직접 부가될 수 있을 경우에 적절한 공정일 수 있다. 이 방법은 제2 도전층(704)의 사용을 피할 수 있다는 장점을 갖는다. 그러나, 릴리스(release) 필름이 필요할 수도 있으며, 이 경우 이후 단계에 절연층(702)으로부터 제거되는 필요성이 요구될 것이다.

[0080] 도10은 제2면(806)에 적용된 도전성 언더코트(1002)를 갖는 회로 기관층의 단면을 나타낸다. 도전성 언더코트(1002)는 무전해 구리 도금일 수 있다. 도전성 폴리머 등의 다른 공지된 직접 금속화 공정 후에 구리를 전기 도금하는 공정도 사용될 수 있다. 다른 실시예에서, 제2면(806) 상의 도전성 언더코트(1002)는 금속층의 적층, 도전성 폴리머층의 적층, 탄소층 또는 탄소 균등물층 또는 그 결합층일 수 있다.

[0081] 도11은 도전성 언더코트(1002) 상에 형성된 회로 패턴(1104)의 단면도를 나타낸다. 이 회로 패턴(1104)은 다양한 방법으로 형성될 수 있다. 예컨대, 도전성 언더코트(1002)를 라미네이션하는데 포토이미징이 가능한 레지스트(예컨대, 듀폰의 9000 시리즈)가 사용될 수 있다. 회로 패턴의 이미지는 도전성 언더코트(1002)의 표면으로 전사된다. 그리고 나서, 이것은 구리 및 주석으로 도금되고, 포토이미징 가능한 레지스트를 제거하고 불필요한 구리를 에칭하여 원하는 회로 패턴(1104)을 형성하게 된다.

[0082] 다른 실시예에서, 도전성 엘리먼트(402)는 기관 표면(806)이 평탄화된 후, 도전성 언더코트(1002)를 갖는 표면을 코팅하기 전에, 기계적으로(예컨대, 샌딩 또는 브러싱) 천공될 수 있다. 그리고 나서, 천공된 홀들은 도금되어 쓰루홀 또는 비아가 된다.

[0083] 다양한 실시예에서, 도전성 회로 패턴(106 및/또는 1104)은 (a) 금속층의 전기-증착(예컨대, 회로 패턴 위에 레지스트층을 마스크한 다음 마스크되지 않은 금속층을 에칭함) (b) 비-회로 패턴 위에 레지스트층을 마스크한 다음 금속층 및 에칭 레지스트 금속층을 전기-증착하고, 제2 도전층 및 도전성 언더코트를 비마스크 및 제거함으로써, (c) 금속층의 전기-증착 층을 형성하고, 비회로 패턴 위에 레지스트층을 마스크하고 추가적으로 금속층 및 에칭 레지스트 금속층을 전기-증착한 다음, 도전성 언더코트 및 제2 도전층을 비마스크 및 제거함으로써, 또는 (d) 도전성 표면에 회로 패턴을 형성하는 다른 공지된 방법에 의해 형성될 수 있다.

[0084] 도1-11에 도시된 예들은 제1 기관(102)의 일 면에 도전성 엘리먼트를 형성하는 방법을 설명하였지만, 동일한 공정이 제1 기관(102)의 양면에 적용되어 제1 기관의 양면에 내장형 도전성 엘리먼트를 형성할 수도 있다. 이러한 제1 기관의 양면(102)의 도전성 엘리먼트들은 함께 또는 동시에 형성될 수 있다.

[0085] 본 발명의 또 다른 특징은 도11에 도시된 바와 같은 다수의 다층 기관을 스택(stack)하는 방법을 제공한다. 즉, 일단 도전성 엘리먼트(402) 상에 회로 패턴(1104)이 형성되면(도11에 도시된 바와 같이), 이 기관은 도1에 도시된 다층 코어 또는 기관(108)으로 사용될 수 있으며, 전체 공정을 반복함으로써 추가적인 기관층, 회로 및 도전성 엘리먼트를 추가할 수 있다.

[0086] 본 발명의 또 다른 특징은 서로 다른 형태 및 길이의 도전성 엘리먼트(예컨대, 엘리먼트(402))를 제공한다. 상술한 설명에서, 도전성 엘리먼트(402)가 기둥형 도전체인 것으로 설명하였지만, 도전성 엘리먼트(402)는 서로 다른 형태, 크기 및/또는 길이를 갖도록 형성될 수 있다.

[0087] 미국등록특허 6,713,685는 레이저 에블레이션(ablation) 또는 플라즈마 에블레이션, 및/또는 마이크로-밀링(milling)을 사용하여 기관 상에 비원형 비아를 형성하는 방법을 개시하고 있다. 그러나, 본 발명에 따르면 이러한 고비용이고 시간 소모적인 비아 형성방법을 회피할 수 있다. 그 대신, 본 발명은 이미지 전사에 의해 도

전성 엘리먼트(402)를 형성한다. 예를 들어, 도3에 도시된 바와 같이, 도전성 엘리먼트(402)용 개구부(304)는 이미지를 포토레지스트로 전사한 다음, 개구부(304) 위의 포토레지스트를 제거함으로써 형성될 수 있다. 그리고 나서, 이러한 도전성 엘리먼트(402)는 전기 도금되어 개구부(304) 내로 증착될 수 있다. 이것은 단일 이미지 전사 단계로, 원형, T형 또는 다른 형태의 엘리먼트(402)가 추가적인 작업없이도 함께 또는 동시에 전사될 수 있음을 뜻한다. 따라서, 이러한 방법을 통해 원형, 이클립스형(eclipse), I형, T형, L형 \*형 등의 다양한 형태가 형성될 수 있다. 추가적인 형태의 도전성 엘리먼트(402)들이 포토레지스트층(302) 상에 다단계 이미지 전사 공정에 의해 형성될 수 있음을 주목하여야 한다. 즉, 다양한 크기, 형태, 및 사이즈의 개구부들이 포토레지스트(302) 상의 다단계 방법에 의해 형성될 수 있다. 이것은 서로 다른 높이의 서로 다른 크기를 갖는 도전성 엘리먼트(402)의 형성을 가능케 한다.

[0088] 도12는 다층 회로기판의 서로 다른 층들 사이에 형성될 수 있는 도전성 엘리먼트의 다양한 형태 및 타입을 나타낸다. 제1층(1204) 상의 제1 회로(1202)가 제2층(1208) 상의 제2 회로(1206)에 연결되는 경우를 고려해 본다. 종래의 방법에서는, 상호연결 패드(1210 및 1212)라 각 회로(1202, 1204)에 대해 형성될 수 있고, 쓰루-비아 또는 스타드 상호연결 엘리먼트(1214)가 패드(1210 및 1212)를 연결할 수 있는 각층(1204, 1208) 상의 해당 위치에 2개의 회로(1202, 1204) 모두를 라우팅할 것이다. 패드는 제1 및 제2 회로(1202, 1206)의 트레이스의 폭보다 더 큰 지름을 갖는 경향이 있기 때문에, 통상적으로 패드 위치(1210 및 1212)로의 그러한 라우팅이 요구된다. 또한, 제1 및 제2 회로(1202, 1206) 사이의 상호연결 엘리먼트(1214)는 적절한 전기 연결을 제공하는데 충분한 사이즈를 갖는 상호연결 패드(1210 및 1212)에 연결될 필요가 있다. 따라서, 회로(1210, 1212) 상의 통상적으로 박막인 트레이스는 엘리먼트(1214)를 도통시키는 원형 스타드 또는 비아를 사용할 때 적절한 연결 포인트를 제공하지 않을 수도 있다.

[0089] 제1 및 제2 회로(1202, 1206)이 제1층 및 제2층(1204, 1208)의 해당 위치에서 서로 교차한다고 가정하면, 본 발명은 회로들(1202 및 1206)을 상호연결시키기 위해 늘어진 직사각형 형태의 도전성 엘리먼트(1220)를 사용할 수 있다. 즉, 늘어진 직사각형 도전성 엘리먼트(1220)는 적절한 연결 포인트(1216 및 1218)를 제공하는 회로(1202, 1206) 상의 회로 트레이스와 거의 동일한 폭을 가질 수 있다.

[0090] 본 발명의 또다른 측면은 전하를 저장하는 내장형 엘리먼트를 제공한다. 이 경우의 전기 엘리먼트(1222)는 하나의 회로층(1208)과의 컨택(1224)을 형성한다. 전기 엘리먼트(1222)는 도전성 엘리먼트를 형성하기 위해 설명된 방법과 동일한 방법을 사용하여 형성될 수 있다.

[0091] 본 발명의 다른 실시예들은 다층 회로들 간의 전기-자기 설당을 제공할 수 있다. 내장형 설당 엘리먼트(1226, 1228)는 도전성 엘리먼트를 형성하기 위해 앞서 설명된 방법에 따라 형성될 수 있다. 내장형 설당 엘리먼트(1226, 1228)는 제1층(1204) 또는 다른 층(1208)에서 발생하는 전기적 간섭 및/또는 자기장의 영향으로부터 제1층(1204)의 트레이스 및/또는 전기 컴포넌트들을 설당할 수 있다. 다른 실시예에서, 설당 엘리먼트(1226, 1228)는 접지 포인트에 연결될 수도 있고, 아무 회로, 전기 연결 또는 접지점에도 연결되지 않을 수 있다. 설당 엘리먼트(1226, 1228)은 소기의 설당을 제공하기 위해 층들(1204, 1208)의 평면에 수평/병렬 및/또는 수직/직각으로 형성될 수 있다. 본 발명에서 설당 엘리먼트(1226, 1228)는 다른 방향성도 가질 수 있다.

[0092] 도13은 다층 회로기판을 형성 또는 구현하는 방법의 일부로서 내장형 도전성 엘리먼트를 형성하는 방법을 나타낸다. 제1 도전 회로 패턴은 제1 기판의 제1면 상에 형성된다(1302). 제1 도전성 엘리먼트는 제1기판의 제1면 상에 형성되고(1304), 제1 절연층 및/또는 제1 도전층은 제1 기판의 제1면, 제1 도전성 회로 패턴 및 제1 도전성 엘리먼트 상에 형성된다(1306). 제1 도전성 엘리먼트의 적어도 일면을 노출시키도록, 제1 절연층 및/또는 제1 도전층의 일부가 제거된다(1308). 제1 도전성 언더코트층은 제1 절연층 및/또는 제1 도전층 상에 형성된다(1310).

[0093] 제1 도전성 엘리먼트는 제1 도전층 또는 제1 절연층 상에 형성된 제1 도전성 회로 패턴 및/또는 제2 도전성 회로 패턴에 전기적으로 연결될 수 있다(1312). 비아가 필요한 경우는 제1 도전성 엘리먼트에 홀이 천공될 수 있다. 이러한 단계들은 본 발명의 범위를 벗어나지 않고 다양한 순서로 수행될 수 있다.

[0094] 제1 도전성 엘리먼트를 형성할 때, 포토레지스트층이 제1면에 적용될 수 있으며, 상기 포토레지스트는 제1 도전성 엘리먼트가 형성될 위치의 개구부를 정의한다. 상기 포토레지스트는 제1 도전성 엘리먼트가 형성된 후에 제거된다.

[0095] 제1 절연층 및/또는 제1 도전층은 제1 기판의 제1면에 제1 절연층 및/또는 제1 도전층을 프레싱하여 거의 동일한 압력이 제1면 뿐만 아니라 제1 도전성 엘리먼트에도 가해질 수 있도록 함으로써 제1 기판의 제1면 상에 형성

될 수 있다. 제1 도전성 엘리먼트는 제1 절연층 및/또는 제1 도전층 상에 돌출부를 형성할 수 있다. 선택적으로, 제1 도전층은 제1 절연층의 제1 노출면에 도전 재료를 제공함으로써 형성될 수 있다.

[0096] 다른 실시예에서, 하나 이상의 도전성 엘리먼트가 제1 기관의 제1면의 반대면인 제2면 상에 형성될 수 있다. 즉, 하나 이상의 도전성 엘리먼트를 형성하기 위해 동일한 공정이 그에 이어서 또는 동시에 제1 기관의 제2면 상에서 실행될 수 있다.

[0097] 또한, 복수의 도전성 엘리먼트들이 제1면에 동시에 형성될 수 있고, 상기 제1면에는 복수의 도전성 엘리먼트들 중 적어도 2개의 엘리먼트는 서로 다른 형태, 예컨대 타원형, 직사각형, 정사각형, L형, T형, 또는 십자형일 수 있다.

**발명의 효과**

[0098] 본 발명의 다양한 측면들은 거의 일정한 높이를 갖는 도전성 엘리먼트들(예컨대, 범프들)을 형성할 필요성을 제거함으로써 회로 기관 상호 연결 엘리먼트들(예컨대, 스테드, 비아 등)의 제조방법을 개선한다. 또한, 본 발명은 단일 프레스 라미네이션 공정에 도전층과 함께 라미네이트된 내장형 유리 섬유를 갖는 유전층(예컨대, 프리프렉)을 사용한다. 본 발명은 다층 코어의 표면의 도전성 패턴 상에 도전성 엘리먼트를 형성한다. 이것은 예컨대 내부층 회로 패턴 상에 무전해 구리층을 도금하고, 도전성 엘리먼트를 마스킹한 다음 도금함으로써 수행될 수 있다.

[0099] 도전성 엘리먼트를 포함하는 패터닝된 층의 표면에 유전층 및 도전층을 라미네이트하기 위해 프레스 라미네이션 공정이 수행되며, 도전성 엘리먼트가 추가된 도전층의 표면 위로 돌출된다. 도전성 엘리먼트들에 압축될 수 있는 컴포넌트들을 프레스하는 라미네이션 방법은 구리 박막을 갖는 프리프렉층을 내부 코어에 라미네이션하는데 사용될 수 있다.

[0100] 도전층, 유전층 및 도전성 엘리먼트의 일부를 제거하여 도전성 엘리먼트를 노출시키는데 기계적인 공정이 사용된다. 그 후에, 도전성 언더코트(undercoat)가 유전층의 표면 상에 형성된다. 그리고 나서, 도전성 언더코트 상에 회로 패턴이 형성된다.

[0101] 본 발명은 다층 회로 기관에 내장형 도전성 엘리먼트를 형성하는 종래 방법에 대해 몇가지 장점을 제공할 수 있다. 예를 들어, 내장형 도전성 엘리먼트를 형성하는 방법은 새로운 장비나 재료 없이도 수행될 수 있다. 본 발명의 신규한 방법은 또한 다층 회로 기관에 내장된 패드 밑의 상호연결 엘리먼트를 생성하는데 쉽고도 신뢰성 있는 방법을 제공한다.

[0102] 본 발명의 또다른 측면은 기관 공간을 보다 효율적으로 사용할 수 있도록 해주는 다양한 형태, 크기 및 길이를 갖는 내장형 엘리먼트들을 형성하는 방법을 제공한다. 예를 들어, 다양한 형태(예컨대, 사각 라운드형, 타원형, 선형 등)를 갖는 상호연결 엘리먼트들은 다층 기관의 서로 다른 층의 2개의 회로를 연결시킬 수 있다. 이 기술은 다양한 형태 및 크기의 전하-보전 엘리먼트 및/또는 전기-자기 설딩 엘리먼트를 형성하는데 사용될 수 있다.

[0103] 임의의 예시적인 실시예들을 설명하고 첨부된 도면에 도시하였으나, 그러한 실시예들은 단지 설명을 위한 것이고, 본 발명의 범위를 거기에 제한하고자 하는 것이 아니며, 다양한 변형이 가능하다. 당업자는 상술한 실시예의 다양한 변형예들이 본 발명의 범위 내에서 다양하게 변형될 수 있음을 이해할 것이다. 따라서, 본 발명은 첨부된 청구범위의 해석에 따라 정해지는 범위 내에서 여기에 설명된 것 외에도 다양하게 실시될 수 있음이 이해되어야 한다.

**도면의 간단한 설명**

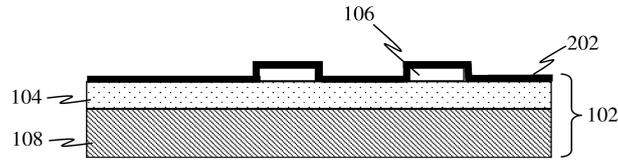
[0001] 도1은 본 발명의 일 실시예에 따른 다층 코어를 갖는 제1 기관의 단면도를 나타낸다.

[0002] 도2는 유전층 및 도전성 회로 패턴 상에 적용된 도전성 언더코트의 단면도이다.

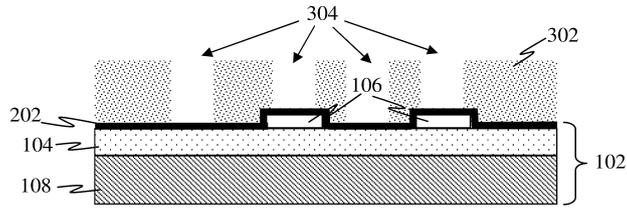
[0003] 도3은 도전성 언더코트에 적용되어 도전성 엘리먼트들이 배치될 위치에 개구를 형성하는 포토레지스트를 갖는 제1 기관의 단면도를 나타낸다.



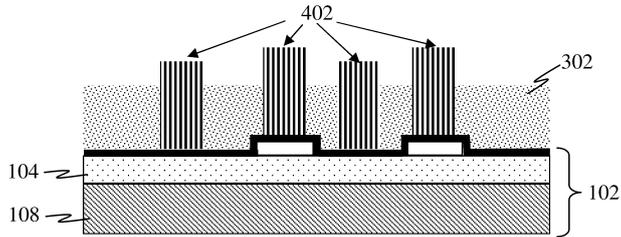
도면2



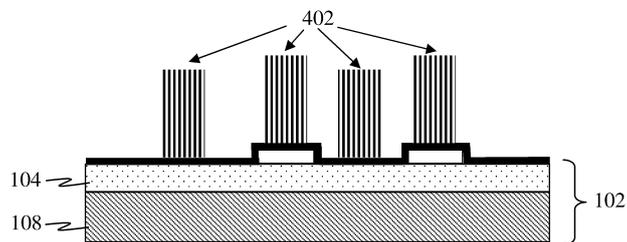
도면3



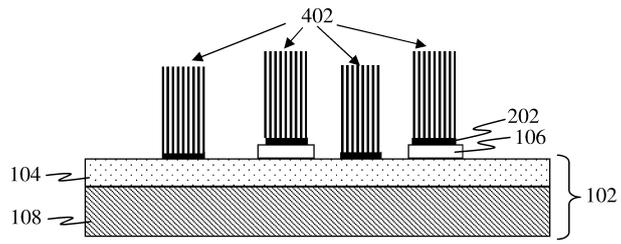
도면4



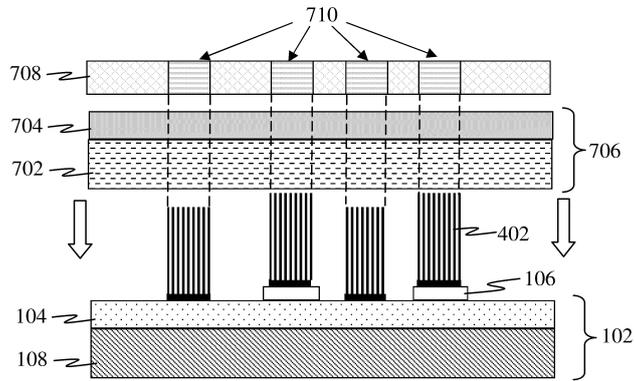
도면5



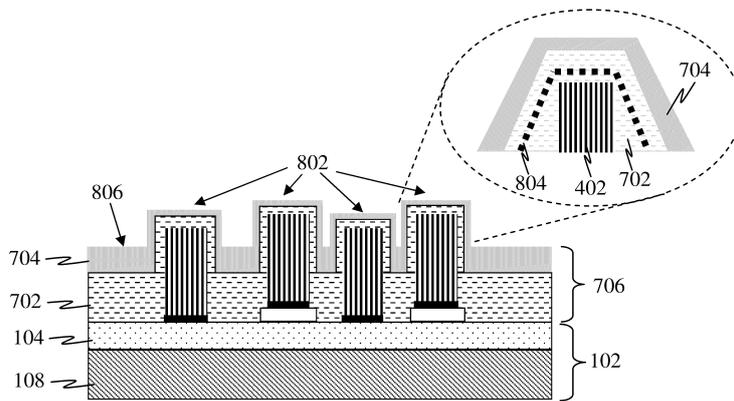
도면6



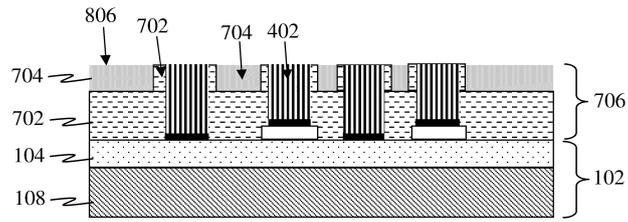
도면7



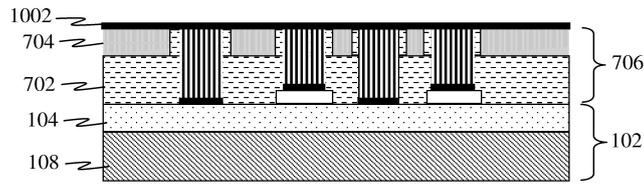
도면8



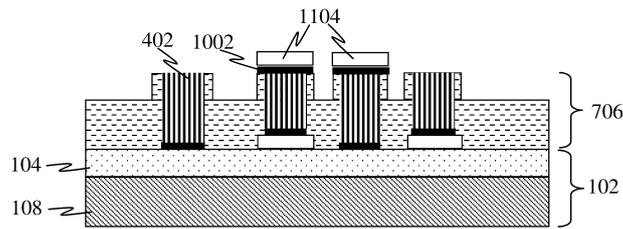
도면9



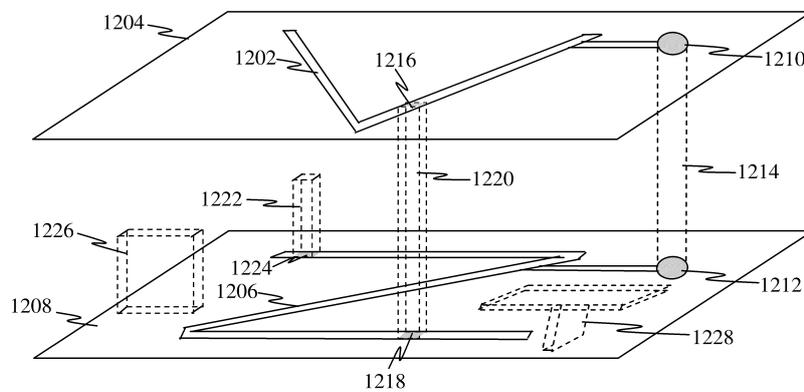
도면10



도면11



도면12



도면13

