



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월09일
 (11) 등록번호 10-1886297
 (24) 등록일자 2018년08월01일

(51) 국제특허분류(Int. Cl.)
 H05K 3/46 (2006.01) H05K 3/40 (2006.01)
 (21) 출원번호 10-2011-0116292
 (22) 출원일자 2011년11월09일
 심사청구일자 2016년04월07일
 (65) 공개번호 10-2013-0051124
 (43) 공개일자 2013년05월20일
 (56) 선행기술조사문헌
 JP2010016335 A*
 JP2006310358 A*
 JP11004054 A*
 JP2009283872 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지이노텍 주식회사
 서울특별시 중구 후암로 98 (남대문로5가)
 (72) 발명자
이상유
 서울특별시 중구 한강대로 416, 20층 엘지이노텍
 주 (남대문로5가, 서울스퀘어)
윤형규
 서울특별시 중구 한강대로 416, 20층 엘지이노텍
 주 (남대문로5가, 서울스퀘어)
 (74) 대리인
허용록

전체 청구항 수 : 총 9 항

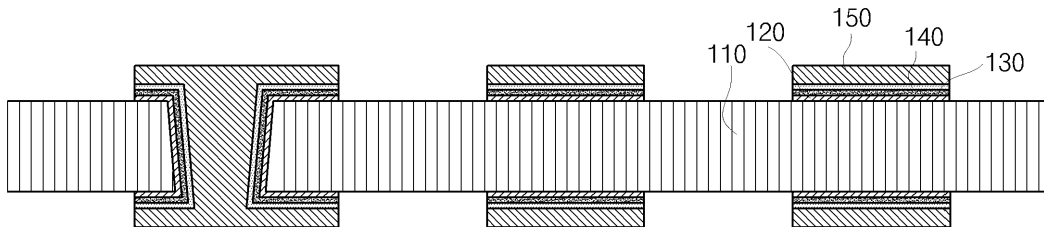
심사관 : 김상걸

(54) 발명의 명칭 **폴리이미드 코어를 이용한 박형 다층 인쇄회로기판 및 그 제조방법**

(57) 요약

본 발명은 인쇄회로기판 및 그 제조방법을 개시한다. 본 발명의 일 실시예에 따른 인쇄회로기판은 폴리이미드 재료로 이루어지며 관통홀이 형성된 코어층; 상기 코어층의 양면 또는 일 면 상에 형성되는 회로패턴층; 상기 코어층과 상기 회로패턴층 사이에 위치하며 상기 코어층과 회로패턴층을 접착시키는 접착층; 및 상기 접착층과 상기 회로패턴층 사이에 형성되는 전도성 층을 포함한다. 본 발명에 따라, 다층 인쇄회로기판에서 코어층을 폴리이미드 재료로 형성함으로써 코어층의 두께를 감소시키며, 그에 따라 인쇄회로기판 상에 미세패턴을 구현할 경우 고신뢰성의 인쇄회로기판을 제공할 수 있다.

대표도 - 도3



명세서

청구범위

청구항 1

폴리이미드 재료로 이루어지며 관통홀이 형성된 코어층; 상기 코어층의 적어도 일면에 배치되는 회로패턴; 및 상기 코어층의 상기 관통홀을 매립하는 비아를 포함하고,
상기 비아는,
상기 코어층의 상기 관통 홀의 내벽에 배치되는 제 1 접착층과,
상기 관통홀의 내벽에 배치된 상기 제 1 접착층 상에 배치되는 제 2 접착층과,
상기 제 2 접착층 상에 배치되는 전도성층과,
상기 전도성층 상에 배치되며, 상기 관통홀을 매립하는 회로패턴층을 포함하는 인쇄회로기판.

청구항 2

제1항에 있어서,
상기 제 1 접착층은,
크롬 또는 티타늄을 포함하며, 상기 코어층과 상기 회로패턴층 사이를 접착시키며,
상기 제 2 접착층은,
니켈과 크롬의 합금 또는 니켈을 포함하며, 상기 제 1 접착층과 상기 전도성층 사이의 금속 확산을 방지하는 인쇄회로기판.

청구항 3

제1항에 있어서,
상기 회로패턴은,
상기 비아에 대응하는 상기 제 1 접착층, 상기 제 2 접착층, 상기 전도성층 및 상기 회로패턴층을 포함하는 인쇄회로기판.

청구항 4

삭제

청구항 5

제2항에 있어서,
상기 니켈과 크롬의 합금에서의 상기 크롬의 함량비는 최소한 1중량% 이상인 인쇄회로기판.

청구항 6

제2항에 있어서,
상기 니켈과 크롬의 합금에서의 상기 크롬의 함량비는 5중량% 이상인 인쇄회로기판.

청구항 7

폴리이미드 재료로 이루어진 코어층에 관통홀을 형성하고;
상기 형성된 관통홀의 내벽을 포함하는 상기 코어층의 표면에 제 1 접착층을 형성하고,

상기 형성된 제 1 접착층 상에 제 2 접착층을 형성하며,
 상기 제 2 접착층 상에 전도성 층을 형성하며;
 상기 전도성 층 상에 회로패턴층을 형성하며,
 상기 코어층의 표면에 형성된 상기 제 1 접착층, 제 2 접착층, 상기 전도성층 및 상기 회로 패턴층을 식각하여
 상기 관통홀을 매립하는 비아 및 상기 코어층의 적어도 일면에 배치되는 회로패턴을 형성하는 단계를 포함하고,
 상기 비아는,
 상기 관통홀의 내벽 상에 배치되는 상기 제 1 접착층과,
 상기 제 1 접착층 상에 배치되는 상기 제 2 접착층과,
 상기 제 2 접착층 상에 배치되는 상기 전도성층과,
 상기 전도성층 상에 배치되는 상기 회로패턴층을 포함하는 인쇄회로기판 제조방법.

청구항 8

제7항에 있어서,
 상기 제 1 접착층은,
 크롬 또는 티타늄을 포함하며, 상기 코어층과 상기 회로패턴층 사이를 접촉시키며,
 상기 제 2 접착층은,
 니켈과 크롬의 합금 또는 니켈을 포함하며, 상기 제 1 접착층과 상기 전도성층 사이의 금속 확산을 방지하는 인
 쇠회로기판 제조방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

제8항에 있어서,
 상기 니켈과 크롬의 합금의 상기 크롬의 함량비는 최소한 1중량% 이상인 인쇄회로기판 제조방법.

청구항 12

제8항에 있어서,
 상기 니켈과 크롬의 합금의 상기 크롬의 함량비는 5중량% 이상인 인쇄회로기판 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 폴리이미드 코어를 이용한 박형 다층 인쇄회로기판 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 칩 등과 같은 반도체 장치를 사용한 전자 기기의 기능과 사이즈 면에서의 향상이 근래에 진행되고 있다. 따라서, 반도체 장치의 집적 밀도는 증가하며 또한 다핀화와 소형화가 도모되고 있다. 핀의 수가 증가되고 소형화되는 반도체 장치가 실장된 기판으로서, 빌트-업 방법(built-up method)을 이용한 다층 인쇄회로기판이 제공된다.

- [0003] 다층 인쇄회로기판으로서 코어기판의 표면 및 이면에 빌드업층을 형성한 다층 인쇄회로기판이 실용화되어 있다. 이 다층 인쇄회로기판에 있어서는 코어기판으로서 예를 들면 보강 섬유에 수지를 함침시킨 수지 기판(유리 에폭시 기판 등)이 사용되고 있다. 그리고, 이 코어기판의 강성을 이용하여 코어기판의 표면 및 이면에 수지 절연층과 도체층을 교호로 적층함으로써 빌드업층이 형성되어 있다. 즉, 이 다층 인쇄회로기판 기판에 있어서 코어기판은 보강의 역할을 하고 있으며, 빌드업층에 비해서 매우 두껍게 형성되어 있다.
- [0004] 또, 코어기판에는 표면 및 이면에 형성된 빌드업층 간의 도통을 도모하기 위한 배선(구체적으로는 스루홀 도체 등)이 관통 형성되어 있다. 빌드업 식의 다층 인쇄회로기판의 종래 기술로서는 공개특허공보 10-2011-0076803, 10-2011-0076805 등이 있다.
- [0005] 도 1은 종래 다층 인쇄회로기판의 단면도를 나타낸 도면이다.
- [0006] 도 1을 참조하면, 고주파 영역의 IC칩, 특히 3 GHz를 초과해도 오동작이나 에러가 발생하지 않는 패키지 인쇄회로기판을 제공한다. 코어기판(30) 상의 도체층(34P)을 두께 30 μm 로 형성하고, 층간수지절연층(50) 상의 도체회로(58)를 15 μm 로 형성한다. 도체층(34P)을 두껍게 함으로써, 도체 자체의 체적을 늘게 하고, 저항을 저감할 수 있다. 또, 도체층(34)을 전원층으로 사용하는 것으로, IC칩으로의 전원 공급 능력을 향상시킬 수 있다.
- [0007] 그러나, 이러한 다층 배선 기판은 내부에 코어층을 갖기 때문에, 코어층에 형성된 도통 홀을 소형화하기 어렵고, 다층 배선기판 전체의 고밀도가 달성되기 어렵다는 문제가 있다. 또한, 코어층이 설치되기 때문에, 필연적으로 다층 배선 기판이 두꺼워지고, 따라서 전자 기기의 소형화가 어려워지는 문제도 있었다.
- [0008] 즉, 휴대용 스마트 폰 사용의 증가에 따라 반도체 칩의 고성능화 및 실장시 두께를 점차 얇게 하여야 한다. 기존 패키지 구조의 경우 전체 패키지의 두께를 줄이기가 어려우며, 미세패턴을 구현 할 경우 고신뢰성의 인쇄회로기판을 구성하기가 어렵다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로, 본 발명의 목적은, 코어층의 두께를 감소시킨 인쇄회로기판 및 그 제조 방법을 제공하는데 있다.

과제의 해결 수단

- [0010] 전술한 문제를 해결하기 위한 본 발명의 일 실시예에 따른 인쇄회로기판은 폴리이미드 재료로 이루어지며 관통홀이 형성된 코어층; 상기 코어층의 양면 또는 일 면 상에 형성되는 회로패턴층; 상기 코어층과 상기 회로패턴층 사이에 위치하며 상기 코어층과 회로패턴층을 접착시키는 접착층; 및 상기 접착층과 상기 회로패턴층 사이에 형성되는 전도성 층을 포함한다.
- [0011] 상기 접착층은, 상기 코어층 상에 형성되어 상기 코어층과 상기 회로패턴층을 접착시키는 제1 접착층과, 상기 제1 접착층 상에 형성되어 상기 제1 접착층과 상기 코어층 사이의 금속 확산을 방지하는 제2 접착층을 포함할 수 있다.
- [0012] 상기 제1 접착층은 크롬 또는 티타늄으로 형성될 수 있다.
- [0013] 상기 제2 접착층은 니켈과 크롬의 합금 또는 니켈로 형성될 수 있다.
- [0014] 상기 합금에서의 상기 크롬의 함량비는 최소한 1중량% 이상일 수 있다.
- [0015] 상기 합금에서의 상기 크롬의 함량비는 5중량% 이상일 수 있다.
- [0016] 본 발명의 일 실시예에 따른 인쇄회로기판은 폴리이미드 재료로 이루어진 코어층에 관통홀을 형성하고; 상기 코어층 상에 접착층을 형성하며; 상기 접착층 상에 전도성 층을 형성하며; 상기 전도성 층 상에 회로패턴층을 형성하는 것을 포함한다.
- [0017] 상기 접착층을 형성하는 것은, 상기 코어층 상에 상기 코어층과 상기 회로패턴층을 접착시키는 제1 접착층을 형성하고, 상기 제1 접착층 상에 제1 접착층과 상기 코어층 사이의 금속 확산을 방지하는 제2 접착층을 형성하는 것을 포함한다.
- [0018] 상기 제1 접착층은 크롬 또는 티타늄으로 형성될 수 있다.

- [0019] 상기 제2 접착층은 니켈과 크롬의 합금 또는 니켈로 형성될 수 있다.
- [0020] 상기 합금에서의 상기 크롬의 함량비는 최소한 1중량% 이상일 수 있다.
- [0021] 상기 합금에서의 상기 크롬의 함량비는 5중량% 이상일 수 있다.

발명의 효과

- [0022] 본 발명에 따라, 다층 인쇄회로기판에서 코어층을 폴리이미드 재료로 형성함으로써 코어층의 두께를 감소시키며, 그에 따라 인쇄회로기판 상에 미세패턴을 구현할 경우 고신뢰성의 인쇄회로기판을 제공할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 종래 다층 인쇄회로기판의 단면도를 나타낸 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 다층 인쇄회로기판을 나타낸 도면이다.
- 도 3은 본 발명의 바람직한 실시예에 따른 코어층(110)의 상세 구성을 나타낸 도면이다.
- 도 4는 본 발명의 바람직한 실시예에 따른 코어층 상에 복수개의 층을 적층하는 공정을 나타낸 도면이다.
- 도 5는 본 발명에 따른 인쇄회로기판의 일부를 나타낸 사진들이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하에서는 첨부한 도면을 참조하여 바람직한 일 실시형태에 따른 필름 타입의 칩 패키지 및 그 제조 방법에 대해서 상세히 설명한다. 다만, 실시형태를 설명함에 있어서, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그에 대한 상세한 설명은 생략한다. 또한, 도면에서의 각 구성요소들의 크기는 설명을 위하여 과장될 수 있으며, 실제로 적용되는 크기를 의미하는 것은 아니다.
- [0025] 도 2는 본 발명의 일 실시예에 따른 다층 인쇄회로기판을 나타낸 도면이다.
- [0026] 도 2에 도시된 바와 같이, 다층 인쇄회로기판은 내부 코어층(110), 코어층(110)의 양면에 각각 적층된 절연층들(200) 및 절연층들(200) 상에 각각 적층된 포토 솔더 레지스트(PSR: photo solder resist)층들(300)을 포함한다.
- [0027] 코어층(110)은 본 발명에 따라 폴리이미드계 재료로 이루어진 필름을 이용하여 구현될 수 있다. 폴리이미드계 재료는 열팽창 계수(CTE)가 낮은 물리적 특성을 갖는 것이 바람직하다. 코어층(110)의 두께는 대략 10 내지 100 μm 의 범위의 두께를 가질 수 있다. 코어층(110)의 양면 상에는 제1 회로패턴층(150)이 각각 형성되어 있으며, 제1 회로패턴층(150)은 절연층들(200)에 매립되어 있다. 각 절연층(200)의 두께는 대략 10 내지 100 μm 의 범위의 두께를 가질 수 있다. 또한, 각각의 절연층(200) 상에는 제2 회로패턴층(230)이 각각 형성되어 있다. 제2 회로패턴층(230) 상에는 포토 솔더 레지스트층(300)이 각각 형성되어 있다. 이 포토 솔더 레지스트층(300)은 대략 5 내지 100 μm 의 범위의 두께를 가질 수 있다.
- [0028] 본 실시예에서는, 4개 층의 구조를 갖는 다층 인쇄회로기판을 예로 들어 설명하였다. 상세히 설명하면, 도 2에서는 코어층(110)의 양면으로 2개의 회로패턴층(150)이 형성되어 있고, 코어층(110)의 양면의 2개 절연층(200) 상에 2개 회로패턴층(230)이 각각 형성되어 있다. 즉, 도 2의 인쇄회로기판에는 모두 4개의 회로패턴층(230)이 형성되어 있다. 그러나, 본 발명은 이에 한정되지 않는다. 도 2의 인쇄회로기판은 절연층(200) 상에 다시 다른 절연층을 형성하고 다른 절연층 상에 다른 회로패턴층을 형성할 수 있다. 이러한 방식으로 코어층(110)의 양측으로 복수개의 회로패턴층이 형성될 수 있다. 따라서, 본 발명은 4개 층의 구조에 한정되는 것은 아니며, 본 발명은 다양한 수의 층을 갖는 다층 인쇄회로기판에 널리 적용될 수 있다.
- [0029] 도 3은 본 발명의 바람직한 실시예에 따른 코어층(110)의 상세 구성을 나타낸 도면이다.
- [0030] 도 3을 참조하면, 코어층(110)의 양면 상에 회로패턴층(150)이 각각 형성되어 있다. 본 실시예에서는 코어층(110)의 양면 모두에 회로패턴층(150)이 형성되어 있지만, 본 발명은 이에 한정되지 않으며, 예컨대, 코어층(110)의 양면 중 한 면 상에만 회로패턴층(150)이 형성될 수 있다.
- [0031] 코어층(110)은 전술한 바와 같이, 폴리이미드로 이루어진 필름에 의해 형성되는 것이 바람직하다. 코어층(110)은 폴리이미드 필름으로 형성되기 때문에, 코어층(110)은 10 내지 100 μm 의 범위의 두께를 가질 수 있다. 바람

직하계는 코어층(110)은 30 내지 50 μm 의 범위의 두께를 가진다.

- [0032] 종래 기술에서는 코어층(110)이 에폭시 계열의 재료로 형성되기 때문에, 코어층은 최소 150 μm 이상의 두께를 가지므로, 다층 인쇄회로기판이 두꺼워지고, 따라서 전자 기기의 소형화가 어려워지는 문제도 있었다. 본 발명에서는 코어층(110)은 폴리이미드계 물질로 이루어지기 때문에, 코어층(110)의 두께는 종래의 코어층보다 현저하게 감소된다.
- [0033] 이러한 코어층(110) 상에 회로패턴층(150)을 형성하기 위해 코어층(110) 상에는 복수개의 층이 형성된다. 구체적으로, 코어층(110) 상에는 제1 접착층(120), 제2 접착층(130) 및 전도성 층(140)이 차례대로 적층되어 있는데, 이를 도 4를 참조하여 설명한다.
- [0034] 도 4는 본 발명의 바람직한 실시예에 따른 코어층 상에 복수개의 층을 적층하는 공정을 나타낸 도면이다.
- [0035] 도 4를 참조하면, 먼저 폴리이미드 필름으로 형성된 코어층(110)을 마련하고(S1), 코어층(110)에 관통홀(through holes)(112)을 형성한다(S2). 관통홀은 비아홀 이라고도 하며, 코어층(110)을 관통하여 형성된 비아홀들은 층 간의 전기적 연결을 위한 비아홀, 열 확산을 용이하게 하기 위한 열 비아홀(thermal via hole), 각 층들을 정렬하는 기준이 되는 비아홀을 포함할 수 있다.
- [0036] 관통홀(112)이 형성된 코어층(110) 상에 제1 접착층(120)을 형성한다(S3). 제1 접착층(120)은 코어층(110) 상에 형성될 금속층이 코어층(110)에 잘 밀착되거나 접합되도록 한다. 제1 접착층(120)은 크롬(Cr) 또는 티타늄(Ti)으로 이루어져 있다.
- [0037] 다시 말해, 내부 코어층(110)의 재료를 폴리이미드를 사용하기 때문에, 내부 코어층(110)에 대한 회로패턴층(150)의 밀착력의 향상하고 신뢰성을 가지기 위해 코어층(110)과 회로패턴층(150) 사이에 접착층을 형성한다. 이 경우 접착층은 2개의 접착층을 포함할 수 있다.
- [0038] 구체적으로, 코어층(110) 상에 제1 접착층(Adhesion Layer)(120)을 형성하고, 제1 접착층(120) 상에 제2 접착층(130)을 형성한다(S4). 제1 접착층(120)은 코어층(110)과 코어층(110) 상에 형성되는 금속층을 접착시킨다. 제2 접착층(130)은 제1 접착층과 금속층 사이의 고체 확산을 방지하기 위해 제1 접착층(120) 상에 형성된다. 구체적으로, 제1 접착층(120) 상에 바로 회로패턴층을 위한 금속층이 형성되는 경우, 크롬으로 이루어진 제1 접착층(120)과 예컨대, 구리(Cu)로 이루어진 금속층의 경계면에서 고체 확산이 발생하는 문제점이 발생하는데, 제2 접착층(130)은 이러한 문제점을 해결하기 위해 제1 접착층(120) 상에 형성되는 것이다.
- [0039] 제2 접착층(130)은 니켈이나 크롬과 니켈의 합금으로 이루어져 있다. 이 경우, 합금에서 크롬의 함량비는 최소 1중량% 이상이어야 한다. 니켈/크롬의 합금에서 크롬의 함량비는 5중량% 이상이 바람직하며, 40중량%까지도 가능하다.
- [0040] 제2 접착층(130)의 형성 후에 제2 접착층(130) 상에 전도성 층(140)을 형성한다(S5). 그리고, 전도성 층(140) 상에 회로패턴층(150)을 형성한다.
- [0041] 일 실시예에 따라, 코어층(110) 상에 전도성 층(140)이 형성된 후, 전도성 층(140) 상에 포토리소그래피 공정을 수행하고, 그런 다음 도금을 수행하여 회로패턴층(150)을 형성한다. 즉, 전도성 층(140) 상에 포토리소그래피 공정에 의해 패턴을 위한 마스크층을 형성하고, 도금을 수행한다. 그에 따라, 전도성 층(140) 상에 마스크층을 제외한 영역에 도금이 이루어진다.
- [0042] 다른 실시예에 따라, 코어층(110) 상에 전도성 층(140)이 형성된 후, 전도성 층(140) 상에 전체적으로 도금을 수행한다. 그런 다음 포토리소그래피 공정을 수행하고 식각 공정을 이용하여 회로패턴층(150)을 형성한다. 다시 말해, 전도성 층(140) 상에 전체적으로 도금을 수행하여 금속층을 형성한다. 이 후, 금속층 상에 포토리소그래피 공정을 수행하여 마스크층을 형성한다. 금속층에 대해 식각 공정을 수행하여, 마스크층이 형성되지 않은 금속층을 제거하여 회로패턴층(150)을 형성한다.
- [0043] 또한, 코어층(110) 상에 회로패턴층(150)을 구성하는 방법으로는 첫째, 코어(PI) 재료와 동박을 열압착으로 붙히는 라미네이트(Laminate) 공법, 두번째, 동박에 코어재료를 코팅하는 캐스팅(Casting) 공법, 세번째, 내층 코어의 재료에 무전해 도금(화학도금) 후에 전해도금을 하여 회로를 구성하는 방법 등이 있다. 이러한 공법과 더불어 신뢰성이 우수한 방법으로, 네번째, 건식증착방법을 이용하여 도전층을 형성한 후 전해도금을 하는 방법이 있다.
- [0044] 도 5는 본 발명에 따른 인쇄회로기판의 일부를 나타낸 사진들이다.

[0045] 도 5(a)를 참조하면, 코어층(110) 상에 회로패턴층(150)이 적층되어 있다. 코어층(110)과 회로패턴층(150) 사이에는 본 발명에 따라, 제1 접착층, 제2 접착층, 및 전도성 층이 존재하지만, 그 두께가 얇아 보이지 않는다. 도 5(b)에는 코어층(110)에 형성된 관통홀 및 고어층(110) 상에 형성된 회로패턴층(150)이 도시되어 있다.

[0046] 이와 같이, 본 발명은 다층 인쇄회로기판에서 코어층을 폴리이미드 재료로 형성하고, 이를 위해 코어층 상에 복수개의 층을 형성하지만 이들 복수개의 층, 즉 제1 접착층, 제2 접착층 및 전도성 층은 그 두께가 매우 얇기 때문에 인쇄회로기판의 전체 두께에 거의 기여하지 않는다.

[0047] 그에 따라, 본 발명은 기존 예폭시로 이루어진 코어층을 사용한 인쇄회로기판에 비하여 코어층의 두께를 감소시키며, 그에 따라 인쇄회로기판 상에 미세패턴을 구현할 경우 고신뢰성의 인쇄회로기판을 제공할 수 있다.

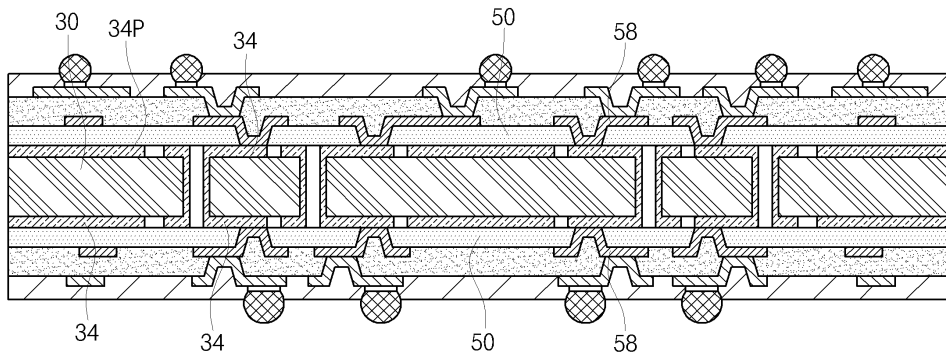
[0048] 전술한 바와 같은 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였다. 그러나 본 발명의 범주에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능하다. 본 발명의 기술적 사상은 본 발명의 전술한 실시예에 국한되어 정해져서는 안 되며, 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

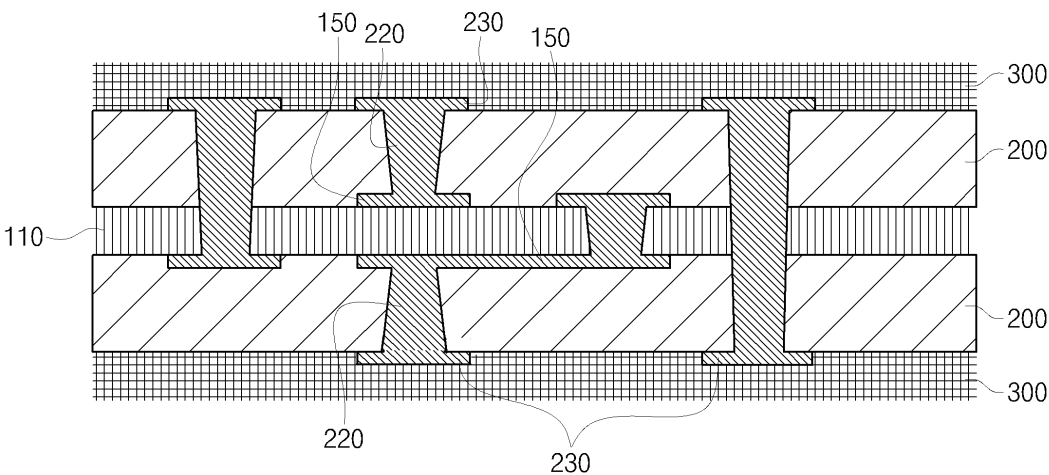
- [0049] 110: 코어층 120: 제1 접착층
- 130: 제2 접착층 140: 전도성 층
- 150: 회로패턴층

도면

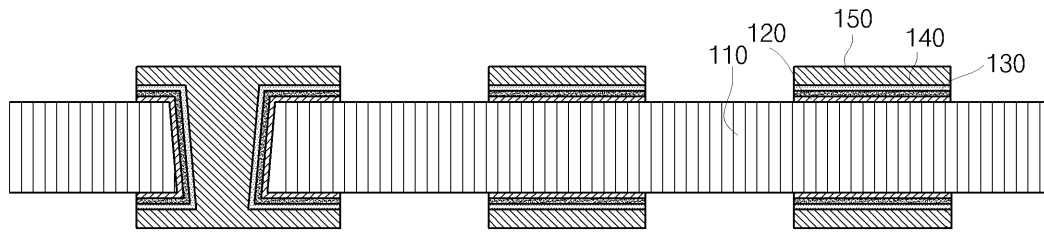
도면1



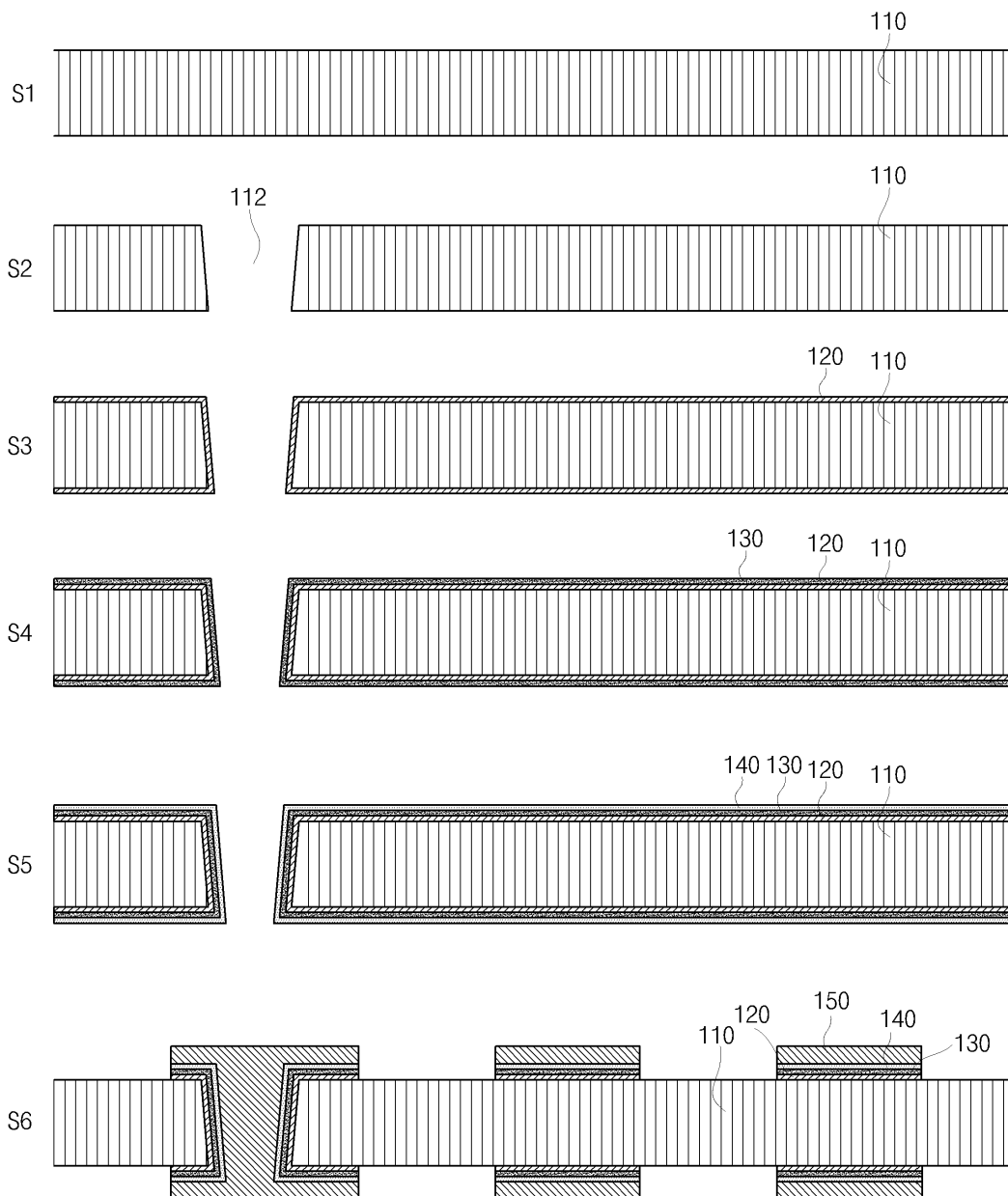
도면2



도면3



도면4



도면5

