

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G11C 5/04	(11) 공개번호 (43) 공개일자	특 1999-0077819 1999년 10월 25일
(21) 출원번호	10-1999-0008237	
(22) 출원일자	1999년 03월 12일	
(30) 우선권주장	98-061755 1998년 03월 12일 일본(JP)	
(71) 출원인	닛폰 덴키 주식회사 가네코 히사시	
(72) 발명자	일본 도쿄도 미나토구 시바 5-7-1 마에다카주노리	
(74) 대리인	일본 도쿄도 미나토 구시바5-7-1 닛폰덴키 주식회사 내 이병호	

심사청구 : 있음

(54) 부스트 회로를 구비하는 반도체 메모리 장치

요약

외부 전원 전압을 부스팅함으로써 얻어지는 전압을 사용하는 다수의 회로들을 구비하고 이들 회로들의 동작들에 의해 발생하는 전원 잡음들이 다른 회로들에 영향을 미치지 않게하는 반도체 메모리 장치가 서술되어 있다. 부스트 회로를 구비하는 반도체 메모리 장치는 예를들어 메모리 셀 어레이 및 출력 회로와 같이 부스트 전압들을 사용하는 다수의 회로들 및 다수의 부스트 회로들을 구비하는데, 각각의 회로는 이들 회로들중 대응하는 하나의 회로를 위해 제공된다. 이와같은 구성에 따라서, 부스트 전압들을 사용하는 회로들간의 잡음 간섭 문제가 제거될 수 있다.

대표도

도 1

색인어

출력 회로, 레벨 변환 회로, 메모리 셀 어레이, 부스트 전압 발생 회로, 링 발진기

명세서

도면의 간단한 설명

- 도1은 본 발명의 제1 실시예의 반도체 메모리 장치를 도시한 블록도.
- 도2는 부스트 회로의 회로도.
- 도3은 부스트 전압 발생 회로의 회로도.
- 도4는 부스트 전압 발생 회로의 동작을 도시한 타이밍 차트.
- 도5는 본 발명의 제2 실시예의 반도체 메모리 장치를 도시한 블록도.
- 도6은 본 발명의 제3 실시예의 반도체 메모리 장치를 도시한 블록도.
- 도7은 종래 반도체 메모리 장치를 도시한 블록도.

* 도면의 주요 부분에 대한 부호의 설명 *

- 1, 2 : 링 발전기
- 3, 4 : 부스트 전압 발생 회로
- 5 : 메모리 셀 어레이
- 6 : 출력 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 부스트 회로를 구비하는 반도체 메모리 장치에 관한 것이며, 특히 메모리 셀 어레이 및 출력 회로 둘다를 위하여 부스트되는 전압을 사용하는 반도체 메모리 장치에 관한 것이다.

최근, 외부 전원에서 반도체 메모리 장치로 공급될 전압은 낮아지고 있다. 그러나, 이와같은 저 전압보다 보다 차라리 높은 전압에 의해 구동되는 것이 바람직한 일부 회로들이 반도체 메모리 장치의 내부 회로들에 포함되어 있다. 이와같은 회로로서 예를들어 출력 회로 및 워드선 구동 회로를 들수 있다.

따라서, 외부 전원으로부터 출력된 전압이 출력 회로 및 워드선 구동 회로에 공급되는 것이 아니라 부스트 회로에 의해 부스팅한 전압이 이들 회로에 공급된다. 이 상황이 도7을 참조하여 설명될 것이다.

도7에 도시된 반도체 메모리 장치는 메모리 셀 어레이(26) 및 출력 회로(27)를 구비한다. 메모리 셀 어레이(26)에, 많은 메모리 셀들이 포함되어 있고 이들 메모리 셀들을 액세스하기 위한 수많은 워드선들이 제공되어 있다. 공지된 바와같이, 선택된 워드선에 인가될 전압은 트랜지스터의 임계 전압 보다 큰 만큼 전원 전압보다 높다. 게다가, 데이터의 출력 속도를 증가시키기 위하여, 전원 전압보다 높은 전압이 또한 출력 전압(27)에서 사용된다.

상술된 바와같이, 메모리 셀 어레이(26) 및 출력 회로(27)는 전원 전압보다 높은 전압을 필요로하기 때문에, 부스트 전압 발생 회로(25)에 의해 외부 전압을 부스팅함으로써 얻어지는 전압(VB00T)은 메모리 셀 어레이(26) 및 출력 회로(27)에 공급된다.

그러나, 이와같은 종래의 반도체 메모리 장치는 다음과 같은 문제점들을 갖고 있다. 특히, 부스트 전압 발생 회로(25)에 의해 발생된 전압 (VB00T)는 통상적으로 메모리 셀 어레이(26) 및 출력 회로(27)를 위하여 사용된다. 그러므로, 전압 (VB00T)이 출력 회로(27)의 동작으로 인해 변화될 때, 메모리 셀 어레이에서 구동되는 워드선의 구동 전압은 변화한다. 특히, 이 반도체 메모리 장치가 동작 주파수가 보다 높은 동기 DRAM일 때, 출력 회로(27)의 동작으로 인한 전압 (VB00T)의 변화는 더욱 중요하게 된다. 워드선이 전압(VB00T)이 변화하고 있는 상황에서 메모리 셀 어레이(26)에서 구동될 때, 열악한 판독 출력/기록 동작이 야기되고 감지 속도가 느리게 되는 문제가 초래된다.

이에 반하여, 전압 (VB00T)은 또한 메모리 셀 어레이(26)의 동작으로 인해 변화된다. 따라서, 전압(VB00T)이 메모리 셀 어레이(26)의 동작으로 인해 변화될 때, 출력 회로(27)의 수행능력이 저하되므로써, 출력 회로의 출력 속도가 낮게되고 출력 타이밍이 출력 회로의 출력 핀들간에서 불균일하게 되는 문제가 초래된다.

동기 DRAM을 참조하면, 데이터 출력 및 워드선 구동이 동시에 수행되기 때문에, 상술한 문제는 매우 심각하다.

다른 한편으로, 고속 데이터 출력 및 출력 전류의 증가가 바람직한 경우, 출력 회로(27)를 구동하는 전압(VB00T)은 더욱 상승되어야만 된다. 그러나, 전압 (VB00T)이 또한 메모리 셀 어레이(26)를 위하여 사용되기 때문에, 전압(VB00T)은 자유롭게 설정될 수 없다. 다른 말로서, 전압(VB00T)은 메모리 셀 어레이(26) 및 출력 회로(27)에 의해 요구되는 조건들을 만족시키는 범위내에서 설정되어야만 하므로, 이 범위는 크게 제한된다.

상술된 바와같이, 반도체 메모리 장치내에서 발생된 부스트 전압(VB00T)은 메모리 셀 어레이(26) 및 출력 회로(27)에 의해 공유될 때, 출력 회로(27) 및 메모리 셀 어레이(26)간의 잡음 간섭이 초래하고 부스트 전압(VB00T)을 설정하는 범위가 크게 제한되는 문제가 있어, 전압(VB00T)이 자유도를 갖는 것이 어렵게 된다.

발명이 이루고자하는 기술적 과제

본 발명은 상술된 문제점들을 감안하여 이루어진 것이다. 본 발명의 목적은 부스트된 전압 (VB00T)을 사용하는 회로들간의 잡음 간섭의 문제는 초래하지 않는 부스트 회로를 구비한 반도체 메모리 장치를 제공하는 것이다.

본 발명의 다른 목적은 부스트 전압을 사용하는 출력 회로 및 메모리 셀 어레이간의 잡음 간섭의 문제가 초래하지 않는 부스트 회로를 구비한 반도체 메모리 장치를 제공하는 것이다.

본 발명의 또다른 문제는 부스트 전압 (VB00T)의 설정이 다른 회로들에 의해 제한되지 않는 부스트 회로를 구비한 반도체 메모리 장치를 제공하는 것이다.

본 발명의 부스트 회로를 구비한 반도체 메모리 회로는 부스트 전압들을 사용하는 다수의 회로들 및 다수의 부스트 회로들을 구비하는데, 각각은 상기 회로들중 대응하는 한 회로를 위해 제공된다. 이와같이 반도체 메모리 장치를 구성함에 따라서, 부스트 전압을 사용하는 상기 회로들간의 잡음 간섭의 문제는

초래되지 않는다.

게다가, 다수의 부스트 회로들에 의해 발생된 부스트 전압들은 상호 다르게 이루어질 수 있다.

게다가, 부스트 회로들의 적어도 하나의 회로는 외부 CLK 신호와 동기하는 신호에 의해 구동된다.

게다가, 부스트 회로들 각각은 메모리 셀 어레이의 워드선을 구동하는 부스트 전원(VB00T)을 공급하기 위한 부스트 전압 발생 회로 및 출력 회로에서 출력 트랜지스터의 게이트 입력 전압(VB00TQ)을 공급하기 위한 제2 부스트 전압 발생 회로를 구비한다.

지금부터 첨부한 도면을 참조하여 본 발명이 상세히 설명될 것이다.

발명의 구성 및 작용

도1은 본 발명의 제1 실시예의 반도체 메모리 장치를 도시한 회로도이다.

제1 실시예의 반도체 메모리 장치는 메모리 셀 어레이(5) 및 출력 회로(6)를 구비한 동기 DRAM이다. 메모리 셀 어레이(5)는 다수의 메모리 셀들을 구비하는데, 상기 셀들 각각은 워드선들중 대응하는 하나의 선에 의해 선택된다. 선택된 메모리 셀들은 대응하는 비트선에 접속되고 이 비트선의 전위는 선택된 메모리 셀에 저장된 전위에 따라서 변화한다. 전위 변화의 진폭은 감지 증폭기에 의해 증폭되고 내부 출력 데이터 D 및 \bar{D} 로서 나타난다. 내부 출력 데이터 D 및 \bar{D} 는 출력 회로(6)에 공급된다.

여기서, 메모리 셀 어레이(5)에 포함된 워드선들이 선택된 상태에 있을 때, 트랜지스터의 임계값만큼 전원 전압 보다 높은 전압이 워드선들에 인가된다. 공지된 바와같이, 이와같은 전압의 인가는 트랜지스터의 임계값 만큼 전원 전압 보다 높은 전압을 워드선들에 인가함으로써 비트선 및 메모리 셀간의 전하 이동을 손쉽게한다.

출력 회로(6)의 상세한 회로 구성이 도2에 도시되어 있다.

출력 회로(6)는 메모리 셀 어레이(5)로부터 공급되는 내부 출력 데이터 D 및 \bar{D} 를 수신하여 출력 데이터 DQ를 출력 핀에 공급하는 회로이다. 내부 출력 데이터는 N 채널 MOS 트랜지스터(N10)의 게이트에 공급되고 내부 출력 데이터 \bar{D} 는 N 채널 MOS 트랜지스터(N11)의 게이트에 공급된다. 내부 출력 데이터 D는 N 채널 MOS 트랜지스터(N10)의 게이트에 직접적으로 공급되는 것이 아니라 레벨 변환 회로(7)를 거쳐서 N 채널 MOS 트랜지스터(N10)의 게이트에 공급된다. 여기서, 레벨 변환 회로(7)는 내부 출력 데이터 D의 전압을 변환시키는 회로이고 내부 출력 데이터 D가 고레벨(Vcc 레벨)일 때, 내부 출력 데이터 D는 현재 상태대로 N 채널 MOS 트랜지스터(N10)의 게이트에 공급된다. 내부 출력 데이터 D가 저레벨(GND 레벨)일 때, 내부 출력 데이터 D는 (VB00T) 레벨로 부스트되어 N 채널 MOS 트랜지스터의 게이트에 공급된다.

상술된 바와같이, 임의의 메모리 셀 어레이(5) 및 출력 회로(6)는 전원 전압 Vcc 보다 높은 전압을 필요로 한다.

도1을 참조하면, 제1 실시예의 반도체 메모리 장치에서, 부스트 회로들은 전원 전압 Vcc 보다 높은 전압을 필요로하는 출력 회로(6) 및 메모리 셀 어레이(5)에 각각 제공된다. 부스트 회로들 각각은 링 발진기 및 부스트 전압 발생 회로로 이루어져 있다. 예를들어, 메모리 셀 어레이(5)에 대응하는 부스트 회로는 링 발진기(1) 및 부스트 전압 발생 회로(3)로 이루어져 있고 출력 회로(6)에 대응하는 부스트 회로는 링 발진기(2) 및 부스트 전압 발생 회로(4)로 이루어져 있다.

링 발진기(1 및 2) 각각은 펄스 신호들 (Φ_a 및 Φ_b)를 출력하는데, 이 펄스 신호 각각은 전원(Vcc) 레벨 및 GND 레벨간에서 자신의 레벨을 주기적으로 변경시킨다. 제어 신호 (READU)가 링 발진기(2)에 공급된다는 것을 주목하자.

부스트 전압 발생 회로(3)의 상세한 회로 구성이 도3에 도시되어 있다. 도3에 도시된 바와같이, 제1 N형 트랜지스터(N1)의 소스 및 드레인 중 하나가 부스트 전원(VB00T)에 접속되고 나머지 하나가 상기 트랜지스터의 게이트 및 캐패시터(C1)에 접속된다. 제2 N형 트랜지스터(N2)의 소스 및 드레인 중 하나가 부스트 전원 (VB00T)에 접속되고 나머지 하나가 상기 트랜지스터의 게이트 및 제2 캐패시터(C2)에 접속된다. 제3 N형 트랜지스터(N3)의 소스 및 드레인 중 하나가 전원 전압 (VCC)에 접속되고 나머지 하나가 제1 캐패시터(c1)에 접속된다. 제3 N형 트랜지스터(N3)의 게이트는 제2 캐패시터(C2)에 접속된다. 제4 N형 트랜지스터(N4)의 소스 및 드레인중 하나가 전원 (VCC)에 접속되고 나머지 하나가 제2 캐패시터(C2)에 접속된다. 제4 N형 트랜지스터(N4)의 게이트는 제1 캐패시터(C1)에 접속된다. 제1 캐패시터(C1)의 한 터미널은 인버터(INV1)의 출력 터미널에 접속되고 제2 캐패시터(C2)의 한 터미널은 인버터(INV2)의 출력 터미널에 접속된다. 제3 캐패시터(C3)는 부스트 전원(VB00T)에 접속된 한 터미널 및 접지 전위 포인트(GND)에 접속된 다른 터미널을 갖는다.

부스트 발생 회로(3)의 동작이 제4도를 참조하여 서술될 것이다. 부스트 전압 발생 회로(3)로의 입력 신호는 링 발진기(1)의 출력인 펄스 신호 (Φ_a)이다. 제1 제어 신호 (Φ_1)는 소정 사이클에서 VCC 레벨 및 GND 레벨간에서 자신의 레벨을 변경시킨다. 제2 제어 신호(Φ_2)는 제1 제어 신호(Φ_1)이 VCC 레벨에 있을 때 소정 주기동안 GND 레벨에 있고 제1 제어 신호 (Φ_2)는 제1 제어 신호(Φ_1)이 GND 레벨에 있을 때 소정 주기동안 VCC 레벨에 있다. 제1 제어 신호 (Φ_1)가 전원 전압 레벨에 있고 제2 제어 신호 (Φ_2)가 GND 레벨(0V)에 있을 때, 제4 N형 트랜지스터(N4)는 턴온되고 제2 캐패시터(C2)의 다른 터미널의 노드(T2)는 전원 전압(VCC)으로 충전된다. 게다가, 제1 캐패시터(C1)의 다른 터미널의 노드(T2)의 레벨이 (VB00T +Vt) 또는 그이상(Vt : 트랜지스터의 임계 전압)과 동일할 때, 전류는 제1 N형 트랜지스터(N1)을 거쳐서 노드(T1)에서 부스트 전압 출력 터미널(VB00T)로 흘러, 부스트 전압 출력 터미

널(VB00T)이 전원 전압(VCC) 보다 높은 레벨로 상승되도록 한다.

다음에, 제1 제어 신호($\Phi 1$)가 접지 전압 레벨로 변경되고 제2 제어 신호($\Phi 2$)가 전원 전압 레벨로 변경될 때, 노드(T2)에서의 레벨은 2VCC와 근사한 레벨로 상승되고 제3 N형 트랜지스터(N3)는 턴온되므로써 노드(T1)는 전원 전압 VCC로 충전된다. 게다가, 전하는 제2 N형 트랜지스터(N2)를 통해서 부스트 전압 출력 터미널(VB00T)로 공급된다.

다음과 같은 동작이 반복되어 부스트 전압(VB00T)은 전원 전압(VCC)보다 높은 전압으로 상승된다. 제3 캐패시터(C3)는 부스트 전압(VB00T)의 변화량을 억제하는 작용을 하는 큰 용량의 캐패시터이다.

부스트 전압 발생 회로(4)가 또한 부스트 전압 발생 회로(3)와 유사하게 구성될지라도, 제어 신호(READU)는 링 발진기(2) 이외에 부스트 전압 발생 회로(4)에 공급된다는 것을 주목하자.

상술된 바와같이, 본 실시예의 반도체 메모리 장치는 두 개의 링 발진기들(1 및 2) 및 두 개의 부스트 전압 발생 회로들(3 및 4)을 구비하고 부스트 전압 발생 회로(3)의 출력(VB00T)은 메모리 셀 어레이(5)에 공급된다. 부스트 전압 발생 회로(4)의 출력(VB00TG)은 출력 회로에 공급된다. 출력 신호들(Φa 및 Φb)은 VCC 레벨 및 GND 레벨간에서 자신들의 레벨들을 소정 사이클에서 변경시키는 펄스 신호들이다. 제어 신호(READU)는 판독 출력 데이터의 시간, 즉 데이터를 출력하는 시간에서만 활성화되는 신호이고 제어 신호(READU)는 링 발진기(2) 및 부스트 전압 발생 회로(4)에 입력된다.

다음에, 상술된 바와같이 구성되는 본 실시예의 부스트 회로 동작이 서술될 것이다. 부스트 전압 발생 회로(3)는 링 발진기(1)로부터 주기적으로 공급되는 출력 펄스(Φa)에 의해 구동되고 부스트 전압 발생 회로(3)는 사전에 설정된 부스트 전압(VB00T)을 발생시킨다. 부스트 전압(VB00T)은 통상적으로 메모리 셀 어레이(5)의 워드선 구동 신호로서 사용된다. 다른 한편으로, 부스트 전압 발생 회로(4)는 링 발진기(2)로부터 주기적으로 공급되는 출력 펄스(Φb)에 의해 구동되고 부스트 전압 발생 회로(4)는 사전에 설정된 부스트 전압(VB00TQ)을 발생시킨다. 부스트 전압(VB00TQ)은 게이트 입력 전압으로서 사용된다.

제어 신호(READU)는 판독 출력 데이터의 시간, 즉 데이터를 출력하는 시간에서만 활성화되는 신호이다. 부스트 전압(VB00TQ)이 데이터를 판독 출력하는 시간에서만 필요로되기 때문에, 이 신호가 제어 신호(READU)로 인해 비활성화 상태에 있을 때, 링 발진기 및 부스트 전압 발생 회로(4)는 부스트 전압(VB00TQ)의 레벨이 강하되도록 동작하는 모드를 취한다. 따라서, 전력 소모 전류는 감소될 수 있다.

상술된 바와같이, 부스트 전압 발생 회로(3)에 의해 발생된 부스트 전압(VB00T) 및 (VB00TQ)은 서로 분리된다. 이 때문에, 부스트 전압(VB00T)의 레벨이 메모리 셀 어레이의 워드선을 구동하므로써 변화될 때 조차도, 부스트 전압(VB00T)의 변화는 부스트 전압(VB00TQ)에 영향을 미치지 않으므로 액세스 지연의 문제가 초래되지 않는다. 게다가, 이에 반하여, 데이터가 메모리 셀 장치로부터 판독 출력되고 부스트 전압(VB00T)이 고주파수로 메모리 셀 장치의 동작 시간에서 변화될 때 조차도, 부스트 전압(VB00TQ)이 부스트 전압(VB00T)로부터 분리되기 때문에, 감지 속도의 열화는 결코 초래되지 않는다.

고속 액세스가 필요로되거나 출력 전류를 변경시킬 필요성이 있을 때, 출력 회로의 게이트 입력 전압인 부스트 전압(VB00T)의 레벨이 변경되므로써, 출력 전류는 매우 효율적으로 변경될 수 있고 고속 액세스가 손쉽게 이루어질 수 있다. 부스트 전압들(VB00T 및 VB00TQ)이 종래의 반도체 메모리처럼 접속되는 경우에, 전압이 한가지 특성을 만족시키기 위하여 변경될 때, 그외 다른 특성은 한가지 특성의 변경에 의해 영향을 받아, 전압 레벨을 자유롭게 설정할 수 없었다. 그러나, 본 발명의 본 실시예의 반도체 메모리 장치처럼, 부스트 전압들(VB00T 및 VB00TQ)가 서로 분리될 때, 부스트 전압(VB00TQ)의 레벨은 메모리 셀 어레이에 영향을 미침이 없이 특성을 향상시키도록 자유롭게 설정될 수 있다.

상술된 바와같이, 내부적으로 발생하는 부스트 전압들(VB00T 및 VB00TQ)을 서로 분리하므로써, 메모리 셀 어레이 및 출력 회로간의 잡음 간섭은 방지될 수 있고 부스트 전압들의 레벨들은 특성을 만족시키기 위하여 독립적으로 설정될 수 있다.

다음에, 본 발명의 제2 실시예가 도5를 참조하여 설명될 것이다. 이 내부 CLK 발생 회로(11)는 제어 신호(READU)의 수신시 외부로부터 입력되는 CLK 신호의 고 레벨 및 저 레벨을 전원 전압(VCC) 및 접지 전압(GND)으로 각각 변환시켜 내부에서 사용되는 CLK 신호(ICLK)를 발생시키는 회로이다.

링 발진기들(8 및 12)의 출력 신호들(Φa 및 Φb)은 VCC 레벨 및 GND 레벨간에서 소정의 레벨에서 변경되고 신호들(Φa 및 Φb)은 링 발진기(2) 및 부스트 전압 발생 회로(4)에 입력된다. 제어 신호(READU)는 데이터를 판독 출력하는 시간, 즉 데이터를 출력하는 시간에서만 활성화되는 신호이고 인버터(INV4)에 의해 제어 신호(READU)를 반전하므로써 얻어지는 반전된 신호는 링 발진기(12)에 입력된다. 부스트 전압 발생 회로(9)의 출력(VB00T)은 메모리 셀 어레이(10)에 공급되고 부스트 전압 발생 회로(13)의 출력(VB00TG)은 출력 회로(14)에 공급된다.

동기형 DRAM(동기 DRAM)에서, 데이터는 외부로부터 공급되는 CLK 신호와 동기하여 출력된다. 링 발진기의 출력 펄스(Φb)가 출력 회로에 공급되는 부스트 전압을 발생시키기 위하여 사용되는 부스트 전압 발생 회로(13)의 구동 신호에 대해 사용될 때, 그 부스트 사이클은 항상 일정하게되어, 데이터의 출력 사이클 및 부스트 사이클은 일반적으로 서로 다르게 된다. 이 경우에, 부스트 전압(VB00T)의 레벨의 변화가 비교적 클 때, 각 출력 터미널에 대한 부스트 전압은 다르게되어 액세스시에 변화가 초래될 수 있다. 이 때문에, 데이터 출력 시간에서, 내부 CLK 발생 회로(11)에 의해 외부 CLK 신호를 토대로 발생하는 내부 CLK 신호(ICLK)는 부스트 전압 발생 회로(13)를 구동하기 위한 신호에 대해 사용되므로써, 데이터 출력 사이클과 동기시에 효율적인 부스트가 가능하게 된다. 상술된 바와같이, 내부 CLK 발생 회로(11)를 사용함에 따라서, 효율적인 부스트가 수행될지라도, 링 발진기(12)가 또한 필요로 될 것이다. 외부 CLK 신호가 셀프-리프레싱(self-refreshing) 등에 의해 일정한 레벨의 입력 신호가 될 때, 내부 CLK 발생 회로(11)에 의해 발생된 내부 CLK 신호(ICLK)는 또한 일정한 레벨로 되므로써, 부스트 전압 발생 회로(13)는 구동될 수 없게 된다. 따라서, 부스트 전압(VB00TQ)의 레벨은 강해진다. 이 상황에서, 셀프-

리프레시먼트가 완료되고 데이터 판독 출력 동작이 셀프-리프레시먼트후 즉시 시작될 때, 부스트 전압(VBOOTQ)은 이 시간에서 소정 레벨로 되지 않으므로써, 액세스시에 지연 문제가 초래하게 된다. 이 때문에, 출력 상태이외의 시간에서, 부스트 전압(VBOOTQ)의 레벨을 유지하기 위하여, 링 발진기(12)가 또한 필요로된다.

상술된 바와같이, 외부 CLK 신호로부터 만들어진 내부 CLK 신호(ICLK)는 출력 회로를 위하여 사용되는 부스트 전압(VBOOTQ)을 발생시키는 부스트 전압 발생 회로(13)의 구동 신호를 위해 사용되므로써, 데이터 출력 사이클과 동기시에 효율적인 부스트를 실행할 수 있는 내부 CLK 발생 회로(11)이외에 링 발진기(12)가 또한 필요로된다.

도6은 본 발명의 제3 실시예를 도시한 블록도이다. 이 실시예는 부스트 전압 발생 회로들(18, 19 및 20) 중 하나의 부스트 전압 발생 회로, 예를들어 부스트 전압 발생 회로(20)를 제1 스테이지 회로(23)의 전원으로서 사용한다. 링 발진기들(15, 16 및 17)의 출력들(Φ_a , Φ_b , Φ_c)은 부스트 전압 발생 회로들(18, 19, 및 20) 각각에 입력된다. 부스트 전압 발생 회로(18)에 의해 발생하는 부스트 전압(VBOOT)은 메모리 셀 어레이(21)의 워드선 구동 신호로서 사용된다. 부스트 전압 발생 회로(19)에 의해 발생한 부스트 전압(VBOOTQ)은 출력 회로의 입력 전압을 위하여 사용된다. 부스트 전압 발생 회로(20)에 의해 발생한 부스트 전압은 제1 스테이지 회로(23)의 전원 전압으로 사용된다.

반도체 메모리 장치에서, 특히, 동기 DRAM에서, 반도체 메모리 장치의 내부 회로들이 저전압 동작의 요청시에 전원 전압 (VCC)보다 낮은 전압으로 동작될 때, 특성들을 만족시킬 수 없는 일부 내부 회로들이 존재할 수 있다. 이와 같은 내부 회로들을 위한 부스트 전압 발생 회로들(18, 19 및 20)에 의해 발생한 부스트 전압들을 사용하므로써, 이들 내부 회로들은 특성들을 만족시킬 수 있게 된다.

게다가, 반도체 메모리 장치내에서 발생한 다수의 부스트 전압들을 서로 다른 전압들로 설정하는 것이 가능하지만, 부스트 전압들(VBOOT 및 VBOOTQ)은 도6의 점선들로 도시된 바와같은 동일 전압 레벨로 설정될 때, 서로 접속하는 것이 또한 가능하다. 이것은 부스트 전압 발생 회로들(19 및 20)의 구동이 부스트 전압(VBOOTQ 및 VBOOTQ)의 레벨들을 안정화시키도록 기여할 때, 뿐만아니라 접속으로 인한 잡음들의 문제가 심각한 영향을 미치지 않도록 할 때 효율적이다.

발명의 효과

상술된 바와같이, 본 발명을 따르면, 반도체 메모리 장치내에서 발생한 부스트 전압을 사용하는 메모리 셀 어레이 및 출력 회로간의 잡음 간섭을 방지할 수 있다. 게다가, 메모리 셀 어레이 및 출력 회로를 위해 사용되는 부스트 전압들을 자유롭게 설정하여 소망의 특성들을 얻을 수 있다.

(57) 청구의 범위

청구항 1

반도체 메모리 장치에 있어서,

메모리 셀 어레이와,

데이터 출력 핀과,

상기 메모리 셀 어레이로부터 판독 출력된 데이터를 상기 데이터 출력 핀에 공급하는 출력 회로와,

전원 전압을 부스트하여 제1 부스트 전압을 발생시키는 제1 부스트 회로와,

상기 전원 전압을 부스트하여 제2 부스트 전압을 발생시키는 제2 부스트 회로와,

상기 메모리 셀 어레이에 상기 제1 부스트 전압을 공급하는 수단과,

상기 출력 회로에 상기 제2 부스트 전압을 공급하는 수단을 구비하는 반도체 메모리 장치.

청구항 2

제1항에 있어서,

상기 제1 및 제2 부스트 전압들은 서로 다른 반도체 메모리 장치.

청구항 3

제1항에 있어서,

상기 제2 부스트 회로는 제1 및 제2 모드들을 가지며, 상기 제2 부스트 회로는 상기 제1 모드동안 제1 구동력(driving ability)으로 상기 제2 부스트 전압을 발생시키며, 상기 제2 부스트 회로는 상기 제2 모드동안 상기 제1 구동력보다 강한 제2 구동력으로 상기 제2 부스트 전압을 발생시키는 반도체 메모리 장치.

청구항 4

제1항에 있어서,

상기 제2 부스트 회로는 판독 제어 신호에 응답하여 상기 제2 모드로 되는 반도체 메모리 장치.

청구항 5

반도체 메모리 장치에 있어서,

제1 전원선으로부터 공급된 제1 전원 전압을 부스트하여 제1 부스트 전압을 발생시키는 제1 부스트 회로와,

상기 제1 전원선으로부터 공급되는 상기 제1 전원 전압을 부스트하여 제2 부스트 전압을 발생시키는 제2 부스트 회로와,

상기 제1 부스트 전압을 공급받는 메모리 셀 어레이와,

상기 메모리 셀 어레이로부터 판독 출력된 제1 데이터를 수신하는 제1 데이터 선과,

상기 메모리 셀 어레이로부터 판독 출력된 상기 제1 데이터로 반전된 제2 데이터를 수신하는 제2 데이터 선과,

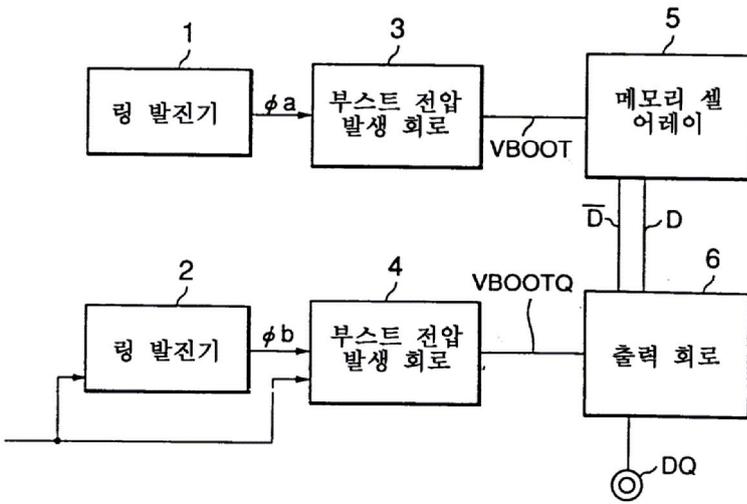
상기 제1 데이터선에 접속되는 입력 노드 및 출력 노드를 가지며, 상기 입력 노드에 공급되는 상기 제1 판독 데이터를 상기 제2 부스트 전압으로 변환시키는 레벨 변환 회로와,

제1 전원선 및 데이터 출력 터미널간에 접속되며, 상기 레벨 변환 회로의 상기 출력 노드에 접속된 제어 전극을 갖는 제1 트랜지스터와,

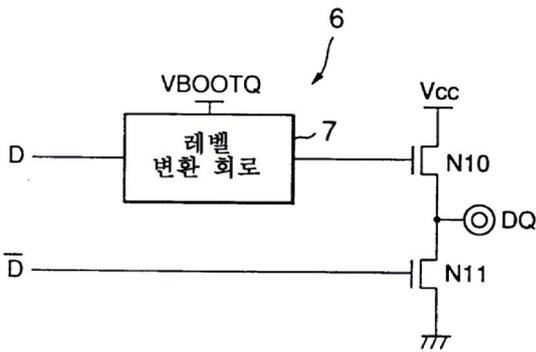
제2 전원선 및 상기 데이터 출력 터미널간에 접속된 제2 트랜지스터를 구비하는 반도체 메모리 장치.

도면

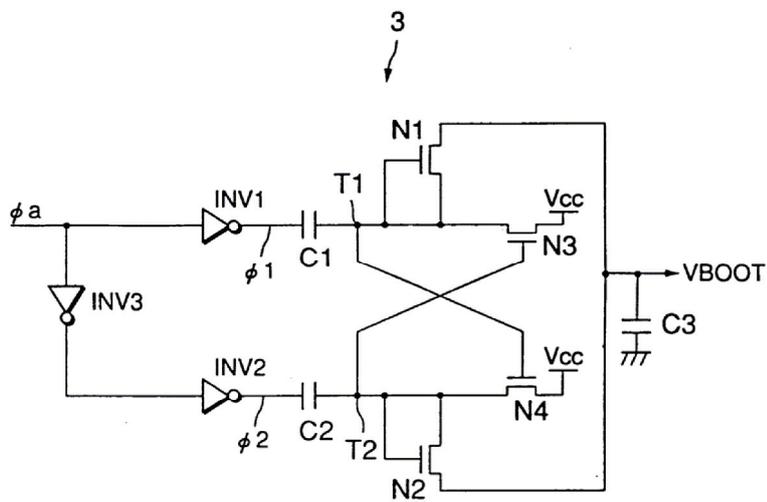
도면1



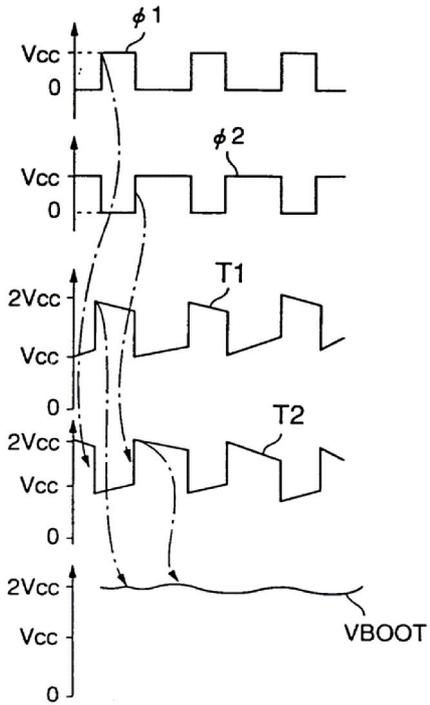
도면2



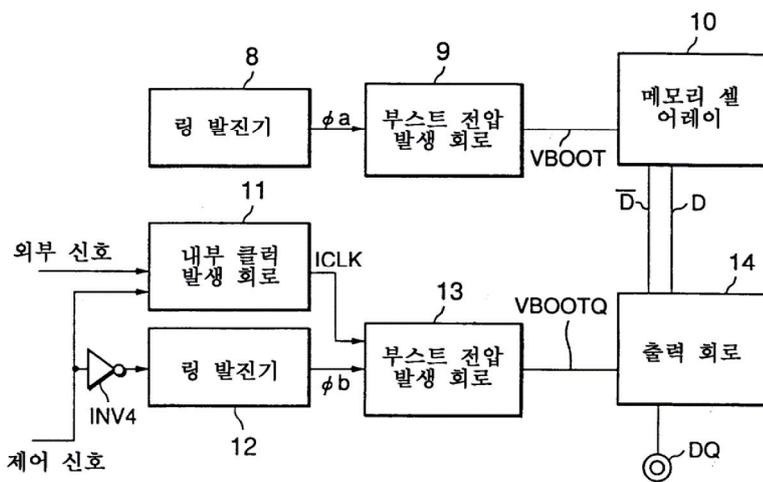
도면3



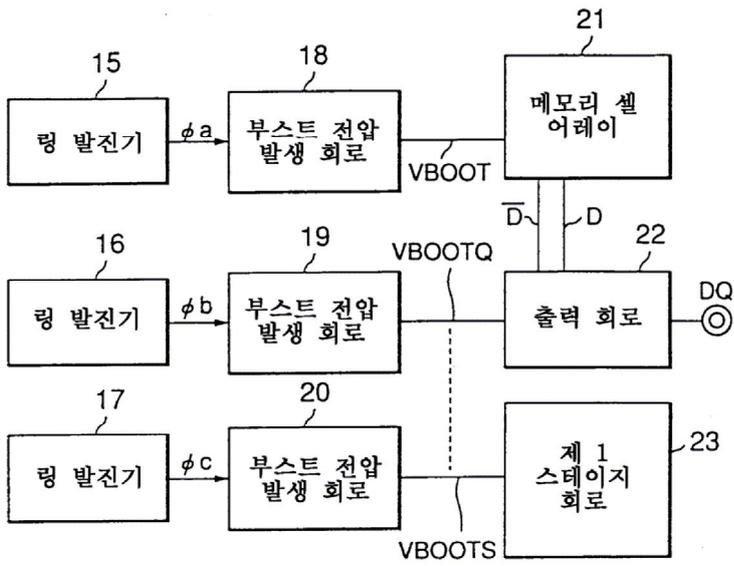
도면4



도면5



도면6



도면7

