



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0041427
(43) 공개일자 2023년03월24일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)

(52) CPC특허분류
H01L 27/1463 (2013.01)
H01L 27/14603 (2013.01)

(21) 출원번호 10-2021-0125031
(22) 출원일자 2021년09월17일
심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

박해용

경기도 용인시 수지구 성북2로 10

최성수

경기도 성남시 분당구 분당로 190 셋별마을라이프 아파트

박종은

경기도 성남시 분당구 정자일로 248 파크뷰

(74) 대리인

특허법인 고려

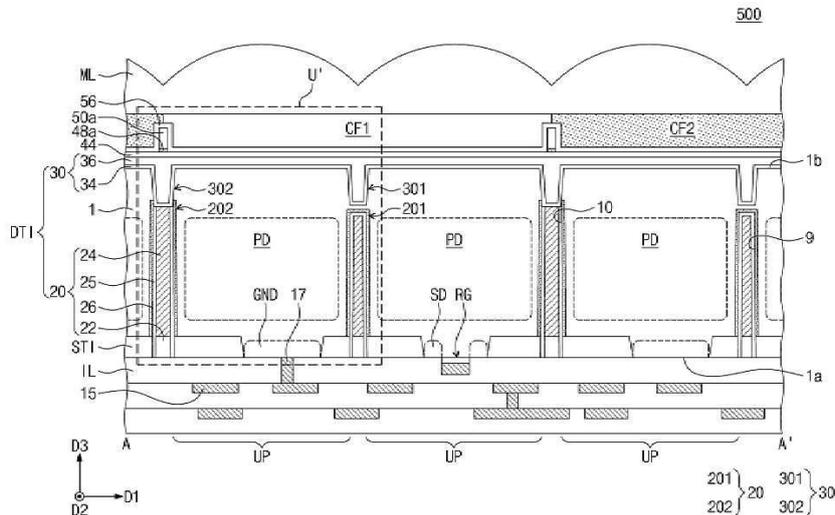
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 이미지 센서

(57) 요약

이미지 센서는 제1 면과 이에 반대되는 제2 면을 가지는 기판, 상기 기판은 제1 픽셀 및 상기 제1 픽셀과 인접하는 제2 픽셀을 포함한다. 상기 기판 내에 배치되며 상기 제1 픽셀 및 상기 제2 픽셀을 분리하는 깊은 소자분리부, 상기 제1 픽셀 및 상기 제2 픽셀에서 각각 상기 제1 면 상에 배치되는 전송 게이트, 상기 제1 픽셀 및 상기 제2 픽셀 중 어느 하나에 선택적으로 배치되는 접지 영역, 상기 제2 면 상에 차례로 적층되는 제1 컬러 필터와 마이크로 렌즈 어레이 층을 포함한다. 상기 깊은 소자분리부는 수직으로 중첩하되, 서로 이격하는 제1 분리부 및 제2 분리부를 포함한다. 상기 제1 분리부는 상기 제1 면으로부터 상기 제2 면으로 연장되는 제1 도전 패턴, 상기 제1 도전 패턴 상의 고농도 도핑 패턴, 및 상기 제1 도전 패턴과 상기 고농도 도핑 패턴 사이의 절연 패턴을 포함한다. 상기 접지 영역 및 상기 고농도 도핑 패턴은 서로 동일한 도전형의 불순물로 도핑된다.

대표도 - 도5a



(52) CPC특허분류

H01L 27/14621 (2013.01)

H01L 27/14627 (2013.01)

명세서

청구범위

청구항 1

제1 면과 이에 반대되는 제2 면을 가지는 기관, 상기 기관은 제1 픽셀 및 상기 제1 픽셀과 인접하는 제2 픽셀을 포함하고;

상기 기관 내에 배치되며 상기 제1 픽셀 및 상기 제2 픽셀을 분리하는 깊은 소자분리부;

상기 제1 픽셀 및 상기 제2 픽셀에서 각각 상기 제1 면 상에 배치되는 전송 게이트;

상기 제1 픽셀 및 상기 제2 픽셀 중 어느 하나에 선택적으로 배치되는 접지 영역;

상기 제2 면 상에 차례로 적층되는 제1 컬러필터와 마이크로 렌즈 어레이 층을 포함하되,

상기 깊은 소자분리부는:

수직으로 중첩하되, 서로 이격하는 제1 분리부 및 제2 분리부를 포함하고,

상기 제1 분리부는 상기 제1 면으로부터 상기 제2 면으로 연장되는 제1 도전 패턴;

상기 제1 도전 패턴 상의 상기 기관 내에 제공되는 고농도 도핑 패턴; 및

상기 제1 도전 패턴과 상기 고농도 도핑 패턴 사이의 절연 패턴을 포함하고,

상기 접지 영역 및 상기 고농도 도핑 패턴은 서로 동일한 도전형을 가지는 불순물로 도핑된 이미지 센서.

청구항 2

제1항에 있어서,

상기 제1 픽셀 및 제2 픽셀은 동일한 색의 컬러필터를 공유하는 이미지 센서.

청구항 3

제1 항에 있어서,

상기 제1 픽셀에는 접지 영역이 제공되고,

상기 제2 픽셀에는 접지 영역이 제공되지 않는 이미지 센서.

청구항 4

제1 항에 있어서,

상기 기관 내에 제공되는 제3 픽셀, 상기 제3 픽셀은 상기 제2 픽셀을 사이에 두고 상기 제1 픽셀과 제1 방향을 따라서 서로 이격하고; 및

상기 제3 픽셀 상의 제2 컬러필터를 더 포함하고,

상기 깊은 소자분리부는:

상기 기관 내에 배치되고, 상기 제2 픽셀 및 상기 제3 픽셀을 분리하되, 수직으로 중첩하는 제3 분리부 및 제4 분리부를 더 포함하고,

상기 제1 컬러필터 및 상기 제2 컬러필터는 서로 다른 색을 포함하는 이미지 센서.

청구항 5

제4항에 있어서,

상기 제3 분리부 및 상기 제4 분리부는 서로 이격하는 이미지 센서.

청구항 6

제4항에 있어서,

상기 제3 분리부 및 상기 제4 분리부는 서로 접촉하는 이미지 센서.

청구항 7

제1 면과 이에 반대되는 제2 면을 가지는 기판, 상기 기판은 상기 기판의 제1 면에 평행한 제1 방향 및 상기 제1 면과 평행하되 상기 제1 방향과 교차하는 제2 방향을 따라서 2차원적으로 배열되는 제1 픽셀 그룹, 제2 픽셀 그룹 및 한 쌍의 제3 픽셀 그룹을 포함하고,

상기 제1 픽셀 그룹 상에는 제1 컬러필터가 배치되고,

상기 제2 픽셀 그룹 상에는 제2 컬러필터가 배치되고,

상기 한 쌍의 제3 픽셀 그룹들 상에는 제3 컬러필터가 각각 배치되고,

상기 제1 내지 제3 픽셀 그룹들의 각각은 제1 방향 및 제2 방향을 따라서 $N \times N$ 배열을 이루는 N^2 개의 픽셀들을 포함하고,

상기 N^2 개의 픽셀들 사이에서 및 상기 제1 내지 제3 픽셀 그룹들 사이에서 상기 기판 내에는 깊은 소자분리부가 제공되고,

상기 깊은 소자분리부는 상기 제1 면으로부터 상기 제2 면을 향하여 연장되는 제1 분리부 및 상기 제2 면으로부터 상기 제1 면을 향하여 연장되는 제2 분리부를 포함하고,

상기 제1 분리부는 상기 N^2 개의 픽셀들 사이에 제공되는 제1 분리 패턴 및 상기 제1 내지 제3 픽셀 그룹들 사이에 제공되는 제2 분리 패턴을 포함하고,

상기 제2 분리부는 상기 N^2 개의 픽셀들 사이에 제공되는 제3 분리 패턴 및 상기 제1 내지 제3 픽셀 그룹들 사이에 제공되는 제4 분리 패턴을 포함하고,

상기 제1 분리 패턴 및 상기 제3 분리 패턴은 수직 방향으로 정렬되되(aligned), 서로 이격하고,

상기 제2 분리 패턴 및 상기 제4 분리 패턴은 수직 방향으로 정렬되고,

상기 제1 내지 제4 픽셀들 중 어느 하나는 선택적으로 접지 영역을 포함하고,

상기 제1 분리부는 상기 제1 면으로부터 상기 제2 면으로 연장되는 제1 도전 패턴;

상기 제1 도전 패턴 상의 고농도 도핑 패턴; 및

상기 제1 도전 패턴과 상기 고농도 도핑 패턴 사이의 절연 패턴을 포함하고,

상기 N 은 2 이상의 자연수인 이미지 센서.

청구항 8

제7항에 있어서,
 상기 제1 분리 패턴은 상기 제1 방향에 따른 제1 폭을 가지고,
 상기 제3 분리 패턴은 상기 제1 방향에 따른 제2 폭을 가지고,
 상기 제1 폭은 상기 제2 폭보다 작은 이미지 센서.

청구항 9

제7항에 있어서,
 상기 제1 분리 패턴의 길이는 상기 제2 분리 패턴의 길이보다 작은 이미지 센서.

청구항 10

제1 면과 이에 반대되는 제2 면을 가지는 기판, 상기 기판은 제1 픽셀 및 상기 제1 픽셀과 인접하는 제2 픽셀을 포함하고;
 상기 기판 내에 배치되며 상기 제1 픽셀 및 상기 제2 픽셀을 분리하는 깊은 소자분리부;
 상기 제1 픽셀 및 상기 제2 픽셀에서 각각 상기 제1 면 상에 배치되는 전송 게이트;
 상기 제1 픽셀 및 상기 제2 픽셀 중 어느 하나에 선택적으로 배치되는 접지 영역;
 상기 제2 면 상에 차례로 적층되는 컬러필터와 마이크로 렌즈 어레이 층을 포함하되,
 상기 깊은 소자분리부는:
 수직으로 중첩하되, 서로 이격하는 제1 분리부 및 제2 분리부를 포함하고,
 상기 제1 분리부는 상기 제1 면으로부터 상기 제2 면으로 연장되는 제1 도전 패턴;
 상기 제1 도전 패턴 상의 고농도 도핑 패턴; 및
 상기 제1 도전 패턴과 상기 고농도 도핑 패턴 사이의 절연 패턴을 포함하고,
 상기 고농도 도핑패턴은 상기 제1 픽셀 및 상기 제2 픽셀 사이에서 연속적인(continuous) 이미지 센서.

발명의 설명

기술 분야

[0001] 본 발명은 이미지 센서에 관한 것이다.

배경 기술

[0002] 이미지 센서는 광학 영상(Optical image)을 전기신호로 변환하는 반도체 소자이다. 최근 들어 컴퓨터 산업과 통신 산업의 발달에 따라 디지털 카메라, 캠코더, PCS(Personal Communication System), 게임기기, 경비용 카메라, 의료용 마이크로 카메라 등 다양한 분야에서 성능이 향상된 이미지 센서의 수요가 증대하고 있다. 이미지 센서는 CCD(Charge coupled device) 형 및 CMOS(Complementary metal oxide semiconductor) 형으로 분류될 수 있다. CMOS 형 이미지 센서는 CIS(CMOS image sensor)라고 약칭된다. 상기 CIS는 2차원적으로 배열된 복수 개의 픽셀들을 구비한다. 상기 픽셀들 각각은 포토 다이오드(photodiode, PD)를 포함한다. 상기 포토다이오드는 입사되는 광을 전기 신호로 변환해주는 역할을 한다. 상기 복수 개의 픽셀들은 이들 사이에 배치되는 깊은 소자 분리 패턴(deep isolation pattern)에 의해 정의된다.

발명의 내용

해결하려는 과제

- [0003] 본 발명에 이루고자 하는 일 기술적 과제는 게이트 전극의 크기를 증가시킴과 동시에 픽셀들 사이의 크로스토크(cross talk)를 최소화하는 이미지 센서의 구조 및 제조방법을 제공하는데 있다.
- [0004] 본 발명에 이루고자 하는 다른 기술적 과제는 고집적화가 용이한 이미지 센서 및 그 제조방법을 제공하는데 있다.

과제의 해결 수단

- [0005] 본 발명의 실시예들에 따른 이미지 센서는 제1 면과 이에 반대되는 제2 면을 가지는 기관, 상기 기관은 제1 픽셀 및 상기 제1 픽셀과 인접하는 제2 픽셀을 포함하고, 상기 기관 내에 배치되며 상기 제1 픽셀 및 상기 제2 픽셀을 분리하는 깊은 소자분리부, 상기 제1 픽셀 및 상기 제2 픽셀에서 각각 상기 제1 면 상에 배치되는 전송 게이트, 상기 제1 픽셀 및 상기 제2 픽셀 중 어느 하나에 선택적으로 배치되는 접지 영역, 상기 제2 면 상에 차례로 적층되는 제1 컬러필터와 마이크로 렌즈 어레이 층을 포함하되, 상기 깊은 소자분리부는 수직으로 중첩하되, 서로 이격하는 제1 분리부 및 제2 분리부를 포함하고, 상기 제1 분리부는 상기 제1 면으로부터 상기 제2 면으로 연장되는 제1 도전 패턴, 상기 제1 도전 패턴 상의 상기 기관 내에 제공되는 고농도 도핑 패턴, 및 상기 제1 도전 패턴과 상기 고농도 도핑 패턴 사이의 절연 패턴을 포함하고, 상기 접지 영역 및 상기 고농도 도핑 패턴은 서로 동일한 도전형을 가지는 불순물로 도핑될 수 있다.
- [0006] 일부 실시예들에 따른 이미지 센서는 제1 면과 이에 반대되는 제2 면을 가지는 기관, 상기 기관은 상기 기관의 제1 면에 평행한 제1 방향 및 상기 제1 면과 평행하되 상기 제1 방향과 교차하는 제2 방향을 따라서 2차원적으로 배열되는 제1 픽셀 그룹, 제2 픽셀 그룹 및 한 쌍의 제3 픽셀 그룹을 포함하고, 상기 제1 픽셀 그룹 상에는 제1 컬러필터가 배치되고, 상기 제2 픽셀 그룹 상에는 제2 컬러필터가 배치되고, 상기 한 쌍의 제3 픽셀 그룹들 상에는 제3 컬러필터가 각각 배치되고, 상기 제1 내지 제3 픽셀 그룹들의 각각은 제1 방향 및 제2 방향을 따라서 NxN 배열을 이루는 N^2 개의 픽셀들을 포함하고, 상기 n^2 개의 픽셀들 사이에서 및 상기 제1 내지 제3 픽셀 그룹들 사이에서 상기 기관 내에는 깊은 소자분리부가 제공되고, 상기 깊은 소자분리부는 상기 제1 면으로부터 상기 제2 면을 향하여 연장되는 제1 분리부 및 상기 제2 면으로부터 상기 제1 면을 향하여 연장되는 제2 분리부를 포함하고, 상기 제1 분리부는 상기 N^2 개의 픽셀들 사이에 제공되는 제1 분리 패턴 및 상기 제1 내지 제3 픽셀 그룹들 사이에 제공되는 제2 분리 패턴을 포함하고, 상기 제2 분리부는 상기 N^2 개의 픽셀들 사이에 제공되는 제3 분리 패턴 및 상기 제1 내지 제3 픽셀 그룹들 사이에 제공되는 제4 분리 패턴을 포함하고, 상기 제1 분리 패턴 및 상기 제3 분리 패턴은 수직 방향으로 정렬되되(aligned), 서로 이격하고, 상기 제2 분리 패턴 및 상기 제4 분리 패턴은 수직 방향으로 정렬되고, 상기 제1 내지 제4 픽셀들 중 어느 하나는 선택적으로 접지 영역을 포함하고, 상기 제1 분리부는 상기 제1 면으로부터 상기 제2 면으로 연장되는 제1 도전 패턴, 상기 제1 도전 패턴 상의 고농도 도핑 패턴, 및 상기 제1 도전 패턴과 상기 고농도 도핑 패턴 사이의 절연 패턴을 포함하고, 상기 N 은 2 이상의 자연수일 수 있다.
- [0007] 일부 실시예들에 따른 이미지 센서는 제1 면과 이에 반대되는 제2 면을 가지는 기관, 상기 기관은 제1 픽셀 및 상기 제1 픽셀과 인접하는 제2 픽셀을 포함하고, 상기 기관 내에 배치되며 상기 제1 픽셀 및 상기 제2 픽셀을 분리하는 깊은 소자분리부, 상기 제1 픽셀 및 상기 제2 픽셀에서 각각 상기 제1 면 상에 배치되는 전송 게이트, 상기 제1 픽셀 및 상기 제2 픽셀 중 어느 하나에 선택적으로 배치되는 접지 영역, 상기 제2 면 상에 차례로 적층되는 컬러필터와 마이크로 렌즈 어레이 층을 포함하되, 상기 깊은 소자분리부는 수직으로 중첩하되, 서로 이격하는 제1 분리부 및 제2 분리부를 포함하고, 상기 제1 분리부는 상기 제1 면으로부터 상기 제2 면으로 연장되는 제1 도전 패턴, 상기 제1 도전 패턴 상의 고농도 도핑 패턴, 및 상기 제1 도전 패턴과 상기 고농도 도핑 패턴 사이의 절연 패턴을 포함하고, 상기 고농도 도핑 패턴은 상기 제1 픽셀 및 상기 제2 픽셀 사이에서 연속적일 수 있다.

발명의 효과

- [0008] 본 발명의 개념에 따르면, 픽셀 그룹들의 각각은 접지 영역을 공유할 수 있다. 4개의 픽셀들이 하나의 픽셀 그룹을 이루는 경우, 4개의 픽셀들 중 하나의 픽셀에 선택적으로 접지 영역이 제공될 수 있다. 픽셀들을 분리하는 깊은 소자분리부는 서로 수직으로 중첩하되 이격하는 제1, 제2 분리 패턴들을 포함할 수 있다. 접지 영역이 제공되지 않는 픽셀이라고 하더라도, 제1 분리 패턴의 고농도 도핑 패턴을 통해서 양전하가 이동될 수 있다. 결과

적으로, 3개의 픽셀들은 접지 영역이 없더라도, 제1 분리 패턴을 통하여 양전하가 접지 영역을 통해서 빠져나갈 수 있다. 또한, 나머지 3개의 픽셀들은 접지 영역이 불필요 하기 때문에, 이를 대신하여 이미지 센서를 구성하는 게이트 전극들의 면적이 증가할 수 있다.

도면의 간단한 설명

- [0009] 도 1은 본 발명의 실시예들에 따른 이미지 센서를 설명하기 위한 블록도이다.
- 도 2는 본 발명의 실시예들에 따른 이미지 센서의 액티브 픽셀 센서 어레이의 회로도이다.
- 도 3은 본 발명의 실시예들에 따른 이미지 센서의 평면도를 나타낸다.
- 도 4는 도 3에 대응되는 이미지 센서의 평면도를 나타낸다.
- 도 5a는 본 발명의 실시예들에 따라 도 4를 A-A' 선을 따라 자른 단면도이다.
- 도 5b는 본 발명의 실시예들에 따라 도 4를 B-B' 선을 따라 자른 단면도이다.
- 도 5c는 본 발명의 실시예들에 따라 도 4를 B-B' 선을 따라 자른 단면도이다.
- 도 6은 도 5a의 U'의 확대도이다.
- 도 7은 본 발명의 일부 실시예들에 따른 이미지 센서의 평면도이다.
- 도 8a는 본 발명의 실시예들에 따라 도 7을 A-A' 선을 따라 자른 단면도이다.
- 도 8b는 본 발명의 실시예들에 따라 도 7을 B-B' 선을 따라 자른 단면도이다.
- 도 9는 일부 실시예들에 따른 이미지 센서의 평면도를 나타낸다.
- 도 10a 내지 도 19a는 도 5a의 이미지 센서를 제조하는 과정을 순차적으로 나타내는 단면도들이다.
- 도 10b 내지 도 19b는 도 5b의 이미지 센서를 제조하는 과정을 순차적으로 나타내는 단면도들이다.
- 도 20은 본 발명의 일부 실시예들에 따른 이미지 센서의 평면도이다.
- 도 21은 도 20의 I-I' 선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 실시예들을 첨부 도면을 참조하면서 보다 상세하게 설명하고자 한다.
- [0011] 도 1은 본 발명의 실시예들에 따른 이미지 센서를 설명하기 위한 블록도이다.
- [0012] 도 1을 참조하면, 이미지 센서는 액티브 픽셀 센서 어레이(Active Pixel Sensor array; 1001), 행 디코더(row decoder; 1002), 행 드라이버(row driver; 1003), 열 디코더(column decoder; 1004), 타이밍 발생기(timing generator; 1005), 상관 이중 샘플러(CDS: Correlated Double Sampler; 1006), 아날로그 디지털 컨버터(ADC: Analog to Digital Converter; 1007) 및 입출력 버퍼(I/O buffer; 1008)를 포함할 수 있다.
- [0013] 액티브 픽셀 센서 어레이(1001)는 2차원적으로 배열된 복수의 단위 픽셀들을 포함하며, 광 신호를 전기적 신호로 변환할 수 있다. 액티브 픽셀 센서 어레이(1001)는 행 드라이버(1003)로부터 픽셀 선택 신호, 리셋 신호 및 전하 전송 신호와 같은 복수의 구동 신호들에 의해 구동될 수 있다. 또한, 변환된 전기적 신호는 상관 이중 샘플러(1006)에 제공될 수 있다.
- [0014] 행 드라이버(1003)는, 행 디코더(1002)에서 디코딩된 결과에 따라 다수의 단위 픽셀들을 구동하기 위한 다수의 구동 신호들을 액티브 픽셀 센서 어레이(1001)로 제공할 수 있다. 단위 픽셀들이 행렬 형태로 배열된 경우에는 각 행별로 구동 신호들이 제공될 수 있다.
- [0015] 타이밍 발생기(1005)는 행 디코더(1002) 및 열 디코더(1004)에 타이밍(timing) 신호 및 제어 신호를 제공할 수 있다.
- [0016] 상관 이중 샘플러(CDS; 1006)는 액티브 픽셀 센서 어레이(1001)에서 생성된 전기 신호를 수신하여 유지(hold) 및 샘플링할 수 있다. 상관 이중 샘플러(1006)는 특정한 잡음 레벨(noise level)과 전기적 신호에 의한 신호 레

벨을 이중으로 샘플링하여, 잡음 레벨과 신호 레벨의 차이에 해당하는 차이 레벨을 출력할 수 있다.

- [0017] 아날로그 디지털 컨버터(ADC; 1007)는 상관 이중 샘플러(1006)에서 출력된 차이 레벨에 해당하는 아날로그 신호를 디지털 신호로 변환하여 출력할 수 있다.
- [0018] 입출력 버퍼(1008)는 디지털 신호를 래치(latch)하고, 래치된 신호는 열 디코더(1004)에서의 디코딩 결과에 따라 순차적으로 영상 신호 처리부(도면 미도시)로 디지털 신호를 출력할 수 있다.
- [0019] 도 2는 본 발명의 실시예들에 따른 이미지 센서의 회로도이다. 구체적으로는, 도 1의 액티브 픽셀 센서 어레이(1001)의 회로도이다. 도 2를 참조하면, 복수 개의 픽셀 그룹들(ex: GRP1: 제1 픽셀 그룹)의 각각은 제1 내지 제4 광전 변환부들(PD1, PD2, PD3, PD4), 제1 내지 제4 트랜스퍼 트랜지스터들(TX1, TX2, TX3, TX4) 및 로직 트랜지스터들(RX, SX, DX)을 포함할 수 있다. 여기서, 로직 트랜지스터들은 리셋 트랜지스터(RX; reset transistor), 선택 트랜지스터(SX; selection transistor) 및 드라이브 트랜지스터(DX)를 포함할 수 있다. 제1 내지 제4 트랜스퍼 트랜지스터들(TX1, TX2, TX3, TX4), 리셋 트랜지스터(RX) 및 선택 트랜지스터(SX)의 게이트 전극들은 구동 신호라인들(TG1, TG2, TG3, TG4, RG, SG)에 각각 연결될 수 있다.
- [0020] 제1 내지 제4 트랜스퍼 트랜지스터들(TX1, TX2, TX3, TX4)은, 각각, 제1 내지 제4 게이트 전극들(TG1, TG2, TG3, TG4) 및 제1 내지 제4 광전 변환부들(PD1, PD2, PD3, PD4)을 포함할 수 있다. 실시예들에 따르면, 제1 내지 제4 트랜스퍼 트랜지스터들(TX1, TX2, TX3, TX4)은 플로팅 확산 영역(FD: Floating Diffusion region)과 각각 연결될 수 있다.
- [0021] 픽셀 그룹(ex: GRP1) 내에 트랜스퍼 트랜지스터들(TX1, TX2, TX3, TX4)과 각각 연결되는 복수 개의 플로팅 확산 영역들(FD)이 제공될 수 있다. 다른 일 예에 따르면, 하나의 픽셀 그룹(ex: GRP1) 내에 하나의 플로팅 확산 영역(FD)이 형성될 수 있다. 하나의 픽셀 그룹(ex: GRP1) 내의 트랜스퍼 트랜지스터들(TX1, TX2, TX3, TX4)은 하나의 플로팅 확산 영역(FD)을 공유할 수 있다.
- [0022] 제1 내지 제4 광전 변환부들(PD1, PD2, PD3, PD4)은 외부에서 입사된 빛의 양에 비례하여 광 전하들을 생성 및 축적할 수 있다. 제1 내지 제4 광전 변환부들(PD1, PD2, PD3, PD4)은 포토 다이오드(photo diode), 포토 트랜지스터(photo transistor), 포토 게이트(photo gate), 핀드 포토 다이오드(Pinned Photo Diode; PPD) 또는 이들의 조합을 포함할 수 있다.
- [0023] 플로팅 확산 영역들(FD)은 제1 내지 제4 광전 변환부들(PD1, PD2, PD3, PD4)에서 생성된 전하를 전송 받아 누적적으로 저장할 수 있다. 플로팅 확산 영역들(FD)에 축적된 광전하들의 양에 따라 드라이브 트랜지스터(DX)가 제어될 수 있다.
- [0024] 리셋 트랜지스터(RX)는 플로팅 확산 영역들(FD)에 축적된 전하들을 주기적으로 리셋시킬 수 있다. 상세하게, 리셋 트랜지스터(RX)의 드레인 전극은 플로팅 확산 영역(FD)과 연결되며 소오스 전극은 전원 전압(VDD)에 연결될 수 있다. 리셋 트랜지스터(RX)가 턴 온되면, 리셋 트랜지스터(RX)의 소오스 전극과 연결된 전원 전압(VDD)이 플로팅 확산 영역(FD)으로 전달될 수 있다. 따라서, 리셋 트랜지스터(RX)가 턴 온(turn-on)시 플로팅 확산 영역(FD)에 축적된 전하들이 배출되어 플로팅 확산 영역(FD)이 리셋될 수 있다.
- [0025] 드라이브 트랜지스터(DX)는 플로팅 확산 영역(FD)에서의 전위 변화를 증폭하고 선택 트랜지스터(SX)를 통해 증폭된 또는 픽셀 신호를 출력 라인(VOUT)으로 출력할 수 있다. 드라이브 트랜지스터(DX)는 게이트 전극으로 입력되는 광 전하량에 비례하여 소오스-드레인 전류를 발생시키는 소오스 팔로워 버퍼 증폭기(source follower buffer amplifier)일 수 있다. 드라이브 트랜지스터(DX)의 게이트 전극은 플로팅 확산 영역(FD)에 연결되며, 드라이브 트랜지스터(DX)의 드레인은 전원 전압(VDD)에 연결되고, 드라이브 트랜지스터(DX)의 소오스는 선택 트랜지스터(SX)의 드레인과 연결될 수 있다.
- [0026] 선택 트랜지스터(SX)는 행 단위로 읽어낼 픽셀들을 선택할 수 있다. 선택 트랜지스터(SX)가 턴 온될 때, 드라이브 트랜지스터(DX)의 드레인 전극과 연결된 전원 전압(VDD)이 선택 트랜지스터(SX)의 드레인 전극으로 전달될 수 있다.
- [0027] 도 3은 본 발명의 실시예들에 따른 이미지 센서의 평면도를 나타낸다.
- [0028] 도 3을 참조하면, 본 예에 따른 이미지 센서(500)는 제1 방향(D1)과 제2 방향(D2)을 따라 2차원적으로 배열되는 제1 내지 제3 픽셀 그룹들(GRP1, GRP2, GRP3)을 포함할 수 있다. 상기 제1 픽셀 그룹(GRP1) 상에는 제1 컬러필터(CF1)가 배치될 수 있다. 상기 제2 픽셀 그룹(GRP2) 상에는 제2 컬러필터가 배치될 수 있다. 상기 제3 픽셀 그룹(GRP3) 상에는 제3 컬러필터가 배치될 수 있다. 상기 제1 내지 제3 컬러필터들은 서로 다른 색일 수 있다.

예를 들면 상기 제2 컬러필터는 녹색일 수 있다. 상기 제1 컬러필터와 상기 제3 컬러필터 중 하나는 적색이고 다른 하나는 청색일 수 있다. 도 3의 제1 내지 제3 픽셀 그룹들(GRP1, GRP2, GRP3)의 배열은 하나의 그룹 단위를 이루며 복수개의 그룹 단위들로 제공되어 제1 방향(D1)과 제2 방향(D2)을 따라 2차원적으로 배열될 수 있다.

[0029] 상기 제1 내지 제3 픽셀 그룹들(GRP1, GRP2, GRP3)은 각각 제2 방향(D2)을 따라 N행을 이루고, 제1 방향(D1)을 따라 N열을 이루는 $N \times N$ 배열의 N^2 개의 픽셀들을 포함할 수 있다. N은 2 이상의 자연수일 수 있다.

[0030] 일 예로, 도 3과 같이, 제1 내지 제3 픽셀 그룹들(GRP1, GRP2, GRP3)은 각각 제2 방향(D2)을 따라 2행을 이루고 제1 방향(D1)을 따라 2열을 이루는 2×2 배열의 제1 내지 제4 픽셀들(PX1~PX4)을 포함할 수 있다. 상기 제1 내지 제3 픽셀 그룹들(GRP1, GRP2, GRP3)에서 각각 상기 제1 및 제2 픽셀들(PX1, PX2)은 제2 방향(D2)을 따라 차례로 배열되며 제1 열을 구성할 수 있다. 상기 제3 및 제4 픽셀들(PX3, PX4)은 제2 방향(D2)을 따라 차례로 배열되며 제2 열을 구성할 수 있다. 제1, 3 픽셀들(PX1, PX3)은 제1 방향(D1)을 따라 차례로 배열되며 제1 행을 구성할 수 있다. 제2, 4 픽셀들(PX2, PX4)은 제1 방향(D1)을 따라 차례로 배열되며 제2 행을 구성할 수 있다. 제1 내지 제4 픽셀들(PX1~PX4) 내에는 각각 광전 변환부들(PD)이 배치될 수 있다. 제1 내지 제4 픽셀들(PX1~PX4)의 광전 변환부들(PD)은 각각 도 5a 내지 도 5c의 광전 변환부들(PD)에 대응될 수 있다.

[0031] 제1 내지 제4 픽셀들(PX1~PX4) 상에는 각각 마이크로 렌즈 어레이층(ML)이 배치될 수 있다. 제1 내지 제4 픽셀들(PX1~PX4) 사이 그리고 상기 제1 내지 제3 픽셀 그룹들(GRP1, GRP2, GRP3) 사이에서 기판(1) 내에는 깊은 소자분리부(DTI) 개재될 수 있다.

[0032] 도 4는 도 3에 대응되는 이미지 센서의 평면도를 나타낸다. 도 5a는 본 발명의 실시예들에 따라 도 4를 A-A' 선을 따라 자른 단면도이다. 도 5b는 본 발명의 실시예들에 따라 도 4를 B-B' 선을 따라 자른 단면도이다. 도 5c는 본 발명의 실시예들에 따라 도 4를 C-C' 선을 따라 자른 단면도이다. 도 6은 도 5a의 U'의 확대도이다.

[0033] 도 4, 도 5a, 도 5b, 및 도 5c를 참조하면, 본 발명의 실시예들에 따른 이미지 센서(500)는 기판(1)을 포함한다. 상기 기판(1)은 예를 들면 실리콘 단결정 웨이퍼, 실리콘 에피택시얼층 또는 SOI(silicon on insulator) 기판일 수 있다. 상기 기판(1)은 예를 들면 제1 도전형의 불순물로 도핑될 수 있다. 예를 들면 상기 제1 도전형은 P형일 수 있다. 상기 기판(1)은 서로 반대되는 제1 면(1a)과 제2 면(1b)을 포함한다. 상기 기판(1)은 도1 과 같은 액티브 픽셀 센서 어레이(1001)를 포함하며, 도 3의 제1 내지 제4 픽셀들(PX1~PX4)이 각각 단위 픽셀들(UP)에 대응될 수 있다.

[0034] 상기 픽셀 상기 기판(1)에는 깊은 소자분리부(DTI)가 배치되어 상기 단위 픽셀들(UP)을 분리/한정할 수 있다. 상기 깊은 소자분리부(DTI)는 평면적으로 그물망 형태를 가질 수 있다.

[0035] 상기 단위 픽셀들(UP)에서 상기 기판(1) 내에는 광전 변환부들(PD)이 각각 배치될 수 있다. 상기 광전 변환부들(PD)은 상기 제1 도전형과 반대되는 제2 도전형의 불순물로 도핑될 수 있다. 상기 제2 도전형은 예를 들면 N형일 수 있다. 상기 광전 변환부(PD)에 도핑된 N형의 불순물은 주변의 기판(1)에 도핑된 P형의 불순물과 PN접합을 이루어 포토다이오드를 제공할 수 있다.

[0036] 상기 기판(1) 내에는 상기 제1 면(1a)에 인접한 얇은 소자분리부(STI)가 배치될 수 있다. 상기 얇은 소자분리부(STI)는 상기 깊은 소자분리부(DTI)에 의해 관통될 수 있다. 상기 얇은 소자분리부(STI)는 각 단위 픽셀(UP)에서 상기 제1 면(1a)에 인접한 활성 영역들(ACT)을 한정할 수 있다. 상기 활성 영역들(ACT)은 도 2의 트랜지스터들(TX, RX, DX, SX)을 위해 제공될 수 있다.

[0037] 각 단위 픽셀(UP)에서 상기 기판(1)의 상기 제1 면(1a) 상에는 전송 게이트(TG)가 배치될 수 있다. 상기 전송 게이트(TG)의 일부는 상기 기판(1) 속으로 연장될 수 있다. 상기 전송 게이트(TG)는 Vertical 타입일 수 있다. 또는 상기 전송 게이트(TG)는 상기 기판(1) 속으로 연장되지 않고 평탄한 형태인 Planar 타입일 수도 있다. 상기 전송 게이트(TG)와 상기 기판(1) 사이에는 게이트 절연막(Gox)이 개재될 수 있다. 상기 전송 게이트(TG)의 일측에서 상기 기판(1) 내에는 플로팅 확산 영역(FD)이 배치될 수 있다. 상기 플로팅 확산 영역(FD)에는 예를 들면 상기 제2 도전형(일 예로 N형)의 불순물이 도핑될 수 있다.

[0038] 상기 이미지 센서(1000)는 후면 수광 이미지 센서일 수 있다. 빛은 상기 기판(1)의 제2 면(1b)을 통해 상기 기판(1) 속으로 입사될 수 있다. 입사된 빛에 의해 상기 PN접합에서 전자-정공 쌍들이 생성될 수 있다. 이렇게 생성된 전자들은 상기 광전 변환부(PD)로 이동될 수 있다. 상기 전송 게이트(TG)에 전압을 인가하면 상기 전자들은 상기 플로팅 확산 영역(FD)으로 이동될 수 있다.

[0039] 하나의 단위 픽셀(제1 단위 픽셀)(UP)에서 상기 제1 면(1a) 상에 전송 게이트(TG)에 인접하여 접지 영역(GND)이

제공될 수 있다. 접지 영역(GND)은 기판(1)과 동일한 도전형을 가질 수 있다. 접지 영역(GND)은 제1 도전형의 불순물이 도핑된 영역일 수 있다. 다른 하나의 단위 픽셀(제2 단위 픽셀)(UP)에서 전송 게이트(TG)에 인접하여 리셋 게이트(RG)가 배치될 수 있다. 또 다른 단위 픽셀(제3 단위 픽셀)(UP)에서 상기 제1 면(1a) 상에 전송 게이트(TG)에 인접하여 소스 팔로워 게이트(SF)가 배치될 수 있다. 또 다른 단위 픽셀(제4 단위 픽셀)(UP)에서 전송 게이트(TG)에 인접하여 선택 게이트(SEL)가 배치될 수 있다. 상기 게이트들(TG, RG, SF, SEL)은 각각 2의 트랜지스터들(TX, RX, DX, SX)의 게이트에 대응될 수 있다. 리셋 게이트(RG), 소스 팔로워 게이트(SF), 및 선택 게이트(SEL)의 각각의 게이트를 기준으로 소스/드레인 영역(SD)이 제공될 수 있다. 상기 접지 영역(GND) 및 게이트들(TG, RG, SF, SEL)은 상기 활성 영역들(ACT)과 중첩될 수 있다. 제1 내지 제4 단위 픽셀들(UP)은 픽셀 그룹(ex: GRP1, GRP2, GRP3)을 구성할 수 있다.

[0040] 상기 제1 면(1a)은 제1 층간절연막들(IL)로 덮일 수 있다. 상기 제1 층간절연막들(IL)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 다공성 저유전막 중 선택되는 적어도 하나의 막의 다층막으로 형성될 수 있다. 상기 제1 층간절연막들(IL) 사이 또는 안에는 배선들(15)이 배치될 수 있다. 접지 영역(GND)은 콘택 플러그(17) 및 배선들(15) 중 대응하는 배선(15)과 전기적으로 연결될 수 있다. 상기 콘택 플러그(17)는 상기 제1 층간절연막들(IL) 중에 상기 제1 면(1a)에 가장 가까운(최하층의) 제1 층간절연막(IL)을 관통할 수 있다. 접지 전압이 상기 대응하는 배선(15) 및 접지 영역(GND)을 통해 기판(1)에 인가될 수 있다. 접지 영역(GND)은 깊은 소자분리부(DTI)와 인접하게 배치될 수 있다. 접지 영역(GND)의 레이아웃 형상은 다양할 수 있으며, 일 예로 “ Γ , \sqcup ” 과 같은 형상을 가질 수 있다. 플로팅 확산 영역(FD)은 콘택 플러그(17) 및 배선들(15) 중 대응하는 배선(15)과 전기적으로 연결될 수 있다.

[0041] 상기 깊은 소자분리부(DTI)는 제1 분리부(20) 및 제2 분리부(30)를 포함할 수 있다. 제1 분리부(20)는 제1 분리 패턴(201) 및 제2 분리 패턴(202)을 포함할 수 있다. 제2 분리부(30)는 제3 분리 패턴(301) 및 제4 분리 패턴(302)을 포함할 수 있다. 제1 분리부(20)는 제1 면(1a)으로부터 제2 면(1b)을 향해 연장될 수 있다. 제2 분리부(30)는 제2 면(1b)으로부터 제1 면(1a)을 향해 연장될 수 있다.

[0042] 제1 분리부(20)는 제1 분리 패턴(201) 및 제2 분리 패턴(202)을 포함할 수 있다. 제1 분리 패턴(201)은 픽셀 그룹들(GRP1, GRP2, GRP3)의 각각에서, 이웃하는 2개의 단위 픽셀들(UP) 사이에 제공될 수 있다. 제2 분리 패턴(202)은 픽셀 그룹들(GRP1, GRP2, GRP3) 사이에 제공될 수 있다.

[0043] 제1 분리 패턴(201)의 제1 방향(D1)으로의 폭(201d)은 제2 분리 패턴(202)의 제1 방향(D1)으로의 폭(202d)보다 작을 수 있다. 제1 분리 패턴(201)은 제2 분리 패턴(202)보다 제1 면(1a)으로부터 제2 면(1b)을 향해 덜 연장될 수 있다. 제1 분리 패턴(201)의 길이는 제2 분리 패턴(202)의 길이보다 더 짧을 수 있다. 제1 분리 패턴(201) 및 제2 분리 패턴(202)의 길이는 기판(1)의 제1 면(1a)으로부터, 상기 제1 면(1a)과 수직인 제3 방향(D3)으로의 길이를 의미한다.

[0044] 제2 분리부(30)는 제3 분리 패턴(301) 및 제4 분리 패턴(302)을 포함할 수 있다. 제3 분리 패턴(301)은 픽셀 그룹들(GRP1, GRP2, GRP3)의 각각에서, 이웃하는 2개의 단위 픽셀들(UP) 사이에 제공될 수 있다. 제4 분리 패턴(302)은 픽셀 그룹들(GRP1, GRP2, GRP3) 사이에 제공될 수 있다.

[0045] 제1 분리 패턴(201) 및 제3 분리 패턴(301)은 수직으로 중첩(또는 정렬(aligned))하되, 서로 이격할 수 있다. 제1 분리 패턴(201) 및 제3 분리 패턴(301) 사이의 거리(ΔD)는 100nm 내지 300nm일 수 있다(도 6 참조). 제2 분리 패턴(202) 및 제4 분리 패턴(302)은 수직으로 중첩(또는 정렬(aligned))하되 서로 접촉할 수 있다.

[0046] 제1 분리부(20)는 매립 절연 패턴(22), 도전 패턴(24), 라이너 절연 패턴(25), 및 고농도 도핑 패턴(26)을 포함할 수 있다. 상기 매립 절연 패턴(22)은 상기 층간절연막(IL) 상에 배치될 수 있다. 도전 패턴(24)은 상기 매립 절연 패턴(22) 상에 제공되고, 상기 매립 절연 패턴(22)을 사이에 두고 상기 층간절연막(IL)과 이격할 수 있다. 라이너 절연 패턴(25)은 상기 도전 패턴(24)과 상기 기판(1) 사이 그리고 상기 매립 절연 패턴(22)과 소자분리부(STI) 사이에 개재될 수 있다.

[0047] 매립 절연 패턴(22) 및/또는 상기 라이너 절연 패턴(25)은 예를 들면 실리콘산화물을 포함할 수 있다. 상기 도전 패턴(24)은 상기 기판(1)과 이격될 수 있다. 상기 도전 패턴(24)은 불순물이 도핑된 폴리실리콘막이나 실리콘 게르마늄막을 포함할 수 있다. 상기 폴리실리콘이나 실리콘 게르마늄막에 도핑된 불순물은 예를 들면 붕소, 인, 비소 중 하나일 수 있다.

[0048] 매립 절연 패턴(22), 도전 패턴(24), 및 라이너 절연 패턴(25)은 제1 깊은 트렌치(9) 및 제2 트렌치(10)를 채울 수 있다. 고농도 도핑 패턴(26)은 제1 깊은 트렌치(9) 및 제2 트렌치(10)의 내벽 영역에 형성될 수 있다. 고농

도 도핑 패턴(26)은 제1 도전형의 불순물로 도핑된 기판(1)의 일 영역일 수 있다. 고농도 도핑 패턴(26)은 기판(1)의 불순물 농도보다 더 높은 불순물 농도를 가지며, 일 예로 $1 \times 10^{17} / \text{cm}^3$ 내지 $1 \times 10^{19} / \text{cm}^3$ 의 농도를 가질 수 있다.

[0049] 상기 제2 분리부(30)는 제1 고정 전하막(34)과 절연 패턴(36)을 포함할 수 있다. 상기 제1 고정 전하막(34)은 화학양론비 보다 부족한 양의 산소 또는 불소를 포함하는 금속산화막 또는 금속 불화막의 단일막 또는 다중막으로 이루어질 수 있다. 이로써 상기 제1 고정 전하막은 음의 고정전하를 가질 수 있다. 상기 제1 고정 전하막(34)은 하프늄(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 티타늄(Ti), 이트륨 및 란타노이드를 포함하는 그룹에서 선택되는 적어도 하나의 금속을 포함하는 금속 산화물(metal oxide) 또는 금속 불화물(metal fluoride)의 단일막 또는 다중막으로 이루어질 수 있다. 구체적인 예로 상기 제1 고정 전하막(34)은 하프늄산화막 및/또는 알루미늄산화막을 포함할 수 있다. 상기 제1 고정 전하막(34)에 의해 암전류와 화이트 스팟을 개선할 수 있다. 제1 고정 전하막(34) 상에 절연 패턴(36)이 제공될 수 있다. 절연 패턴은 실리콘 산화막을 포함할 수 있다.

[0050] 상기 제1 고정 전하막(34)은 상기 기판(1)의 표면과 접할 수 있다. 상기 제1 고정 전하막(34)은 기판(1)의 제2면(1b)에 형성된 트렌치를 덮을 수 있다. 제1 고정 전하막(34)은 제2 분리 패턴(202)의 라이너 절연 패턴(25) 및/또는 도전 패턴(24)과 접촉할 수 있다. 제2 분리 패턴(202)의 고농도 도핑 패턴(26)은 제1 고정 전하막(34)에 의하여 연결되지 않을 수 있다. 이에 반하여 제1 분리 패턴(201)의 고농도 도핑 패턴(26)은 인접하는 단위 픽셀들(UP) 사이에서 연속적(continuous)일 수 있다.

[0051] 도 5b와 같이, 픽셀 그룹(ex: GRP1) 내에서 이웃하는 2개의 단위 픽셀들(UP) 사이에서 제2면(1b)으로부터 제1 분리 패턴(201)의 상부면 사이까지의 제1 거리는 픽셀 그룹(ex: GRP1, GRP2, GRP3) 내에서 이웃하는 4개의 단위 픽셀들(UP)이 동시에 인접한 곳(CN1)에서의 상기 제2면(1b)으로부터 제1 분리 패턴의 상부면까지의 제2 거리보다 클 수 있다. 또한 인접하는 픽셀 그룹들(ex: GRP1, GRP2) 사이에서 이웃하는 4개의 단위 픽셀들(UP)이 동시에 인접한 곳(CN2)에서의 제2면(1b)의 최하부의 레벨은 제2 분리 패턴(202)의 상부면의 레벨보다 아래에 위치할 수 있다.

[0052] 본 발명의 개념에 따르면, 픽셀 그룹들(ex: GRP1, GRP2, GRP3)의 각각은 접지 영역(GND)을 공유할 수 있다. 일 예로, 도 3 및 도 4와 같이 4개의 픽셀들이 하나의 픽셀 그룹을 이루는 경우, 4개의 픽셀들 중 하나의 픽셀(ex: PX2)에 선택적으로 접지 영역(GND)이 제공될 수 있다. 제1 분리 패턴(201) 및 제3 분리 패턴(301)이 서로 접촉하지 않기 때문에, 접지 영역(GND)이 제공되지 않는 픽셀(ex: PX1, PX3, PX4)이라고 하더라도, 제1 분리 패턴(201)의 연속적인(cont inuous) 고농도 도핑 패턴(26)을 통해서 접지 영역(GND)이 제공된 픽셀(ex: PX2)로 양전하가 이동될 수 있다(도 6 참조). 결과적으로, 3개의 픽셀들은 접지 영역(GND)이 없더라도, 제1 분리 패턴(201)을 통하여 양전하가 접지 영역(GND)을 통해서 빠져나갈 수 있다. 또한, 나머지 3개의 픽셀들은 접지 영역(GND)이 없어도 되기 때문에, 게이트 전극들(TG, RG, SEL, SF)의 면적이 증가할 수 있다. 일 예로, 전송 게이트(TG)가 차지하는 평면상의 면적은 단위 픽셀 면적의 10% 이상일 수 있다.

[0053] 본 발명의 다른 일 개념에 따르면, 픽셀 그룹들 사이에는 제2 분리 패턴(202) 및 제4 분리 패턴(302)이 서로 접촉하기 때문에 수광된 빛이 다른 픽셀 그룹으로 이동하지 못할 수 있다(도 6 참조). 따라서, 다른 색의 컬러필터를 공유하는 이웃하는 픽셀들 사이에서의 크로스 토크를 방지할 수 있다.

[0054] 상기 제2면(1b) 상에는 제1 보호막(44)이 제공될 수 있다. 일부 실시예에 따르면, 제1 보호막(44) 및 절연 패턴(36) 사이에 제2 고정 전하막이 개재될 수 있다. 상기 제2 고정전하막은 금속 산화막 또는 금속불화막의 단일막 또는 다중막을 포함할 수 있다. 상기 제2 고정전하막은 예를 들면 하프늄산화막 및/또는 알루미늄산화막을 포함할 수 있다. 상기 제2 고정전하막은 상기 제1 고정전하막(34)을 보강하거나 접촉막으로써 기능할 수 있다. 상기 제1 보호막(44)은 PETEOS, SiOC, SiO₂, SiN 중에 적어도 하나를 포함할 수 있다. 상기 제1 보호막(44)은 반사방지막 및/또는 평탄화막 기능을 할 수 있다.

[0055] 상기 제1 보호막(44) 상에는 차광 패턴(48a)과 저굴절 패턴(50a)이 차례로 적층될 수 있다. 차광 패턴(48a)과 저굴절 패턴(50a)은 평면적으로 그물망 형태를 가질 수 있으며 상기 깊은 소자분리부(DTI)와 중첩될 수 있다. 상기 차광 패턴(48a)은 예를 들면 티타늄을 포함할 수 있다. 상기 저굴절 패턴(50a)은 유기물질을 포함할 수 있다. 상기 저굴절 패턴(50a)은 컬러필터들(CF1, CF2, CF3)보다 작은 굴절률을 가질 수 있다. 예를 들면 상기 저굴절 패턴(50a)은 약 1.3 이하의 굴절률을 가질 수 있다. 상기 저굴절 패턴(50a)의 측면은 상기 차광 패턴(48a)의 측면과 정렬될 수 있다. 상기 차광 패턴(48a)과 상기 저굴절 패턴(50a)은 인접하는 픽셀들 간의 크로스 토크

크를 방지할 수 있다.

- [0056] 상기 제1 보호막(44) 상에는 제2 보호막(56)이 적층된다. 상기 제2 보호막(45)은 상기 저굴절 패턴(50a), 상기 차광 패턴(48a) 및 상기 연결 콘택(BCA)을 콘포말하게 덮을 수 있다. 상기 저굴절 패턴들(50a) 사이에 컬러필터들(CF1, CF2, CF3)이 배치될 수 있다. 상기 컬러 필터들(CF1, CF2, CF3) 상에는 마이크로 렌즈 어레이층(ML)이 배치될 수 있다. 상기 마이크로 렌즈 어레이층(ML)은 상기 단위 픽셀들(UP)과 각각 중첩되는 볼록한 렌즈부들을 포함할 수 있다.
- [0057] 도 7은 본 발명의 일부 실시예들에 따른 이미지 센서의 평면도이다. 도 8a는 본 발명의 실시예들에 따라 도 7을 A-A'선을 따라 자른 단면도이다. 도 8b는 본 발명의 실시예들에 따라 도 7을 B-B'선을 따라 자른 단면도이다. 이하에서 설명하는 것들을 제외하면 도 4 내지 도 6을 통하여 설명하였으므로 생략하기로 한다.
- [0058] 도 7, 도 8a, 및 도 8b를 참조하면, 제2 분리 패턴(202)의 제1 방향(D1)으로의 폭(202d)은 제1 분리 패턴(201)의 제1 방향(D1)으로의 폭(201d)과 실질적으로 동일할 수 있다. 제2 분리 패턴(202)은 제1 면(1a)으로부터 제2 면(1b)을 향해 제1 분리 패턴(201)과 실질적으로 동일한 깊이로 연장될 수 있다. 즉, 제2 분리 패턴(202)의 길이는 제1 분리 패턴(201)의 길이와 실질적으로 동일할 수 있다.
- [0059] 제1 분리 패턴(201) 및 제3 분리 패턴(301)은 수직으로 중첩(또는 정렬(aligned))하되, 서로 이격할 수 있다. 제2 분리 패턴(202) 및 제4 분리 패턴(302)은 수직으로 중첩(또는 정렬(aligned))하되 서로 이격할 수 있다.
- [0060] 도 8b와 같이, 인접하는 픽셀 그룹들(ex: GRP1, GRP2) 사이에서 이웃하는 4개의 단위 픽셀들(UP)이 동시에 인접한 곳(CN2)에서의 제2 면(1b)의 최하부의 레벨은 제2 분리 패턴(202)의 상부면의 레벨보다 위(above)에 위치할 수 있다. 따라서, 제1 분리 패턴(201)의 고농도 도핑 패턴(26) 및 제2 분리 패턴(202)의 고농도 도핑 패턴(26)은 서로 연결될 수 있다.
- [0061] 즉, 본 발명의 일 개념에 따르면, 제1 픽셀 그룹(GRP1) 내에서 접지 영역(GND)이 제공되지 않는 픽셀이라고 하더라도, 제1 분리 패턴(201)의 고농도 도핑 패턴(26) 및 제2 분리 패턴(202)의 연속적인(continuous) 고농도 도핑 패턴(26)을 통하여, 제2 픽셀 그룹(GRP2)의 접지 영역(GND)으로 양전하가 이동될 수 있다. 위와 같이 접지 영역(GND)을 공유하는 픽셀들의 개수가 증가함으로써, 공유하는 픽셀들의 게이트 전극들(TG, RG, SEL, SF)의 면적이 증가할 수 있다.
- [0062] 도 9는 각각 일부 실시예들에 따른 이미지 센서의 평면도를 나타낸다.
- [0063] 도 9를 참조하면, 제1 내지 제3 픽셀 그룹들(GRP1, GRP2, GRP3)은 각각 제2 방향(D2)을 따라 3행을 이루고 제1 방향(D1)을 따라 3열을 이루는 3x3 배열의 제1 내지 제9 픽셀들(PX1~PX9)을 포함할 수 있다.
- [0064] 일부 실시예들에 따른 이미지 센서(510) 또한 도 3 내지 도 8을 통해서 설명한 동일 픽셀 그룹 내에서의 접지 영역(GND)의 공유, 및 깊은 소자 분리막(DTI)의 구조적 특징을 포함할 수 있다.
- [0065] 일부 실시예들에 따르면, 제1 내지 제3 픽셀 그룹들(GRP1, GRP2, GRP3)은 각각 제2 방향(D2)을 따라 4행을 이루고 제1 방향(D1)을 따라 4열을 이루는 4x4 배열의 제1 내지 제16 픽셀들을 포함할 수 있다.
- [0066] 도 10a 내지 도 19a는 도 4a의 이미지 센서를 제조하는 과정을 순차적으로 나타내는 단면도들로서 도 4a의 A-A'에 대응된다. 도 10b 내지 도 19b는 도 4b의 이미지 센서를 제조하는 과정을 순차적으로 나타내는 단면도들로서 도 4b의 B-B'에 대응된다.
- [0067] 도 10a 및 도 10b를 참조하면, 기관(1)을 준비한다. 기관(1)에 제1 식각 마스크(3)를 이용하여, 식각 공정을 진행하여 제1 트렌치(5)를 형성한다.
- [0068] 도 11a 및 도 11b를 참조하면, 기관(1)의 제2 면(1b)을 덮는 제1 절연막(8)을 형성한다. 제1 절연막(8)은 제1 트렌치(5)를 채울 수 있다. 제1 절연막(8)은 일 예로 실리콘 산화막을 포함할 수 있다. 이어서 제1 트렌치(5)를 관통하는 제1 깊은 트렌치(9) 및 제2 깊은 트렌치(10)를 형성할 수 있다. 제1 깊은 트렌치(9) 및 제2 깊은 트렌치(10)는 제2 마스크 패턴의 형성, 및 제2 마스크 패턴을 이용한 제1 절연막(8) 및 기관(1)의 식각 공정을 포함할 수 있다. 제1 깊은 트렌치(9) 및 제2 깊은 트렌치(10)는 그루브들이 교차하는 그물 형태로 형성될 수 있다. 제1 방향(D1)으로의 폭(9D)은 제2 깊은 트렌치(10)의 제1 방향(D1)으로의 폭(10D)보다 작을 수 있다. 제1 깊은 트렌치(9)의 깊이(9H)는 제2 깊은 트렌치(10)의 깊이(10H)는 보다 작을 수 있다(loading effect).
- [0069] 이때 이웃하는 두 개의 픽셀들(UP) 사이에서 상기 기관(1)이 식각되는 양보다 이웃하는 네 개의 픽셀들(UP) 사이에서 상기 기관(1)이 식각되는 양이 더욱 많을 수 있다. 즉, 한 쌍의 제1 깊은 트렌치들(9)이 교차하는 지점

(9a) 및 제2 깊은 트렌치(10)와 제1 깊은 트렌치(9) 또는 제2 깊은 트렌치(10)가 교차하는 지점(10a)에서 상기 기판(1)의 식각량이 더욱 많을 수 있다. 제2 깊은 트렌치(10)와 제1 깊은 트렌치(9) 또는 제2 깊은 트렌치(10)가 교차하는 지점(10a)에서의 상기 기판(1)의 식각량(H2)은 한 쌍의 제1 깊은 트렌치들(9)이 교차하는 지점(9a)에서의 식각량(H1)보다 더 많을 수 있다(loading effect).

- [0070] 도 12a 및 도 12b를 참조하면, 기판(1)의 제2 면(1b)을 향해서, 플라즈마 도핑 공정(PLAD: plasma doping)(P1)을 통해서, 상기 반도체 기판(1)의 일부에 제1 도전형(ex: p형)의 불순물이 주입될 수 있다. 일 예로 제1 도전형의 불순물은 일 예로 붕소일 수 있다. 플라즈마 도핑 공정(P1) 결과 제1 깊은 트렌치(9) 및 제2 깊은 트렌치(10) 내벽에 도핑 패턴(26)이 형성될 수 있다.
- [0071] 도 13a 및 도 13b를 참조하면, 제1 깊은 트렌치(9) 및 제2 깊은 트렌치(10)를 채우는 라이너 절연막(25a) 및 도전막(24a)이 형성될 수 있다. 일 예로 라이너 절연막(25a)은 실리콘 산화막을 포함할 수 있고 도전막(24a)은 제1 도전형(ex: p형)의 불순물이 도핑된 폴리실리콘을 포함할 수 있다.
- [0072] 도 14a 및 도 14b를 참조하면, 도전막(24a)의 일부가 제거될 수 있다. 도전막(24a)의 제거 공정은 에치백(etch-back) 공정을 포함할 수 있다. 에치 백 공정에 의해서, 도전 패턴(24)이 형성될 수 있다. 이어서 라이너 절연막(25a) 상에 제2 절연막(22a)이 형성될 수 있다. 제2 절연막(22a)은 실리콘 산화막을 포함할 수 있다.
- [0073] 도 15a 및 도 15b를 참조하면, 기판(1)의 제2 면(1b) 상에 평탄화 공정이 이루어질 수 있다. 제2 절연막(22a)의 일부가 제거되어 얇은 소자분리부(STI) 및 매립 절연 패턴(22)이 형성될 수 있다. 또한 라이너 절연막(25a)의 일부가 제거되어 라이너 절연 패턴(25)이 형성될 수 있다. 얇은 소자분리부(STI)에 의해서 활성 영역이 정의될 수 있다.
- [0074] 도 16a 및 도 16b를 참조하면, 기판(1)에 이온주입 공정 등을 진행하여 광전 변환부(PD)를 형성한다. 이로써 단위 픽셀들(UP)이 분리될 수 있다. 그리고 통상의 공정을 진행하여 상기 기판(1)의 제1 면(1a)에 게이트 절연막(Gox), 전송 게이트(TG), 플로팅 확산 영역(FD), 콘택 플러그(17) 배선들(15) 및 층간절연막들(IL)을 형성할 수 있다.
- [0075] 도 17a 및 도 17b를 참조하면, 상기 기판(1)을 뒤집어 제2 면(1b)이 위를 향하도록 한다. 그라인딩 또는 CMP(chemical mechanical polishing) 공정을 진행하여 상기 기판(1)의 두께를 얇게 할 수 있다. 이 그라인딩 또는 CMP 공정은 고농도 도핑 패턴(26)이 노출되지 않도록 진행할 수 있다. 일부 실시예에 따르면 당해 공정은 생략될 수 있다.
- [0076] 도 18a 및 도 18b를 참조하면, 기판(1)의 제2 면(1b) 상에 제3 식각 마스크 패턴을 형성할 수 있다. 제3 식각 마스크 패턴은 제1 분리 패턴(201) 및 제2 분리 패턴(202)과 중첩되는 개구부를 가지도록 형성될 수 있다. 제3 식각 마스크 패턴을 식각 마스크로 이용하여, 기판(1)을 식각하여 제3 트렌치(11) 및 제4 트렌치(12)를 형성할 수 있다. 제3 트렌치(11)는 제3 트렌치(11)의 바닥면이 제1 분리 패턴(201)의 최상부와 이격하게 형성될 수 있다. 제4 트렌치(12)는 제4 트렌치(12)의 바닥면이 제2 분리 패턴(202)의 최상부를 노출시키게끔 형성될 수 있다. 제4 트렌치(12)의 바닥면의 레벨은 제3 트렌치(11)의 바닥면의 레벨보다 낮을 수 있다. 일부 실시예에 따르면, 제4 트렌치(12)의 바닥면도 제2 분리 패턴(202)의 최상부를 노출시키지 않을 수 있다(도 8A 참조).
- [0077] 이때 이웃하는 두개의 픽셀들(UP) 사이에서 상기 기판(1)이 식각되는 양보다 이웃하는 네개의 픽셀들(UP) 사이에서 상기 기판(1)이 식각되는 양이 더욱 많을 수 있다. 즉, 한 쌍의 제3 트렌치들(11)이 교차하는 지점 및 제4 트렌치(12)와 제3 트렌치(11) 또는 제4 트렌치(12)가 교차하는 지점에서 상기 기판(1)의 식각량이 더욱 많을 수 있다.
- [0078] 이어서, 제3 식각 마스크 패턴을 제거할 수 있다. 그리고 제2 면(1b)상에 제1 고정 전하막(34)을 콘포멀하게 적층할 수 있다. 제1 고정 전하막(34)은 제3 트렌치(11)의 내벽과 바닥 및 제4 트렌치(12)의 내벽과 바닥을 콘포멀하게 덮을 수 있다. 제1 고정 전하막(34) 상에 절연 패턴(36)을 형성하여 제3 트렌치(11) 및 제4 트렌치들(12)을 채울 수 있다.
- [0079] 도 19a 및 도 19b를 참조하면, 제2 고정 전하막(미도시) 및 제1 보호막(44)을 차례로 적층한다. 상기 제1 보호막(44) 상에 확산 방지막과 제1 금속막을 차례로 적층한다. 상기 제1 금속막을 식각하여 저굴절 패턴(50a)을 형성한다. 그리고 상기 확산 방지막을 식각하여 차광 패턴(48a)을 형성할 수 있다.
- [0080] 다시 도 5a 및 도 5b를 참조하면, 상기 제1 보호막(44) 상에 제2 보호막(56)을 콘포멀하게 형성할 수 있다. 그리고 상기 제2 보호막(56) 상에 상기 저굴절 패턴들(50a) 사이에서 컬러필터들(CF1, CF2, CF3)을 형성할 수 있

다. 상기 컬러필터들(CF1, CF2, CF3) 상에 마이크로 렌즈 어레이층(ML)을 형성한다. 이로써 도 5a 및 도 5b의 이미지 센서(500)를 제조할 수 있다.

[0081] 도 20은본 발명의 일부 실시예들에 따른 이미지 센서의 평면도이고, 도 21은 도 20의 I-I'선을 따라 자른 단면도이다.

[0082] 도 20 및 도 21을 참조하면, 이미지 센서(700)는 픽셀 어레이 영역(AR), 광학 블랙 영역(OB), 및 패드 영역(PR)을 포함하는 기판(1), 상기 기판(1)의 제1 면(100a) 상의 배선층(200), 상기 배선층(200) 상의 베이스 기판(400), 및 상기 기판(1)의 제2 면(1b) 상의 광 투과층(300)을 포함할 수 있다. 상기 배선층(200)은 상기 기판(1)의 상기 제1 면(1a)과 상기 베이스 기판(400) 사이에 배치될 수 있다. 상기 배선층(200)은 상기 기판(1)의 상기 제1 면(1a)에 인접하는 상부 배선층(210), 및 상기 상부 배선층(210)과 상기 베이스 기판(400) 사이의 하부 배선층(230)을 포함할 수 있다. 상기 픽셀 어레이 영역(AR)은 복수의 픽셀들(PX), 및 이들 사이에 배치되는 깊은 소자분리부(DTI)를 포함할 수 있다. 상기 깊은 소자분리부(DTI)는 앞서 설명한 이미지 센서(500, 600)와 실질적으로 동일하게 구성될 수 있다.

[0083] 제1 연결 구조체(50), 제1 콘택(81), 및 벌크 컬러필터(90)가 상기 기판(1)의 상기 광학 블랙 영역(OB) 상에 배치될 수 있다. 상기 제1 연결 구조체(50)는 제1 차광 패턴(51), 제1 저굴절 잔여막(53), 및 제1 캐핑 패턴(55)을 포함할 수 있다. 상기 제1 차광 패턴(51)은 상기 기판(1)의 상기 제2 면(1b) 상에 배치될 수 있다. 상기 제1 차광 패턴(51)은 상기 제1 보호막(44)을 덮을 수 있고, 제1 트렌치(TRA) 및 제2 트렌치(TRB)의 각각의 내벽을 콘포말 하게 덮을 수 있다. 상기 제1 차광 패턴(51)은 기판(1) 및 상기 상부 배선층(210)을 관통할 수 있다. 상기 제1 차광 패턴(51)은 상기 기판(1)의 상기 깊은 소자분리부(DTI)의 상기 제1 분리부(20)에 연결될 수 있고, 상기 상부 배선층(210) 및 상기 하부 배선층(230) 내의 배선들에 연결될 수 있다. 이에 따라, 상기 제1 연결 구조체(50)는 상기 기판(1) 및 상기 배선층(200)을 전기적으로 연결할 수 있다. 상기 제1 차광 패턴(51)은 금속 물질(일 예로, 텅스텐)을 포함할 수 있다. 상기 제1 차광 패턴(51)은 상기 광학 블랙 영역(OB) 내로 입사되는 빛을 차단할 수 있다.

[0084] 상기 제1 콘택(81)은 상기 제1 트렌치(TRA)의 잔부를 채울 수 있다. 상기 제1 콘택(81)은 금속 물질(일 예로, 알루미늄)을 포함할 수 있다. 상기 제1 콘택(81)은 상기 깊은 소자분리부(DTI)의 상기 제1 분리부(20)에 연결될 수 있다. 상기 제1 콘택(81)을 통해 상기 제1 분리부(20)에 바이어스가 인가될 수 있다. 상기 제1 저굴절 잔여막(53)은 상기 제2 트렌치(TRB)의 잔부를 채울 수 있다. 상기 제1 저굴절 잔여막(53)은 상기 기판(1)을 관통할 수 있고, 상기 배선층(200)의 일부를 관통할 수 있다. 상기 제1 저굴절 잔여막(53)은 절연 물질을 포함할 수 있다. 상기 제1 캐핑 패턴(55)은 상기 제1 저굴절 잔여막(53) 상에 배치될 수 있다. 상기 제1 캐핑 패턴(55)은 상기 깊은 소자분리부(DTI)의 상기 매립 절연 패턴(22)과 동일한 물질을 포함할 수 있다.

[0085] 상기 벌크 컬러필터(90)가 상기 제1 연결 구조체(50) 및 상기 제1 콘택(81) 상에 배치될 수 있다. 상기 벌크 컬러필터(90)는 상기 제1 연결 구조체(50) 및 상기 제1 콘택(81)을 덮을 수 있다. 제1 보호막(71)이 상기 벌크 컬러필터(90) 상에 배치되어 상기 벌크 컬러필터(90)를 밀봉할 수 있다.

[0086] 추가적인 광전 변환부(PD') 및 더미 영역(111)이 상기 광학 블랙 영역(OB)의 대응하는 픽셀(PX) 내에 제공될 수 있다. 상기 추가적인 광전 변환부(PD')는 상기 기판(100)의 상기 제1 도전형과 다른 제2 도전형의 불순물(일 예로, N형 불순물)로 도핑된 영역일 수 있다. 상기 추가적인 광전 변환부(PD')는 상기 픽셀 어레이 영역(AR)의 상기 복수의 픽셀들(PX) 내 광전 변환부들(PD)과 유사한 구조를 가질 수 있으나, 상기 광전 변환부들(PD)과 같은 동작(즉, 빛을 받아 전기적 신호를 발생시키는 동작)을 수행하지 않을 수 있다. 상기 더미 영역(111)은 불순물로 도핑되지 않을 수 있다.

[0087] 제2 연결 구조체(60), 제2 콘택(83), 및 제2 보호막(73)이 상기 기판(100)의 상기 패드 영역(PR) 상에 배치될 수 있다. 상기 제2 연결 구조체(60)는 제2 차광 패턴(61), 제2 저굴절 잔여막(63), 및 제2 캐핑 패턴(65)을 포함할 수 있다.

[0088] 상기 제2 차광 패턴(61)은 상기 기판(1)의 상기 제2 면(1b) 상에 배치될 수 있다. 상기 제2 차광 패턴(61)은 상기 제1 보호막(44)을 덮을 수 있고, 제3 트렌치(TRC) 및 제4 트렌치(TRD)의 각각의 내벽을 콘포말 하게 덮을 수 있다. 상기 제2 차광 패턴(61)은 상기 기판(1) 및 상기 상부 배선층(210)을 관통할 수 있다. 상기 제2 차광 패턴(61)은 상기 하부 배선층(230) 내의 배선들에 연결될 수 있다. 이에 따라, 상기 제2 연결 구조체(60)는 상기 기판(1) 및 상기 배선층(200)을 전기적으로 연결할 수 있다. 상기 제2 차광 패턴(61)은 금속 물질(일 예로, 텅스텐)을 포함할 수 있다. 상기 제2 차광 패턴(61)은 상기 패드 영역(PR) 내로 입사되는 빛을 차단할 수 있다.

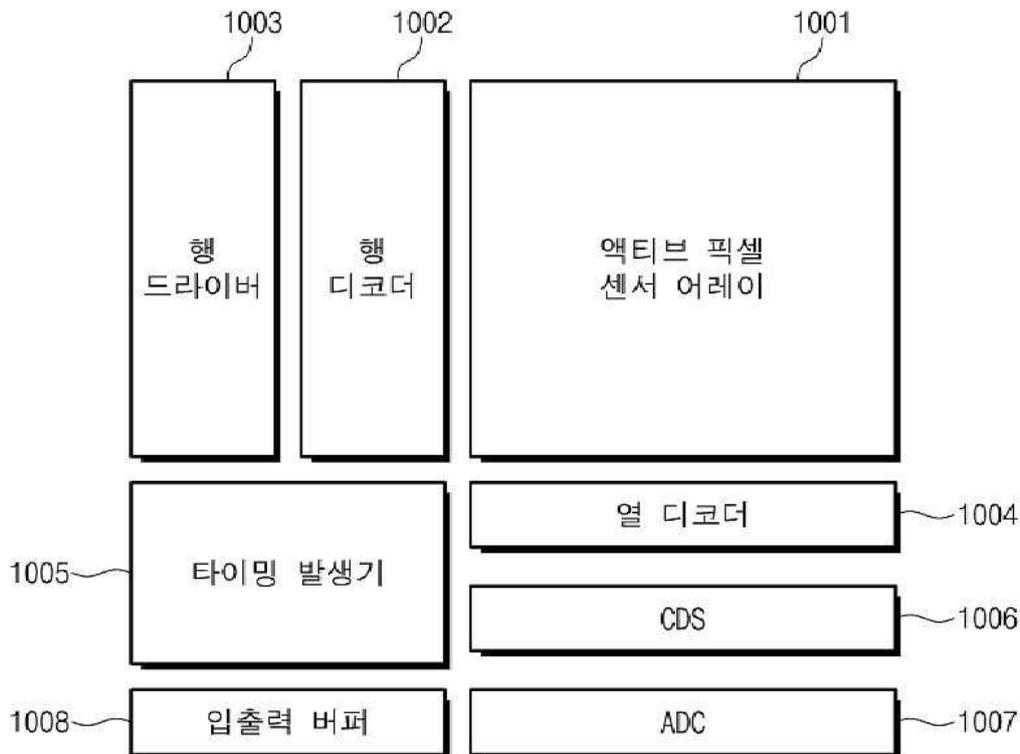
[0089] 상기 제2 콘택(83)은 상기 제3 트렌치(TRC)의 잔부를 채울 수 있다. 상기 제2 콘택(83)은 금속 물질(일 예로, 알루미늄)을 포함할 수 있다. 상기 제2 콘택(83)은 이미지 센서와 외부 소자 사이의 전기적 연결 통로 역할을 할 수 있다. 상기 제2 저굴절 잔여막(63)은 상기 제4 트렌치(TRD)의 잔부를 채울 수 있다. 상기 제2 저굴절 잔여막(63)은 상기 기판(1)을 관통할 수 있고, 상기 배선층(200)의 일부를 관통할 수 있다. 상기 제2 저굴절 잔여막(63)은 절연 물질을 포함할 수 있다. 상기 제2 캐핑 패턴(65)은 상기 제2 저굴절 잔여막(63) 상에 배치될 수 있다. 상기 제2 캐핑 패턴(65)은 상기 깊은 소자분리부(DTI)의 상기 매립 절연 패턴(22)과 동일한 물질을 포함할 수 있다. 상기 제2 보호막(73)은 상기 제2 연결 구조체(60)를 덮을 수 있다.

[0090] 상기 제2 콘택(83)을 통해 인가된 전류는 상기 제2 차광 패턴(61), 상기 배선층(200) 내의 배선들, 및 상기 제1 차광 패턴(51)을 통해 상기 깊은 소자분리부(DTI)의 상기 제1 분리부(20)로 흐를 수 있다. 상기 픽셀 어레이 영역(AR)의 상기 복수의 픽셀들(PX) 내 상기 광전 변환부들(PD)로부터 발생한 전기적 신호는 상기 배선층(200) 내의 배선들, 상기 제2 차광 패턴(61), 및 상기 제2 콘택(83)을 통해 외부로 전송될 수 있다.

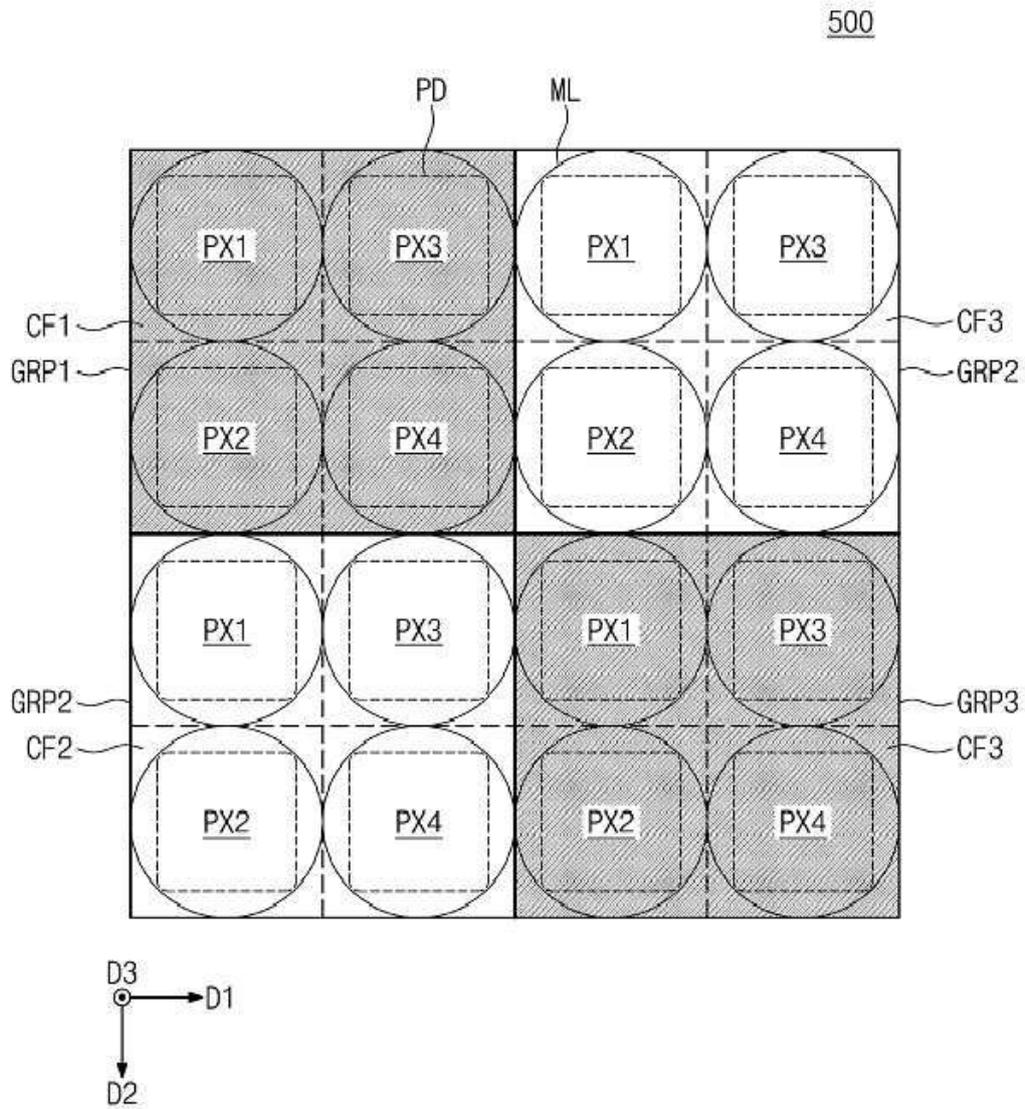
[0091] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

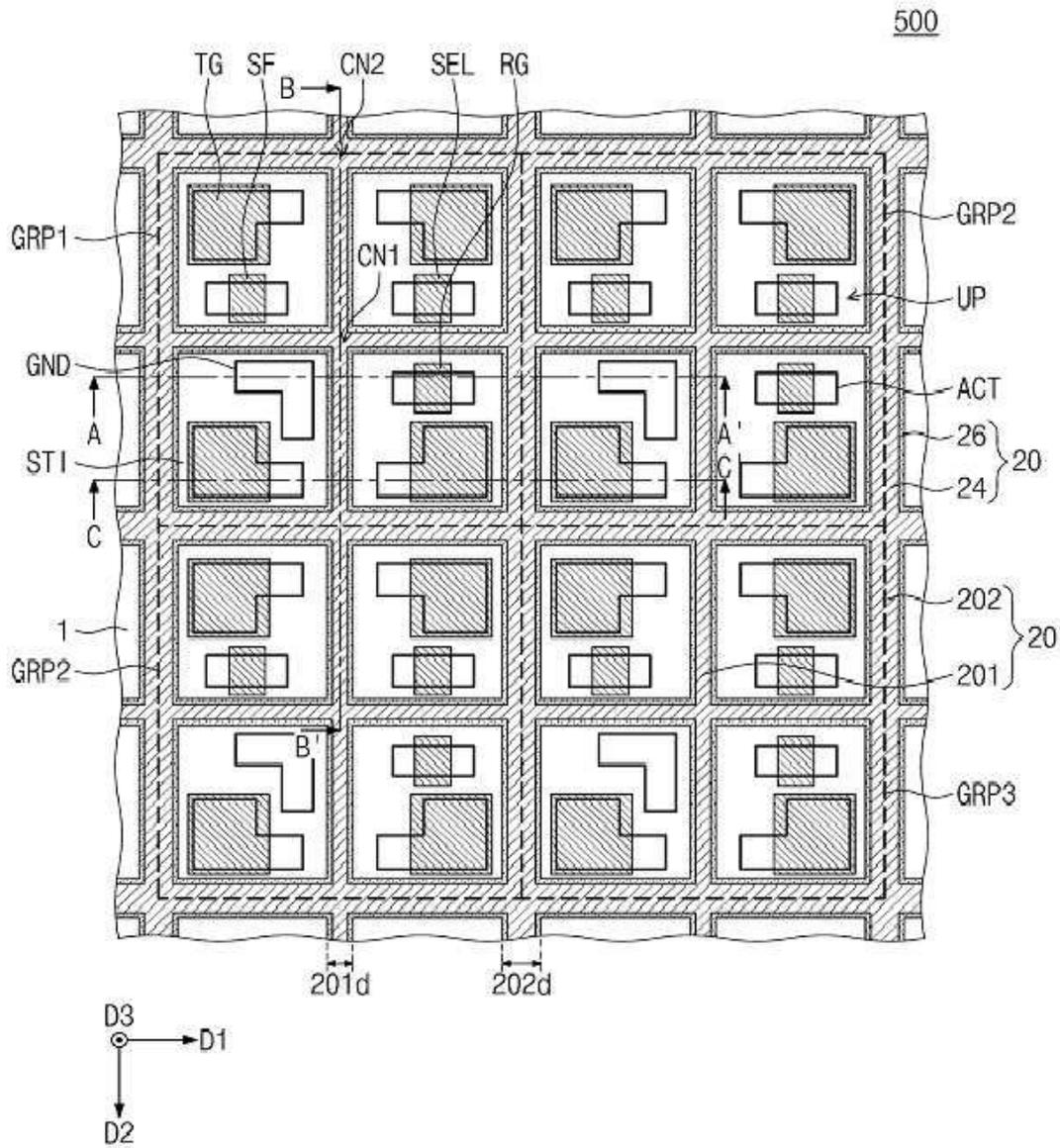
도면1



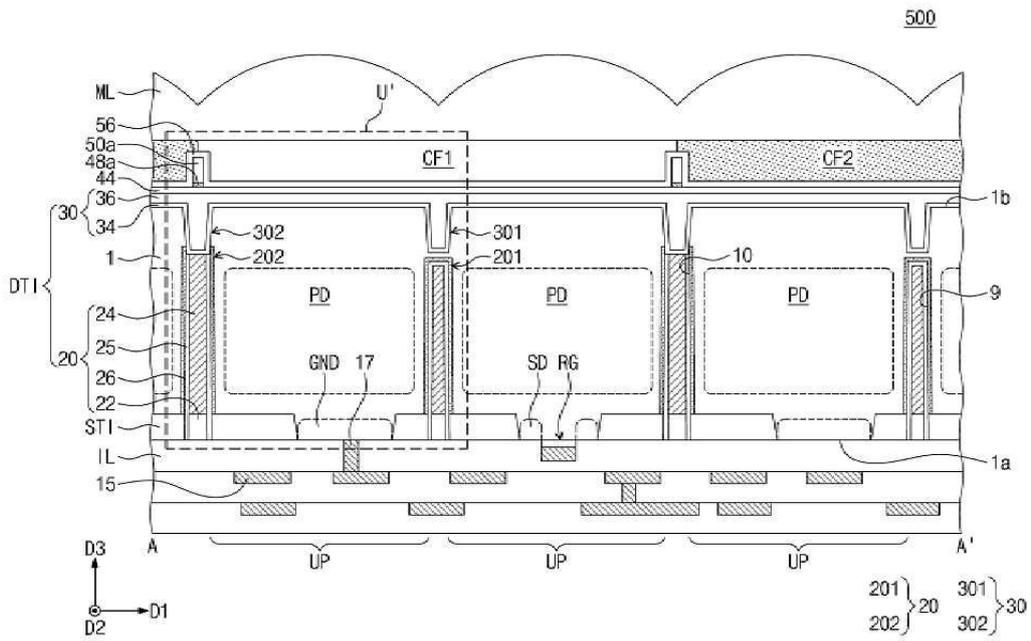
도면3



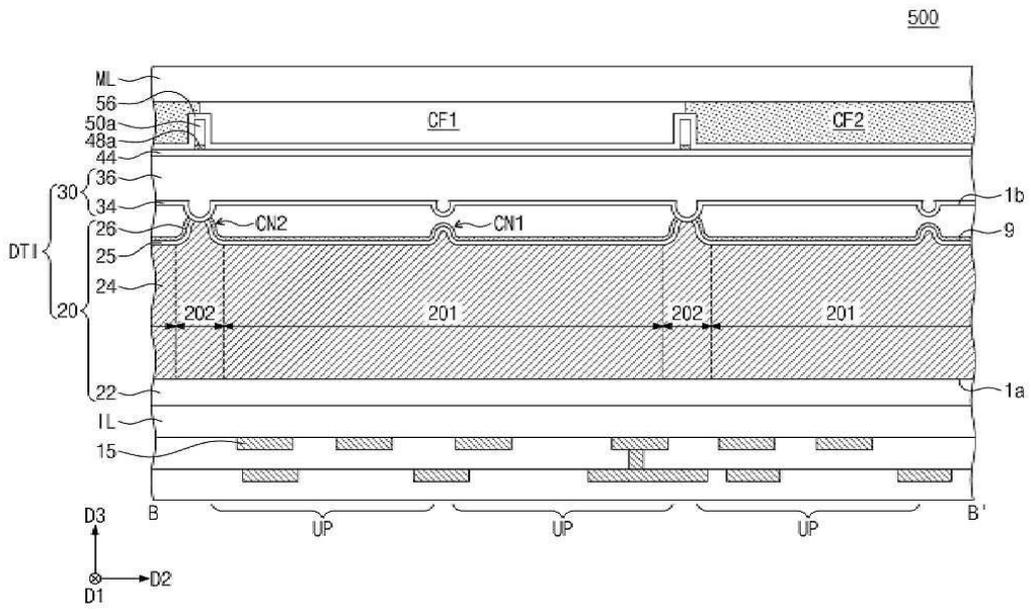
도면4



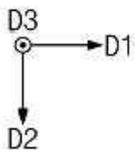
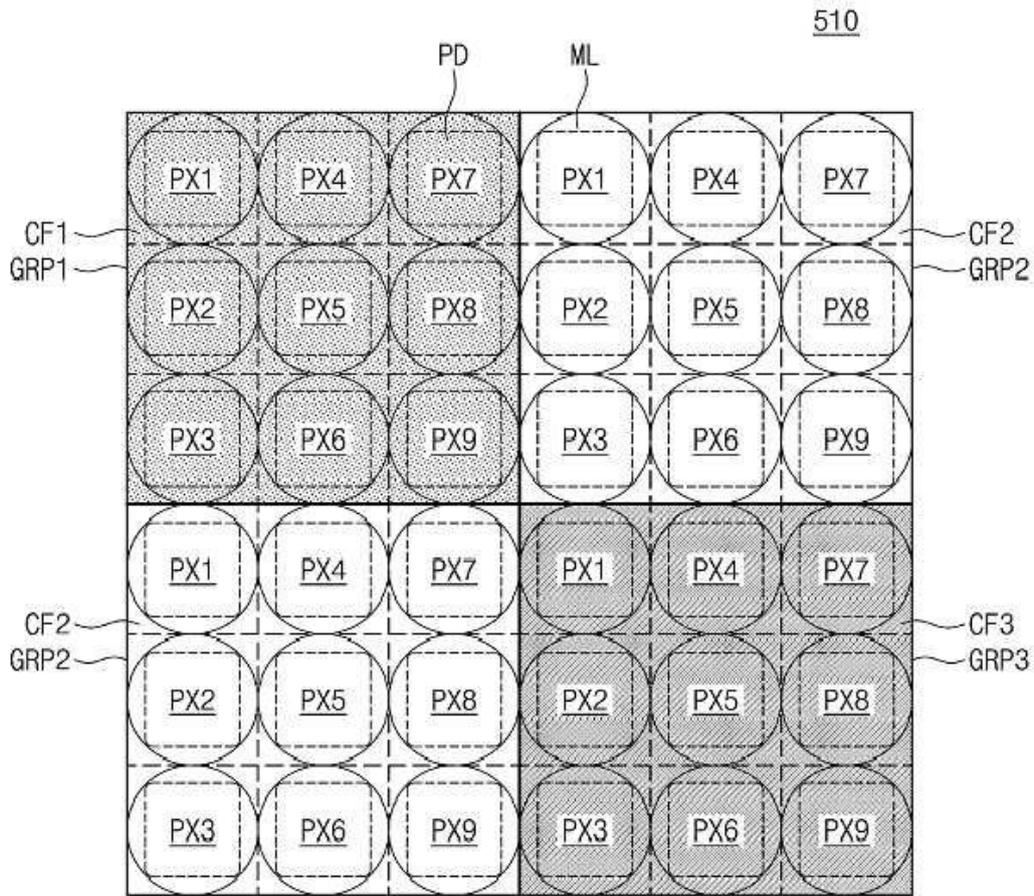
도면5a



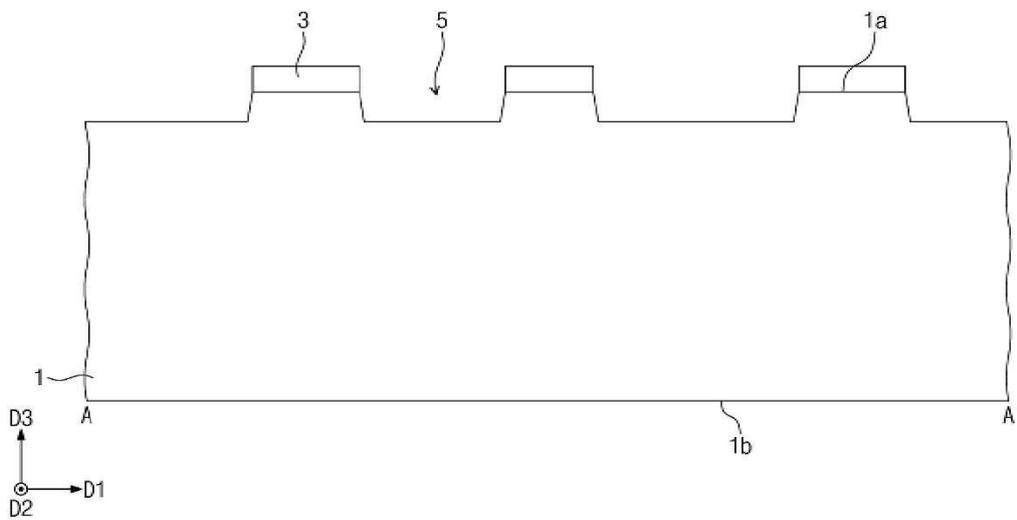
도면5b



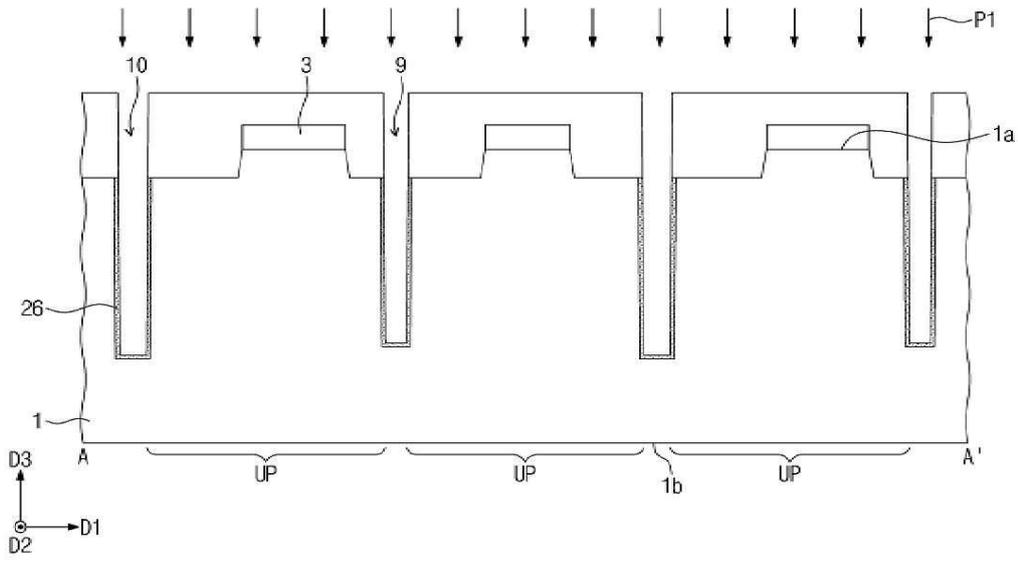
도면9



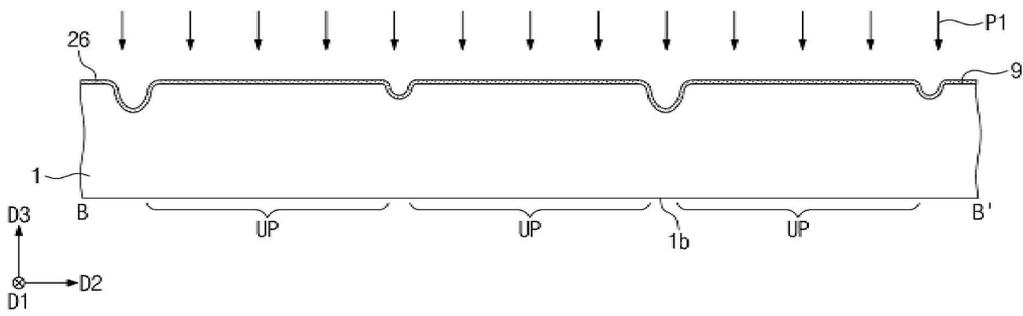
도면10a



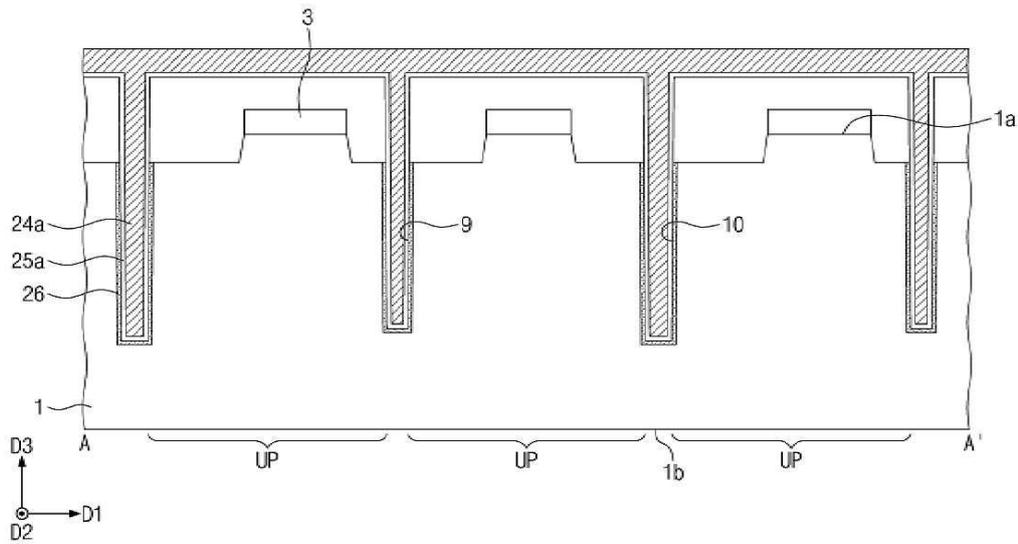
도면12a



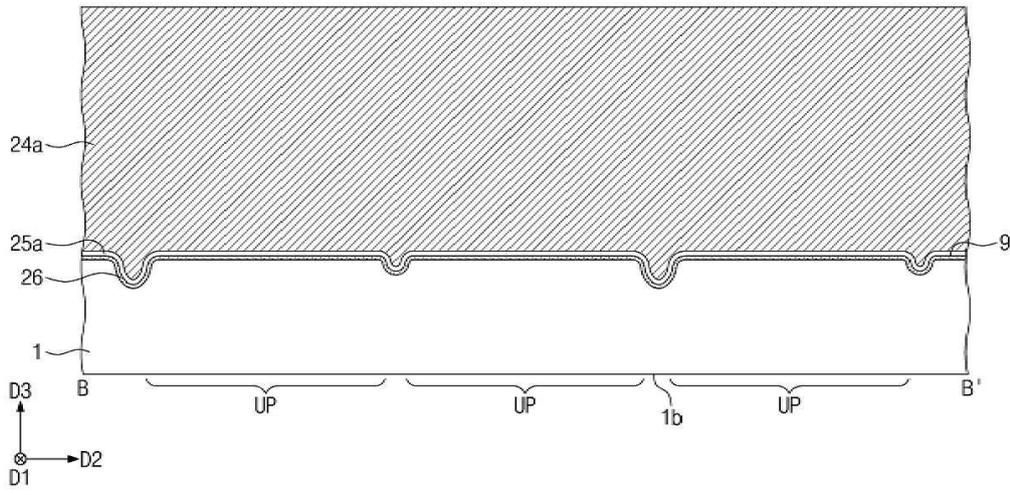
도면12b



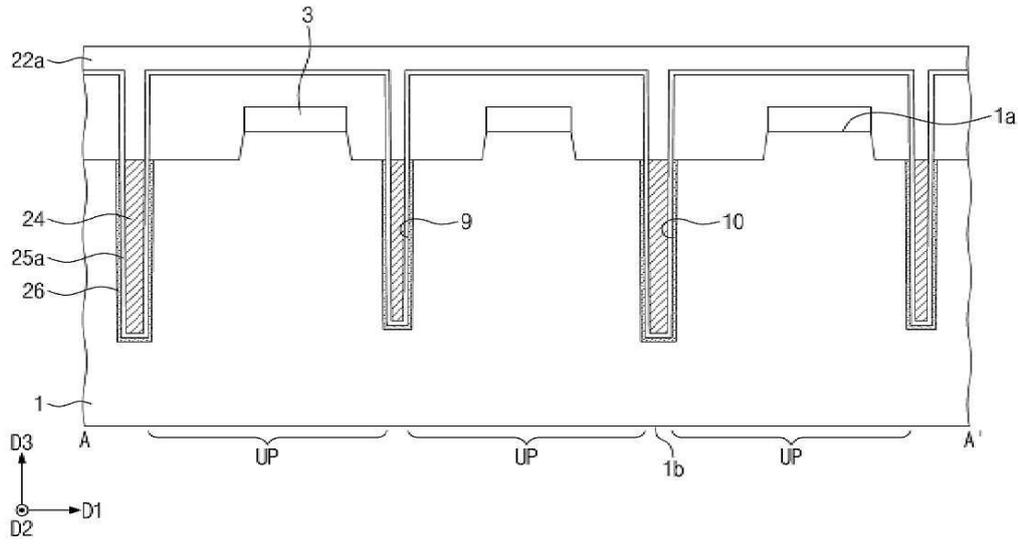
도면13a



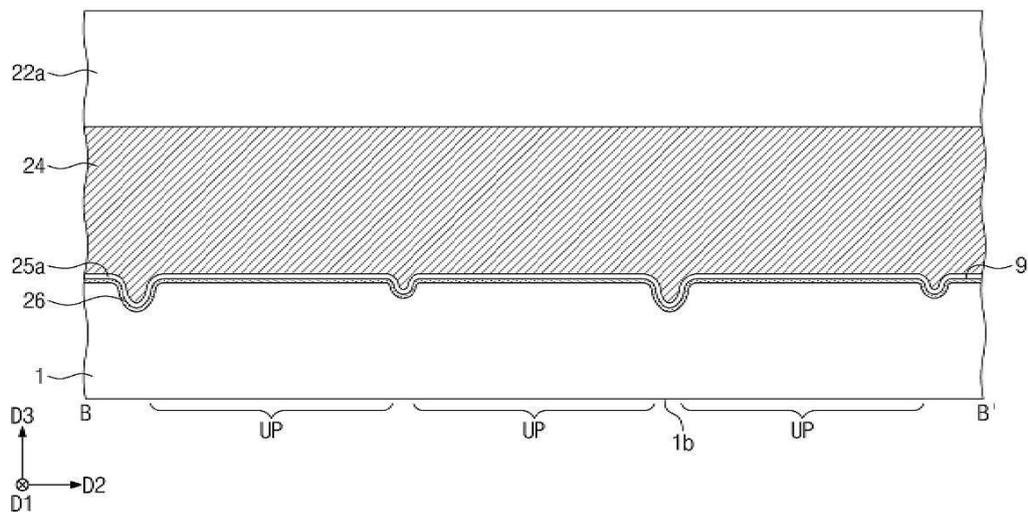
도면13b



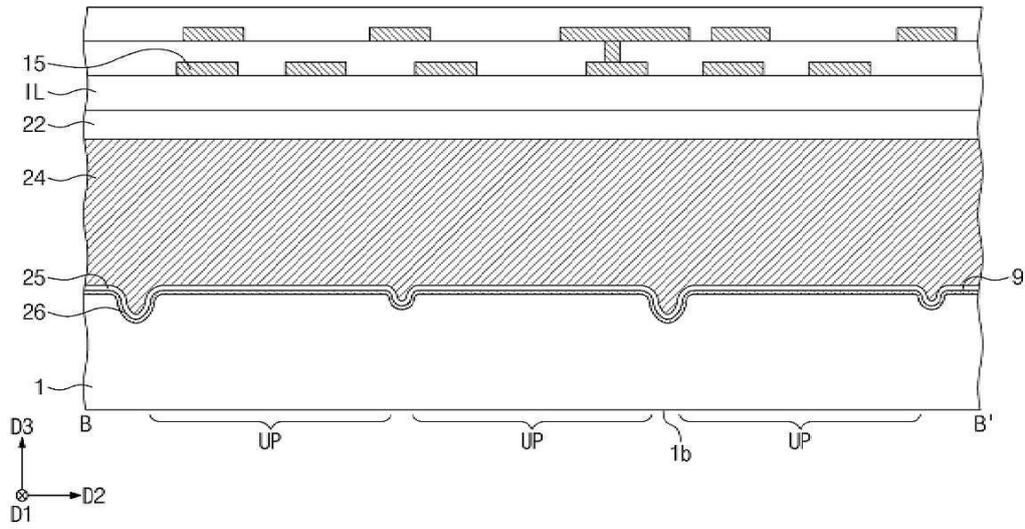
도면14a



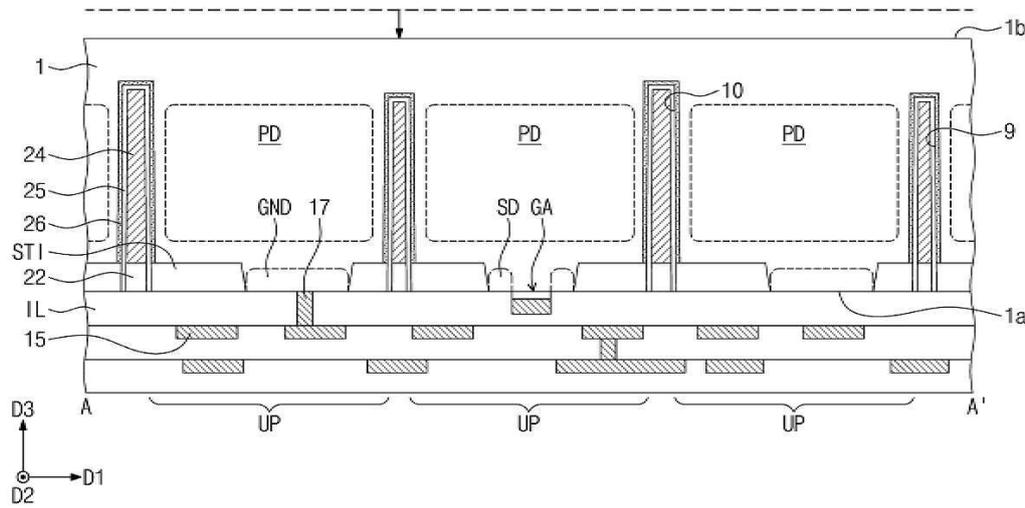
도면14b



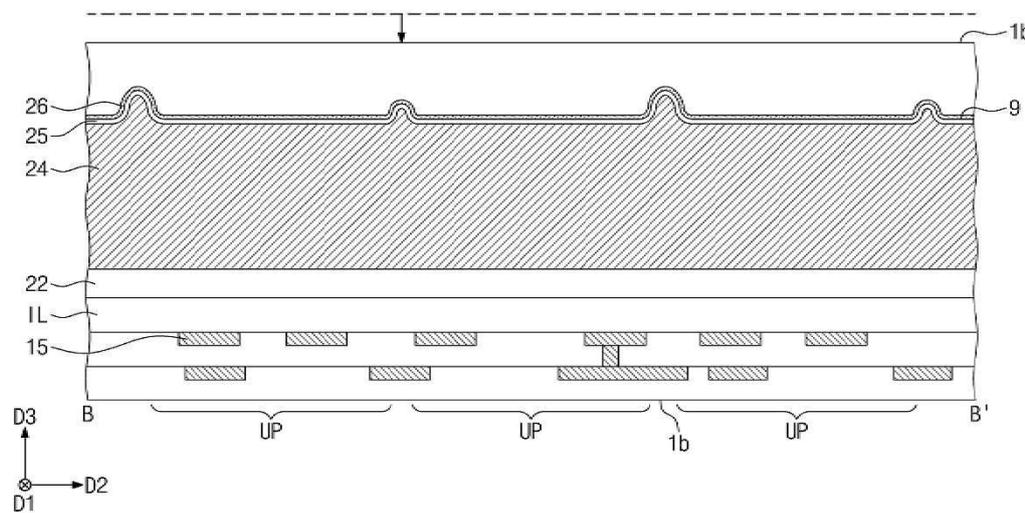
도면16b



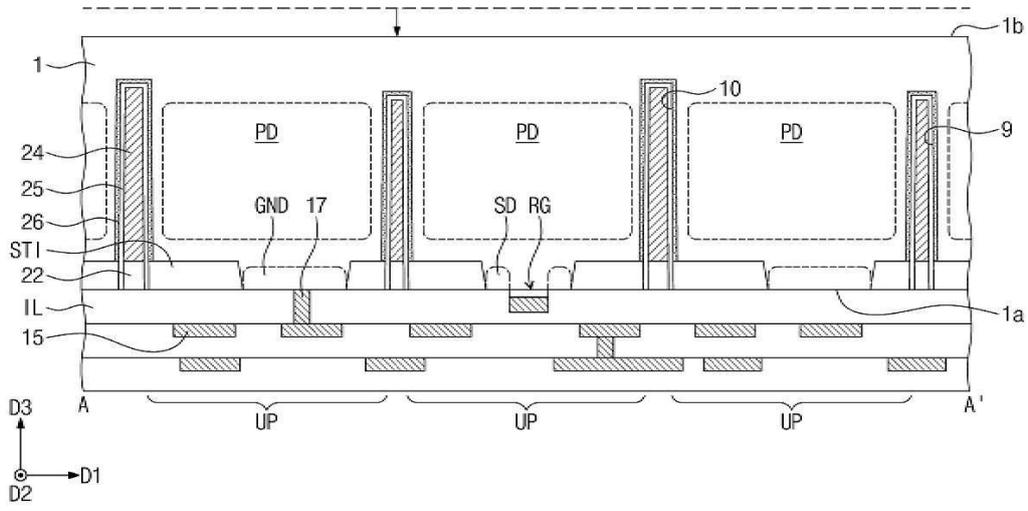
도면17a



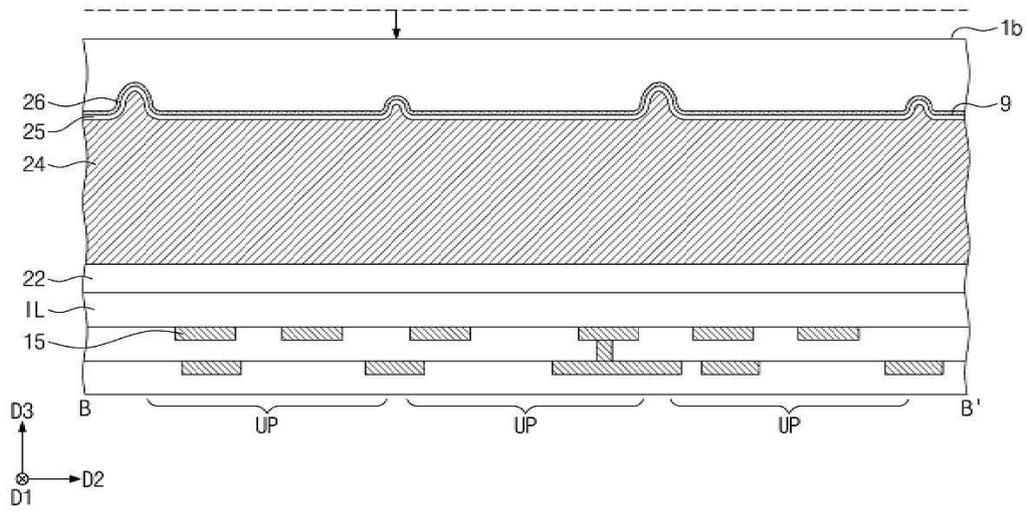
도면17b



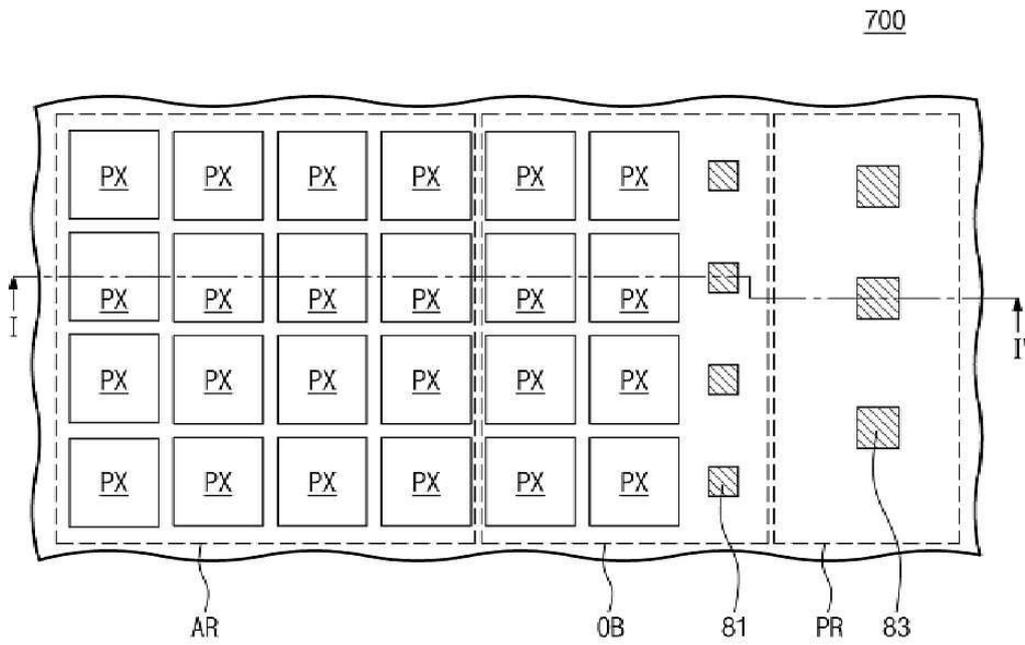
도면18a



도면18b



도면20



도면21

