



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0021504
(43) 공개일자 2024년02월19일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 25/065 (2023.01) H01L 23/00 (2006.01)
H01L 23/31 (2006.01) H01L 23/544 (2006.01)
H01L 25/18 (2023.01)</p> <p>(52) CPC특허분류
H01L 25/0657 (2023.08)
H01L 23/3171 (2013.01)</p> <p>(21) 출원번호 10-2022-0099904
(22) 출원일자 2022년08월10일
심사청구일자 없음</p> | <p>(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
성하섭
경기도 수원시 영통구 삼성로 129</p> <p>장애니
경기도 수원시 영통구 삼성로 129</p> <p>(74) 대리인
박영우</p> |
|--|---|

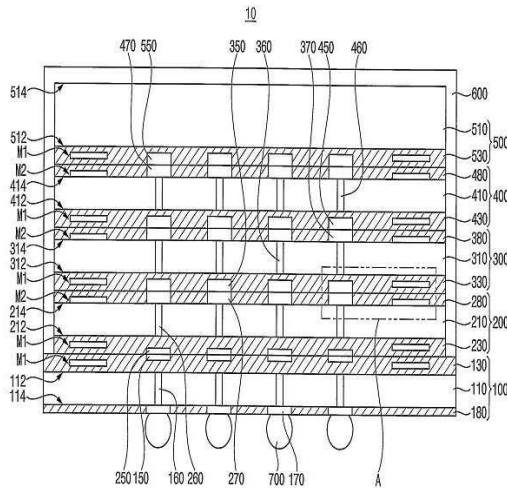
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 패키지 및 반도체 패키지의 제조 방법

(57) 요약

반도체 패키지는 제1 기판, 상기 제1 기판의 일면 상에 구비되는 제1 본딩 패드 및 상기 제1 기판의 일면 상에 형성되며 상기 제1 본딩 패드의 적어도 일부를 노출시키는 제1 패시베이션 막을 포함하는 제1 반도체 칩, 및 상기 제1 반도체 칩 상에 적층되며, 제2 기판, 상기 제2 기판의 전면 상에 구비되는 제2 절연막, 상기 제2 절연막 상에 구비되는 제2 본딩 패드, 상기 제2 절연막 상에 구비되는 복수 개의 제1 얼라인 키 패턴들, 상기 제2 절연막 상에 형성되며 상기 제1 얼라인 키 패턴들을 커버하며 상기 제2 본딩 패드의 적어도 일부를 노출시키는 제2 패시베이션 막을 포함하는 제2 반도체 칩을 포함한다. 상기 제1 본딩 패드와 상기 제2 본딩 패드는 서로 직접 접촉합되고, 상기 제1 패시베이션 막과 상기 제2 패시베이션 막을 서로 직접 접촉된다.

대표도



(52) CPC특허분류

H01L 23/544 (2013.01)

H01L 24/07 (2013.01)

H01L 25/18 (2023.08)

H01L 2224/08123 (2013.01)

H01L 2224/08145 (2013.01)

H01L 2224/085 (2013.01)

H01L 2225/06524 (2013.01)

H01L 2225/06527 (2013.01)

H01L 2225/06541 (2013.01)

명세서

청구범위

청구항 1

제1 기관, 상기 제1 기관의 일면 상에 구비되는 제1 본딩 패드 및 상기 제1 기관의 일면 상에 형성되며 상기 제1 본딩 패드의 적어도 일부를 노출시키는 제1 패시베이션 막을 포함하는 제1 반도체 칩; 및

상기 제1 반도체 칩 상에 적층되며, 제2 기관, 상기 제2 기관의 전면 상에 구비되는 제2 절연막, 상기 제2 절연막 상에 구비되는 제2 본딩 패드, 상기 제2 절연막 상에 구비되는 복수 개의 제1 얼라인 키 패턴들, 상기 제2 절연막 상에 형성되며 상기 제1 얼라인 키 패턴들을 커버하며 상기 제2 본딩 패드의 적어도 일부를 노출시키는 제2 패시베이션 막을 포함하는 제2 반도체 칩을 포함하고,

상기 제1 본딩 패드와 상기 제2 본딩 패드는 서로 직접 접촉되고,

상기 제1 패시베이션 막과 상기 제2 패시베이션 막을 서로 직접 접촉되는 반도체 패키지.

청구항 2

제 1 항에 있어서, 상기 제1 얼라인 키 패턴은,

메인 패턴; 및

상기 메인 패턴 둘레에 이격 배치되는 복수 개의 보조 패턴들을 포함하는 반도체 패키지.

청구항 3

제 1 항에 있어서, 상기 제1 얼라인 키 패턴은 알루미늄 또는 구리를 포함하는 반도체 패키지.

청구항 4

제 1 항에 있어서, 상기 제1 얼라인 키 패턴은 제1 직경을 가지며, 상기 제2 본딩 패드는 상기 제1 직경보다 작은 제2 직경을 갖는 반도체 패키지.

청구항 5

제 4 항에 있어서, 상기 제1 얼라인 키 패턴의 상기 제1 직경은 20 μ m 내지 40 μ m의 범위 이내에 있는 반도체 패키지.

청구항 6

제 1 항에 있어서, 상기 제1 및 제2 본딩 패드들은 구리를 포함하는 반도체 패키지.

청구항 7

제 1 항에 있어서, 상기 제1 패시베이션 막은 실리콘 질화물 또는 실리콘 탄질화물을 포함하고, 상기 제2 패시베이션 막은 실리콘 산화물 또는 실리콘 질화물을 포함하는 반도체 패키지.

청구항 8

제 1 항에 있어서, 상기 제2 반도체 칩은 상기 제2 기관을 관통하고 상기 제2 본딩 패드와 전기적으로 연결되는 제2 관통 전극을 더 포함하는 반도체 패키지.

청구항 9

제 1 항에 있어서, 상기 제1 본딩 패드가 구비되는 상기 제1 기관의 일면은 후면인 반도체 패키지.

청구항 10

제 9 항에 있어서, 상기 제1 반도체 칩은 상기 제1 기관의 후면 상에 구비되는 복수 개의 제2 얼라인 키 패턴들

을 더 포함하고, 상기 복수 개의 제2 얼라인 키 패턴들은 상기 제1 패시베이션 막에 의해 커버되는 반도체 패키지.

청구항 11

버퍼 칩;

상기 버퍼 칩에서 순차적으로 적층되는 제1 내지 제4 반도체 칩들; 및

상기 버퍼 칩 상에서 상기 제1 내지 제4 반도체 칩들을 커버하는 밀봉 부재를 포함하고,

상기 제1 내지 제4 반도체 칩들 각각은,

기관;

상기 기관의 전면 상에 구비되는 절연막;

상기 절연막 상에 구비되는 제1 본딩 패드;

상기 절연막 상에 구비되며, 메인 패턴 및 상기 메인 패턴 둘레에 이격 배치되는 복수 개의 보조 패턴들을 갖는 제1 얼라인 키 패턴; 및

상기 절연막 상에 형성되며 상기 제1 얼라인 키 패턴을 커버하며 상기 제1 본딩 패드의 적어도 일부를 노출시키는 제1 패시베이션 막을 포함하는 반도체 패키지.

청구항 12

제 11 항에 있어서, 상기 제1 내지 제3 반도체 칩들 각각은,

상기 기관을 관통하고 상기 제1 본딩 패드와 전기적으로 연결되는 관통 전극을 더 포함하는 반도체 패키지.

청구항 13

제 11 항에 있어서, 상기 제1 내지 제3 반도체 칩들 각각은,

상기 기관의 후면 상에 구비되는 제2 본딩 패드; 및

상기 기관의 후면 상에 형성되며 상기 제2 본딩 패드의 적어도 일부를 노출시키는 제2 패시베이션 막을 더 포함하는 반도체 패키지.

청구항 14

제 13 항에 있어서, 상기 제1 내지 제3 반도체 칩들 각각은 상기 기관의 후면 상에 구비되는 복수 개의 제2 얼라인 키 패턴들을 더 포함하고, 상기 복수 개의 제2 얼라인 키 패턴들은 상기 제2 패시베이션 막에 의해 커버되는 반도체 패키지.

청구항 15

제 13 항에 있어서, 상기 제1 본딩 패드와 상기 제2 본딩 패드는 서로 직접 접합되고,

상기 제1 패시베이션 막과 상기 제2 패시베이션 막을 서로 직접 접합되는 반도체 패키지.

청구항 16

제 15 항에 있어서, 상기 제1 및 제2 본딩 패드들은 구리를 포함하는 반도체 패키지.

청구항 17

제 15 항에 있어서, 상기 제1 패시베이션 막은 실리콘 질화물 또는 실리콘 탄질화물을 포함하고, 상기 제2 패시베이션 막은 실리콘 산화물 또는 실리콘 질화물을 포함하는 반도체 패키지.

청구항 18

제 11 항에 있어서, 상기 제1 얼라인 키 패턴은 알루미늄 또는 구리를 포함하는 반도체 패키지.

청구항 19

제 11 항에 있어서, 상기 제1 얼라인 키 패턴은 제1 직경을 가지며, 상기 제1 본딩 패드는 상기 제1 직경보다 작은 제2 직경을 갖는 반도체 패키지.

청구항 20

제 19 항에 있어서, 상기 제1 얼라인 키 패턴의 상기 제1 직경은 20 μ m 내지 40 μ m의 범위 이내에 있는 반도체 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지 및 반도체 패키지의 제조 방법에 관한 것으로, 보다 상세하게는, 다이-대-웨이퍼 본딩 공정에 의해 적층된 복수 개의 칩들을 포함하는 반도체 패키지 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 적어도 2개의 반도체 칩들이 적층된 멀티 칩 패키지를 제조하기 위하여, 다이-대-웨이퍼 본딩(die to wafer bonding) 공정에서, 솔더 범프를 사용하지 않고, 패드 대 패드 직접 본딩(pad to pad direct bonding)을 수행할 수 있다. 이 경우에 있어서, 다이 표면 및 웨이퍼 표면 상에 형성된 정렬 키 패턴을 이용하여 상기 다이 및 상기 웨이퍼를 흡착 고정하는 스테이지들 사이의 정렬을 수행할 수 있다. 하지만, 상기 정렬 키 패턴 및 상기 정렬 키 패턴 주변 영역 사이에서의 금속 밀도 차이로 인하여 위상(topology) 균일성이 저하되어 하이브리드 본딩(hybrid bonding)에서 계면간 접합 품질이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 과제는 향상된 접합 품질을 갖는 반도체 패키지를 제공하는 데 있다.

[0004] 본 발명의 다른 과제는 상술한 반도체 패키지를 제조하는 방법을 제공하는 데 있다.

과제의 해결 수단

[0005] 상기 본 발명의 일 과제를 달성하기 위한 예시적인 실시예들에 따른 반도체 패키지는 제1 기판, 상기 제1 기판의 일면 상에 구비되는 제1 본딩 패드 및 상기 제1 기판의 일면 상에 형성되며 상기 제1 본딩 패드의 적어도 일부를 노출시키는 제1 패시베이션 막을 포함하는 제1 반도체 칩, 및 상기 제1 반도체 칩 상에 적층되며, 제2 기판, 상기 제2 기판의 전면 상에 구비되는 제2 절연막, 상기 제2 절연막 상에 구비되는 제2 본딩 패드, 상기 제2 절연막 상에 구비되는 복수 개의 제1 얼라인 키 패턴들, 상기 제2 절연막 상에 형성되며 상기 제1 얼라인 키 패턴들을 커버하며 상기 제2 본딩 패드의 적어도 일부를 노출시키는 제2 패시베이션 막을 포함하는 제2 반도체 칩을 포함한다. 상기 제1 본딩 패드와 상기 제2 본딩 패드는 서로 직접 접합되고, 상기 제1 패시베이션 막과 상기 제2 패시베이션 막을 서로 직접 접합된다.

[0006] 상기 본 발명의 일 과제를 달성하기 위한 예시적인 실시예들에 따른 반도체 패키지는 버퍼 칩, 상기 버퍼 칩에서 순차적으로 적층되는 제1 내지 제4 반도체 칩들, 및 상기 버퍼 칩 상에서 상기 제1 내지 제4 반도체 칩들을 커버하는 밀봉 부재를 포함한다. 상기 제1 내지 제4 반도체 칩들 각각은, 기판, 상기 기판의 전면 상에 구비되는 절연막, 상기 절연막 상에 구비되는 제1 본딩 패드, 상기 절연막 상에 구비되며 메인 패턴 및 상기 메인 패턴 둘레에 이격 배치되는 복수 개의 보조 패턴들을 갖는 제1 얼라인 키 패턴, 및 상기 절연막 상에 형성되며 상기 제1 얼라인 키 패턴을 커버하며 상기 제1 본딩 패드의 적어도 일부를 노출시키는 제1 패시베이션 막을 포함한다.

[0007] 상기 본 발명의 일 과제를 달성하기 위한 예시적인 실시예들에 따른 반도체 패키지는 제1 반도체 칩 및 상기 제1 반도체 칩 상에 적층되는 제2 반도체 칩을 포함한다. 상기 제2 반도체 칩은 제2 기판, 상기 제2 기판의 전면 상에 순차적으로 적층되는 복수 개의 절연막들, 상기 절연막들 내에서 수직하게 적층된 복수 개의 제1 배선들을 포함하는 금속 배선 구조물, 상기 절연막들 내에서 수직하게 적층된 복수 개의 제2 배선들을 포함하고 상기 제2

배선들 중에서 최상위 제2 배선은 메인 패턴 및 상기 메인 패턴 둘레에 이격 배치되는 복수 개의 보조 패턴들을 갖는 얼라인 키 패턴을 포함하는 얼라인 키 구조물, 상기 제1 배선들 중에서 최상위 제1 배선 상에 구비되는 제2 본딩 패드, 및 상기 절연막들 상에 형성되며 상기 얼라인 키 패턴을 커버하며 상기 제2 본딩 패드의 적어도 일부를 노출시키는 제2 패시베이션 막을 포함한다.

[0008] 상기 본 발명의 다른 과제를 달성하기 위한 예시적인 실시예들에 따른 반도체 패키지의 제조 방법에 있어서, 기관, 상기 기관의 전면 상에 구비되며 메인 패턴 및 상기 메인 패턴 둘레에 이격 배치되는 복수 개의 보조 패턴들을 갖는 얼라인 키 패턴, 상기 기관의 전면 상에 구비되는 본딩 패드 및 상기 기관의 전면 상에 형성된 상기 얼라인 키 패턴을 커버하며 상기 본딩 패드의 적어도 일부를 노출시키는 패시베이션 막을 포함하는 제1 반도체 칩을 형성한다. 제2 반도체 칩 상에 상기 제1 반도체 칩을 배치시킨다. 상기 제1 반도체 칩 상의 상기 얼라인 키 패턴을 활상하여 상기 제2 반도체 칩에 대한 상기 제1 반도체 칩을 정렬시킨다. 상기 정렬된 제1 반도체 칩을 상기 제2 반도체 칩 상에 적층시킨다.

발명의 효과

[0009] 예시적인 실시예들에 따르면, 제1 반도체 칩 상에 순차적으로 적층된 제2 내지 제5 반도체 칩들 중 적어도 하나는 기관의 전면 상에 구비되며 메인 패턴 및 상기 메인 패턴 둘레에 이격 배치되는 복수 개의 보조 패턴들을 갖는 제1 얼라인 키 패턴을 포함할 수 있다. 또한, 상기 제2 내지 제4 반도체 칩들 중 적어도 하나는 상기 기관의 후면 상에 구비되는 제2 얼라인 키 패턴을 포함할 수 있다.

[0010] 상기 보조 패턴들은 상기 메인 패턴 둘레에 배치되어 상기 제1 얼라인 키 패턴은 기 설정된 얼라인 키 패턴 영역을 기준으로 60%보다 큰 비율의 금속 부분을 가질 수 있다.

[0011] 따라서, 상기 메인 패턴 및 상기 메인 패턴 둘레의 절연막 영역 사이에서의 금속 밀도를 균일하게 만들어 위상(topology) 균일성을 향상시킬 수 있다. 이에 따라, 상기 메인 패턴 및 상기 메인 패턴 상의 패시베이션 막 사이에 보이드(void)가 발생하는 것을 방지하고 디싱(dishing) 효과를 개선함으로써, 하이브리드 본딩 공정에서의 접합 품질을 향상시킬 수 있다.

[0012] 다만, 본 발명의 효과는 상기 언급한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0013] 도 1은 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다.

도 2는 도 1의 제3 반도체 칩의 전면을 나타내는 평면도이다.

도 3은 도 1의 A 부분을 나타내는 확대 단면도이다.

도 4는 도 2의 얼라인 키 영역을 나타내는 확대 평면도이다.

도 5 내지 도 17은 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 나타내는 도면들이다.

도 18a 내지 도 18e는 다양한 구조를 갖는 제1 얼라인 키 패턴을 나타내는 평면도들이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

[0015] 도 1은 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다. 도 2는 도 1의 제3 반도체 칩의 전면을 나타내는 평면도이다. 도 3은 도 1의 A 부분을 나타내는 확대 단면도이다. 도 4는 도 2의 얼라인 키 영역을 나타내는 확대 평면도이다. 도 1은 도 2의 A-A' 라인을 따라 절단한 단면도이다.

[0016] 도 1 내지 도 4를 참조하면, 반도체 패키지(10)는 적층된 반도체 칩들을 포함할 수 있다. 반도체 패키지(10)는 적층된 제1 내지 제5 반도체 칩들(100, 200, 300, 400, 500)을 포함할 수 있다.

[0017] 복수 개의 반도체 칩들(100, 200, 300, 400, 500)이 수직하게 적층될 수 있다. 본 실시예에서, 제1 내지 제5 반도체 칩들(100, 200, 300, 400, 500)은 서로 실질적으로 동일하거나 유사할 수 있다. 따라서, 동일하거나 유사한 구성요소들은 동일하거나 유사한 참조부호들로 나타내고, 또한 동일한 구성요소들에 대한 반복 설명은 생략할 수 있다.

- [0018] 본 실시예에서는, 멀티-칩 패키지로서의 반도체 패키지가 제1 반도체 칩(100) 상에 4개의 적층된 반도체 칩들(200, 300, 400, 500)들을 포함하는 것으로 예시하였다. 하지만, 이에 제한되지 않으며, 예를 들면, 반도체 패키지는 제1 반도체 칩(100) 상에 8개, 12개, 16개의 적층된 반도체 칩들을 포함할 수 있다.
- [0019] 제1 내지 제5 반도체 칩들(100, 200, 300, 400, 500)은 각각 반도체 제조 공정들이 수행되어 완성된 집적회로 칩을 포함할 수 있다. 각각의 반도체 칩들을 예를 들어, 메모리 칩 또는 로직 칩 등을 포함할 수 있다. 반도체 패키지(10)는 메모리 장치를 포함할 수 있다. 상기 메모리 장치는 고 대역폭 메모리(HBM, High Bandwidth Memory) 장치를 포함할 수 있다.
- [0020] 예시적인 실시예들에 있어서, 제1 반도체 칩(100)은 제1 기판(110), 외측면에 제1 본딩 패드(150)가 구비된 제1 전면 절연막(130), 제2 본딩 패드(170)가 구비된 제1 후면 절연막(180)을 포함할 수 있다. 또한, 제1 반도체 칩(100)은 제1 기판(110)을 관통하는 제1 관통 전극(160)을 포함할 수 있다.
- [0021] 제1 기판(110)은 서로 반대하는 제1 면(112) 및 제2 면(114)을 가질 수 있다. 제1 면(112)은 활성면이고, 제2 면(114)은 비활성면일 수 있다. 기판(110)의 제1 면(112) 상에는 회로 패턴들(116)이 구비될 수 있다. 제1 면(112)은 상기 회로 패턴들이 형성된 전면(front side surface)이라 할 수 있고, 제2 면(114)은 후면(backside surface)이라 할 수 있다.
- [0022] 예시적인 실시예들에 있어서, 제1 얼라인 키 패턴(M1)은 제1 기판(110)의 제1 면(112) 상에 구비될 수 있다. 적어도 3개의 제1 얼라인 키 패턴들(M1)이 제1 반도체 칩(100)의 주변 영역에 배치될 수 있다. 제1 전면 절연막(130)은 제1 얼라인 키 패턴(M1)을 커버할 수 있다. 상기 제1 얼라인 키 패턴에 대한 상세한 설명은 제3 반도체 칩의 설명에서 하기로 한다.
- [0023] 제2 반도체 칩(200)은 제2 기판(210), 제2 기판(210)의 전면(212) 상에 구비된 제2 전면 절연막(230) 및 제2 기판(210)의 후면(214) 상에 구비된 제2 후면 절연막(280)을 포함할 수 있다. 제2 반도체 칩(200)은 제2 기판(210)을 관통하는 제2 관통 전극(260)을 더 포함할 수 있다. 제3 본딩 패드(250)는 제2 전면 절연막(230)의 최외각 절연층에 구비될 수 있다. 제4 본딩 패드(270)은 제2 후면 절연막(280)에 구비될 수 있다.
- [0024] 제2 기판(210)의 전면(212)이 제1 기판(110)의 전면(112)을 향하도록 배치될 수 있다. 제2 전면 절연막(230)과 제1 전면 절연막(130)이 서로 직접 접합될 수 있다. 따라서, 제1 반도체 칩(100)과 제2 반도체 칩(200) 사이에서 제1 본딩 패드(150)와 제3 본딩 패드(250)는 구리-구리 하이브리드 본딩(Cu-Cu Hybrid Bonding)에 의해 서로 접합될 수 있다(패드-대-패드 직접 본딩(pad to pad direct bonding)).
- [0025] 제1 및 제2 전면 절연막(130, 230)의 상기 최외각 절연층들은 서로 접촉하여 우수한 결합력을 갖는 본딩 구조체를 제공할 수 있다. 제1 및 제2 전면 절연막(130, 230)은 서로 접촉된 상태에서 고온의 어닐링 공정에 의해 서로 접합될 수 있다. 이 때, 상기 본딩 구조체는 공유 결합에 의해 더욱 견고한 접합 강도를 가질 수 있다.
- [0026] 예시적인 실시예들에 있어서, 제1 얼라인 키 패턴(M1)은 제2 기판(210)의 전면 상에 구비될 수 있다. 적어도 3개의 제1 얼라인 키 패턴들(M1)이 제2 반도체 칩(200)의 주변 영역에 배치될 수 있다. 제1 전면 절연막(130)은 제1 얼라인 키 패턴(M1)을 커버할 수 있다. 상기 제1 얼라인 키 패턴에 대한 상세한 설명은 제3 반도체 칩의 설명에서 하기로 한다.
- [0027] 도 3에 도시된 바와 같이, 제2 기판(210)의 제2 면(214), 즉, 후면 상에는 제2 후면 절연막(280)이 구비될 수 있다. 제2 후면 절연막(280)에는 제4 본딩 패드(270)가 구비될 수 있다. 제4 본딩 패드(270)은 제2 관통 전극(260)의 노출된 표면 상에 배치될 수 있다. 제2 후면 절연막(280)은 실리콘 산화물, 탄소 도핑된 실리콘 산화물, 실리콘 탄질화물(SiCN) 등을 포함할 수 있다. 따라서, 제3 및 제4 본딩 패드들(250, 270)은 제2 관통 전극(260)에 의해 전기적으로 연결될 수 있다.
- [0028] 제3 및 제4 본딩 패드들(250, 270) 및 제2 관통 전극(260)은 동일한 금속을 포함할 수 있다. 예를 들면, 상기 금속은 구리(Cu)를 포함할 수 있다. 하지만, 이에 제한되지는 않으며, 고온의 어닐링 공정에 의해 금속의 상호 확산에 의해 결합될 수 있는 물질(예를 들면, 금(Au))을 포함할 수 있다.
- [0029] 예시적인 실시예들에 있어서, 제2 기판(210)의 제2 면(214) 상에는 제2 얼라인 키 패턴(M2)이 구비될 수 있다. 적어도 3개의 제2 얼라인 키 패턴들(M2)이 제2 반도체 칩(200)의 주변 영역에 배치될 수 있다. 제4 패시베이션(passivation) 막으로서의 제2 후면 절연막(280)은 제2 기판(210)의 제2 면(214) 상에 형성된 제2 얼라인 키 패턴(M2)을 커버할 수 있다. 제2 얼라인 키 패턴(M2)은 제1 얼라인 키 패턴(M1)과 실질적으로 동일하거나 유사한 구조를 가질 수 있다. 예를 들면, 제2 얼라인 키 패턴(M2)은 제1 얼라인 키 패턴(M1)의 메인 패턴(240)의 구

조물만을 포함할 수 있다. 제2 얼라인 키 패턴(M2)의 크기는 제1 얼라인 키 패턴(M1)의 크기와 동일하거나 더 작을 수 있다.

- [0030] 제3 반도체 칩(300)은 제3 기관(310), 제3 기관(310)의 전면(312) 상에 구비된 제3 전면 절연막(330) 및 제3 기관(310)의 후면(314) 상에 구비된 제3 후면 절연막(360)을 포함할 수 있다. 제3 반도체 칩(300)은 제3 기관(310)을 관통하는 제3 관통 전극(360)을 더 포함할 수 있다. 제5 본딩 패드(350)는 제3 전면 절연막(330)의 최외각 절연층에 구비될 수 있다. 제6 본딩 패드(370)은 제3 후면 절연막(380)에 구비될 수 있다.
- [0031] 도 3을 다시 참조하면, 제3 기관(310)은 서로 반대하는 제1 면(312) 및 제2 면(314)을 가질 수 있다. 제3 기관(310)의 제1 면(312)에는 회로 패턴들 및 셀들이 형성될 수 있다. 회로 패턴들(316)은 트랜지스터, 커패시터, 다이오드 등을 포함할 수 있다. 상기 회로 패턴들은 회로 소자들을 구성할 수 있다. 따라서, 상기 제3 반도체 칩은 내부에 다수개의 회로 소자들을 형성된 반도체 장치일 수 있다. 상기 회로 패턴들은 제3 기관(310)의 제1 면(312) 상에 반도체 소자 제조를 위한 FEOL (Front End of Line) 공정을 수행함으로써 형성될 수 있다. 상기 FEOL 공정이 수행되는 제3 기관의 표면을 상기 제3 기관의 전면(front side surface)이라 하고, 상기 전면의 반대면을 후면(backside surface)이라 할 수 있다.
- [0032] 제3 전면 절연막(330)은 층간 절연막으로서 제3 기관(310)의 제1 면(312), 즉, 전면 상에 형성될 수 있다. 제3 전면 절연막(330)은 복수 개의 절연층들(320, 322, 324) 및 상기 절연층들 내에 배선들을 포함할 수 있다. 또한, 제3 전면 절연막(330)의 최외각 절연층에는 제5 본딩 패드(350)가 구비될 수 있다.
- [0033] 예를 들면, 제3 전면 절연막(330)은 제1 층간 절연막(320), 제2 층간 절연막(322) 및 제5 패시베이션 막(324)을 포함할 수 있다.
- [0034] 제1 층간 절연막(320)은 제3 기관(310)의 제1 면(312) 상에 구비되어 회로 패턴(316)들을 커버할 수 있다. 제1 층간 절연막(320)은 예를 들어, 실리콘 산화물 또는 저유전 물질을 포함하도록 형성될 수 있다. 제1 층간 절연막(320)은 내부에 하부 배선들(318)을 포함할 수 있다.
- [0035] 제2 층간 절연막(322)은 복수 개의 서로 교대로 형성된 버퍼막들 및 절연막들을 포함할 수 있다. 예를 들면, 상기 버퍼막은 실리콘 질화물, 실리콘 탄소 질화물, SiCON 등을 포함할 수 있다. 상기 절연막은 실리콘 산화물, 탄소 도핑된 실리콘 산화물, 실리콘 탄질화물(SiCN) 등을 포함할 수 있다.
- [0036] 제2 층간 절연막(322)은 내부에 복수 개의 배선들을 포함할 수 있다. 예를 들면, 제2 층간 절연막(322)은 상기 버퍼막들 및 절연막들에서 수직하게 적층된 복수 개의 제1 배선들을 구비하는 금속 배선 구조물을 포함할 수 있다. 상기 복수 개의 제1 배선들은 제1 금속 배선(332a), 제1 콘택(334a), 제2 금속 배선(332b), 제2 콘택(334b), 제3 금속 배선(332c), 제3 콘택(334c) 및 제4 금속 배선(332d)을 포함할 수 있다. 제4 금속 배선(332d)은 최상위 제1 배선으로서 제2 층간 절연막(322) 상에 구비될 수 있다. 제4 금속 배선(332d)은 상기 제1 내지 제3 금속 배선들 각각의 두께보다 더 큰 두께를 가질 수 있다. 제5 본딩 패드(350)는 최상위 제1 배선인 제4 금속 배선(332d) 상에 형성될 수 있다.
- [0037] 제5 패시베이션 막(324)은 제2 층간 절연막(322) 상에 형성되며, 제5본딩 패드(350)의 적어도 일부를 노출시킬 수 있다. 제5 패시베이션 막(324)은 복수 개의 적층된 절연막들을 포함할 수 있다. 예를 들면, 제3 패시베이션 막(324)은 순차적으로 적층되며 산화막을 포함하는 유기 패시베이션막(325) 및 질화막을 포함하는 무기 패시베이션막(326)을 포함할 수 있다. 무기 패시베이션 막(326)은 실리콘 질화물 또는 실리콘 탄질화물을 포함할 수 있다.
- [0038] 제3 전면 절연막(330)의 최외곽 절연층에는 제5 본딩 패드(350)가 구비될 수 있다. 제5 본딩 패드(350)는 제3 전면 절연막(330)의 외측면을 통해 노출될 수 있다. 따라서, 회로 패턴(316)은 상기 하부 배선들 및 상기 배선들에 의해 제5 본딩 패드(350)와 전기적으로 연결될 수 있다.
- [0039] 예시적인 실시예들에 있어서, 제2 층간 절연막(322)은 얼라인 키 구조물(335)을 포함할 수 있다. 얼라인 키 구조물(335)은 상기 버퍼막들 및 절연막들에서 수직하게 적층된 복수 개의 제2 배선들을 포함할 수 있다. 상기 복수 개의 제2 배선들은 제1 금속 배선(336a), 제1 콘택(338a), 제2 금속 배선(336b), 제2 콘택(338b), 제3 금속 배선(336c), 제3 콘택(338c) 및 제1 얼라인 키 패턴(M1)을 포함할 수 있다. 제1 얼라인 키 패턴(M1)은 최상위 제2 배선으로서 제2 층간 절연막(322) 상에 구비될 수 있다. 제1 얼라인 키 패턴(M1)은 상기 제1 내지 제3 금속 배선들 각각의 두께보다 더 큰 두께를 가질 수 있다.
- [0040] 도 4에 도시된 바와 같이, 제1 얼라인 키 패턴(M1)은 메인 패턴(340) 및 메인 패턴(340) 둘레에 이격 배치되는

복수 개의 보조 패턴들(342)을 포함할 수 있다. 제1 얼라인 키 패턴(M1)은 서치 박스로서의 얼라인 키 패턴 영역(AR) 내에 배열될 수 있다.

- [0041] 적어도 3개의 제1 얼라인 키 패턴들(M1)은 제3 반도체 칩(300)의 주변 영역에 배치될 수 있다. 제5 본딩 패드(350)는 제1 직경(D1)을 가지며, 제1 얼라인 키 패턴(M1)은 제2 직경(D2)을 가질 수 있다. 제5 본딩 패드(350)의 제1 직경(D1)은 5 μ m 내지 15 μ m의 범위 이내에 있고, 제1 얼라인 키 패턴(M1)의 제2 직경(D2)은 20 μ m 내지 35 μ m의 범위 이내에 있을 수 있다. 제1 얼라인 키 패턴(M1)의 크기는 후술하는 다이 본딩 장치(50)의 촬상 카메라의 해상도를 고려하여 결정될 수 있다.
- [0042] 예를 들면, 메인 패턴(340)은 '+'자형 패턴을 가질 수 있다. 메인 패턴(340)은 상기 서치 박스를 기준으로 60%보다 작은 비율의 금속 부분을 가질 수 있다. 사각형 패턴을 갖는 4개의 보조 패턴들(342)이 메인 패턴(340) 둘레에 배치될 수 있다. 보조 패턴들(342)은 메인 패턴(340)과 동일한 물질 및 두께를 가질 수 있다. 보조 패턴들(342)에 의해 제1 얼라인 키 패턴(M1)은 상기 서치 박스를 기준으로 60%보다 큰 비율의 금속 부분을 가질 수 있다.
- [0043] 제5 패시베이션 막(324)은 제2 층간 절연막(322) 상에 형성된 제1 얼라인 키 패턴(M1)을 커버할 수 있다. 제1 얼라인 키 패턴(M1)은 메인 패턴(340) 둘레에 이격 배치되는 복수 개의 보조 패턴들(342)을 포함하고 있으므로, 메인 패턴(340) 및 메인 패턴(340) 둘레의 절연막 영역 사이에서의 금속 밀도를 균일하게 만들어 위상(topology) 균일성을 향상시킬 수 있다. 이에 따라, 메인 패턴(340) 및 제5 패시베이션 막(324) 사이에 보이드(void)가 발생하는 것을 방지하고 디싱(dishing) 효과를 개선할 수 있다.
- [0044] 제3 관통 전극(360)은 제1 층간 절연막(320)을 수직 관통하고 제3 기관(310)의 제1 면(312)으로부터 소정 깊이까지 연장할 수 있다. 제3 관통 전극(360)은 상기 금속 배선 구조물의 제1 금속 배선(332a)과 접촉할 수 있다. 따라서, 제3 관통 전극(360)은 상기 배선들에 의해 제5 본딩 패드(340)와 전기적으로 연결될 수 있다.
- [0045] 제3 관통 전극(360)의 외측면에는 라이너 막(362)이 구비될 수 있다. 상기 라이너 막은 실리콘 산화물 또는 탄소 도핑된 실리콘 산화물을 포함할 수 있다. 라이너 막(362)은 제3 관통 전극(360)을 제3 기관(310) 및 제3 전면 절연막(330)으로부터 전기적으로 절연시킬 수 있다.
- [0046] 도 3에 도시된 바와 같이, 제3 기관(310)의 전면(312)이 제2 기관(210)의 후면(214)을 향하도록 배치될 수 있다. 제3 전면 절연막(330)과 제2 후면 절연막(280)이 서로 직접 접합될 수 있다. 따라서, 제2 반도체 칩(200)과 제3 반도체 칩(300) 사이에서 제4 본딩 패드(270)와 제5 본딩 패드(350)는 구리-구리 하이브리드 본딩(Cu-Cu Hybrid Bonding)에 의해 서로 접합될 수 있다(패드-대-패드 직접 본딩(pad to pad direct bonding)).
- [0047] 제2 후면 절연막(280) 및 제3 전면 절연막(230)의 상기 최외각 절연층들은 서로 접촉하여 우수한 결합력을 제공하는 절연 물질을 포함하여 본딩 구조체를 제공할 수 있다. 제2 후면 절연막(280) 및 제3 전면 절연막(230)은 서로 접촉된 상태에서 고온의 어닐링 공정에 의해 서로 접합될 수 있다. 이 때, 상기 본딩 구조체는 공유 결합에 의해 더욱 견고한 접합 강도를 가질 수 있다.
- [0048] 제4 반도체 칩(400)은 제4 기관(410), 제4 기관(410)의 전면(412) 상에 구비된 제4 전면 절연막(430) 및 제4 기관(410)의 후면(414) 상에 구비된 제4 후면 절연막(480)을 포함할 수 있다. 제4 반도체 칩(400)은 제4 기관(410)을 관통하는 제4 관통 전극(460)을 더 포함할 수 있다. 제7 본딩 패드(440)는 제4 전면 절연막(430)의 최외각 절연층에 구비될 수 있다. 제8 본딩 패드(470)는 제4 후면 절연막(460)에 구비될 수 있다.
- [0049] 예시적인 실시예들에 있어서, 제1 얼라인 키 패턴(M1)은 제4 기관(410)의 제1 면(412) 상에 구비될 수 있다. 적어도 3개의 제1 얼라인 키 패턴들(M1)이 제4 반도체 칩(400)의 주변 영역에 배치될 수 있다. 제4 전면 절연막(430)은 제1 얼라인 키 패턴(M1)을 커버할 수 있다.
- [0050] 제2 얼라인 키 패턴(M2)은 제4 기관(410)의 제2 면(414) 상에 구비될 수 있다. 적어도 3개의 제2 얼라인 키 패턴들(M2)이 제4 반도체 칩(400)의 주변 영역에 배치될 수 있다. 제8 패시베이션 막으로서의 제4 후면 절연막(480)은 제4 기관(410)의 제4 면(414) 상에 형성된 제2 얼라인 키 패턴(M2)을 커버할 수 있다. 제2 얼라인 키 패턴(M2)은 제1 얼라인 키 패턴(M1)과 실질적으로 동일하거나 유사한 구조를 가질 수 있다.
- [0051] 제5 반도체 칩(500)은 제5 기관(510) 및 제5 기관(510)의 전면(512) 상에 구비된 제5 전면 절연막(530)을 포함할 수 있다. 제9 본딩 패드(550)는 제5 전면 절연막(530)의 최외각 절연층에 구비될 수 있다.
- [0052] 예시적인 실시예들에 있어서, 제2 반도체 칩(200)의 전면, 즉 제2 기관(210)의 전면(212)과 제1 반도체 칩(100)의 전면, 즉 제1 기관(110)의 전면(112)이 서로 마주보도록 본딩될 수 있다(face-to-face bonding). 제1 반

도체 칩(100)의 제1 전면 절연막(130)과 제2 반도체 칩(200)의 제2 전면 절연막(230)이 서로 직접 접합될 수 있다. 제1 반도체 칩(100)의 제1 본딩 패드(150)는 제2 반도체 칩(200)의 제3 본딩 패드(250)와 직접 접합될 수 있다. 따라서, 제1 반도체 칩(100)과 제2 반도체 칩(200) 사이에서 제1 본딩 패드(150)와 제3 본딩 패드(250)는 구리-구리 하이브리드 본딩(Cu-Cu Hybrid Bonding)에 의해 서로 접합될 수 있다.

[0053] 제3 반도체 칩(300)의 전면, 즉 제3 기관(310)의 전면(312)과 제2 반도체 칩(200)의 후면, 즉 제2 기관(210)의 후면(214)이 서로 마주보도록 본딩될 수 있다(back-to-face bonding). 제2 반도체 칩(200)의 제2 후면 절연막(280)과 제3 반도체 칩(300)의 제3 전면 절연막(330)이 서로 직접 접합될 수 있다. 제2 반도체 칩(200)의 제4 본딩 패드(270)는 제3 반도체 칩(300)의 제5 본딩 패드(350)와 직접 접합될 수 있다. 따라서, 제2 반도체 칩(200)과 제3 반도체 칩(300) 사이에서 제4 본딩 패드(270)와 제5 본딩 패드(350)는 구리-구리 하이브리드 본딩(Cu-Cu Hybrid Bonding)에 의해 서로 접합될 수 있다.

[0054] 제4 반도체 칩(400)의 전면, 즉 제4 기관(410)의 전면(412)과 제3 반도체 칩(300)의 후면, 즉 제3 기관(310)의 후면(314)이 서로 마주보도록 본딩될 수 있다(back-to-face bonding). 제3 반도체 칩(300)의 제3 후면 절연막(380)과 제4 반도체 칩(400)의 제4 전면 절연막(430)이 서로 직접 접합될 수 있다. 제3 반도체 칩(300)의 제6 본딩 패드(370)는 제4 반도체 칩(400)의 제7 본딩 패드(450)와 직접 접합될 수 있다. 따라서, 제3 반도체 칩(300)과 제4 반도체 칩(400) 사이에서 제6 본딩 패드(370)와 제7 본딩 패드(450)는 구리-구리 하이브리드 본딩(Cu-Cu Hybrid Bonding)에 의해 서로 접합될 수 있다.

[0055] 제5 반도체 칩(500)의 전면, 즉 제5 기관(510)의 전면(512)과 제4 반도체 칩(400)의 후면, 즉 제4 기관(410)의 후면(414)이 서로 마주보도록 본딩될 수 있다(back-to-face bonding). 제4 반도체 칩(400)의 제4 후면 절연막(480)과 제5 반도체 칩(500)의 제5 전면 절연막(530)이 서로 직접 접합될 수 있다. 제4 반도체 칩(400)의 제8 본딩 패드(470)는 제5 반도체 칩(500)의 제9 본딩 패드(550)와 직접 접합될 수 있다. 따라서, 제4 반도체 칩(400)과 제5 반도체 칩(500) 사이에서 제8 본딩 패드(470)와 제9 본딩 패드(550)는 구리-구리 하이브리드 본딩(Cu-Cu Hybrid Bonding)에 의해 서로 접합될 수 있다.

[0056] 예시적인 실시예들에 있어서, 반도체 패키지(10)는 제1 반도체 칩(100) 상에 제2, 제3, 제4 및 제5 반도체 칩들(200, 300, 400, 500)을 커버하는 밀봉 부재(600)를 더 포함할 수 있다. 밀봉 부재(600)는 제2, 제3, 제4 및 제5 반도체 칩들(200, 300, 400, 500)의 측면들을 커버할 수 있다. 밀봉 부재(600)는 제5 반도체 칩(500)의 상부면을 커버할 수 있다. 예를 들면, 밀봉 부재(600)은 열 경화성 수지 등을 포함할 수 있다.

[0057] 또한, 반도체 패키지(10)는 제1 반도체 칩(100)의 제2 본딩 패드들(170) 상에 각각 배치되는 도전성 연결 부재들로서의 솔더 범프들(600)을 포함할 수 있다.

[0058] 상술한 바와 같이, 제1 반도체 칩(100) 상에 순차적으로 적층된 제2 내지 제5 반도체 칩들(200, 300, 400, 500) 각각은 상기 기관의 전면 상에 구비되며 상기 메인 패턴 및 상기 메인 패턴 둘레에 이격 배치되는 복수 개의 상기 보조 패턴들을 갖는 제1 얼라인 키 패턴(M1)을 포함할 수 있다. 또한, 제2 내지 제4 반도체 칩들(200, 300, 400, 500) 각각은 상기 기관의 후면 상에 구비되는 제2 얼라인 키 패턴(M2)을 포함할 수 있다. 상기 보조 패턴들은 상기 메인 패턴 둘레에 배치되어 제1 얼라인 키 패턴(M1)은 상기 서치 박스를 기준으로 60%보다 큰 비율의 금속 부분을 가질 수 있다.

[0059] 따라서, 상기 메인 패턴 및 상기 메인 패턴 둘레의 절연막 영역 사이에서의 금속 밀도를 균일하게 만들어 위상(topology) 균일성을 향상시킬 수 있다. 이에 따라, 상기 메인 패턴 및 상기 메인 패턴 상의 패시베이션 막 사이에 보이드(void)가 발생하는 것을 방지하고 디싱(dishing) 효과를 개선함으로써, 하이브리드 본딩 공정에서의 접합 품질을 향상시킬 수 있다.

[0060] 이하에서는, 도 1의 반도체 패키지를 제조하는 방법에 대하여 설명하기로 한다. 상기 반도체 패키지가 고 대역폭 메모리(HBM, High Bandwidth Memory) 장치를 포함하는 경우에 대하여 설명하기로 한다. 다만, 이로 인하여 예시적인 실시예들에 따른 반도체 패키지의 제조 방법이 이에 한정되지 않음을 이해할 수 있을 것이다.

[0061] 도 5 내지 도 17은 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 나타내는 도면들이다. 도 6, 도 9 및 도 10은 도 5의 C-C' 라인을 따라 절단한 단면도들이다. 도 7은 도 6의 D 부분을 나타내는 확대 단면도이다. 도 8은 도 5의 얼라인 키 영역을 나타내는 확대 평면도이다.

[0062] 도 5 내지 도 8을 참조하면, 먼저, 복수 개의 제1 반도체 칩들(다이들)이 형성된 제2 웨이퍼(W2)를 마련할 수 있다.

- [0063] 예시적인 실시예들에 있어서, 제2 웨이퍼(W2)는 제2 기판(210) 및 외측면에 제3 본딩 패드(250)가 구비된 제2 전면 절연막(230)을 포함할 수 있다. 또한, 제2 웨이퍼(W2)는 제2 기판(210) 내에 구비되며 제3 본딩 패드(250)와 전기적으로 연결되는 제2 관통 전극(260)을 포함할 수 있다.
- [0064] 제2 기판(210)은 서로 반대하는 제1 면(212) 및 제2 면(214)을 가질 수 있다. 제2 기판(210)은 회로 패턴들 및 셀들이 형성되는 다이 영역(DA) 및 다이 영역(DA)을 둘러싸는 스크라이브 레인 영역(CA)을 포함할 수 있다. 제2 기판(210)은 후속의 다이싱 공정(singulation 공정)에 의해 제2 웨이퍼(W2)의 복수 개의 다이 영역들(DA)을 구분하는 스크라이브 레인 영역(CA)을 따라 절단되어 개별화될 수 있다.
- [0065] 예를 들면, 제2 기판(210)은 실리콘, 게르마늄, 실리콘-게르마늄 등과 같은 반도체 물질, 혹은 갈륨 인화물(GaP), 갈륨 비소(GaAs), 갈륨 안티모나이드(GaSb) 등과 같은 III-V족 화합물 반도체를 포함할 수 있다. 일부 실시예들에 따르면, 제2 기판(210)은 실리콘-온-인슐레이터(Silicon-On-Insulator: SOI) 기판 또는 게르마늄-온-인슐레이터(Germanium-On-Insulator: GOI) 기판일 수 있다.
- [0066] 회로 패턴들(216)은 트랜지스터, 커패시터, 다이오드 등을 포함할 수 있다. 상기 회로 패턴들은 회로 소자들을 구성할 수 있다. 따라서, 상기 제2 반도체 칩은 내부에 다수개의 회로 소자들을 형성된 반도체 장치일 수 있다. 상기 회로 패턴들은 제2 기판(210)의 제1 면(212) 상에 반도체 소자 제조를 위한 FEOL (Front End of Line) 공정을 수행함으로써 형성될 수 있다. 상기 FEOL 공정이 수행되는 제2 기판의 표면을 상기 제2 기판의 전면(front side surface)이라 하고, 상기 전면의 반대면을 후면(backside surface)이라 할 수 있다.
- [0067] 제2 전면 절연막(230)은 층간 절연막으로서 제2 기판(210)의 제1 면(212), 즉, 전면 상에 형성될 수 있다. 제2 전면 절연막(230)은 복수 개의 절연층들(220, 222, 224) 및 상기 절연층들 내에 배선들을 포함할 수 있다. 또한, 제2 전면 절연막(230)의 최외각 절연층에는 제3 본딩 패드(250)가 구비될 수 있다.
- [0068] 도 7에 도시된 바와 같이, 예를 들면, 제2 전면 절연막(230)은 제1 층간 절연막(220), 제2 층간 절연막(222) 및 제3 패시베이션 막(224)을 포함할 수 있다.
- [0069] 제1 층간 절연막(220)은 제2 기판(210)의 제1 면(212) 상에 구비되어 회로 패턴(216)들을 커버할 수 있다. 제1 층간 절연막(220)은 예를 들어, 실리콘 산화물 또는 저유전 물질을 포함하도록 형성될 수 있다. 제1 층간 절연막(220)은 내부에 하부 배선들(218)을 포함할 수 있다.
- [0070] 제2 층간 절연막(222)은 복수 개의 서로 교대로 형성된 버퍼막들 및 절연막들을 포함할 수 있다. 예를 들면, 상기 버퍼막은 실리콘 질화물, 실리콘 탄소 질화물, SiCON 등을 포함할 수 있다. 상기 절연막은 실리콘 산화물, 탄소 도핑된 실리콘 산화물, 실리콘 탄질화물(SiCN) 등을 포함할 수 있다.
- [0071] 제2 층간 절연막(222)은 내부에 복수 개의 배선들을 포함할 수 있다. 예를 들면, 제2 층간 절연막(222)은 상기 버퍼막들 및 절연막들에서 수직하게 적층된 복수 개의 제1 배선들을 구비하는 금속 배선 구조물을 포함할 수 있다. 상기 복수 개의 제1 배선들은 제1 금속 배선(232a), 제1 콘택(234a), 제2 금속 배선(232b), 제2 콘택(234b), 제3 금속 배선(232c), 제3 콘택(234c) 및 제4 금속 배선(232d)을 포함할 수 있다. 제4 금속 배선(232d)은 최상위 제1 배선으로서 제2 층간 절연막(222) 상에 구비될 수 있다. 제4 금속 배선(232d)은 상기 제1 내지 제3 금속 배선들 각각의 두께보다 더 큰 두께를 가질 수 있다. 제3 본딩 패드(250)는 최상위 제1 배선인 제4 금속 배선(232d) 상에 형성될 수 있다.
- [0072] 제3 패시베이션 막(224)은 제2 층간 절연막(222) 상에 형성되며, 제3본딩 패드(250)의 적어도 일부를 노출시킬 수 있다. 제3 패시베이션 막(224)은 복수 개의 적층된 절연막들을 포함할 수 있다. 예를 들면, 제3 패시베이션 막(224)은 순차적으로 적층되며 산화막을 포함하는 유기 패시베이션막(225) 및 질화막을 포함하는 무기 패시베이션막(226)을 포함할 수 있다. 무기 패시베이션 막(226)은 실리콘 질화물 또는 실리콘 탄질화물을 포함할 수 있다.
- [0073] 제2 전면 절연막(230)의 최외곽 절연층에는 제3 본딩 패드(250)가 구비될 수 있다. 제3 본딩 패드(250)는 제2 전면 절연막(230)의 외측면을 통해 노출될 수 있다. 따라서, 회로 패턴(216)은 상기 하부 배선들 및 상기 배선들에 의해 제3 본딩 패드(250)와 전기적으로 연결될 수 있다.
- [0074] 예시적인 실시예들에 있어서, 제2 층간 절연막(222)은 얼라인 키 구조물(235)을 포함할 수 있다. 얼라인 키 구조물(235)은 상기 버퍼막들 및 절연막들에서 수직하게 적층된 복수 개의 제2 배선들을 포함할 수 있다. 상기 복수 개의 제2 배선들은 제1 금속 배선(236a), 제1 콘택(238a), 제2 금속 배선(236b), 제2 콘택(238b), 제3 금속 배선(236c), 제3 콘택(238c) 및 제1 얼라인 키 패턴(M1)을 포함할 수 있다. 제1 얼라인 키 패턴(M1)은 최상위

제2 배선으로서 제2 층간 절연막(222) 상에 구비될 수 있다. 제1 얼라인 키 패턴(M1)은 상기 제1 내지 제3 금속 배선들 각각의 두께보다 더 큰 두께를 가질 수 있다.

- [0075] 도 8에 도시된 바와 같이, 제1 얼라인 키 패턴(M1)은 메인 패턴(240) 및 메인 패턴(240) 둘레에 이격 배치되는 복수 개의 보조 패턴들(242)을 포함할 수 있다. 제1 얼라인 키 패턴(M1)은 서치 영역으로서의 얼라인 키 패턴 영역(AR) 내에 배열될 수 있다.
- [0076] 적어도 3개의 제1 얼라인 키 패턴들(M1)이 다이 영역(DA)의 외측부에 형성될 수 있다. 제3 본딩 패드(250)는 제1 직경(D1)을 가지며, 제1 얼라인 키 패턴(M1)은 제2 직경(D2)을 가질 수 있다. 제3 본딩 패드(250)의 제1 직경(D1)은 5 μ m 내지 15 μ m의 범위 이내에 있고, 제1 얼라인 키 패턴(M1)의 제2 직경(D2)은 20 μ m 내지 35 μ m의 범위 이내에 있을 수 있다. 제1 얼라인 키 패턴(M1)의 크기는 후술하는 다이 본딩 장치(50)의 촬상 카메라의 해상도를 고려하여 결정될 수 있다.
- [0077] 제3 패시베이션 막(224)은 제2 층간 절연막(222) 상에 형성된 제1 얼라인 키 패턴(M1)을 커버할 수 있다. 제1 얼라인 키 패턴(M1)은 메인 패턴(240) 둘레에 이격 배치되는 복수 개의 보조 패턴들(242)을 포함하고 있으므로, 메인 패턴(240) 및 메인 패턴(240) 둘레의 절연막 영역 사이에서의 금속 밀도를 균일하게 만들어 위상(topology) 균일성을 향상시킬 수 있다. 이에 따라, 메인 패턴(240) 및 제3 패시베이션 막(224) 사이에 보이드(void)가 발생하는 것을 방지하고 디싱(dishing) 효과를 개선할 수 있다.
- [0078] 제2 관통 전극(260)은 제1 층간 절연막(220)을 수직 관통하고 제2 기판(210)의 제1 면(212)으로부터 소정 깊이 까지 연장할 수 있다. 제2 관통 전극(260)은 상기 금속 배선 구조물의 제1 금속 배선(232a)과 접촉할 수 있다. 따라서, 제2 관통 전극(260)은 상기 배선들에 의해 제3 본딩 패드(240)와 전기적으로 연결될 수 있다.
- [0079] 제2 관통 전극(260)의 외측면에는 라이너 막(262)이 구비될 수 있다. 상기 라이너 막은 실리콘 산화물 또는 탄소 도핑된 실리콘 산화물을 포함할 수 있다. 라이너 막(262)은 제2 관통 전극(260)을 제2 기판(210) 및 제2 전면 절연막(230)으로부터 전기적으로 절연시킬 수 있다.
- [0080] 도 9 및 도 10을 참조하면, 기판(210)의 제2 면(214) 상에 외측면에 제4 본딩 패드(270)가 구비된 제2 후면 절연막(280)을 형성할 수 있다.
- [0081] 도 9에 도시된 바와 같이, 기판 지지 시스템(WSS)을 이용하여 제2 기판(210)의 후면, 즉, 제2 면(214)을 연마할 수 있다. 접착 필름을 이용하여 캐리어 기판(C1) 상에 제2 웨이퍼(W2)를 부착시킨 후, 제2 관통 전극(260)의 일부가 노출될 때까지 제2 기판(210)의 제2 면(214)을 제거할 수 있다.
- [0082] 제2 기판(210)의 제2 면(214)은 화학 기계적 연마(CMP) 공정과 같은 그라인딩 공정에 의해 부분적으로 제거될 수 있다. 이에 따라, 제2 기판(210)의 두께를 원하는 두께로 감소될 수 있다. 예를 들면, 제2 기판(210)은 약 40 μ m 내지 150 μ m의 두께 범위를 가질 수 있다. 또한, 제2 관통 전극(260)의 일단부는 제2 기판(210)의 제2 면(214)으로부터 노출될 수 있다.
- [0083] 도 10에 도시된 바와 같이, 제2 기판(210)의 제2 면(214) 상에 제2 관통 전극(260)과 전기적으로 연결되는 제4 본딩 패드(270)를 갖는 제4 패시베이션 막으로서의 제2 후면 절연막(280)을 형성할 수 있다.
- [0084] 제2 기판(210)의 제2 면(214) 상에 제2 후면 절연막(280)을 형성한 후, 제2 후면 절연막(280)에 제2 관통 전극(260)을 노출시키는 개구를 형성하고 도금 공정을 수행하여 제4 본딩 패드(270)를 형성할 수 있다. 제4 본딩 패드(270)은 제2 관통 전극(260)의 노출된 표면 상에 배치될 수 있다. 제2 후면 절연막(280)은 실리콘 산화물, 탄소 도핑된 실리콘 산화물, 실리콘 탄질화물(SiCN) 등을 포함할 수 있다. 따라서, 제3 및 제4 본딩 패드들(240, 270)은 제2 관통 전극(260)에 의해 전기적으로 연결될 수 있다.
- [0085] 예시적인 실시예들에 있어서, 제2 기판(210)의 제2 면(214) 상에 제2 얼라인 키 패턴(M2)을 형성할 수 있다. 적어도 3개의 제2 얼라인 키 패턴들(M2)이 다이 영역(DA)의 외측부에 형성될 수 있다. 제2 후면 절연막(280)은 제2 기판(210)의 제2 면(214) 상에 형성된 제2 얼라인 키 패턴(M2)을 커버할 수 있다. 제2 얼라인 키 패턴(M2)은 제1 얼라인 키 패턴(M1)과 실질적으로 동일하거나 유사한 구조를 가질 수 있다. 예를 들면, 제2 얼라인 키 패턴(M2)은 제1 얼라인 키 패턴(M1)의 메인 패턴(240)의 구조물만을 포함할 수 있다. 제2 얼라인 키 패턴(M2)의 크기는 제1 얼라인 키 패턴(M1)의 크기와 동일하거나 더 작을 수 있다.
- [0086] 도 11을 참조하면, 제2 웨이퍼(W2)를 스크라이브 레인 영역(CA)을 따라 절단하여 개별적인 제2 반도체 칩(200)을 형성할 수 있다.

- [0087] 도 12 및 도 13을 참조하면, 제1 웨이퍼(W1) 상에 복수 개의 제2 반도체 칩들(200)을 부착할 수 있다(다이-대-웨이퍼(die to wafer) 하이브리드 본딩 공정).
- [0088] 예시적인 실시예들에 있어서, 제2 반도체 칩들(200)을 다이 영역들(DA)에 대응하도록 제1 웨이퍼(W1) 상에 배치시킬 수 있다. 제2 반도체 칩(200)의 제2 기관(210)의 제1 면(212)이 제1 웨이퍼(W1)를 향하도록 적층될 수 있다.
- [0089] 도 13에 도시된 바와 같이, 다이 본딩 장치(20)는 소잉 공정을 통해 개별화된 제2 반도체 칩(200)을 픽업하여 제1 웨이퍼(W1) 상에 본딩할 수 있다.
- [0090] 예를 들면, 다이 본딩 장치(20)의 하부 지지 구조물(20)은 제1 웨이퍼(W1)를 고정하기 위한 제1 스테이지(22)를 포함하고, 상부 지지 구조물(30)은 제2 반도체 칩(200)을 고정하기 위한 제2 스테이지(32)를 포함할 수 있다. 본딩 헤드 구동부(34)는 본딩 헤드로서의 상부 지지 구조물(30)을 이용하여 제2 반도체 칩(200)을 흡착하고 흡착된 제2 반도체 칩(200)을 제1 웨이퍼(W1) 상에 본딩하기 위하여 상기 본딩 헤드를 이동시킬 수 있다. 예를 들면, 상기 본딩 헤드 구동부는 X 방향, Y 방향 및 Z 방향으로 상기 본딩 헤드를 이동시킬 수 있다. 이와 다르게, 상기 본딩 헤드 구동부는 상기 본딩 헤드를 Z 방향으로 이동시키고, 상기 구동부들 중 제1 스테이지 구동부(24)는 제1 웨이퍼(W1)를 X 방향 및 Y 방향으로 이동하고 제1 웨이퍼(W1) 중심으로 회전시키기 위하여 제1 스테이지(22)를 이동시킬 수 있다.
- [0091] 다이 본딩 장치(20)는 웨이퍼 및 다이 정렬 측정을 위한 제1 촬상부(40) 및 제2 촬상부(42)를 포함할 수 있다. 제1 촬상부(40)의 제1 카메라는 제2 반도체 칩(200)의 제1 정렬 키 패턴들(M1)을 촬영하고 제2 촬상부(42)의 제2 카메라는 제1 웨이퍼(W1)의 제1 정렬 키 패턴들(M1)을 촬영하여 제2 반도체 칩(200) 및 제1 웨이퍼(W1)의 절대 위치를 측정하여 정렬 작업을 수행할 수 있다.
- [0092] 다이 본딩 장치(20)는 소정의 온도(예를 들면, 약 400°C 이하)에서 열 압착 공정을 수행하여 제2 반도체 칩(200)을 제1 웨이퍼(W1)의 제1 면(112) 상에 부착될 수 있다. 이러한 열 압착 공정에 의해 제2 반도체 칩(200)과 제1 웨이퍼(W1)는 하이브리드 본딩에 의해 서로 접합될 수 있다. 즉, 제2 반도체 칩(200)의 전면, 즉, 제2 기관(210)의 제1 면(212) 상의 제2 전면 절연막(230)은 제1 웨이퍼(W1)의 제1 기관(110)의 제1 전면 절연막(130)과 직접 본딩될 수 있다.
- [0093] 제1 웨이퍼(W1)의 제1 본딩 패드(150)와 제2 반도체 칩(200)의 제3 본딩 패드(250)는 서로 접촉할 수 있다. 제2 반도체 칩(200)의 전면과 제1 웨이퍼(W1)의 전면이 서로 마주보도록 본딩될 수 있다. 제1 웨이퍼(W1)와 제2 반도체 칩(200)이 웨이퍼-대-다이 본딩에 의해 서로 접합될 때, 제1 웨이퍼(W1)의 제1 본딩 패드(150)와 제2 반도체 칩(200)의 제3 본딩 패드(250)는 구리-구리 하이브리드 본딩(Cu-Cu Hybrid Bonding)에 의해 서로 접합될 수 있다.
- [0094] 이와 다르게, 제2 반도체 칩(200)의 전면과 제1 웨이퍼(W1)의 후면이 서로 마주보도록 본딩될 수 있다. 이 경우에 있어서, 제2 촬상부(42)는 제1 웨이퍼(W1)의 후면에 형성된 제2 정렬 키 패턴들(M2)을 촬영하여 정렬 작업을 수행할 수 있다.
- [0095] 도 14를 참조하면, 도 5 내지 도 13을 참조로 설명한 공정들과 유사한 공정들을 수행하여 제3, 제4 및 제5 반도체 칩들(300, 400, 500)을 형성하고, 제3, 제4 및 제5 반도체 칩들(300, 400, 500)을 제2 반도체 칩(200) 상에 순차적으로 배치시킬 수 있다. 제3 반도체 칩(300)의 전면이 제2 반도체 칩(200)의 후면을 향하도록 적층될 수 있다. 제4 반도체 칩(400)의 전면이 제3 반도체 칩(300)의 후면을 향하도록 적층될 수 있다. 제5 반도체 칩(500)의 전면이 제4 반도체 칩(300)의 후면을 향하도록 적층될 수 있다.
- [0096] 열 압착 공정에 의해 제3 반도체 칩(300)과 제2 반도체 칩(200)은 하이브리드 본딩에 의해 서로 접합될 수 있다. 즉, 제3 반도체 칩(300)의 전면 상의 제3 전면 절연막(330)은 제2 반도체 칩(200)의 후면 상의 제2 후면 절연막(280)과 직접 본딩될 수 있다.
- [0097] 제2 반도체 칩(200)과 제3 반도체 칩(300)이 다이-대-다이 본딩에 의해 서로 접합될 때, 제2 반도체 칩(200)의 제4 본딩 패드(270)와 제3 반도체 칩(300)의 제5 본딩 패드(350)는 구리-구리 하이브리드 본딩(Cu-Cu Hybrid Bonding)에 의해 서로 접합될 수 있다.
- [0098] 이 경우에 있어서, 제1 촬상부(40)의 제1 카메라는 제3 반도체 칩(300)의 제1 정렬 키 패턴들(M1)을 촬영하고 제2 촬상부(42)의 제2 카메라는 제2 반도체 칩(200)의 제2 정렬 키 패턴들(M2)을 촬영하여 제3 반도체 칩(300) 및 제2 반도체 칩(200)의 절대 위치를 측정하여 정렬 작업을 수행할 수 있다.

- [0099] 이와 유사하게, 열 압착 공정에 의해 제4 반도체 칩(400)과 제3 반도체 칩(300)은 하이브리드 본딩에 의해 서로 접합될 수 있다. 즉, 제4 반도체 칩(400)의 전면 상의 제4 전면 절연막(430)은 제3 반도체 칩(300)의 후면 상의 제3 후면 절연막(380)과 직접 본딩될 수 있다.
- [0100] 제3 반도체 칩(300)과 제4 반도체 칩(400)이 다이-대-다이 본딩에 의해 서로 접합될 때, 제3 반도체 칩(300)의 제6 본딩 패드(370)와 제4 반도체 칩(400)의 제7 본딩 패드(450)는 구리-구리 하이브리드 본딩(Cu-Cu Hybrid Bonding)에 의해 서로 접합될 수 있다.
- [0101] 이 경우에 있어서, 제1 촬상부(40)의 제1 카메라는 제4 반도체 칩(400)의 제1 정렬 키 패턴들(M1)을 촬영하고 제2 촬상부(42)의 제2 카메라는 제3 반도체 칩(300)의 제2 정렬 키 패턴들(M2)을 촬영하여 제4 반도체 칩(400) 및 제3 반도체 칩(300)의 절대 위치를 측정하여 정렬 작업을 수행할 수 있다.
- [0102] 이와 유사하게, 열 압착 공정에 의해 제5 반도체 칩(500)과 제4 반도체 칩(400)은 하이브리드 본딩에 의해 서로 접합될 수 있다. 즉, 제5 반도체 칩(500)의 전면 상의 제5 전면 절연막(530)은 제4 반도체 칩(400)의 후면 상의 제4 후면 절연막(480)과 직접 본딩될 수 있다.
- [0103] 제4 반도체 칩(400)과 제5 반도체 칩(500)이 다이-대-다이 본딩에 의해 서로 접합될 때, 제4 반도체 칩(400)의 제8 본딩 패드(470)와 제5 반도체 칩(500)의 제9 본딩 패드(550)는 구리-구리 하이브리드 본딩(Cu-Cu Hybrid Bonding)에 의해 서로 접합될 수 있다.
- [0104] 이 경우에 있어서, 제1 촬상부(40)의 제1 카메라는 제5 반도체 칩(500)의 제1 정렬 키 패턴들(M1)을 촬영하고 제2 촬상부(42)의 제2 카메라는 제4 반도체 칩(300)의 제2 정렬 키 패턴들(M2)을 촬영하여 제5 반도체 칩(500) 및 제4 반도체 칩(400)의 절대 위치를 측정하여 정렬 작업을 수행할 수 있다.
- [0105] 상기 적층되는 반도체 칩들의 개수는 이에 제한되지 않음을 이해할 수 있을 것이다. 예를 들면, 4개, 8개, 12개의 반도체 칩들이 제5 반도체 칩(500) 상에 순차적으로 적층될 수 있다.
- [0106] 도 15를 참조하면, 제2, 제3, 제4 및 제5 반도체 칩들(200, 300, 400, 500)의 적층 구조물들 사이를 채우는 밀봉 부재(600)를 형성할 수 있다.
- [0107] 예시적인 실시예들에 있어서, 밀봉 부재(600)은 제1 웨이퍼(W1) 상에 제2, 제3, 제4 및 제5 반도체 칩들(200, 300, 400, 500)을 커버하도록 형성될 수 있다. 밀봉 부재(600)는 디스펜싱 공정 또는 스핀 코팅 공정에 의해 형성될 수 있다. 예를 들면, 밀봉 부재(600)은 열 경화성 수지 등을 포함할 수 있다.
- [0108] 도 16 및 도 17을 참조하면, 제1 웨이퍼(W1)의 제1 기관(110)의 제2 면(214) 상에 제1 관통 전극(160)과 전기적으로 연결되는 제2 본딩 패드(170)를 갖는 제1 후면 절연막(180)을 형성하고, 제2 본딩 패드(170) 상에 도전성 연결 부재로서 솔더 범프(700)를 형성할 수 있다.
- [0109] 도 16에 도시된 바와 같이, 기관 지지 시스템(WSS)을 이용하여 제1 기관(110)의 후면, 즉, 제2 면(114)을 연마할 수 있다. 도 15의 구조물을 뒤집고, 접착 필름을 이용하여 캐리어 기관(C2) 상에 밀봉 부재(600)를 부착시킨 후, 도 9를 참조로 설명한 공정들과 유사한 공정들을 수행하여 제1 관통 전극(160)의 일부가 노출될 때까지 제1 기관(110)의 제2 면(114)을 제거할 수 있다.
- [0110] 도 17에 도시된 바와 같이, 도 10을 참조로 설명한 공정들과 유사한 공정들을 수행하여 제1 기관(110)의 제2 면(114) 상에 제1 관통 전극(160)과 전기적으로 연결되는 제2 본딩 패드(170)를 갖는 제1 후면 절연막(180)을 형성하고, 제1 후면 절연막(180)에 제1 관통 전극(160)을 노출시키는 개구를 형성하고 도금 공정을 수행하여 제2 본딩 패드(170)를 형성할 수 있다.
- [0111] 이어서, 제2 본딩 패드(170) 상에 솔더 범프(700)를 형성할 수 있다.
- [0112] 구체적으로, 제1 후면 절연막(180)의 제2 본딩 패드(170) 상에 시드층을 형성하고, 제1 후면 절연막(180) 상에 상기 시드층 일부 영역을 노출시키는 개구를 갖는 포토레지스트 패턴을 형성할 수 있다.
- [0113] 이어서, 상기 포토레지스트 패턴의 상기 개구를 도전성 물질로 충전한 후, 상기 포토레지스트 패턴을 제거하고 리플로우 공정을 수행하여 솔더 범프(700)를 형성할 수 있다. 예를 들면, 상기 도전성 물질은 상기 시드층 상에 도금 공정에 의해 형성될 수 있다. 이와 다르게, 상기 솔더 범프는 스크린 프린팅법, 증착법 등에 의해 형성될 수 있다.
- [0114] 이후, 제1 웨이퍼(W1) 및 밀봉 부재(600)를 스크라이브 라인 영역(CA)을 따라 절단하여 도 1의 반도체 패키지를

형성할 수 있다.

- [0115] 도 18a 내지 도 18e는 다양한 구조를 갖는 제1 얼라인 키 패턴을 나타내는 평면도들이다.
- [0116] 도 18a를 참조하면, 제1 얼라인 키 패턴은 기 설정된 서치 박스로서의 얼라인 키 패턴 영역(AR) 내에 배열될 수 있다. 제1 얼라인 키 패턴(M1)은 메인 패턴(240) 및 메인 패턴(240) 둘레에 이격 배치되는 복수 개의 보조 패턴들(242)을 포함할 수 있다.
- [0117] 메인 패턴(240)은 '+'자형 패턴을 가질 수 있다. 메인 패턴(240)의 4개의 코너 영역들에 인접하게 4개의 보조 패턴들(242)이 배치될 수 있다. 보조 패턴들(242) 각각은 서로 나란히 배열된 제1 및 제2 패턴들(242a, 242b)을 포함할 수 있다. 제1 및 제2 패턴들(242a, 242b) 각각은 직사각형 형상을 가질 수 있다. 제1 및 제2 패턴들(242a, 242b)은 서로 동일한 평면적을 가질 수 있다.
- [0118] 도 18b를 참조하면, '+'자형 패턴의 메인 패턴(240)의 4개의 코너 영역들에 인접하게 4개의 보조 패턴들(242)이 배치될 수 있다. 보조 패턴들(242) 각각은 제1 패턴(242a) 및 제1 패턴(242a)의 일측부를 따라 배열된 제2 패턴(242b)과 제3 패턴(242c)을 포함할 수 있다. 제1, 제2 및 제3 패턴들(242a, 242b, 242c) 각각은 직사각형 형상을 가질 수 있다. 제1 패턴(242a)은 제1 평면적을 갖고, 제2 패턴(242b)은 상기 제1 평면적보다 작은 제2 평면적을 갖고, 제3 패턴(242c)은 상기 제2 평면적보다 작은 제3 평면적을 가질 수 있다.
- [0119] 도 18c를 참조하면, '+'자형 패턴의 메인 패턴(240)의 4개의 코너 영역들에 인접하게 4개의 보조 패턴들(242)이 배치될 수 있다. 보조 패턴들(242) 각각은 원형 형상을 가질 수 있다.
- [0120] 도 18d를 참조하면, '+'자형 패턴의 메인 패턴(240)의 4개의 코너 영역들에 인접하게 4개의 보조 패턴들(242)이 배치될 수 있다. 보조 패턴들(242) 각각은 서로 나란히 배열된 제1 및 제2 패턴들(242a, 242b)을 포함할 수 있다. 제1 및 제2 패턴들(242a, 242b) 각각은 삼각형 형상을 가질 수 있다. 제1 및 제2 패턴들(242a, 242b)은 서로 동일한 평면적을 가질 수 있다.
- [0121] 도 18e를 참조하면, 메인 패턴(240)은 'Y'자형 패턴을 가질 수 있다. 메인 패턴(340) 둘레에는 7개의 보조 패턴들(242)이 배치될 수 있다. 2개 보조 패턴들(242a)은 메인 패턴(240)의 중앙부의 양측에 각각 배치될 수 있다. 5개의 보조 패턴들(242b, 242c, 242d)은 메인 패턴(240)의 중앙부로부터 2갈래로 연장된 부분들을 둘러싸도록 배열될 수 있다.
- [0122] 전술한 반도체 패키지는 로직 소자나 메모리 소자와 같은 반도체 소자를 포함할 수 있다. 상기 반도체 패키지는, 예를 들어 중앙처리장치(CPU, MPU), 애플리케이션 프로세서(AP) 등과 같은 로직 소자, 예를 들어 에스램(SRAM) 장치, 디램(DRAM) 장치 등과 같은 휘발성 메모리 장치, 및 예를 들어 플래시 메모리 장치, 피램(PRAM) 장치, 엠램(MRAM) 장치, 알램(RRAM) 장치 등과 같은 불휘발성 메모리 장치를 포함할 수 있다.
- [0123] 이상에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

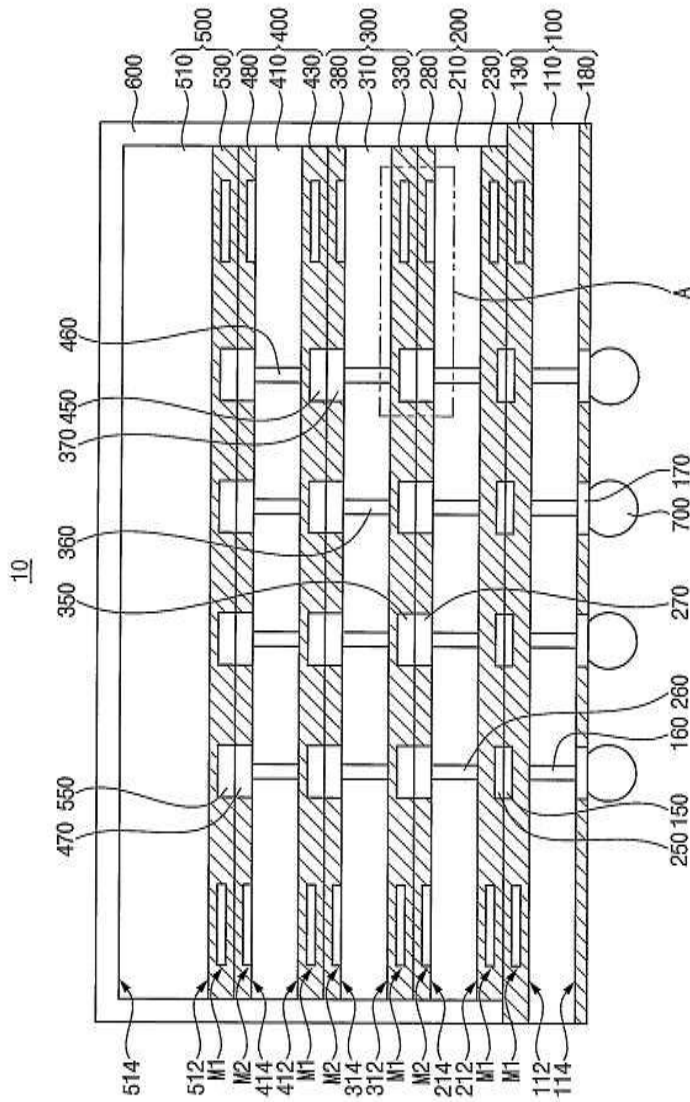
부호의 설명

- [0124] 10, 11: 반도체 패키지
- 100: 제1 반도체 칩 110: 제1 기관
- 130: 제1 전면 절연막 150: 제1 본딩 패드
- 160: 제1 관통 전극 170: 제2 본딩 패드
- 180: 제1 후면 절연막 200: 제2 반도체 칩
- 210: 제2 기관 220: 제1 층간 절연막
- 222, 322: 제2 층간 절연막 224, 324: 패시베이션 막
- 230: 제2 전면 절연막 240, 340: 메인 패턴
- 242, 342: 보조 패턴 250: 제3 본딩 패드
- 260: 제2 관통 전극 270: 제4 본딩 패드

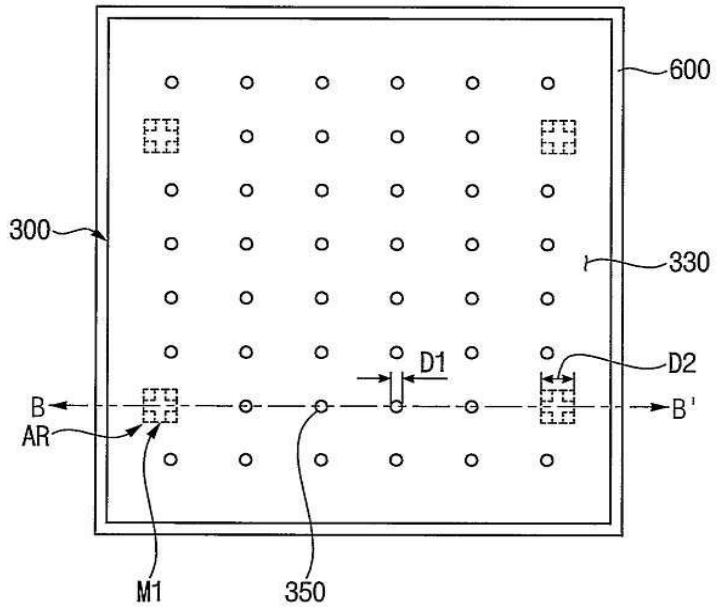
- | | |
|----------------|----------------|
| 280: 제2 후면 절연막 | 300: 제3 반도체 칩 |
| 310: 제3 기판 | 330: 제3 전면 절연막 |
| 340: 제5 본딩 패드 | 360: 제3 관통 전극 |
| 370: 제6 본딩 패드 | 380: 제3 후면 절연막 |
| 400: 제4 반도체 칩 | 410: 제4 기판 |
| 430: 제4 전면 절연막 | 450: 제7 본딩 패드 |
| 460: 제4 관통 전극 | 470: 제8 본딩 패드 |
| 480: 제4 후면 절연막 | 500: 제5 반도체 칩 |
| 510: 제5 기판 | 530: 제5 전면 절연막 |
| 600: 밀봉 부재 | 700: 솔더 범프 |

도면

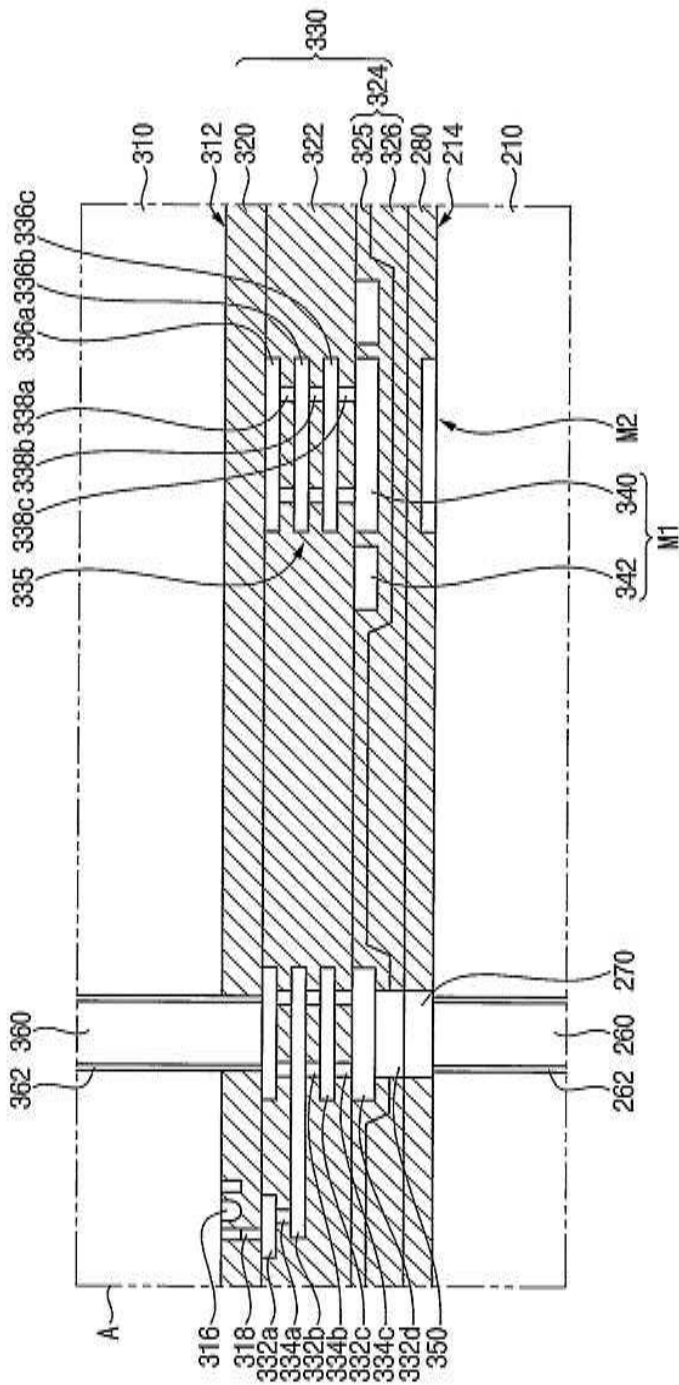
도면1



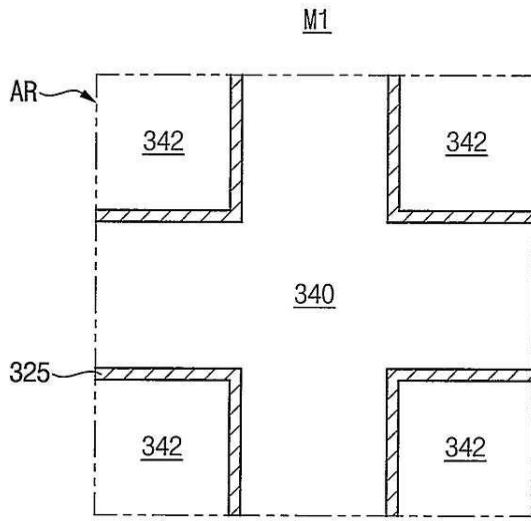
도면2



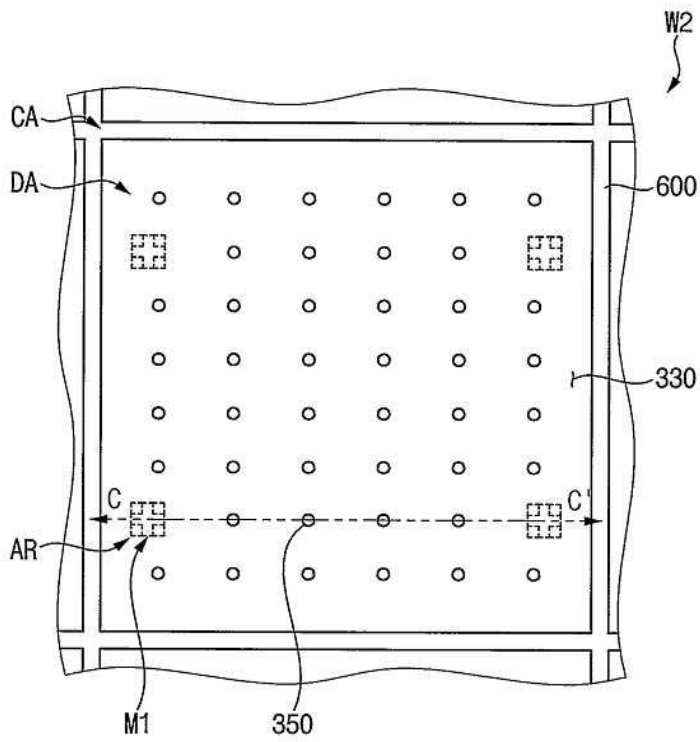
도면3



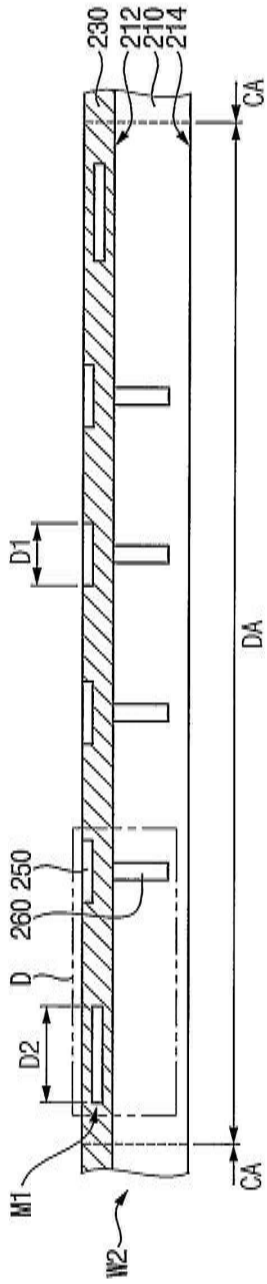
도면4



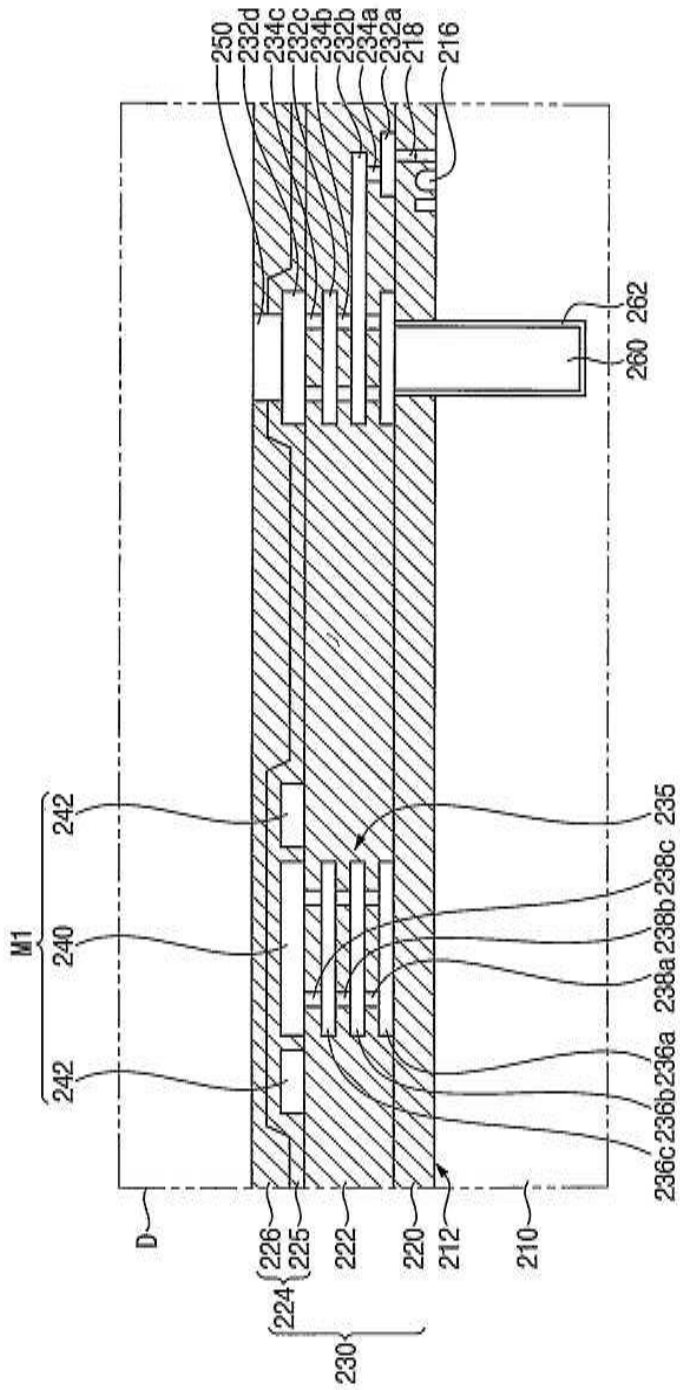
도면5



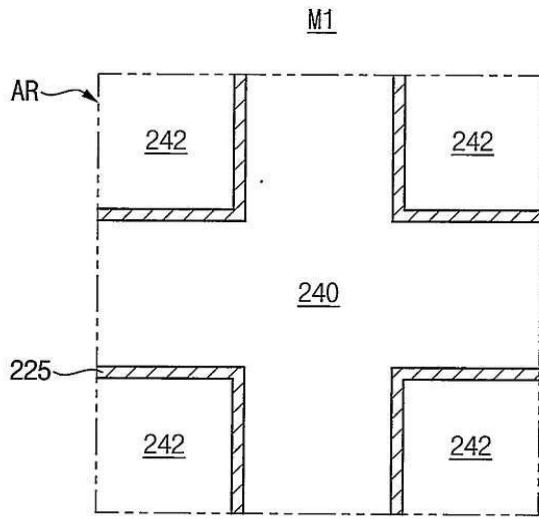
도면6



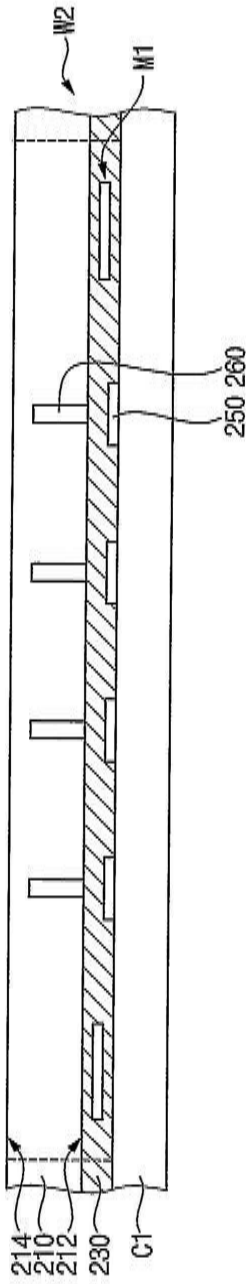
도면7



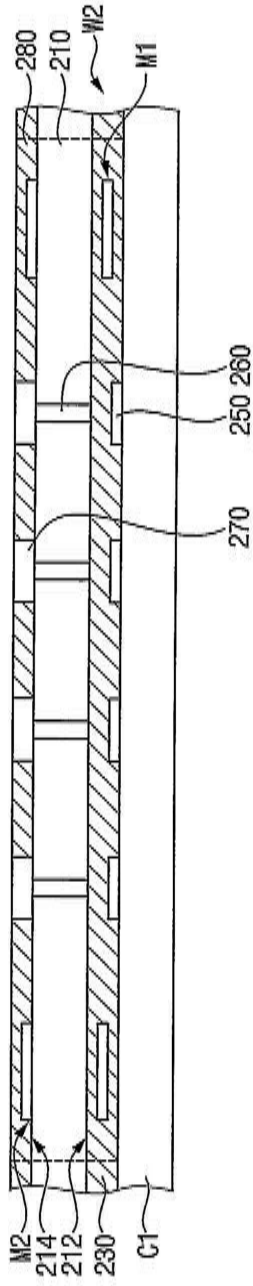
도면8



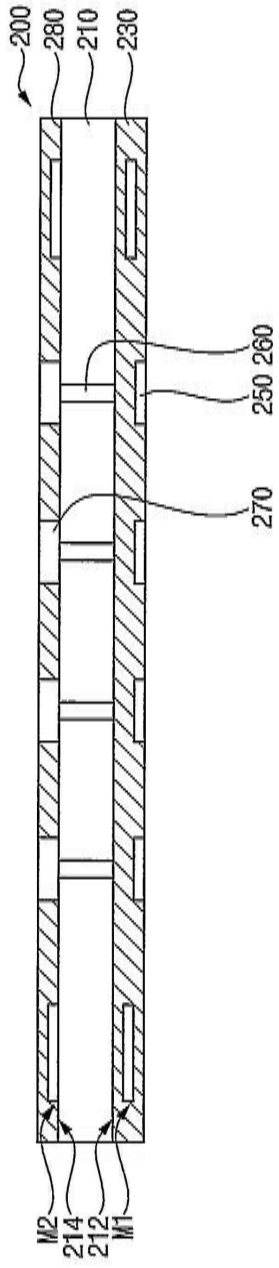
도면9



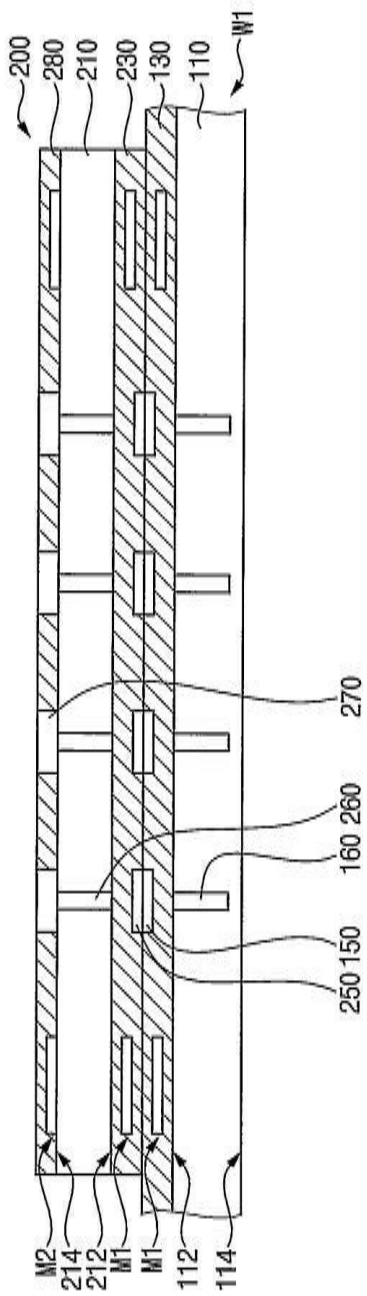
도면10



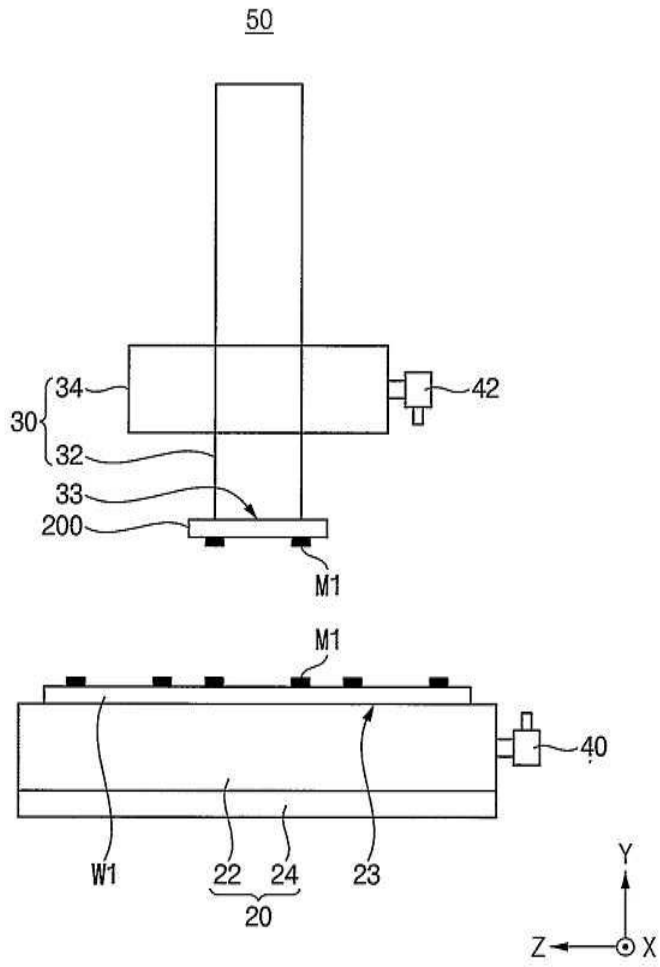
도면11



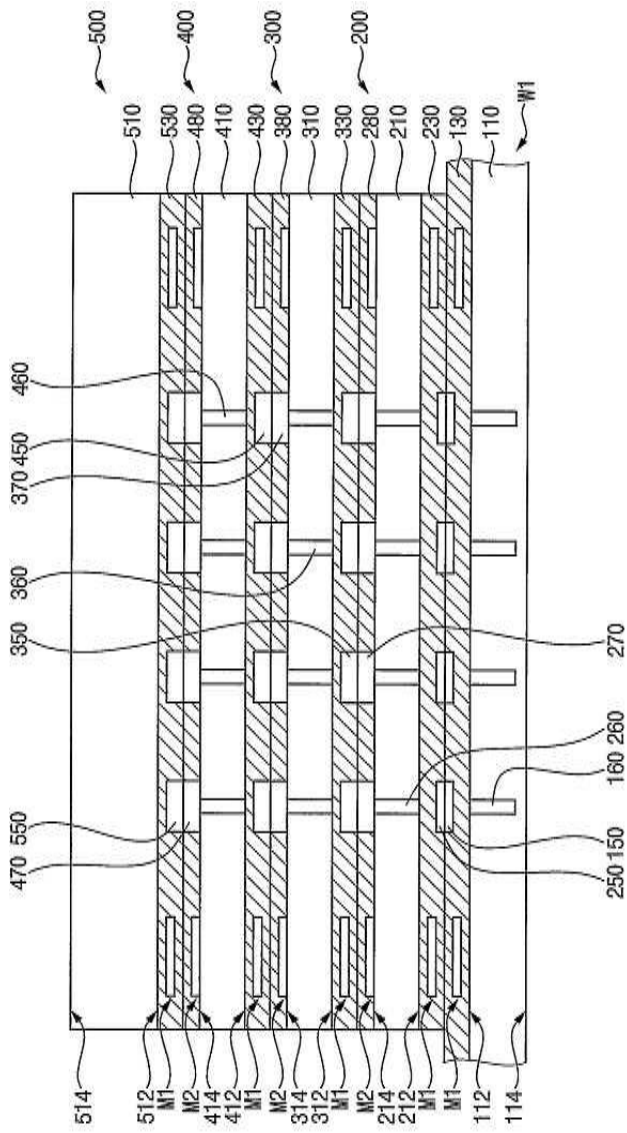
도면12



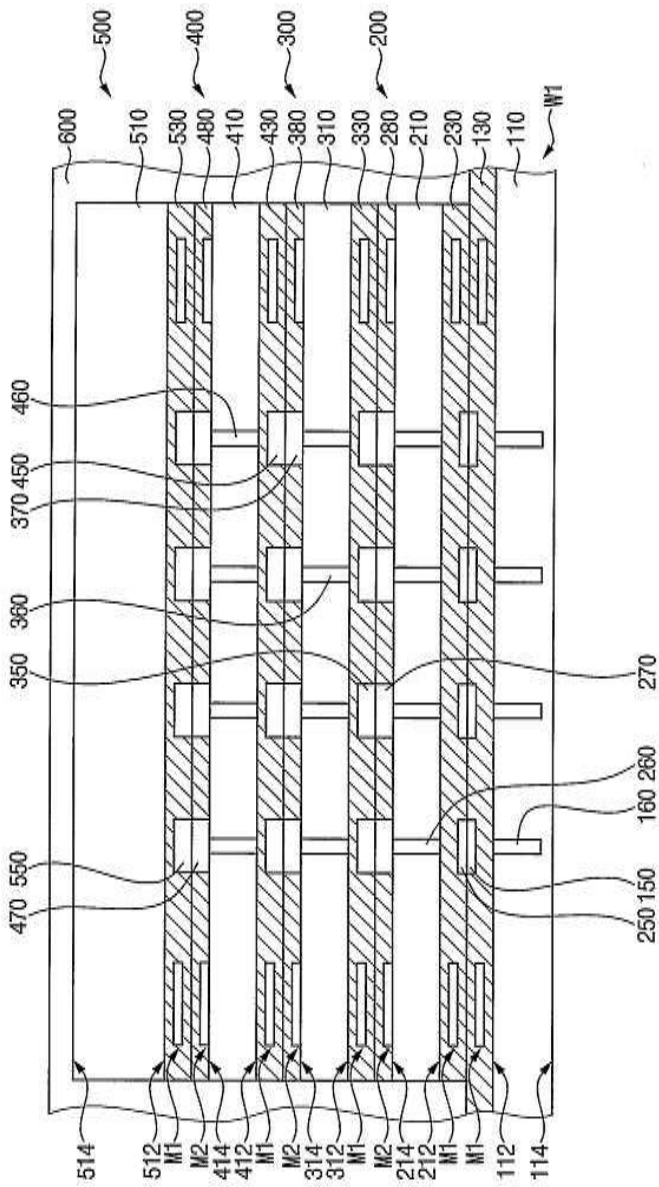
도면13



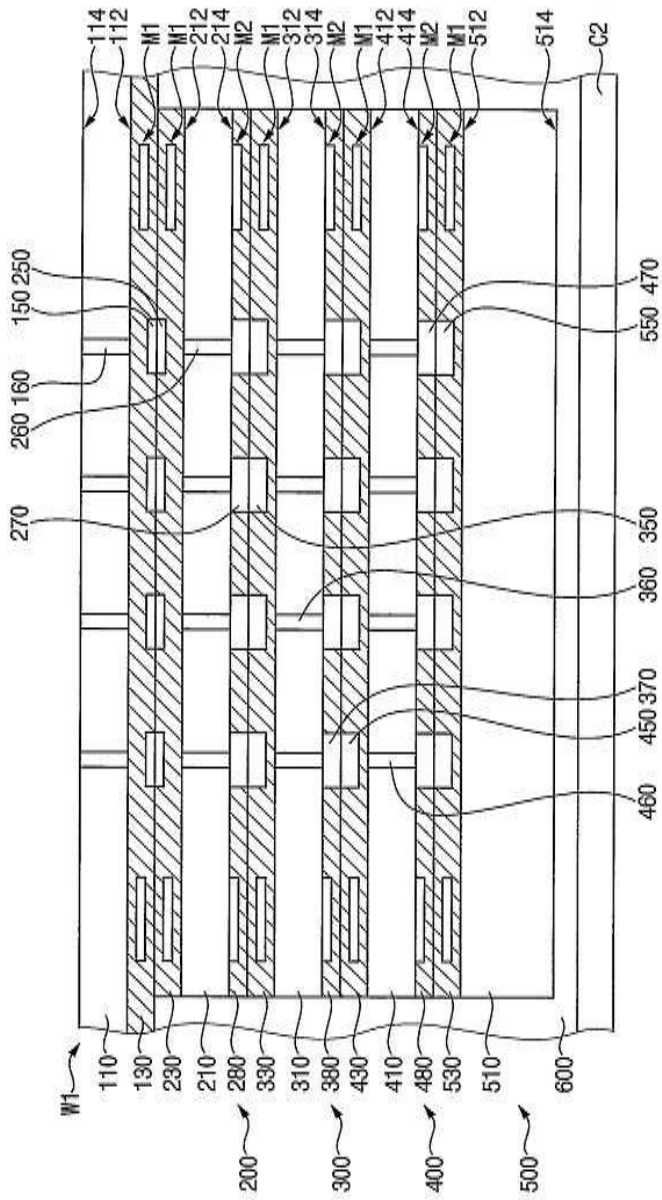
도면14



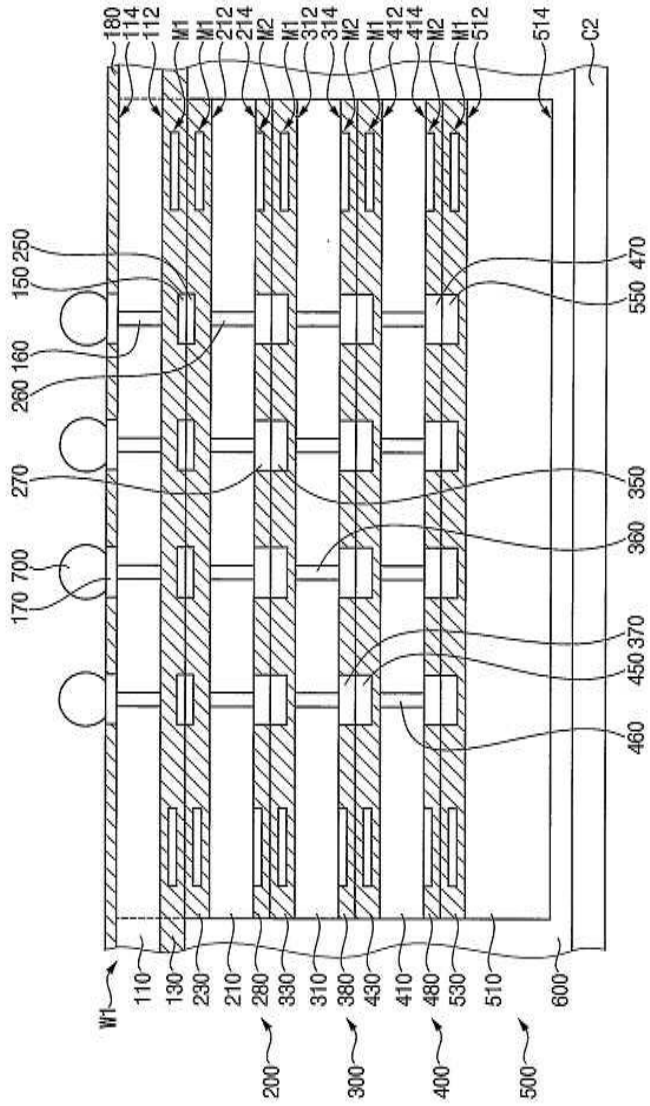
도면15



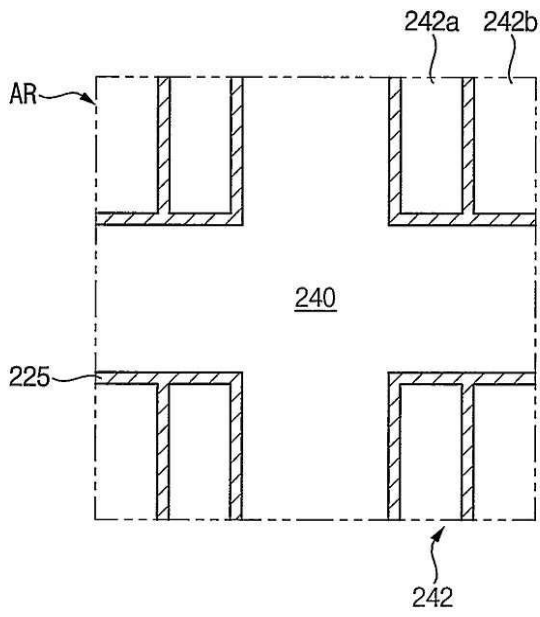
도면16



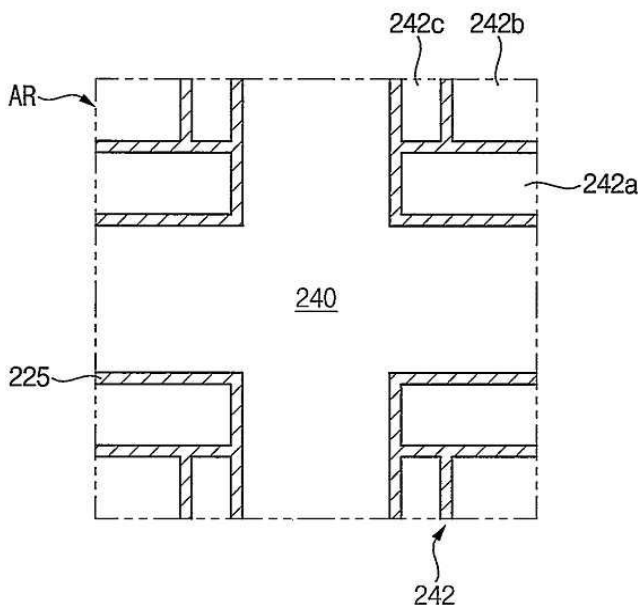
도면17



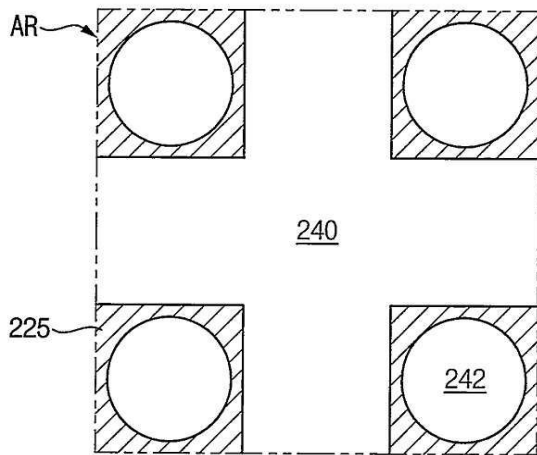
도면18a



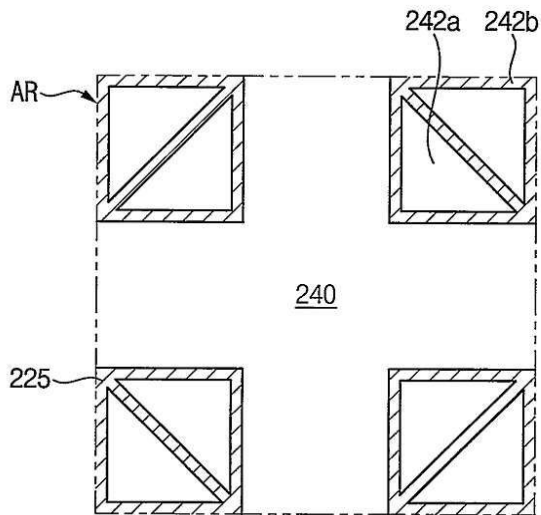
도면18b



도면18c



도면18d



도면18e

