



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(21), (22) Заявка: 2007125512/22, 06.07.2007

(24) Дата начала отсчета срока действия патента:
06.07.2007

(45) Опубликовано: 10.01.2008

Адрес для переписки:

142400, Московская обл., г. Ногинск, ул.
Белякова, 1, кв.46, В.Д. Цыганкову

(72) Автор(ы):

Цыганков Владимир Дмитриевич (RU),
Соловьев Сергей Владимирович (RU)

(73) Патентообладатель(и):

Дронов Сергей Александрович (RU),
Соловьев Сергей Владимирович (RU)

(54) НЕЙРОКОМПЬЮТЕР

Формула полезной модели

1. Нейрокомпьютер, содержащий блок хранения бинарного входного сигнала, выход которого связан со входом логической схемы И-ИЛИ, выход которой связан со входом блока внутренней памяти, один выход которого связан с другим входом логической схемы И-ИЛИ, другой выход блока внутренней памяти связан со входом блока формирования из поступивших кодов состояний из регистра внутренней памяти выходную последовательность кодов групп, блок управления, один выход которого связан с третьим входом логической схемы И-ИЛИ и с одним входом блока хранения бинарного входного сигнала, другой выход которого связан с одним входом блока выбора строк и извлечения информации, выходы которого связаны с другими входами блока хранения бинарного входного сигнала, отличающийся тем, что он имеет блок генератора синхронизирующих импульсов, один выход которого связан с другим входом блока внутренней памяти, другой выход - связан со входом блока управления, блок анализа, вход которого связан со вторым выходом логической схемы И-ИЛИ, а выход блока анализа связан со входом блока коррекции, выход которого связан с другим входом блока выбора строк и извлечения информации, при этом блок хранения бинарного входного сигнала включает входную бинарную матрицу триггеров размером $n \times m$, где n - число столбцов = 1, 2, 3, ..., m - число строк = 1, 2, 3, ..., выполненной с обеспечением возможности принятия на входе сигналов в бинарном виде из внешней среды, несущих информацию, например, с датчиков объекта управления, блок внутренней памяти включает n -разрядный регистр внутренней памяти, где $n=1, 2, 3, \dots$, выполненный с возможностью изменения состояния с каждым NS импульсом и с возможностью поступления с его выхода сигналов в виде последовательности двоичных кодов на исполнительный орган, например, объект управления, блок формирования выполнен с обеспечением возможности передачи с выхода обработанных им сигналов на исполнительный орган, например, объект управления, блок управления выполнен с обеспечением возможности управления

Полезная модель относится к области эффективных, высоких технологий, к области информационной техники и нейрокомпьютинга, в частности, к области создания нейрокомпьютеров.

Известен нейрокомпьютер, содержащий блок хранения бинарного входного сигнала, выход которого связан со входом логической схемы И-ИЛИ, выход которой связан со входом блока внутренней памяти, один выход которого связан с другим входом логической схемы И-ИЛИ, другой выход блока внутренней памяти связан со входом блока формирования из поступивших кодов состояний из регистра внутренней памяти выходную последовательность кодов групп, блок управления, один выход которого связан с третьим входом логической схемы И-ИЛИ и с одним входом блока хранения бинарного входного сигнала, другой выход которого связан с одним входом блока выбора строк и извлечения информации, выходы которого связаны с другими входами блока хранения бинарного входного сигнала (см., например, книгу В.Д.Цыганков, Виртуальный нейрокомпьютер "ЭМБРИОН", М., СИНТЕГ, 2005, С.24-26, 85, 86).

Недостатком известного компьютера является низкое быстродействие, низкая помехоустойчивость и сложность конструкции.

Техническим результатом полезной модели является повышение быстродействия для обеспечения возможности различать изменения состояния обрабатываемых сигналов, повышение помехоустойчивости, обеспечение возможности создания сверхсложных нейронных сетей с числом нейронов до 10^{10} и упрощение конструкции.

Достигается это тем, что он имеет блок генератора синхронизирующих импульсов, один выход которого связан с другим входом блока внутренней памяти, другой выход - связан со входом блока управления, блок анализа, вход которого связан со вторым выходом логической схемы И-ИЛИ, а выход блока анализа связан со входом блока коррекции, выход которого связан с другим входом блока выбора строк и извлечения информации, при этом блок хранения бинарного входного сигнала включает входную бинарную матрицу триггеров размером $p \times m$, где p - число столбцов = 1, 2, 3, ..., m - число строк = 1, 2, 3, ..., выполненной с обеспечением возможности принятия на входе сигналов в бинарном виде из внешней среды, несущих информацию, например, с датчиков объекта управления, блок внутренней памяти включает p -разрядный регистр внутренней памяти, где $p=1, 2, 3, \dots$, выполненный с возможностью изменения состояния с каждым NS импульсом и с возможностью поступления с его выхода сигналов в виде последовательности двоичных кодов на исполнительный орган, например, объект управления, блок формирования выполнен с обеспечением возможности передачи с выхода обработанных им сигналов на исполнительный орган, например, объект управления, блок управления выполнен с обеспечением возможности управления передачей информации из бинарной матрицы в регистр внутренней памяти и с возможностью извлечения информации из бинарной матрицы, а блок анализа выполнен с обеспечением возможности определения величины рассогласования между состояниями кода строк

бинарной матрицы и кодом состояния регистра внутренней памяти посредством связи его выхода с другим входом логической схемы И-ИЛИ и с возможностью воздействия на блок коррекции для перестраивания режима функционирования блока извлечения информации.

В логической схеме И-ИЛИ использована логическая интегральная микросхема.

В блоке формирования использован дешифратор, выполненный в виде микросхемы.

В блоке управления использованы логические схемы сравнения и дешифраторы.

В блоке выбора строк и извлечения информации использован массив триггеров для хранения деспотичных чисел.

5 В блоке генератора синхронизирующих импульсов использован управляющий генератор импульсов, выполненный, например, на транзисторах.

В блоке анализа использованы схемы сравнения с использованием логических схем И-ИЛИ-НЕТ.

В блоке коррекции использован управляемый двоичный счетчик.

10 Сущность полезной модели поясняется чертежом, где на Фиг.1 изображена блок-схема нейрокомпьютера.

Нейрокомпьютер содержит блок 1 хранения бинарного входного сигнала, выход которого связан со входом логической схемы 2 И-ИЛИ, выход которой связан со входом блока 3 внутренней памяти, один выход которого связан с другим входом логической 2 схемы И-ИЛИ, другой выход блока 3 внутренней памяти связан со входом блока 4 формирования из поступивших кодов состояний из регистра внутренней 3 памяти выходную последовательность кодов групп, блок 6 управления, один выход которого связан с третьим входом логической 2 схемы И-ИЛИ и с одним входом блока 1 хранения бинарного входного сигнала, другой выход которого связан с одним входом блока 7 выбора строк и извлечения информации, выходы которого связаны с другими входами блока 1 хранения бинарного входного сигнала.

Нейрокомпьютер имеет блок 5 генератора синхронизирующих импульсов, один выход которого связан с другим входом блока 3 внутренней памяти, другой выход - связан со входом блока 6 управления, вход которого связан со вторым выходом логической 2 схемы И-ИЛИ, а выход блока 8 анализа связан со входом блока 9 коррекции, выход которого связан с другим входом блока 7 выбора строк и извлечения информации.

30 Блок 1 хранения бинарного входного сигнала включает входную бинарную матрицу триггеров размером $p \times m$, где p - число столбцов = 1, 2, 3, ..., m - число строк = 1, 2, 3, ..., выполненной с обеспечением возможности принятия на входе сигналов в бинарном виде из внешней среды, несущих информацию,

например, с датчиков объекта управления.

35 Блок 3 внутренней памяти включает p -разрядный регистр внутренней памяти, где $p=1, 2, 3, \dots$, выполненный с возможностью изменения состояния с каждым NS импульсом и с возможностью поступления с его выхода сигналов в виде последовательности двоичных кодов на исполнительный орган, например, объект управления.

Блок 4 формирования выполнен с обеспечением возможности передачи с выхода обработанных им сигналов на исполнительный орган, например, объект управления.

45 Блок 6 управления выполнен с обеспечением возможности управления передачей информации из бинарной 1 матрицы в регистр внутренней памяти с возможностью извлечения информации из бинарной 1 матрицы.

Блок 8 анализа выполнен с обеспечением возможности определения величины рассогласования между состояниями кода строк (m) бинарной 1 матрицы и кодом состояния регистра внутренней памяти посредством связи его выхода с другим входом логической 2 схемы И-ИЛИ и с возможностью воздействия на блок 9 коррекции для перестраивания режима функционирования блока 7 извлечения информации.

В логической 2 схеме И-ИЛИ использована логическая интегральная микросхема.

В блоке 4 формирования использован дешифратор, выполненный в виде

микросхемы.

В блоке 6 управления использованы логические схемы сравнения и дешифраторы.

В блоке 7 выбора строк и извлечения информации использован массив триггеров для хранения десятичных чисел.

5 В блоке 5 генератора синхронизирующих импульсов использован управляющий генератор импульсов, выполненный, например, на транзисторах.

В блоке 8 анализа использованы схемы сравнения с использованием логических схем И-ИЛИ-НЕТ.

10 В блоке 9 коррекции использован управляемый двоичный счетчик.

Функционирует нейрокомпьютер следующим образом.

После формирования нейронной сети в виде блок-схемы, изображенной на фиг.1, осуществляют установку начального состояния регистра 3 внутренней памяти, заполнение входной бинарной матрицы триггеров размером $p \times m$ сигналами в бинарном виде из внешней среды.

15 Далее осуществляют подключение посредством блока 6 управления первой строки бинарной 1 матрицы к логической 2 схеме И-ИЛИ, определение посредством блока 8 анализа величины рассогласования между состояниями кода строк (m) бинарной матрицы и кодом состояния регистра 3 внутренней памяти и воздействие через блок 9 коррекции на блок 7 извлечения информации для установки длительности или времени извлечения информации из выбранной строки.

Затем осуществляют выбор посредством блока 9 коррекции в блоке 7 извлечения информации набора в виде массива триггеров, соответствующих числу строк (m) бинарной матрицы 1 и предназначенных для хранения времени обработки всех строк бинарной матрицы в виде набора десятичных чисел, характеризующих длительность обработки каждой отдельной строки

25 бинарной матрицы, глубину и размер нейронной сети, задают в блоке 6 управления NS-число, определяющее общее время обработки бинарного сигнала в бинарной матрице.

Далее осуществляют последовательный, построчный анализ и сравнение в блоке 8 анализа i -х разрядов каждой j -й строки бинарной 1 матрицы с i -м разрядом регистра 3 внутренней памяти (i - разряд = 1, 2, 3, 3, ... p ; j - строка = 1, 2, 3, ... p).

35 При несовпадении входной информации в (i, j) клетке бинарной матрицы с состоянием i -го разряда регистра 3 внутренней памяти осуществляют перенос в него новой информации из блока 1 хранения бинарного входного сигнала.

40 Вышеуказанные операции циклически повторяют NS раз после считывания всех m -строк матрицы и одновременно генерируется нейронная сеть регистром 3 внутренней памяти в виде последовательности кодов состояний, а блоком 4 формирования - выходная последовательность кодов групп слоев сети.

45 Получаемые в регистре 3 внутренней памяти и в блоке 4 формирования выходные импульсы активности нейронных сетей в виде спектров частот используют с обеспечением передачи с их выходов (см. фиг.1) на исполнительный орган, например, объект управления (не показан).

Приведенные в данном предложении блоки используются и описываются в книге В.Л.Цыганков, нейрокомпьютер и мозг. М.СИНТЕГ, 2001, С.71-74.

50 Таким образом, полезная модель повышает быстродействие нейрокомпьютера для обеспечения возможности различать изменения состояния обрабатываемых сигналов, повышает помехоустойчивость и обеспечивает возможность

создания сверхсложных нейронных сетей с числом нейронов до 10^{10} и упрощает

конструкцию.

Промышленная применимость.

Полезная модель может быть использована при производстве нейрокомпьютеров, а также при производстве квантовых вычислителей для обеспечения информационной безопасности и защиты информации, при производстве систем обнаружения, распознавания и диагностики в военной технике, в промышленности, в медицине, автономных систем управления сложными динамическими объектами, бытовых приборов и в играх.

10

(57) Реферат

Полезная модель относится к конструкции нейрокомпьютера. Сущность полезной модели заключается в том, что она имеет блок генератора синхронизирующих импульсов, один выход которого связан с другим входом блока внутренней памяти, другой выход - связан со входом блока управления, вход которого связан со вторым выходом логической схемы И-ИЛИ.

15

20

25

30

35

40

45

50

РЕФЕРАТ ПОЛЕЗНОЙ МОДЕЛИ

Полезная модель относится к конструкции нейрокомпьютера. Сущность полезной модели заключается в том, что она имеет блок генератора синхронизирующих импульсов, один выход которого связан с другим входом блока внутренней памяти, другой выход - связан со входом блока управления, вход которого связан со вторым выходом логической схемы И-ИЛИ.

сложных нейронных сетей с числом нейронов до 10^{10} и упрощение конструкции.

Достигается это тем, что он имеет блок генератора синхронизирующих импульсов, один выход которого связан с другим входом блока внутренней памяти, другой выход - связан со входом блока управления, блок анализа, вход которого связан со вторым выходом логической схемы И-ИЛИ, а выход блока анализа связан со входом блока коррекции, выход которого связан с другим входом блока выбора строк и извлечения информации, при этом блок хранения бинарного входного сигнала включает входную бинарную матрицу триггеров размером $p \times m$, где p - число столбцов = $1, 2, 3, \dots$, m - число строк = $1, 2, 3, \dots$, выполненной с обеспечением возможности принятия на входе сигналов в бинарном виде из внешней среды, несущих информацию, например, с датчиков объекта управления, блок внутренней памяти включает p -разрядный регистр внутренней памяти, где $p = 1, 2, 3, \dots$, выполненный с возможностью изменения состояния с каждым NS импульсом и с возможностью поступления с его выхода сигналов в виде последовательности двоичных кодов на исполнительный орган, например, объект управления, блок формирования выполнен с обеспечением возможности передачи с выхода обработанных им сигналов на исполнительный орган, например, объект управления, блок управления выполнен с обеспечением возможности управления передачей информации из бинарной матрицы в регистр внутренней памяти и с возможностью извлечения информации из бинарной матрицы, а блок анализа выполнен с обеспечением возможности определения величины рассогласования между состояниями кода строк

бинарной матрицы и кодом состояния регистра внутренней памяти посредством связи его выхода с другим входом логической схемы И-ИЛИ и с возможностью воздействия на блок коррекции для перестраивания режима функционирования блока извлечения информации.

В логической схеме И-ИЛИ использована логическая интегральная микросхема.

В блоке формирования использован дешифратор, выполненный в виде микросхемы.

В блоке управления использованы логические схемы сравнения и дешифраторы.

В блоке выбора строк и извлечения информации использован массив триггеров для хранения десятичных чисел.

В блоке генератора синхронизирующих импульсов использован управляющий генератор импульсов, выполненный, например, на транзисторах.

В блоке анализа использованы схемы сравнения с использованием логических схем И-ИЛИ-НЕТ.

В блоке коррекции использован управляемый двоичный счетчик.

Сущность полезной модели поясняется чертежом, где на фиг.1 изображена блок-схема нейрокомпьютера.

Нейрокомпьютер содержит блок 1 хранения бинарного входного сигнала, выход которого связан со входом логической схемы 2 И-ИЛИ, выход которой связан со входом блока 3 внутренней памяти, один выход которого связан с другим входом логической 2 схемы И-ИЛИ, другой выход блока 3 внутренней памяти связан со входом блока 4 формирования из поступивших кодов состояний из регистра внутренней 3 памяти выходную последовательность кодов групп, блок 6 управления, одним выход которого связан с третьим входом логической 2 схемы И-ИЛИ и с одним входом блока 1 хранения бинарного входного сигнала, другой выход которого связан с одним входом блока 7 выбора строк и извлечения информации, выходы которого связаны с другими входами блока 1 хранения бинарного входного сигнала.

Нейрокомпьютер имеет блок 5 генератора синхронизирующих импульсов, один выход которого связан с другим входом блока 3 внутренней памяти, другой выход - связан со входом блока 6 управления, вход которого связан со вторым выходом логической 2 схемы И-ИЛИ, а выход блока 8 анализа связан со входом блока 9 коррекции, выход которого связан с другим входом блока 7 выбора строк и извлечения информации.

Блок 1 хранения бинарного входного сигнала включает входную бинарную матрицу триггеров размером $p \times m$, где p - число столбцов = $1, 2, 3, \dots, m$ - число строк = $1, 2, 3, \dots$, выполненной с обеспечением возможности принятия на входе сигналов в бинарном виде из внешней среды, несущих информацию,

например, с датчиков объекта управления.

Блок 3 внутренней памяти включает n -разрядный регистр внутренней памяти, где $n=1,2,3,\dots$, выполненный с возможностью изменения состояния с каждым $N\bar{J}$ импульсом и с возможностью поступления с его выхода сигналов в виде последовательности двоичных кодов на исполнительный орган, например, объект управления.

Блок 4 формирования выполнен с обеспечением возможности передачи с выхода обработанных им сигналов на исполнительный орган, например, объект управления.

Блок 6 управления выполнен с обеспечением возможности управления передачей информации из бинарной 1 матрицы в регистр внутренней памяти с возможностью извлечения информации из бинарной 1 матрицы.

Блок 8 анализа выполнен с обеспечением возможности определения величины рассогласования между состояниями нодов строки (m) бинарной 1 матрицы и нодом состояния регистра внутренней памяти посредством связи его выхода с другим входом логической 2 схемы И-ИЛИ и с возможностью воздействия на блок 9 коррекции для перестраивания режима функционирования блока 7 извлечения информации.

В логической 2 схеме И-ИЛИ использована логическая интегральная микросхема.

В блоке 4 формирования использован дешифратор, выполненный в виде микросхемы.

В блоке 6 управления использованы логические схемы сравнения и дешифраторы.

В блоке 7 выбора строк и извлечения информации использо-

ван массив триггеров для хранения десятичных чисел.

В блоке 5 генератора синхронизирующих импульсов использован управляющий генератор импульсов, выполненный, например, на транзисторах.

В блоке 8 анализа использованы схемы сравнения с использованием логических схем И-ИЛИ-НЕТ.

В блоке 9 коррекции использован управляемый двоичный счетчик.

Функционирует нейрокомпьютер следующим образом.

После формирования нейронной сети в виде блок-схемы, изображенной на фиг.1, осуществляют установку начального состояния регистра 3 внутренней памяти, заполнение входной бинарной матрицы триггеров размером $P \times m$ сигналами в бинарном виде из внешней среды.

Далее осуществляют подключение посредством блока 6 управления первой строки бинарной 1 матрицы к логической 2 схеме И-ИЛИ, определение посредством блока 8 анализа величины рассогласования между состоя^{ния}ми кода строк (m) бинарной матрицы и кодом состояния регистра 3 внутренней памяти и воздействие через блок 9 коррекции на блок 7 извлечения информации для установки длительности или времени извлечения информации из выбранной строки.

Затем осуществляют выбор посредством блока 9 коррекции в блоке 7 извлечения информации набора в виде массива триггеров, соответствующих числу строк (m) бинарной матрицы 1 и предназначенных для хранения времени обработки всех строк бинарной матрицы в виде набора десятичных чисел, характеризующих длительность обработки каждой отдельной стро-

ни бинарной матрицы, глубину и размер нейронной сети, задают в блоке 6 управления NS - число, определяющее общее время обработки бинарного сигнала в бинарной матрице.

Далее осуществляют последовательный, построчный анализ и сравнение в блоке 8 анализа i -х разрядов каждой j -й строки бинарной 1 матрицы с i -м разрядом регистра 3 внутренней памяти (i - разряд = $1, 2, 3, \dots, p$; j - строка = $1, 2, 3, \dots, p$).

При несовпадении входной информации в (i, j) клетке бинарной матрицы с состоянием i -го разряда регистра 3 внутренней памяти осуществляют перенос в него новой информации из блока 1 хранения бинарного входного сигнала.

Вышеуказанные операции циклически повторяют NS раз после считывания всех M - строк матрицы и одновременно генерируется нейронная сеть регистром 3 внутренней памяти в виде последовательности кодов состояний, а блоком 4 формирования - выходная последовательность кодов групп слоев сети.

Получаемые в регистре 3 внутренней памяти и в блоке 4 формирования выходные импульсы активности нейронных сетей в виде спектров частот используют с обеспечением передачи с их выходов (см. фиг. 1) на исполнительный орган, например, объект управления (не показан).

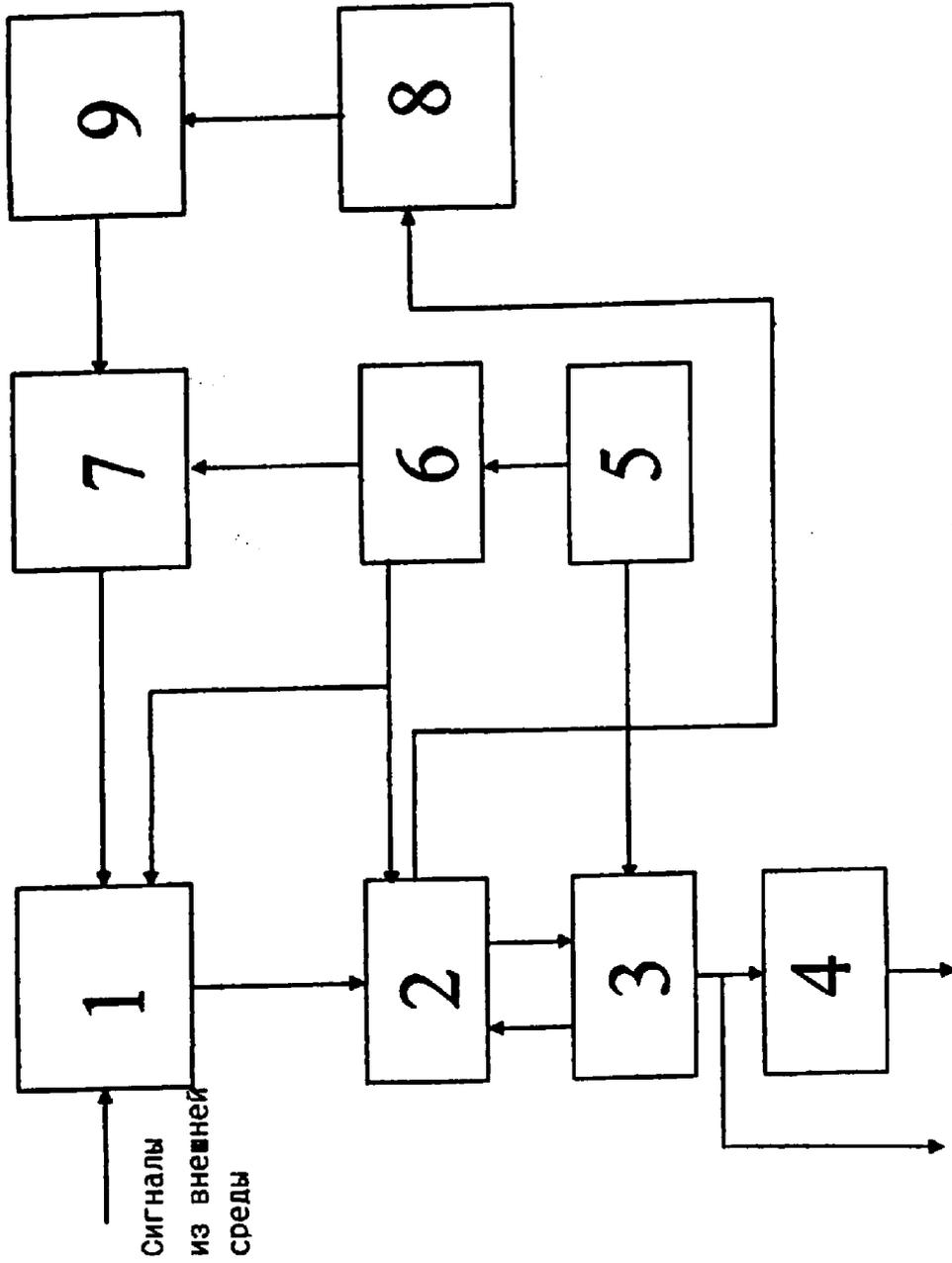
Приведенные в данном предложении блоки используются и описываются в книге В.Д.Цыганков, Нейрокомпьютер и мозг, М. СИНТЕГ, 2001, с.71-74.

Таким образом, полезная модель повышает быстродействие нейрокомпьютера для обеспечения возможности различать изменения состояния обрабатываемых сигналов, повышает помехоустойчивость и обеспечивает возможность соз-

дания сверхсложных нейронных сетей с числом нейронов до 10^{10} и упрощает конструкцию.

Промышленная применимость.

Полезная ^{модель} может быть использована при производстве нейрокомпьютеров, а также при производстве квантовых вычислителей для обеспечения информационной безопасности и защиты информации, при производстве систем обнаружения, распознавания и диагностики в военной технике, в промышленности, в медицине, автономных систем управления сложными динамическими объектами, бытовых приборов и в играх.



ФИГ. 1