



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: 2006141241/09, 14.03.2005

(24) Дата начала отсчета срока действия патента:
14.03.2005(30) Конвенционный приоритет:
22.04.2004 US 10/830,337

(43) Дата публикации заявки: 27.05.2008

(45) Опубликовано: 27.10.2008 Бюл. № 30

(56) Список документов, цитированных в отчете о
поиске: RU 2170490 C1, 10. 07.2001. RU 2166833
C1, 10. 05.2001. EP 1143621 A2, 10.10.2001.
US 5990714 A, 23.11.1999. US 5969553 A,
19.10.1999.(85) Дата перевода заявки РСТ на национальную фазу:
22.11.2006(86) Заявка РСТ:
US 2005/008549 (14.03.2005)(87) Публикация РСТ:
WO 2005/109647 (17.11.2005)

Адрес для переписки:
129090, Москва, ул. Б. Спасская, 25, стр.3,
ООО "Юридическая фирма Городисский и
Партнеры", пат.пов. Ю.Д.Кузнецову, рег.№ 595

(72) Автор(ы):

УИЛХАЙТ Джеффри Б. (US),
ЧАРАСКА Джозеф А. (US),
ГАБАТО МЛ. Мануэль П. (US),
ГЕЙЛЮС Пол Х. (US),
СТЕНДЖЕЛ Роберт Е. (US)

(73) Патентообладатель(и):

МОТОРОЛА, ИНК., Э КОРПОРЕЙШН ОФ ДЗЕ
СТЕЙТ ОФ ДЕЛАВЭР (US)

(54) СИСТЕМА АВТОМАТИЧЕСКОЙ ПОДСТРОЙКИ ЧАСТОТЫ ПО ЗАДЕРЖКЕ

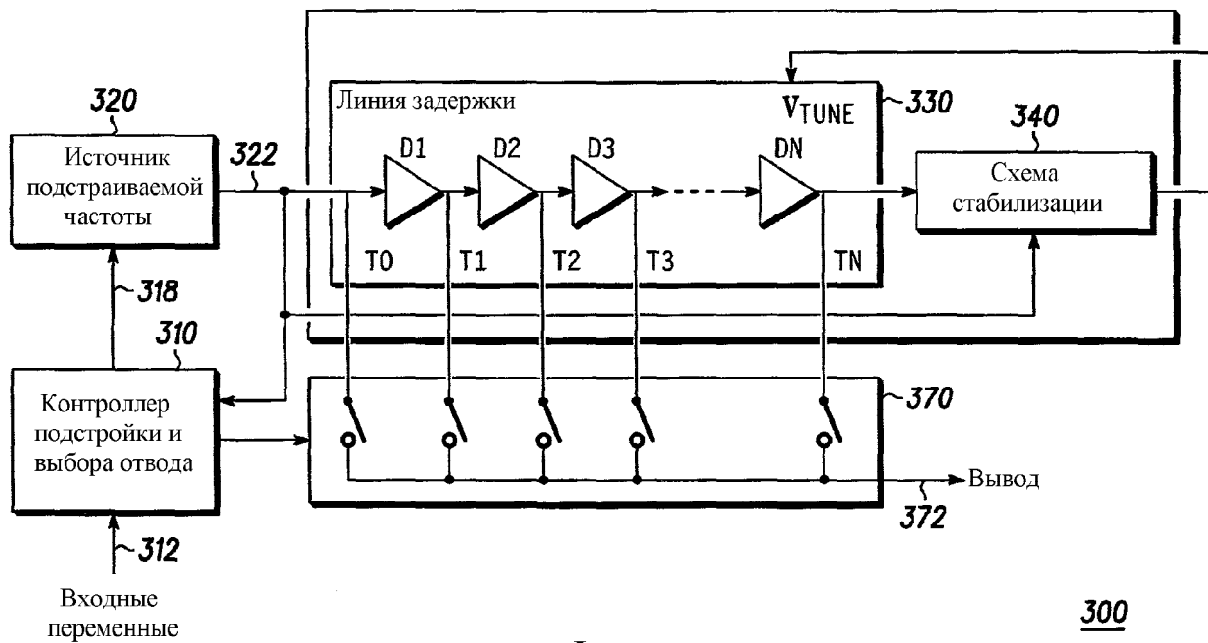
(57) Реферат:

Изобретение относится к области цифрового синтеза частот. Достижимый технический результат - уменьшение уровня паразитных сигналов. Система автоматической подстройки частоты по задержке содержит источник подстраиваемой частоты для генерации тактового сигнала, контроллер подстройки и выбора отвода, линию задержки, сконфигурированную таким образом, чтобы принять тактовый сигнал для генерации множества смещенных по фазе тактовых сигналов, первую схему выбора для приема множества смещенных по фазе тактовых сигналов и для выбора под управлением контроллера подстройки и выбора отвода, первой последовательности смещенных по фазе тактовых сигналов для генерации первого выходного

сигнала, имеющего вторую частоту. Способ автоматической подстройки частоты по задержке содержит этапы: определяют первую частоту в качестве функции второй частоты, которая является требуемой частотой первого выходного сигнала, выводят, по меньшей мере, одно значение подстройки частоты для того, чтобы обусловить генерацию тактового сигнала, имеющего по существу упомянутую первую частоту, и для того, чтобы обусловить генерацию множества смещенных по фазе тактовых сигналов, определяют первую последовательность значений выбора, соответствующих первой последовательности множества смещенных по фазе тактовых сигналов, и выводят упомянутую первую последовательность значений выбора для того, чтобы обусловить выбор упомянутой первой

последовательности смещенных по фазе тактовых сигналов по одной за раз для генерации упомянутого первого выходного сигнала, имеющего

по существу упомянутую вторую частоту. 3 н. и 7 з.п. ф-лы, 9 ил., 1 табл.



Фиг. 3

300

RU 2337474 C2

RU 2337474 C2



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: **2006141241/09, 14.03.2005**

(24) Effective date for property rights: **14.03.2005**

(30) Priority:
22.04.2004 US 10/830,337

(43) Application published: **27.05.2008**

(45) Date of publication: **27.10.2008 Bull. 30**

(85) Commencement of national phase: **22.11.2006**

(86) PCT application:
US 2005/008549 (14.03.2005)

(87) PCT publication:
WO 2005/109647 (17.11.2005)

Mail address:
**129090, Moskva, ul. B. Spasskaja, 25, str.3,
OOO "Juridicheskaja firma Gorodisskij i
Partnery", pat.pov. Ju.D.Kuznetsovu, reg.№ 595**

(72) Inventor(s):

**UILKhAJT Dzheffri B. (US),
ChARASKA Dzhozef A. (US),
GABATO ML. Manuehl' P. (US),
GEJL'JuS Pol Kh. (US),
STENDZheL Robert E. (US)**

(73) Proprietor(s):

**MOTOROLA, INK., Eh KORPOREJShN OF DZE
STEJT OF DELAVEhR (US)**

(54) **SYSTEM OF AUTOMATIC FREQUENCY TUNING BY DELAY**

(57) Abstract:

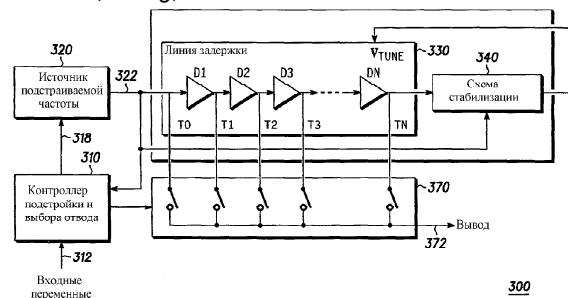
FIELD: physics, radio.

SUBSTANCE: system of automatic frequency tuning by delay includes source of tuned frequency for clock signal generation, tuning and tap lead selection, delay line configured to receive clock signal for generation of multiple phase-shift clock signals, first selection circuit for reception of multiple phase-shift clock signals and controller-guided selection of tuning and tap lead, first sequence of phase-shift clock signals for generation of first output signal with second frequency. Method of automatic frequency tuning includes the following stages: defining first frequency, which is the required frequency of first output signal, as function of second frequency, derive at least one frequency tuning value to set condition for generation of clock signal having basically the same first frequency, and to set condition for

multiple phase-shift clock signal generation, defining first selection value sequence corresponding to first sequence of multiple phase-shift clock signals, and deriving the first selection vale sequence to set condition for selection of one first phase-shift clock signal sequence at a time for generation of first output signal featuring basically the second frequency.

EFFECT: reduced ghost signal level.

10 cl, 9 dwg, 1 tbl



Фиг. 3

300

RU 2 337 474 C2

RU 2 337 474 C2

Область техники, к которой относится изобретение

Настоящее изобретение относится в общем к прямому цифровому синтезу частоты, а более конкретно к конфигурации системы автоматической подстройки по задержке для уменьшения паразитных выходных сигналов.

5 Уровень техники

Ряд устройств, например, мобильного применения, такие как портативные устройства, требуют использования синтезатора частот для функционирования. Один такой синтезатор частот включает в себя дискретно-фазовый преобразователь, имеющий цифровую систему автоматической регулировки по задержке (DLL). Фиг.1 иллюстрирует схематический чертеж конфигурации DLL 10 предшествующего уровня техники для генерации выходного сигнала 72 с желаемой частотой F_{out} . DLL 10 содержит синтезатор 20 фиксированной частоты для генерации тактового сигнала 22, имеющего частоту F_{clk} . DLL 10 дополнительно содержит: линию 30 задержки, имеющую N-е число подстраиваемых элементов D1-DN задержки; детектор 40 фазы, генератор 50 подкачки заряда и фильтр 60 в цепи обратной связи, который создает схему стабилизации для DLL 10; схему 70 выборки, которая может быть, например, мультиплексором (также именуемым здесь как "MUX"); цифровое устройство 90 управления.

При функционировании линия 30 задержки принимает тактовый сигнал 22 на входе и затем генерирует набор задержанных по времени тактовых сигналов на множестве выходов. Задержки времени генерируются элементами D1-DN задержки, которые соединены в каскад и которые могут быть, например, инверторными затворами, затворами линии передачи и подобными, зависящими от желаемого осуществления DLL. Кроме того, общее время задержки между сигналом в первой точке на линии задержки, которая в типичном варианте является входом первого элемента D1 задержки, и сигналом во второй 25 точке на линии задержки, которая является в типичном варианте выходом N-го элемента DN задержки, управляется напряжением V_{tune} смещения, подводимым к линии 30 задержки. Эта общая задержка может быть, например, длиной волны (т.е. 360 градусов), которая равна 1 периоду тактового сигнала 22, половиной волны (т.е. 180 градусов), которая равна 1/2 периода тактового сигнала 22, или любой другой задержкой, требуемой для 30 конкретного применения. В идеальном варианте каждый элемент задержки будет повторять входную форму волны сигнала со временем задержки на выходе элемента задержки, которая равна общей задержке от входа элемента D1 задержки через выход элемента DN задержки, разделенной на общее число элементов задержки (т.е. N).

Каждый элемент D1-DN задержки имеет выходной отвод T1-TN соответственно, который 35 соединяется со входом MUX 70. Кроме того, отвод T0 присоединен между входом элемента D1 задержки и входом MUX 70 для того, чтобы подать туда тактовый сигнал 22. Каждый элемент D1-DN задержки задерживает распространение тактового сигнала 22 и выводит на соответствующий выходной отвод T1-TN соответственно, соответствующий смещенный по фазе тактовый сигнал. Соответственно число N смещенных по фазе тактовых сигналов, выводимых элементами D1-DN задержки, подается через выходные отводы T1-TN на 40 входы MUX 70 вместе с тактовым сигналом 22, выводимым на отвод T0.

Чтобы обеспечить стабильность при работе, DLL 10 включает в себя детектор 40 фазы, который в типичном варианте соединен так, чтобы принимать тактовый сигнал 22 из синтезатора 20 и смещенный по фазе тактовый сигнал из линии 30 задержки, который в 45 этом примере является сигналом на выходе элемента DN задержки. Детектор 40 фазы сравнивает разницу фаз между тактовым сигналом 22 и смещенным по фазе тактовым сигналом с предварительно определенным желаемым смещением фазы и выводит на генератор подкачки заряда сигнал ошибки, что является функцией результата этого сравнения. Специалисты в области техники должны понять, что детектор 40 фазы может 50 быть сконфигурирован для сравнения разницы фаз между сигналами в любых двух точках на линии задержки с предварительно определенным желаемым смещением фазы и вывода соответствующего сигнала ошибки.

Генератор 50 подкачки заряда депонирует соответствующий заряд на контурном

фильтре 60, который в свою очередь преобразует сигнал ошибки в сигнал регулировки DLL, который подается на линию 30 задержки, чтобы регулировать напряжение V_{tune} смещения таким образом, что сохраняется соотношение фазы между смещенным по фазе тактовым сигналом и тактовым сигналом 22 при работе DLL 10, т.е. до тех пор пока
 5 общая задержка через линию задержки является желаемой задержкой. Так как DLL 10 стабилизирована, MUX 70 работает обычным образом под управлением цифрового управления 90, чтобы соединить, по одной за раз, последовательность смещенных по фазе тактовых сигналов на отводах T0-TN с соответствующими выходами MUX 70, чтобы
 10 предоставить выходной сигнал с желаемой выходной частотой F_{out} . Цифровое устройство 90 управления в типичном варианте является контроллером выбора отвода, который содержит два накопителя, один, чтобы определить, когда соединить отвод с выходной клеммой, и другой, чтобы определить какой отвод соединить. Эта последовательность выбора отвода в типичном варианте основана на F_{out} , F_{clk} и N.

Есть ограниченное число переходов, которое может быть выбрано из линии 30
 15 задержки, чтобы создать выходной сигнал с желаемой частотой. Возможная ошибка, ассоциативно связанная с выбором данного отвода, чтобы создать выходной сигнал, вызывает эффект квантования, который создает выходные паразитные сигналы (паразитными являются нежелательные спектральные составляющие). Эффект может быть минимальным, если выбранная частота и частота тактового сигнала оказываются
 20 случайно в определенных значениях. Однако в целом паразитно-доступный динамический диапазон будет ограничен эффектом квантования на выводах.

Фиг.2 иллюстрирует несовпадение между желаемыми переходами выходного сигнала и переходами действительного выходного сигнала 72, сгенерированного в DLL 10. Это несовпадение вызвано округлением ошибки, которое заканчивается паразитными
 25 сигналами, сгенерированными на выходе 72 MUX 70. Допустим, что линия 30 задержки включает в себя четыре элемента D1-D4 задержки. Фиг.2 соответственно иллюстрирует тактовый сигнал 22 (т.е. форму сигнала 210, не имеющего задержки по времени, или, иными словами, имеющего нулевое смещение фазы) и три соответствующих задержанных по времени или смещенных по фазе тактовых сигнала (т.е. формы сигналов 220, 230 и
 30 240), выводимых оттуда. Принимая общую задержку от входа D1 до выхода D4 в одну длину волны, форма сигнала, выводимого из D4, должна быть равна форме сигнала 210. Как иллюстрирует фиг.2, каждая форма сигнала в идеальном варианте имеет ту же частоту, что и тактовый сигнал 22 (т.е. F_{clk}), но может иметь отличающуюся задержку по времени. Кроме того, в этой иллюстрации с момента времени t_0 до момента времени t_4
 35 генерируются двадцать два перехода или времени задержки (т.е. d0-d21), из которых MUX 70 может выбрать такие, чтобы сгенерировать желаемую выходную форму сигнала 260.

Данное число отводов, частота тактового сигнала 22 и желаемая выходная частота, потенциальные времена задержки могут быть вычислены цифровым устройством 90 управления и выбраны MUX 70 так, чтобы сгенерировать соответствующий выходной
 40 сигнал 250. Это соотношение может, например, быть представлено следующим уравнением:

$$F_{\text{clk}} = (M * F_{\text{out}}) / N, \text{ для } M \geq 1 \quad (1)$$

где F_{clk} - частота тактового сигнала 22, F_{out} - желаемая выходная частота, N - число отводов, а M представляет задержки, которые потребуются, чтобы сгенерировать
 45 желаемую выходную форму сигнала 260. Это соотношение может, альтернативно, быть представлено следующим уравнением:

$$T_{\text{out}} = (M * T_{\text{clk}}) / N, \text{ для } M \geq 1 \quad (2)$$

где M и N - такие же, что и в уравнении (1), T_{clk} - период F_{clk} , T_{out} - период F_{out} , а T_{clk}/N представляет задержку, вызванную одним элементом задержки. В идеальном варианте,
 50 чтобы сгенерировать выходной сигнал, не имеющий паразитных сигналов, M будет равняться целому числу задержек (т.е. задержки = T_{clk}/N). Однако в типичном варианте это не случается. Обычно M - это нецелое множественное число задержек, и выводы затем выбираются выше и ниже желаемого множественного числа задержек, таким образом

генерируя форму сигнала 250, которая имеет в среднем желаемый период вывода.

Ссылаясь опять на фиг.2, предположим, что $M=5,4$, например, для данного T_{out} , T_{clk} и N . В этом случае моменты перехода для желаемой выходной формы сигнала 260 будут при задержках 5,4, задержках 10,8, задержках 16,2, задержках 21,6 и т.д. Чтобы

5 сгенерировать близкую форму сигнала 250 к желаемой форме сигнала 260, желаемые задержки будут округлены до наиболее близкого целого кратного числа задержек, например 5 задержек ($d5$), 11 задержек ($d11$), 16 задержек ($d16$), 22 задержки ($d22$) и т.д. Эта ошибка округления или эффект квантования вызывает паразитные выходы. Таким образом, далее действительная выбранная задержка с желаемой задержкой (т.е. 10 значительной ошибкой округления) является значительным соответствующим паразитным сигналом, генерируемым на выходе.

Одним способом, известным в технике, улучшения паразитной характеристики или уменьшения паразитного уровня, связанного с желаемым выходным сигналом, является увеличение числа отводов в линии 30 задержки. Это будет иметь в качестве результата 15 действительные выбранные задержки, являющиеся более близкими к желаемым задержкам (т.е. меньшие ошибки округления), и приводя в результате к незначительным паразитным сигналам, генерируемым на выходе. Однако ограничением этого решения является то, что каждый отвод, который добавляется, ухудшает шумовую характеристику DLL и увеличивает сложность схемы 70 выборки отвода. Кроме того, хотя теоретически 20 может быть добавлено бесконечное число отводов, практически возможное число отводов ограничено, так как сегодняшние технологии не поддерживают необходимый сложный уровень схемы, если число отводов увеличивается за определенную точку, например, когда сеть выборки отвода, переключающая задержки, подходит к 10% доле от T_{clk} .

Другим способом, известным в технике, для улучшения паразитной характеристики 25 является использование добавочного псевдослучайного сигнала. Однако в целом, в то время как использование добавочного псевдослучайного сигнала уменьшает паразитную энергию при конкретных частотах, он по существу также распространяет эту энергию по более широкой полосе частот, таким образом создавая фон шума квантования. Таким образом, чтобы уменьшить паразитный сигнал, и соответственно этот широкополосный 30 шум, до приемлемого уровня в определенных применениях, будет требоваться нереализуемое число отводов в дополнение к добавочному псевдослучайному сигналу.

Таким образом, существует необходимость в конфигурации DLL, которая минимизирует уровень паразитных сигналов без требования большего числа отводов, которые должны быть добавлены к DLL, и которая дополнительно не требует использования добавочного 35 псевдослучайного сигнала с ассоциативно связанным с ним широкополосным шумом.

Краткое описание чертежей

Предпочтительный вариант осуществления настоящего изобретения теперь описывается, только посредством примера, со ссылкой на соответствующие чертежи, на которых:

40 Фиг.1 иллюстрирует простую блок-схему конфигурации системы автоматической регулировки по задержке предыдущего уровня техники;

Фиг.2 иллюстрирует несовпадение между желаемым выходным сигналом и выходным сигналом, сгенерированным конфигурацией системы автоматической регулировки по задержке из фиг.1;

45 Фиг.3 иллюстрирует простую блок-схему конфигурации системы автоматической регулировки по задержке в соответствии с вариантом осуществления настоящего изобретения;

Фиг.4 иллюстрирует блок-схему способа генерации выходного сигнала в системе автоматической регулировки по задержке в соответствии с вариантом осуществления 50 настоящего изобретения;

Фиг.5 иллюстрирует простую блок-схему варианта осуществления контроллера подстройки и выбора отвода в соответствии с настоящим изобретением;

Фиг.6 иллюстрирует простую блок-схему конфигурации системы автоматической

регулировки по задержке в соответствии с другим вариантом осуществления настоящего изобретения;

Фиг.7 иллюстрирует выравнивание желаемого выходного сигнала, когда паразитные сигналы уменьшаются в соответствии с настоящим изобретением;

5 Фиг.8 иллюстрирует простую блок-схему другого варианта осуществления подстройки и контроллера выбора отвода в соответствии с настоящим изобретением; и

Фиг.9 иллюстрирует простую блок-схему конфигурации системы автоматической регулировки по задержке в соответствии с другим вариантом осуществления настоящего изобретения.

10 Подробное описание изобретения

В то время как это изобретение допускает варианты осуществления во многих различных формах, конкретные варианты осуществления показаны на чертежах и будут описаны в данном документе в деталях с пониманием того, что настоящее раскрытие должно быть рассмотрено как пример принципов изобретения, а не предназначено
15 ограничивать изобретение конкретными вариантами осуществления, показанными и описанными. Кроме того, термины и слова, использованные в данном документе, не должны быть рассмотрены ограничивающими, а скорее просто описательными. Также должно быть понято, что для простоты и ясности иллюстрации элементы, показанные на чертежах, необязательно начерчены в масштабе. Например, размеры некоторых из
20 элементов преувеличиваются относительно друг друга. Кроме того, где рассматривается соответствующее, номера ссылок повторяются среди чертежей, чтобы указать соответствующие элементы.

Настоящее изобретение использует источник подстраиваемой частоты, чтобы период выходного сигнала был целым числом M задержек (T_{clk}/N), ссылаясь на уравнение (2).

25 Это дает квантованные переходы действительного выходного сигнала, соответствующие желаемым моментам переходов, чтобы уменьшить, а в идеальном варианте, устранить паразитные сигналы на выходе.

Фиг.3 иллюстрирует простую блок-схему конфигурации 300 системы автоматической регулировки по задержке в соответствии с вариантом осуществления настоящего

30 изобретения. DLL 300 содержит: источник 320 подстраиваемой частоты для генерации тактового сигнала 322, имеющего подстраиваемую частоту $F_{clkvariable}$, которая основана, по меньшей мере, на одном значении 318 подстройки частоты; контроллер 310 подстройки и выбора отвода, имеющий вход для приема одной или более входных переменных 312, которые включают в себя указание желаемой выходной частоты F_{out} , и могут также
35 включать в себя другие переменные, такие как, например, N , если это не запрограммировано предварительно или установлено предварительно в контроллере 310, и диапазон возможных значений частоты для $F_{clkvariable}$; линию 330 задержки, имеющую число N подстраиваемых элементов D1-DN задержки, соединенных в каскад и имеющих соответствующие выходные отводы T0-TN, и элементы D1-DN дополнительно имеющие
40 общую задержку L между двумя точками линии задержки (в типичном варианте, но необязательно, между сигналом 322 на входе D1 и сигналом на выходе DN), которая в целях упрощения последующего обсуждения будет равняться задержке, которая соответствует одной длине волны, в этом примере тактового сигнала 322; и схему 370 выбора, которая может быть, например, мультиплексором (также именуемом в данном
45 документе как "MUX"), который включает в себя входы, присоединенные к отводам T0-TN.

DLL 300 может также необязательно включать в себя схему 340 стабилизации для стабилизации линии задержки, по существу, в предварительно определенное желаемое смещение фазы между сигналом в первой точке и сигналом во второй точке на линии задержки, которая в этой иллюстрации находится от входа D1 до выхода DN. Линия
50 задержки в идеальном варианте стабилизируется в рамках диапазона желаемого смещения фазы, который соответствует приемлемому паразитному уровню на выходе в зависимости от конкретного применения. Схема 340 стабилизации может включать в себя, например, детектор фазы для сравнения разницы фаз между сигналами в первой и второй

точках на линии задержки с предварительно определенным желаемым смещением фазы и предоставления сигнала ошибки, указывающего результат сравнения, где сигнал ошибки используется (в типичном варианте после сглаживания, например, используя традиционную технологию фильтрации) для того чтобы настроить линию задержки на желаемую предварительно определенную задержку. Стабилизация 340 может дополнительно включать в себя, по меньшей мере, один из генератора подкачки заряда и фильтра в цепи обратной связи, как показано на фиг.1, и чья работа хорошо известна в технике и описана выше.

Линия 330 задержки и MUX 370 могут быть осуществлены с использованием традиционных элементов, таких как те, которые описаны выше со ссылкой на фиг.1. Таким образом, их работа хорошо известна специалистам в области техники, как описано выше посредством ссылки на фиг.1, детали которого не будут повторяться здесь ради краткости. Однако контроллер 310 и источник 320 подстраиваемой частоты конфигурируются в соответствии с настоящим изобретением, как описано в деталях ниже, чтобы разрешить $F_{clkvariable}$ быть запрограммированной или установленной, чтобы устранить или уменьшить паразитные сигналы на выходе 372.

Фиг.4 иллюстрирует блок-схему способа в соответствии с вариантом осуществления настоящего изобретения для использования в DLL (например, DLL 300 на фиг.3) для генерации выходного сигнала 372. В соответствии с этим способом, по меньшей мере, одно входное значение, соответствующее желаемой частоте F_{out} выходного сигнала принимается (400) на входе 312 контроллера 310 подстройки и выбора отвода. Это значение может, например, быть получено в результате команды из устройства, включающего в себя DLL, чтобы работать с определенной частотой и обычно является цифровым значением, соответствующим F_{out} . При приеме этого цифрового значения контроллер 310 подстройки и выбора отвода определяет (410) $F_{clkvariable}$, которая будет генерировать выходной сигнал, имеющий такую же или по существу такую же частоту, что и желаемый F_{out} , с типичным допуском частоты от 1 чнм до 10 чнм (частей на миллион). Другими словами, будет сгенерирован выходной сигнал, который устранит или, по меньшей мере, минимизирует эффект квантования паразитных сигналов на выходе до возможной степени, данной, например, любыми другими ограничениями в схеме, такими как, например, несогласованность в элементах задержки, или другими ограничениями, известными в технике. $F_{clkvariable}$ может быть вычислена на основе, например, многократно применяемого уравнения (1) и (2) для того, чтобы определить соотношение $F_{clkvariable}/F_{out}$, которое соответствует отношению M/N , таким образом принуждая период вывода быть целым числом M задержек.

Для вычисленного $F_{clkvariable}$ и M контроллер 310 подстройки и выбора отвода может определить (420), в соответствии с настоящим изобретением, последовательность значений выбора отвода и соответствующие смещенные по фазе тактовые сигналы, которые должны быть выбраны в одно время для генерации желаемого выходного сигнала. Эта последовательность значений выбора отвода может включать в себя все из доступных значений выбора отвода, соответствующих доступным смещенным по фазе тактовым сигналам или альтернативно может включать в себя только часть их. Источник 320 подстраиваемой частоты может затем настроить тактовый сигнал 322 (430) под управлением или руководством контроллера 310 подстройки и выбора отвода так, чтобы сигнал 322 имел по существу частоту $F_{clkvariable}$, которая была вычислена контроллером 310. Это заставляет линию 330 задержки блокироваться (440) до желаемого смещения фазы, например желаемой длины волны L тактового сигнала 322. Когда линия задержки блокируется, выборы отводов, определенные контроллером 310 подстройки и выбора отвода, могут быть применены (450) посредством MUX 370, чтобы сгенерировать выходной сигнал 372, имеющий по существу желаемую выходную частоту, т.е. где частота формы сигнала 250 по существу равна частоте формы сигнала 260.

В этом случае линия задержки блокируется до одной длины волны такой, что $L=1$. Однако специалисты в области техники должны понять, что L может быть установлено в

другое значение, такое что линия задержки блокируется, например, до половины длины волны или четверти длины волны. В случае когда L не равно одному, линия шины данных может быть соединена от контроллера 310 до линии задержки или, например, до детектора фазы в схеме 340 стабилизации для подстройки линии задержки до желаемого смещения фазы.

Последующее является детальным описанием вариантов осуществления контроллера 310 подстройки и выбора отвода и источника 320 подстраиваемой частоты, которые разрешат способу по фиг.4 быть осуществленным в конфигурации DLL, такой как DLL 300. В соответствии с настоящим изобретением, генерация программируемого тактового сигнала 322 может, например, быть осуществлена с использованием синтезатора частот, такого как, например, традиционная система фазовой автоподстройки частоты с дробным коэффициентом деления, имеющей, по меньшей мере, одну входную переменную, которая основана на $F_{clkvariable}$ и которая определяется контроллером 310 подстройки и выбора отвода. Источник 320 подстраиваемой частоты в дальнейшем взаимозаменяемо именуется как синтезатор подстраиваемой частоты (320), но без какого-либо намерения ограничения источника частоты (320) конкретным осуществлением синтезатора частот.

Вывод 322 сигнала из синтезатора 320 будет в типичном варианте иметь частоту $F_{clkvariable}$, которая может изменяться от минимальной частоты F_{min} до максимальной частоты F_{max} . Чтобы определить это расхождение (изменение), допустим сейчас, что $F_{clkvariable}$ зафиксирована подобно частоте F_{clk} сигнала 22 на фиг.1, где

$$F_{min} = F_{fixed} - \Delta F_1, \text{ и } (3)$$

$$F_{max} = F_{fixed} + \Delta F_2 \quad (4)$$

где F_{fixed} является предположенной фиксированной частотой, и где как правило $\Delta F_1 = \Delta F_2$.

Следующий анализ объясняет, насколько синтезатор 320 в идеальном варианте сконфигурирован изменять. Рассмотрим уравнение (5) для системы, которая использует синтезатор фиксированной частоты для системы автоматической регулировки по задержке, обозначенной как F_{fixed} , как показано ниже

$$F_{fixed} = \frac{M \times F_{out}}{N} \quad (5)$$

Используем это отношение

$$M = \frac{F_{fixed} \times N}{F_{out}} \quad (6)$$

Однако для некоторых желаемых выходных частот F_{out} и данной F_{fixed} будут частоты, которые не могут быть удовлетворены использованием целочисленных значений для M. Это показано ниже посредством добавления ошибки ε в целое M

$$M + \varepsilon = \frac{F_{fixed} \times N}{F_{out}} \quad (7)$$

Для того чтобы гарантировать, что все случаи могут быть удовлетворены для данной полосы частот, используется источник частоты, который может изменяться относительно ограниченной полосы частот. Частота, требуемая для того, чтобы исключить ошибку ε , введенную выше, может быть найдена посредством

$$F_{clkvariable} = F_{fixed} + \Delta F = \frac{(M \pm \varepsilon) \times F_{out}}{N} = \frac{M \times F_{out}}{N} \pm \frac{\varepsilon \times F_{out}}{N} \quad (8)$$

В этом сценарии частота или увеличивается, или уменьшается так, чтобы найти ближайшее целое M. Следовательно, $\varepsilon \leq 1/2$.

Величина изменчивости, необходимая для источника частоты (не включающего в себя то, что необходимо для вариации температуры или изменения напряжения питания), является следующим:

$$\frac{\Delta F}{F_{fixed}} = \frac{\left(\frac{\varepsilon \times F_{out}}{N} \right)}{\left(\frac{M \times F_{out}}{N} \right)} = \pm \frac{\varepsilon}{M} \quad (9)$$

Худший случай будет для наименьшего M . В случае 32-отводной линии задержки ($N=32$), $M \geq N$, так худший случай M будет 33 (допуская, что вы не хотите регенерировать эталонную частоту). Следовательно, максимальное отклонение будет

$$\pm \frac{\varepsilon}{M} = \pm \frac{(1/2)}{33} = \pm 0.0152 \quad (10)$$

или $\pm 1,52\%$, которая будет равняться общему отклонению в $3,04\%$. Это является ограниченной полосой частот, которая очень мала по сравнению с доступной частотной изменчивостью сигнала на выходе 372, который может перекрывать, по меньшей мере, одну декадную полосу частот.

Это соотношение может быть расширено для того, чтобы найти наихудший случай отклонения в подстраиваемом синтезаторе для линии задержки из любого числа элементов. Как отмечено выше, наихудший случай будет, когда M является на один больше чем число отводов, и когда $\varepsilon \leq 1/2$.

Следовательно, наихудший случай отклонения, требуемый для того, чтобы оптимизировать паразитную характеристику для N -отводной линии задержки, будет

$$\frac{\Delta F}{F_{fixed}} (worstcase) = \frac{1/2}{N+1} = \frac{1}{2N+2} \quad (11)$$

Это означает, что для 64-отводной линии задержки (отметим, что число элементов задержки или отводов в линии задержки необязательно должно быть степенью 2) обязательным наихудшим случаем отклонения источника переменной частоты является $\pm 0,8\%$ или общее отклонение в $1,6\%$. Это половина общего отклонения, в сравнении с отклонением, необходимым для 32-отводной линии, которая, как определено выше, требует $3,04\%$ общего изменения.

Фиг.5 иллюстрирует блок-схему варианта осуществления контроллера 310 подстройки и выбора отвода в соответствии с настоящим изобретением, показанного связанным с источником 320 подстраиваемой частоты. Контроллер 310 выбора отвода включает в себя процессор 316, который сконфигурирован для обработки алгоритма в аппаратных средствах или алгоритма, который сохранен в памяти как программное обеспечение для определения $F_{clkvariable}$ для желаемой частоты F_{out} и вывода, по меньшей мере, одного значения 318 регулировки частоты источнику 320 частоты, такого, что оно подстраивает частоту тактового сигнала 322, по существу, на $F_{clkvariable}$. Устройство 316 обработки дополнительно определяет последовательность значений выбора, C_j , соответствующую последовательности смещенных по фазе тактовых сигналов, и выводит на MUX 370 последовательность значений выбора так, что MUX 370 выбирает соответствующую последовательность смещенных по фазе тактовых сигналов по одной за раз для того, чтобы генерировать выходной сигнал 372. Процессор 316 в идеальном варианте - это цифровой сигнальный процессор.

Контроллер 310 подстройки и выбора отвода может также, необязательно, включать в себя элемент 314 памяти для хранения последовательности значений выбора и для вывода последовательности на MUX 370, и контроллер 311 последовательности для управления временем вывода последовательности значений выбора из элемента 314 памяти. Контроллер 311 последовательности может быть, например, любым подходящим счетчиком для управления временем вывода последовательности значений выбора на основе тактового сигнала 322, как иллюстрировано на фиг.5, а элемент 314 памяти может быть, например, постоянным запоминающим устройством.

С устранением эффекта квантования в процессе дискретно-фазового преобразования, предварительно определенная последовательность выборов отводов может управляться с помощью упрощенной архитектуры цифровой обработки процессора или процессора вместе с контроллером 311 последовательности и элементом 314 памяти, как
 5 иллюстрировано на фиг.5. Соответственно, цифровая обработка может быть уменьшена, чтобы подсчитать входные тактовые циклы и задать последовательность через предварительно определенный набор значений C_j выбора отвода. Это может быть уменьшено до простой операции приращения по набору адресов памяти, содержащих соответствующие значения выбора отвода, где приращение адреса также соответствует
 10 данной тактовой частоте $F_{clkvariable}$. Более детальное объяснение операции контроллера 310 следует ниже.

Процессор 316 принимает в качестве входных данных программируемые переменные 312, которые необходимы для того, чтобы вычислить программируемые значения для синтезатора 320 подстраиваемой частоты, памяти 314 и счетчика 311. Входные
 15 переменные будут такими, которые необходимы для решения уравнения 1. Например, устройство, в которое встроено изобретение, такое как портативное устройство связи, может запрограммировать в процессор 316 желаемую выходную частоту (F_{out}), число отводов (N), которые представлены в линии задержки (330 на фиг.3) и диапазон частот ($F_{min} < F_{clk} < F_{max}$) синтезатора 320 подстраиваемой частоты. На основе этих входных данных
 20 процессор 316 будет использовать уравнение 1, чтобы найти для M или для диапазона M значения, которые будут удовлетворять уравнению, где M - целое число, такое, чтобы обеспечить наибольшее уменьшение паразитных выходных сигналов. Значение M будет выбрано из набора решений и затем будет использовано, чтобы вычислить значение $F_{clkvariable}$, которое будет соответствовать желаемой выходной частоте (F_{out}),
 25 значению M , вычисленному выше, и данному числу отводов, используемых в линии задержки.

Так как желаемая $F_{clkvariable}$ вычислена, программируемые переменные 318, необходимые для реализации требуемого ввода синхронизирующих сигналов в линию 330 задержки, будут записаны в синтезатор 320 подстраиваемой частоты. Процессор 316 может
 30 затем вычислить последовательность выбора отводов, необходимую, чтобы создать желаемую выходную частоту (F_{out}) и сгенерировать соответствующие значения выбора отводов, чтобы загрузить в память 314. Эти значения выбора отводов упоминаются на фиг.5 как C_j , где j соответствует адресу местоположения в памяти, по которому хранится значение выбора отвода. Ради простоты C_j будет адресом отвода (т.е. $C_j=0$ будет
 35 соответствовать отводу 0, $C_j=1$ будет соответствовать отводу 1 и т.д.). Однако в действительном осуществлении значения выбора отводов, записанные в памяти, могут быть последовательностью битов, в которой каждый бит соответствует переключению отводов в MUX 370 (например, для 4-х элементной линии задержки значение 1000 в памяти 314 будет указывать соединение отвода 0 с выходом в MUX 370, значение 0100 будет
 40 указывать соединение отвода 1 с выходом и т.д.).

Для варианта осуществления на фиг.5, содержимое адреса j памяти выводится в MUX 370 для каждого цикла вывода тактового сигнала 322 синтезатора подстраиваемой частоты. В зависимости от соотношения частоты тактового сигнала с желаемой выходной частотой ($F_{clkvariable}/F_{out}$), выходной переход может быть не нужен для данного периода
 45 тактового сигнала 322. Следовательно, некоторые адреса памяти будут содержать пустое значение, такое, чтобы не разрешать отвод во время этого конкретного тактового цикла. При этом значения выбора отводов, которые сохранены в памяти 314, вычисляются следующим образом:

1. Назначается последовательность, которая начинается с одного из отводов. Для простоты последовательность может начаться с первого отвода, T_0 . Следовательно, первое C_j значение, которое должно быть сохранено в памяти, будет адресом T_0 , или $C_0=0$.
2. Определяется, требуется или нет отвод в следующем тактовом цикле, с использованием следующего уравнения:

$$x_j = \left[\text{Trunc} \left(\frac{M + C_j}{N} \right) \right] - 1 \quad (12)$$

5 где x_j определяет число тактовых циклов, следующих за циклом, соответствующим C_j , который не содержит выходной цикл. Для каждого пропущенного тактового цикла пустое значение программируется в соответствующем адресе памяти 314. Отметим здесь, что операция Trunc убирает дробную часть числа, получившегося из выражения в круглых скобках. Например, если $\frac{M + C_j}{N} = 3.9$, то $\text{Trunc}(3.9)$ будет иметь целое значение 3.

3. Так как требуемое значение пропущенных тактовых циклов определено и запрограммировано, отвод, который должен быть выбран в следующем тактовом цикле, вычисляется с использованием следующего:

$$C_{j+1} = \text{Mod} \{ C_{j\text{valid}} + \text{Mod}(M, N), N \} \quad (13)$$

где Mod относится к функции модуля, как определено ниже: $\text{Mod}[n, m] = n$ по модулю $m =$ целый остаток от n/m . Например, $\text{Mod}[33, 32] = 1$, $\text{Mod}[32, 32] = 0$, $\text{Mod}[17, 8] = 1$.

Отметим, что в уравнении (13) выше, $C_{j\text{valid}}$ будет относиться к последнему действительному значению C_j (не включающему в себя пустое значение). Следовательно, если при вычислении следующего значения выбора отвода текущее значение в адресе j является пустым, будет использовано предыдущее значение C_j (т.е. C_{j-1}). Если C_{j-1} является пустым значением, то будет использовано предыдущее значение (C_{j-2}). Этот процесс продолжается до тех пор, пока действительное значение выбора отвода не будет получено ($C_{j\text{valid}}$), и используется это значение.

4. Этапы 2 и 3 повторяются до тех пор, пока требуемое число значений выбора отводов не будет получено. Отметим, что максимальное число отводов в последовательности равно M (включающее в себя пустые значения, представляющие пропущенные тактовые циклы). Однако, если M является кратным числом $\text{Mod}[M, N]$, то последовательность отводов может быть уменьшена до $\{N / (\text{Mod}[M, N])\}$ плюс число пропущенных тактовых циклов.

В качестве примера рассмотрим 4-отводную линию задержки ($N=4$) и значение $M = 5$, которое означает, что $M/N = 5/4 = 1.25$, а $\text{Mod}[M, N] = 1$. Следовательно, адрес отвода (C_j) может быть вычислен, как показано в следующей таблице:

j	C_j	C_{j+1}	x_j
0	0	$C_{j+1} = \text{Mod} \{ 0 + \text{Mod}[5, 4], 4 \} = \text{Mod}[1, 4] = 1$	$\left[\text{Trunc} \left(\frac{5 + 0}{4} \right) \right] - 1 = 0$
1	1	$C_{j+1} = \text{Mod} \{ 1 + \text{Mod}[5, 4], 4 \} = \text{Mod}[2, 4] = 2$	$\left[\text{Trunc} \left(\frac{5 + 1}{4} \right) \right] - 1 = 0$
2	2	$C_{j+1} = \text{Mod} \{ 2 + \text{Mod}[5, 4], 4 \} = \text{Mod}[3, 4] = 3$	$\left[\text{Trunc} \left(\frac{5 + 2}{4} \right) \right] - 1 = 0$
3	3	null ($x_3 = 1$)	$\left[\text{Trunc} \left(\frac{5 + 3}{4} \right) \right] - 1 = 1$
4	нуль	$C_{j+1} = \text{Mod} \{ 3 + \text{Mod}[5, 4], 4 \} = \text{Mod}[4, 4] = 0$ (использовать последнее действительное C_j , которым было $C_3 = 3$)	(x_j не вычисляется для пропущенных тактовых циклов)
0 0 (пов-тор)		1	0

Процессор 316 управляет счетчиком 311 через линию 313 управления для того, чтобы запрограммировать счетчик для вычисленного числа адресов, загруженных в память 314. Счетчик 311 затем управляется выходом 322 синтезатора подстраиваемой частоты так, чтобы подсчитывать циклы тактового сигнала, который подается на вход линии 330 задержки для синхронизации линии задержки с процессом выбора отвода. Счетчик 311,

таким образом, предоставляет управление памяти 314, чтобы определить, какое место памяти действительно считывается посредством MUX 370.

Следовательно, так как синтезатор 320 подстраиваемой частоты достиг запрограммированной частоты $F_{clkvariable}$, определенной контроллером 310 и памятью 314, а счетчик 311 загружен и сконфигурирован для желаемой частоты (F_{out}), счетчик 311 считывает и обуславливает пошаговый переход по местоположениям в памяти 314. Память 314 в свою очередь выводит значения выбора отвода к MUX 370 в надлежащее время для того, чтобы мультиплексировать задержанный тактовый сигнал на выходе так, чтобы сформировать желаемый выходной сигнал.

Фиг.6 иллюстрирует простую блок-схему конфигурации системы автоматической регулировки по задержке в соответствии с вариантом осуществления настоящего изобретения, показывающим расширенную конфигурацию контроллера 310. Фиг.6 включает в себя каждый из элементов варианта осуществления, иллюстрированного на фиг.3, детали которого не будут повторяться здесь ради краткости. Фиг.6 дополнительно включает в себя расширенную иллюстрацию контроллера 310 подстройки и выбора отвода, который показан на фиг.5, детали которого также не будут повторяться здесь ради краткости. Однако то, что может быть, кроме того, видно посредством варианта осуществления на фиг.3, является связностью выходов контроллера 310 с синтезатором 320 подстраиваемой частоты и MUX 370. Конкретно, программируемое значение(я) 318 подстраиваемой частоты вводятся в синтезатор 320, чтобы запрограммировать его для генерации тактового сигнала 322, имеющего частоту $F_{clkvariable}$, определенную контроллером 310. Кроме того, значения C_j выбора отвода связываются с MUX 370 для управления MUX так, чтобы выбрать правильные отводы в правильной последовательности и с правильной синхронизацией для того, чтобы генерировать выходной сигнал 372, имеющий желаемую выходную частоту F_{out} .

Фиг.7 иллюстрирует выравнивание желаемого выходного сигнала, когда паразитные сигналы уменьшаются в соответствии с настоящим изобретением. Допустим, что линия задержки включает в себя четыре элемента D1-D4 задержки. Фиг.7, соответственно, иллюстрирует тактовый сигнал 322 (т.е. форму сигнала 710, не имеющего задержки или имеющего нулевое смещение фазы) и три соответствующих задержанных по времени или смещенных по фазе тактовых сигнала (т.е. формы сигналов 720, 730 и 740), выводимых оттуда. Принимая общую задержку от D1 до D4 в одну длину волны, форма сигнала, выводимого из D4, будет равна форме сигнала 710. Как иллюстрирует фиг.7, каждая форма сигнала в идеальном варианте имеет одинаковую частоту, но разную задержку во времени. Кроме того, в этой иллюстрации с момента времени t_0 до момента времени t_4 двадцать один переход или момент задержки (т.е. d0-d20) генерируются, из которых MUX 370 может выбрать такие, чтобы сгенерировать желаемую выходную форму сигнала 760. Допустим, что настоящее изобретение устанавливает $M=5$, например, для данного T_{out} , T_{clk} и N . В этом случае моменты перехода для желаемой выходной формы сигнала 760 будут при 5 задержках, 10 задержках, 15 задержках, 20 задержках и т.д., каждая из которых является целым, кратным числу задержек. Таким образом, контроллер 310 может управлять MUX 370, чтобы выбрать задержки d5, d10, d15, d20 и т.д., чтобы генерировать форму сигнала 750, который имеет желаемую частоту.

Фиг.8 иллюстрирует простую блок-схему другого варианта осуществления контроллера 310 подстройки и выбора отвода в соответствии с настоящим изобретением. Фиг.8 включает в себя каждый из элементов варианта осуществления, иллюстрированного на фиг.5, детали которого не будут повторяться здесь ради краткости. Фиг.8 дополнительно включает в себя второй элемент 315 памяти, который в идеальном варианте идентичен элементу 314 RAM-памяти для хранения второго набора значений выбора отвода, например, C_q , который может быть использован, чтобы генерировать второй выходной сигнал, имеющий по существу такую же частоту, что и сигнал 372, но смещенный по фазе. Таким образом, такой же процесс, что был обрисован выше, чтобы получить C_j значения выбора отвода, соответствующие варианту осуществления на фиг.5, может быть

использован, чтобы получить C_j значения выбора отвода для варианта осуществления на фиг.8. Кроме того, значения C_q могут быть определены посредством смещения значений C_j на величину, которая соответствует смещению по фазе между двумя сигналами.

5 Специалисты в области техники поймут, что контроллер 310 может быть осуществлен как процессор, один, имеющий такую же функциональность, что и автономный процессор, описанный выше посредством ссылки на фиг.5, но имеющий дополнительную функциональность определения второй последовательности значений выбора, C_q , соответствующей второй последовательности смещенных по фазе тактовых сигналов для генерации второго выходного сигнала. Специалисты в данной области техники, кроме того, поймут, что контроллер 310 может содержать дополнительные элементы памяти, хранящие соответствующие значения выбора отвода для генерации дополнительных выходных сигналов, имеющих по существу такую же частоту, но смещенных по фазе от выходного сигнала 372. Кроме того, хотя элементы 314 и 315 памяти показаны в иллюстративных целях как отдельные блоки, не подразумевается, что они могут быть 10 отдельными элементами. Например, одно устройство памяти может быть использовано, такое как единственная оперативная память, для достижения функциональности этих элементов памяти. Число дополнительных выходных сигналов ограничено ограничениями по загрузке схемы линии задержки.

В соответствии с вариантом осуществления контроллера 310, иллюстрированного на 20 фиг.8, общая DLL система может также использоваться, например, для генерации набора квадратурных составляющих сигнала, где два выходных сигнала генерируются различными по фазе по существу на девяносто градусов. Квадратурные составляющие сигналов являются набором когерентных по фазе сигналов, используемых в обработке сигнала частотной передачи при подавлении помех по зеркальному каналу, используемой, 25 например, в оборудовании беспроводной связи и таким образом ассоциативно связанной с обработкой беспроводного сигнала. Квадратура может быть определена в этом случае как два сигнала, имеющие смещение по значению времени, равному $1/(4 \cdot F_{out})$. Соответственно, значения выбора отвода, C_q , могут быть определены следующим уравнением.

$$30 \quad C_q = Mod \left[\left(C_j + \frac{M}{4} \right), N \right] \quad (14)$$

где значения C_q выбора отвода генерируются посредством смещения значений C_j на $M/4$.

35 Следующий пример иллюстрирует процесс вычисления значений выбора отводов для вышеописанного варианта осуществления квадратуры. Рассмотрим систему автоматической регулировки по задержке, содержащую линию 330 задержки, имеющую 8 отводов ($N=8$). Желаемое соотношение F_{clk}/F_{out} равно 1.5, так что M этого примера будет 12. C_j значения выбора отвода могут быть вычислены с использованием уравнений 12 и 13 40 выше, а C_q значения выбора отвода могут быть вычислены с использованием уравнения 14 выше. В этом примере C_q значения выбора отвода определяются смещением C_j на $M/4=12/4=3$. Таблица ниже иллюстрирует вычисленные C_j и C_q значения выбора отвода:

j	C_j	C_q	C_{j+1}	x_j
0	0	3	$C_{j+1} = Mod\{(0+Mod[12,8]),8\} = 4$	$\left[Trunc \left(\frac{12+0}{8} \right) \right] - 1 = 0$
1	4	7	null ($x_1 = 1$)	$\left[Trunc \left(\frac{12+4}{8} \right) \right] - 1 = 1$
2	нуль	нуль	$C_{j+1} = Mod\{(4+Mod[12,8]),8\} = 0$	
0 (повтор)		3	4	$\left[Trunc \left(\frac{12+0}{8} \right) \right] - 1 = 0$

Таким образом, устранение эффекта квантования для набора генерации квадратурного сигнала может быть совершено посредством ограничения M двоичным числом и добавления второй схемы выбора отвода в DLL 300, как показано на фиг.9. Эти вторичные значения выбора отвода могут затем быть применены ко второй схеме выбора отвода, которая имеет отдельный выходной сигнал, который является идеальным на той же частоте, что и выходной сигнал из схемы выбора отвода (т.е. MUX 370), управляемой с помощью C_j .

Фиг.9 иллюстрирует простую блок-схему конфигурации системы автоматической регулировки по задержке в соответствии с другим вариантом осуществления настоящего изобретения, показывающим расширенную конфигурацию контроллера 310. Фиг.9 включает в себя каждый из элементов варианта осуществления, иллюстрированного на фиг.6, детали которого не будут повторяться здесь ради краткости. Фиг.9 дополнительно включает в себя вторую схему 380 выбора отвода, которая в идеальном варианте идентична MUX 370, и которая генерирует выходной сигнал 382. Фиг.9 дополнительно включает в себя расширенную иллюстрацию контроллера 310 подстройки и выбора отвода, который показан на фиг.8, детали которого также не будут повторяться здесь ради краткости. Однако то, что может быть дополнительно видно посредством варианта осуществления на фиг.9, это связность значений C_q выбора отвода, связанных с MUX 380 для управления MUX для того, чтобы выбрать правильные отводы в правильной последовательности и с правильной синхронизацией для того, чтобы генерировать выходной сигнал 382, имеющий требуемую выходную частоту, например, F_{out} . Этот вариант осуществления может, например, использоваться для набора генерирования квадратурного сигнала, как описано выше посредством ссылки на фиг.8.

В то время как изобретение было описано вместе с конкретными вариантами осуществления его, дополнительные улучшения и модификации легко придут на ум специалистам в данной области техники. Изобретение, в его широких аспектах, поэтому не ограничено конкретными деталями, представленным устройством и иллюстративными примерами, показанными и описанными. Различные изменения, модификации и вариации будут очевидны специалистам в области техники в свете предшествующего описания. Например, DLL настоящего изобретения может включать в себя дополнительные контроллеры 310 и дополнительные MUX 370, как описано выше, чтобы генерировать множество выходных сигналов, имеющих разные требуемые частоты. Таким образом, должно быть понятно, что изобретение не ограничено предшествующим описанием, а принимает все такие изменения, модификации и вариации в соответствии с духом и объемом прилагаемой формулы изобретения.

Формула изобретения

1. Система автоматической подстройки частоты по задержке, содержащая источник подстраиваемой частоты для генерации тактового сигнала, имеющего подстраиваемую частоту; контроллер подстройки и выбора отвода для определения первой частоты как функции второй частоты и для того, чтобы обусловить упомянутый источник частоты настроить частоту упомянутого тактового сигнала на, по существу, упомянутую первую частоту, упомянутая вторая частота является требуемой частотой первого выходного сигнала; линию задержки, сконфигурированную так, чтобы принять тактовый сигнал для генерации множества смещенных по фазе тактовых сигналов, каждый смещенный по фазе тактовый сигнал имеет, по существу, упомянутую первую частоту и является смещенным по фазе относительно тактового сигнала и относительно других смещенных по фазе тактовых сигналов; и первую схему выбора для приема множества смещенных по фазе тактовых сигналов и для выбора, по одной за раз и под управлением контроллера подстройки и выбора отвода, первой последовательности смещенных по фазе тактовых сигналов для генерации упомянутого первого выходного сигнала, имеющего, по существу, упомянутую вторую частоту.

2. Система по п.1, в которой линия задержки содержит множество элементов задержки,

соединенных в каскад для генерации упомянутого множества смещенных по фазе тактовых сигналов.

3. Система по п.1, дополнительно содержащая схему стабилизации для стабилизации линии задержки, по существу, до предварительно определенного требуемого смещения по фазе между сигналом в первой точке и сигналом во второй точке на линии задержки.

4. Система по п.3, в которой упомянутая первая точка является входом в первый элемент задержки в упомянутой линии задержки, а вторая упомянутая точка является выходом последнего элемента задержки в упомянутой линии задержки.

5. Система по п.1, в которой упомянутый источник подстраиваемой частоты является синтезатором частот.

6. Система по п.1, в которой упомянутый контроллер подстройки и выбора включает в себя устройство обработки, посредством которого упомянутое устройство обработки определяет упомянутую первую частоту и выводит, по меньшей мере, одно значение подстройки частоты в упомянутый источник подстраиваемой частоты так, что он подстраивает частоту упомянутого тактового сигнала, по существу, на упомянутую первую частоту, и упомянутое устройство обработки дополнительно определяет первую последовательность значений выбора, соответствующих упомянутой первой последовательности смещенных по фазе тактовых сигналов и выводит в упомянутую первую схему выбора первую последовательность значений выбора так, что первая схема выбора выбирает соответствующую первую последовательность смещенных по фазе тактовых сигналов, чтобы генерировать упомянутый первый выходной сигнал.

7. Система по п.6, в которой упомянутый контроллер подстройки и выбора дополнительно содержит элемент памяти, связанный с упомянутым устройством обработки для хранения упомянутой первой последовательности значений выбора и для вывода упомянутой первой последовательности в упомянутую первую схему выбора; и устройство, задающее последовательность, связанное с упомянутым элементом памяти и упомянутым устройством обработки для управления синхронизацией вывода упомянутой первой последовательности значений выбора из упомянутого элемента памяти.

8. Система по п.1, дополнительно содержащая, по меньшей мере, вторую схему выбора для приема множества смещенных по фазе тактовых сигналов и для выбора, по одной за раз и под управлением контроллера подстройки и выбора отвода, по меньшей мере, второй последовательности смещенных по фазе тактовых сигналов для генерации, по меньшей мере, второго выходного сигнала, который имеет частоту, которая, по существу, является такой же, что и упомянутая вторая частота, и где упомянутый первый и, по меньшей мере, второй выходные сигналы различаются по фазе.

9. Способ автоматической подстройки частоты по задержке, упомянутый способ содержит этапы, на которых определяют первую частоту в качестве функции второй частоты, упомянутая вторая частота является требуемой частотой первого выходного сигнала; выводят, по меньшей мере, одно значение подстройки частоты для того, чтобы обусловить генерацию тактового сигнала, имеющего, по существу, упомянутую первую частоту, и для того, чтобы обусловить генерацию множества смещенных по фазе тактовых сигналов, причем каждый смещенный по фазе тактовый сигнал имеет по существу упомянутую первую частоту и смещен по фазе относительно тактового сигнала и относительно других смещенных по фазе тактовых сигналов; определяют первую последовательность значений выбора, соответствующих первой последовательности множества смещенных по фазе тактовых сигналов; и выводят упомянутую первую последовательность значений выбора для того, чтобы обусловить выбор упомянутой первой последовательности смещенных по фазе тактовых сигналов по одной за раз для генерации упомянутого первого выходного сигнала, имеющего, по существу, упомянутую вторую частоту.

10. Способ автоматической подстройки частоты по задержке, упомянутый способ содержит этапы, на которых определяют первую частоту в качестве функции второй частоты, упомянутая вторая частота является требуемой частотой первого выходного

сигнала; настраивают частоту тактового сигнала, по существу, на упомянутую первую частоту; генерируют множество смещенных по фазе тактовых сигналов, каждый смещенный по фазе тактовый сигнал имеет, по существу, упомянутую первую частоту и является смещенным по фазе относительно тактового сигнала и относительно других

5 смещенных по фазе тактовых сигналов; определяют первую последовательность значений выбора, соответствующих первой последовательности множества смещенных по фазе тактовых сигналов; и выбирают, по одной за раз и на основе упомянутой первой последовательности значений выбора, упомянутую первую последовательность смещенных по фазе тактовых сигналов для генерации упомянутого первого выходного

10 сигнала, имеющего, по существу, упомянутую вторую частоту.

15

20

25

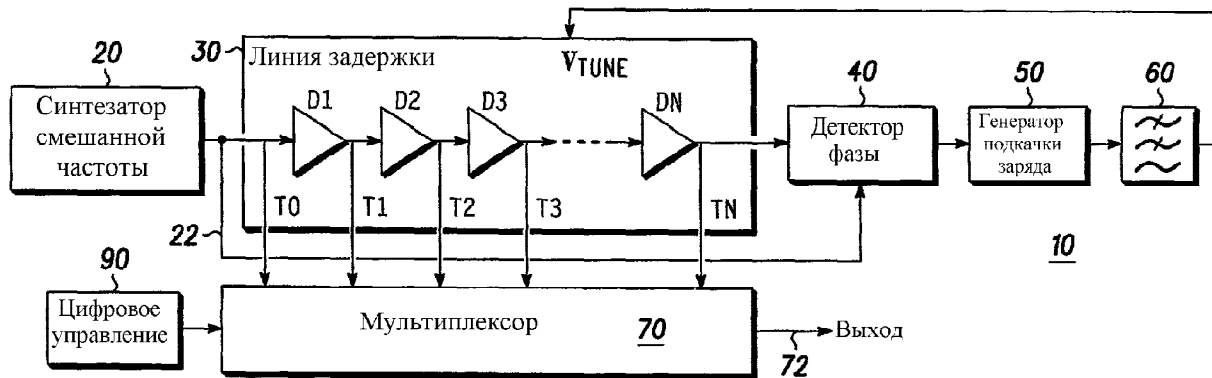
30

35

40

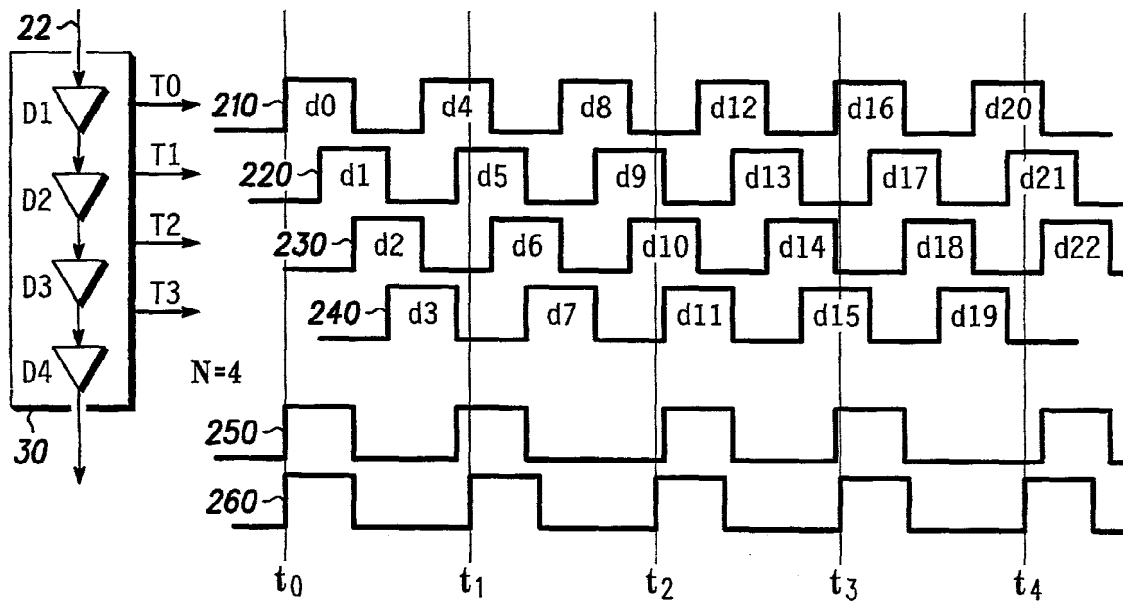
45

50



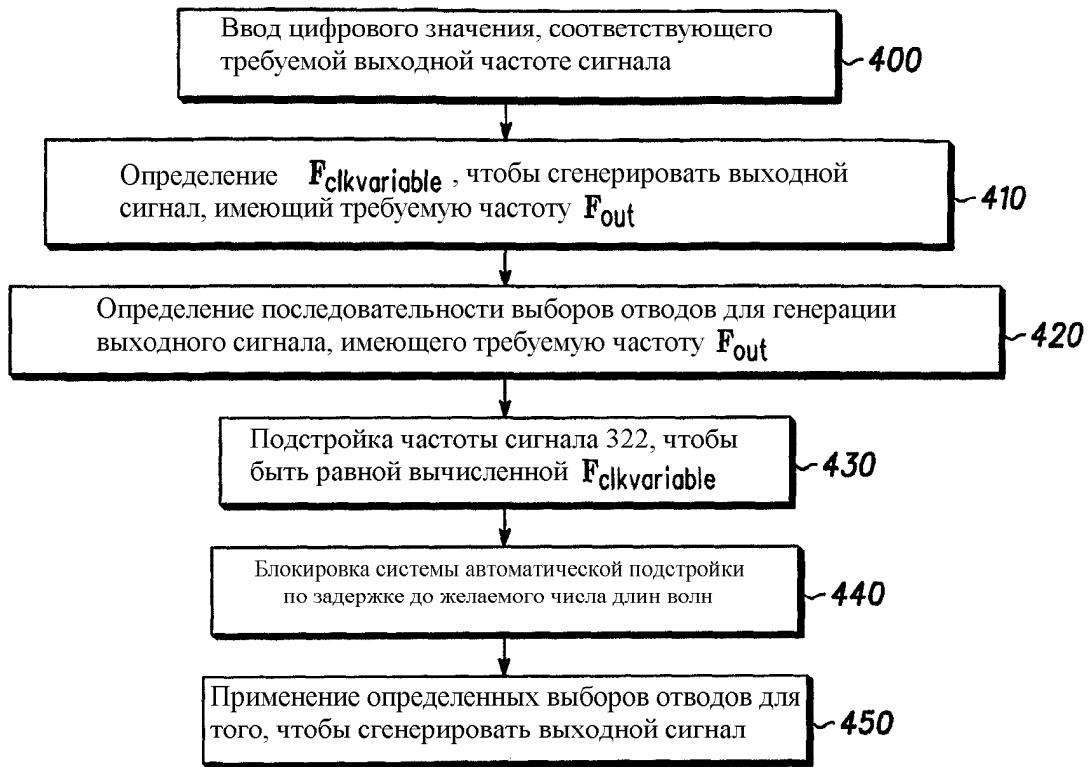
Фиг. 1

Предшествующий уровень техники

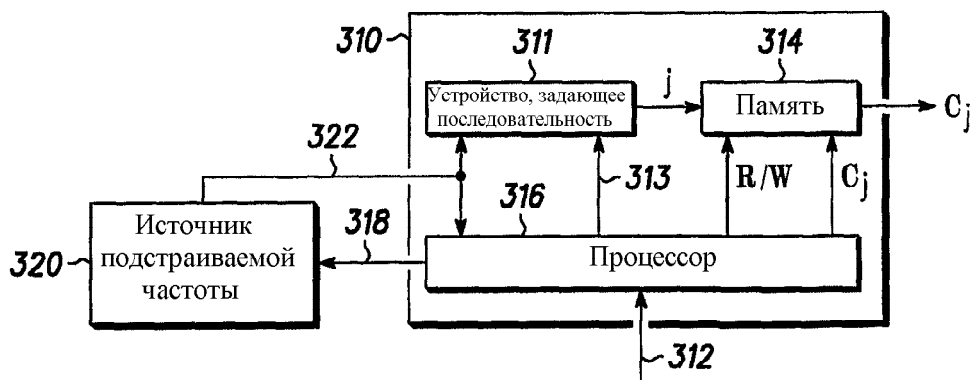


Фиг. 2

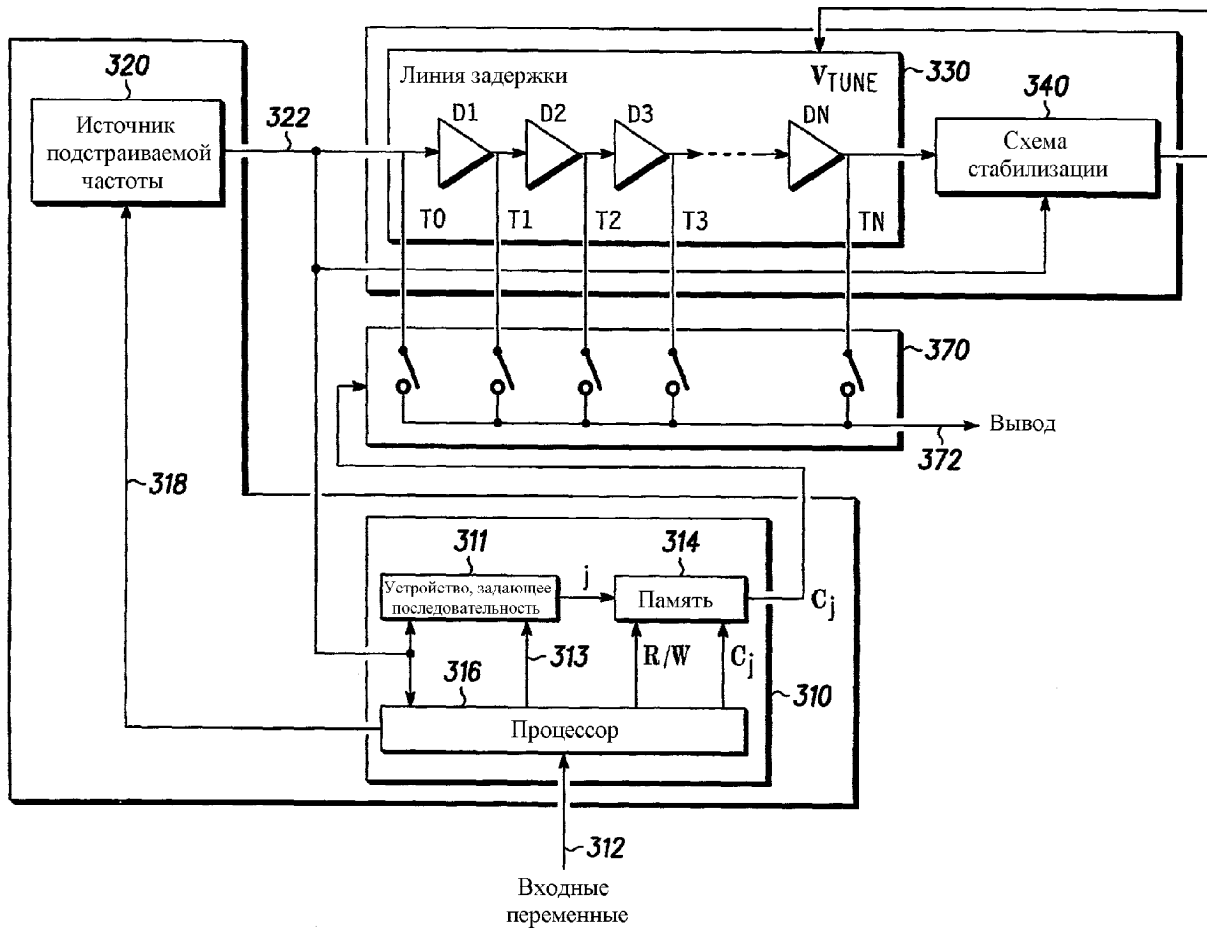
Предшествующий уровень техники



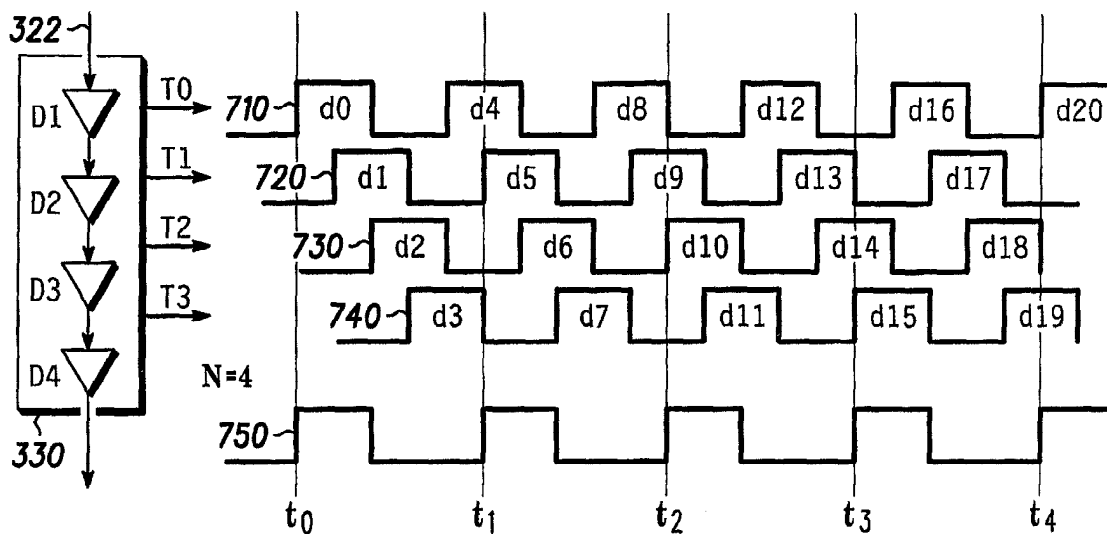
Фиг. 4



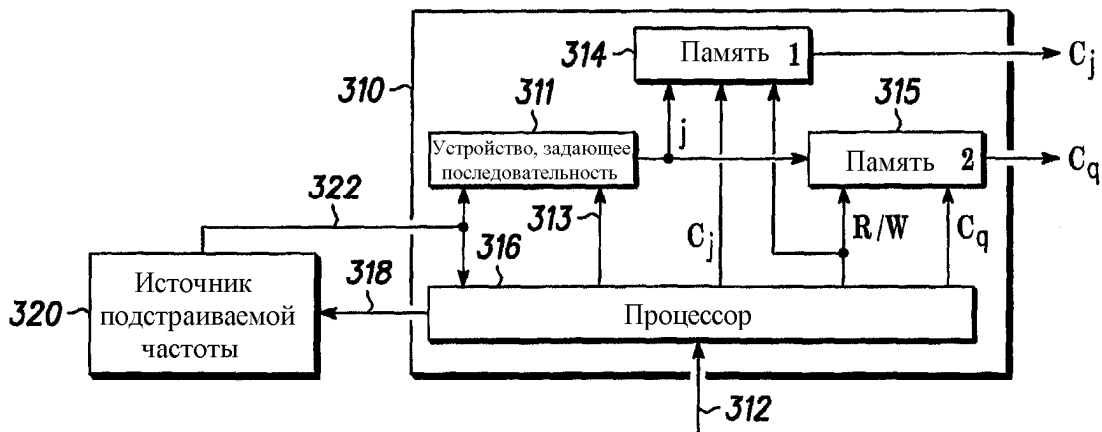
Фиг. 5



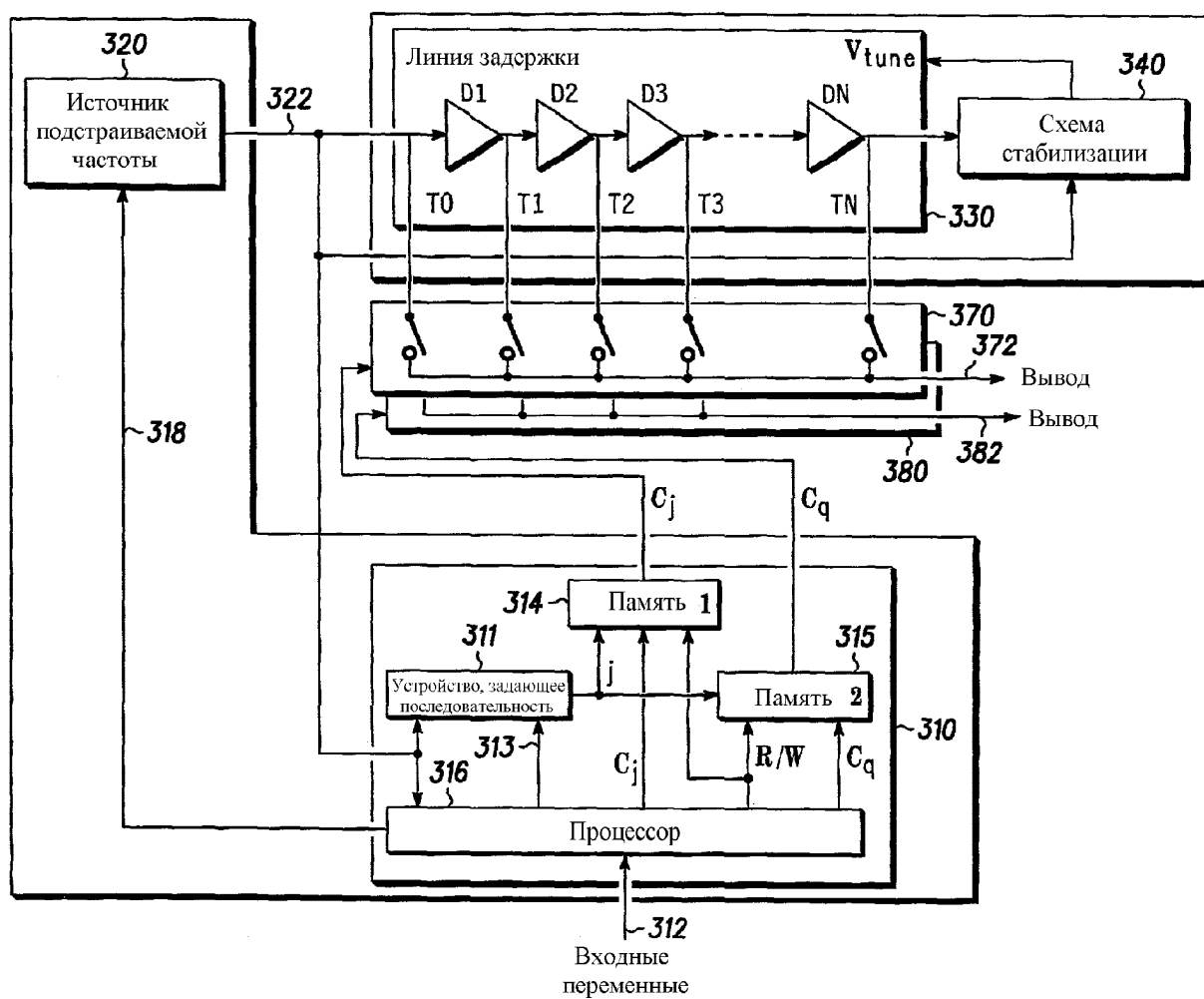
Фиг. 6



Фиг. 7



Фиг. 8



Фиг. 9