



(21)申請案號：104127445

(22)申請日：中華民國 100 (2011) 年 05 月 11 日

(51)Int. Cl. : H01L23/495 (2006.01)

H01L21/58 (2006.01)

(30)優先權：2010/05/11 美國

61/333,459

(71)申請人：精材科技股份有限公司(中華民國) XINTEX INC. (TW)

桃園市中壢區中壢工業區吉林路 23 號 9 樓

(72)發明人：林超彥 LIN, CHAO YEN (TW)；林義航 LIN, YI HANG (TW)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：21 項 圖式數：2 共 18 頁

(54)名稱

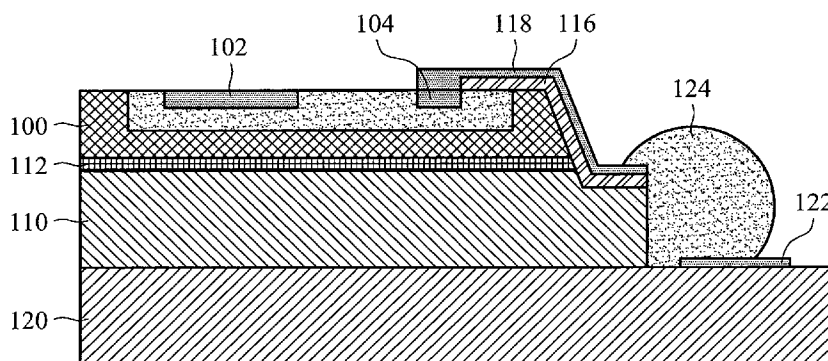
晶片封裝體

CHIP PACKAGE

(57)摘要

本發明揭露一種晶片封裝體，包括一基底，具有一上表面及一下表面。一凹口鄰近於基底的一側壁，其中凹口沿著自基底的上表面朝下表面的一方向而形成。生物特徵的元件區或感測區位於基底的上表面。一導電墊位於基底的上表面。一導電層電性連接導電墊，且沿著基底的側壁延伸至凹口。

An embodiment of the invention provides a chip package which includes a substrate having an upper surface and a lower surface. A recess is adjacent to a sidewall of the substrate, wherein the recess is formed along a direction from the upper surface toward the lower surface of the substrate. A device region or sensing region of biological features is located on the upper surface of the substrate. A conducting pad is located on the upper surface of the substrate. A conducting layer is electrically connected to the conducting pad and extends to the recess along the sidewall of the substrate.



第 1D 圖

- 100 . . . 基底
- 102 . . . 元件區或感測區
- 104 . . . 導電墊
- 112 . . . 黏著層
- 110 . . . 承載基底
- 116 . . . 絕緣層
- 118 . . . 導電層
- 120 . . . 電路板
- 122 . . . 接墊
- 124 . . . 焊球

201545298

**發明摘要**

※ 申請案號：

104127445 (由100116445分割)

※ 申請日：

100.5.11

※IPC 分類：H01L 23/495 (2006.01)

H01L 21/58. (2006.01)

**【發明名稱】** 晶片封裝體

CHIP PACKAGE

**【中文】**

本發明揭露一種晶片封裝體，包括一基底，具有一上表面及一下表面。一凹口鄰近於基底的一側壁，其中凹口沿著自基底的上表面朝下表面的一方向而形成。生物特徵的元件區或感測區位於基底的上表面。一導電墊位於基底的上表面。一導電層電性連接導電墊，且沿著基底的側壁延伸至凹口。

**【英文】**

An embodiment of the invention provides a chip package which includes a substrate having an upper surface and a lower surface. A recess is adjacent to a sidewall of the substrate, wherein the recess is formed along a direction from the upper surface toward the lower surface of the substrate. A device region or sensing region of biological features is located on the upper surface of the substrate. A conducting pad is located on the upper surface of the substrate. A conducting layer is electrically connected to the conducting pad and extends to the recess along the sidewall of the substrate.

**【代表圖】**

**【本案指定代表圖】**：第（ 1D ） 圖。

**【本代表圖之符號簡單說明】**：

- 100 基底；
- 102 元件區或感測區；
- 104 導電墊；
- 112 黏著層；
- 110 承載基底；
- 116 絕緣層；
- 118 導電層；
- 120 電路板；
- 122 接墊；
- 124 焊球。

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無。

# 發明專利說明書

**【發明名稱】** 晶片封裝體

CHIP PACKAGE

**【技術領域】**

**【0001】** 本發明係有關於晶片封裝體，且特別是有關於感測晶片之晶片封裝體。

**【先前技術】**

**【0002】** 傳統晶片封裝體的製程涉及多道的圖案化製程與材料沉積製程，不僅耗費生產成本，亦需較長的製程時間。

**【0003】** 因此，業界亟需更為簡化與快速的晶片封裝技術。

**【發明內容】**

**【0004】** 本發明實施例係提供一種晶片封裝體，包括一基底，具有一上表面及一下表面。一凹口鄰近於基底的一側壁，其中凹口沿著自基底的上表面朝下表面的一方向而形成。生物特徵的元件區或感測區位於基底的上表面。一導電墊位於基底的上表面。一導電層電性連接導電墊，且沿著基底的側壁延伸至凹口。

**【0005】** 本發明實施例係提供一種晶片封裝體，包括一半導體基底，具有一上表面及一下表面。一元件區或感測區位於半導體基底內。一導電墊位於半導體基底的上表面。一導電層電性連接導電墊，且自半導體基底的上表面延伸至半導體基底的一側壁上，其中半導體基底的側壁傾斜於半導體基底的上表面。

**【0006】** 本發明實施例係提供一種晶片封裝體，包括一晶

片，其中晶片包括一半導體基底。一指紋辨識區以及一導電墊位於晶片的一前表面。一凹口形成於晶片的前表面。一導電層電性連接導電墊，其中導電層更沿著凹口的一側壁而形成。一電路板具有一接墊，其中導電層透過一導電結構而與電路板上的接墊電性連接。

### 【圖式簡單說明】

#### 【0007】

第 1A-1D 圖顯示根據本發明一實施例之晶片封裝體的一系列製程剖面圖。

第 2 圖顯示本發明一實施例之晶片封裝體的剖面圖。

### 【實施方式】

【0008】以下將詳細說明本發明實施例之製作與使用方式。然應注意的是，本發明提供許多可供應用的發明概念，其可以多種特定型式實施。文中所舉例討論之特定實施例僅為製造與使用本發明之特定方式，非用以限制本發明之範圍。此外，在不同實施例中可能使用重複的標號或標示。這些重複僅為了簡單清楚地敘述本發明，不代表所討論之不同實施例及/或結構之間具有任何關連性。再者，當述及一第一材料層位於一第二材料層上或之上時，包括第一材料層與第二材料層直接接觸或間隔有一或更多其他材料層之情形。

【0009】本發明一實施例之晶片封裝體可用以封裝感測晶片。然其應用不限於此，例如在本發明之晶片封裝體的實施例中，其可應用於各種包含主動元件或被動元件 (active or passive elements)、數位電路或類比電路 (digital or analog

circuits)等積體電路的電子元件(electronic components)，例如有關於光電元件(opto electronic devices)、微機電系統(Micro Electro Mechanical System; MEMS)、微流體系統(micro fluidic systems)、或利用熱、光線及壓力等物理量變化來測量的物理感測器(Physical Sensor)。特別是可選擇使用晶圓級封裝(wafer scale package; WSP)製程對影像感測元件、發光二極體(light-emitting diodes; LEDs)、太陽能電池(solar cells)、射頻元件(RF circuits)、加速計(accelerators)、陀螺儀(gyroscopes)、微制動器(micro actuators)、表面聲波元件(surface acoustic wave devices)、壓力感測器(process sensors)、噴墨頭(ink printer heads)、或功率模組(power IC modules)等半導體晶片進行封裝。

【0010】其中上述晶圓級封裝製程主要係指在晶圓階段完成封裝步驟後，再予以切割成獨立的封裝體，然而，在一特定實施例中，例如將已分離之半導體晶片重新分布在一承載晶圓上，再進行封裝製程，亦可稱之為晶圓級封裝製程。另外，上述晶圓級封裝製程亦適用於藉堆疊(stack)方式安排具有積體電路之多片晶圓，以形成多層積體電路(multi-layer integrated circuit devices)之晶片封裝體。

【0011】第1A-1D圖顯示根據本發明一實施例之晶片封裝體的一系列製程剖面圖。如第1A圖所示，提供半導體基底100，其具有上表面100a及下表面100b。半導體基底100例如為矽基底。在一實施例中，半導體基底100為一矽晶圓以利於進行晶圓級封裝。

【0012】如第1A圖所示，元件區或感測區102係形成於半導體基底100之中。在一實施例中，半導體基底100之中包括複數個元件區或感測區102。在一實施例中，元件區或感測區102例如為生物特徵的感測區，如指紋辨識區等。元件區或感測區102係位於半導體基底100之上表面100a。在一實施例中，元件區或感測區102可能部分形成於半導體基底100之上表面100a之上。或者，在另一實施例中，元件區或感測區102完全形成於半導體基底100之中而於上表面100a露出。

【0013】如第1A圖所示，半導體基底100上還包括導電墊104。一般，導電墊104係透過內部線路(未顯示)而與元件區或感測區102電性連接。

【0014】接著，可選擇性將半導體基底100薄化以利後續製程之進行。例如，如第1B圖所示，在一實施例中，可將暫時性承載基板106設置於半導體基底100之上表面100a上。例如，可透過黏著層108而將暫時性承載基板106固定於半導體基底100之上表面100a上。接著，可以暫時性承載基板106為支撐，自半導體基底100之下表面100b進行薄化製程，如包括機械研磨或化學機械研磨等。在一實施例中，暫時性承載基板106可為玻璃基底或矽晶圓。

【0015】如第1B圖所示，在選擇性設置暫時性承載基板106與選擇性進行半導體基底100之薄化製程之後，於半導體基底100之下表面100b上設置承載基底110。可於承載基底110與半導體基底100之間形成黏著層112以接合承載基底110與半導體基底100。在一實施例中，承載基底110可為半導體基底或玻璃

基底。

【0016】接著，如第1C圖所示，移除置暫時性承載基板106。在一實施例中，暫時性承載基板106下方之黏著層108完全自半導體基底100之上表面100a移除。在此情形下，元件區或感測區102大抵直接露出而不具有其他材料層於其上。

【0017】接著，自半導體基底100之上表面100a朝下表面100b之方向形成凹口(notch)114，鄰近於半導體基底100之側壁。在一實施例中，凹口114完全貫穿半導體基底100並延伸進入承載基底110之中。接著，於半導體基底100之上表面100a上及凹口114之側壁與底部上沉積絕緣材料，並將之圖案化以形成絕緣層116。接著，於絕緣層116之上形成圖案化的導電層118。

【0018】如第1C圖所示，導電層118係與導電墊104電性連接，並自半導體基底100之上表面100a延伸至凹口114之側壁與底部上。當凹口114貫穿半導體基底100而延伸進入承載基底110時，導電層118與絕緣層116還延伸進入承載基底110之中。此外，在一實施例中，在承載基底110之中，部分的導電層118與絕緣層116係大抵水平設置，即大抵平行於半導體基底100之上表面100a。這是因為在一實施例中，所形成之凹口114之底部係大抵平行於半導體基底100之上表面100a。

【0019】接著，如第1C圖所示，在一實施例中，自凹口114之底部切斷承載基底110以分離出複數個晶片封裝體10。由於電性連接導電墊104之導電層118延伸在晶片封裝體10之側壁上(即自半導體基底100之上表面100a延伸至半導體基底100之



側壁上)，可將導電通路自半導體基底100之上表面100a經由側壁而向下導引。在一實施例中，晶片封裝體10的封裝過程中僅需經歷兩道圖案化製程(即，絕緣層116之圖案化與導電層118之圖案化)，可使晶片之封裝製程大幅簡化，可節省製程時間與成本。此外，由於晶片之封裝製程大幅簡化，亦可使所形成之晶片封裝體的可靠度提升。

【0020】如第1D圖所示，在一實施例中，可進一步將所形成之晶片封裝體10設置於電路板120上。在一實施例中，電路板120上包括接墊122，其與電路板120中之線路相連，並作為與晶片封裝體中之元件區或感測區102電性連接之接觸點。如第1D圖之實施例所示，可於承載基底110與電路板120之間的轉角處形成焊球124。焊球124同時電性接觸導電層118與接墊122，形成導電層118與接墊122之間的導電通路。

【0021】應注意的是，本發明實施例不限於採用焊球124來形成元件區或感測區102與電路板120之間的導電通路。在其他實施例中，可採用導電層、導電塊、或焊線等其他的導電結構來取代焊球124。導電結構位於電路板的接墊與基底的上表面之間。例如，在第2圖之實施例中，係改使用焊線126取代焊球124。導電結構的一部份位於基底的上表面以及元件區或感測區的表面上方。因此，舉凡適於形成接墊122與導電層118之間的導電通路之導電結構，皆在本發明實施例所涵蓋之範圍之內。

【0022】本發明實施例透過於晶片(包括承載基底及半導體基底)之正面/前表面(即與元件區或感測區同一側處)形成凹口

及沿著凹口側壁形成與元件區或感測區電性連接之導電層，可順利形成所需之導電線路，並可大幅縮減晶片封裝製程所需之圖案化製程，可顯著地縮減製程時間與成本。

【0023】 雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作任意之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【符號說明】

#### 【0024】

- 10 封裝體；
- 100 基底；
- 100a、100b 表面；
- 102 元件區或感測區；
- 104 導電墊；
- 106 暫時性承載基板；
- 108、112 黏著層；
- 110 承載基底；
- 114 凹口；
- 116 絕緣層；
- 118 導電層；
- 120 電路板；
- 122 接墊；
- 124 焊球；

126 焊線。



## 申請專利範圍

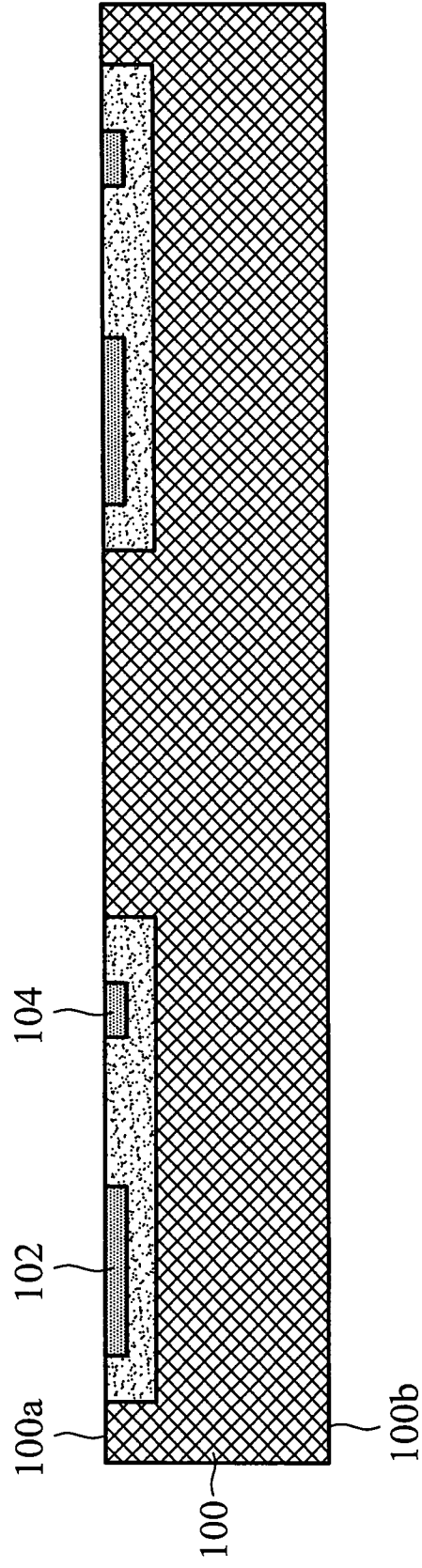
1. 一種晶片封裝體，包括：
  - 一基底，具有一上表面及一下表面；
  - 一凹口，鄰近於該基底的一側壁，其中該凹口沿著自該基底的該上表面朝該下表面的一方向而形成；
  - 一生物特徵的元件區或感測區，位於該基底的該上表面；
  - 一導電墊，位於該基底的該上表面；以及
  - 一導電層，電性連接該導電墊，且沿著該基底的該側壁延伸至該凹口。
2. 如申請專利範圍第1項所述之晶片封裝體，其中該基底的該側壁傾斜於該基底的該上表面。
3. 如申請專利範圍第1項所述之晶片封裝體，其中該導電墊位於該凹口與該元件區或感測區之間。
4. 如申請專利範圍第1項所述之晶片封裝體，其中該導電層更延伸至該凹口的一底部上。
5. 如申請專利範圍第4項所述之晶片封裝體，其中該凹口的該底部位於該基底的該下表面之外且平行於該基底的該上表面。
6. 如申請專利範圍第5項所述之晶片封裝體，更包括一絕緣層，位於該導電層與該基底之間。
7. 如申請專利範圍第5項所述之晶片封裝體，更包括一電路板，其中該導電層透過一導電結構而與該電路板上的一接墊電性連接。
8. 如申請專利範圍第7項所述之晶片封裝體，其中該導電結構

包括一焊球或一焊線。

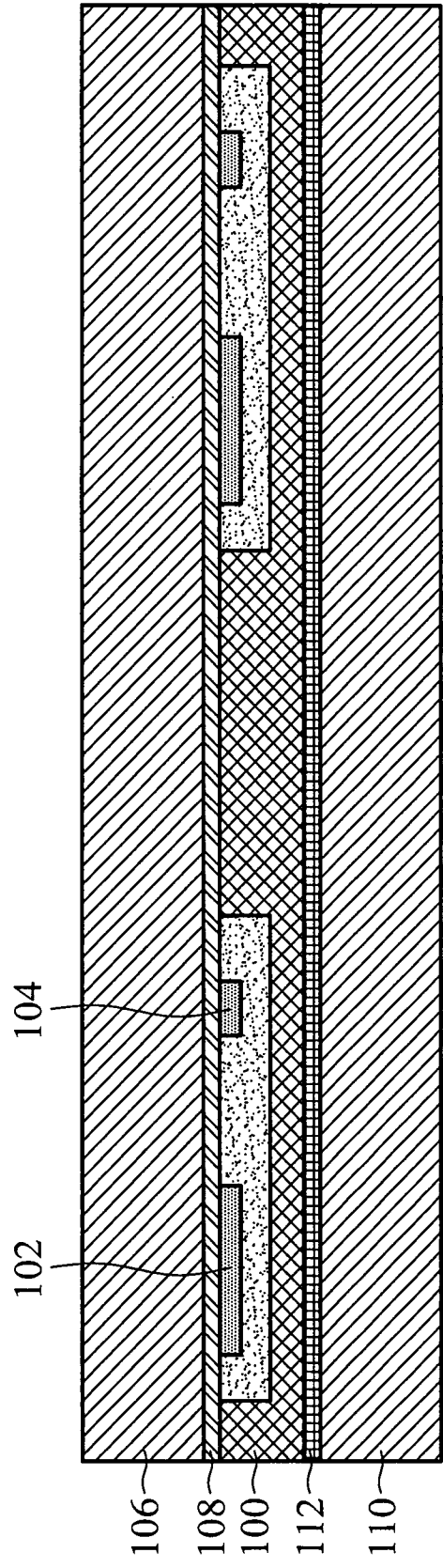
9. 如申請專利範圍第7項所述之晶片封裝體，其中該導電結構位於該电路板的該接墊與該基底的該上表面之間。
10. 如申請專利範圍第7項所述之晶片封裝體，其中該元件區或感測區的一表面位於該上基底的該上表面，且該導電結構的一部份位於該元件區或感測區的該表面上方。
11. 一種晶片封裝體，包括：
  - 一半導體基底，具有一上表面及一下表面；
  - 一元件區或感測區，位於該半導體基底內；
  - 一導電墊，位於該半導體基底的該上表面；以及
  - 一導電層，電性連接該導電墊，且自該半導體基底的該上表面延伸至該半導體基底的一側壁上，其中該半導體基底的該側壁傾斜於該半導體基底的該上表面。
12. 如申請專利範圍第11項所述之晶片封裝體，其中該元件區或感測區包括一指紋辨識區且直接露出。
13. 如申請專利範圍第11項所述之晶片封裝體，其中該導電墊位於該元件區或感測區與該半導體基底的該側壁之間。
14. 如申請專利範圍第13項所述之晶片封裝體，更包括一电路板，其中該導電層透過一導電結構而與該电路板上的一接墊電性連接。
15. 如申請專利範圍第14項所述之晶片封裝體，其中該導電結構包括一焊球或一焊線。
16. 如申請專利範圍第14項所述之晶片封裝體，其中該導電結構位於該电路板的該接墊與該半導體基底的該上表面之

間。

- 17.如申請專利範圍第14項所述之晶片封裝體，其中該導電結構為該焊線，且該焊線的一部分位於該半導體基底的該上表面上方。
- 18.一種晶片封裝體，包括：
  - 一晶片，其中該晶片包括一半導體基底；
  - 一指紋辨識區以及一導電墊，位於該晶片的一前表面；
  - 一凹口，形成於該晶片的該前表面；
  - 一導電層，電性連接該導電墊，其中該導電層更沿著該凹口的一側壁而形成；以及
  - 一電路板，具有一接墊，其中該導電層透過一導電結構而與該電路板上的該接墊電性連接。
- 19.如申請專利範圍第18項所述之晶片封裝體，其中該導電結構位於該電路板的該接墊與該晶片的該前表面之間。
- 20.如申請專利範圍第18項所述之晶片封裝體，其中該導電結構為一焊線，且該焊線的一部分位於該半導體基底的一上表面上方。
- 21.如申請專利範圍第18項所述之晶片封裝體，其中該導電墊位於該指紋辨識區與該凹口之間。

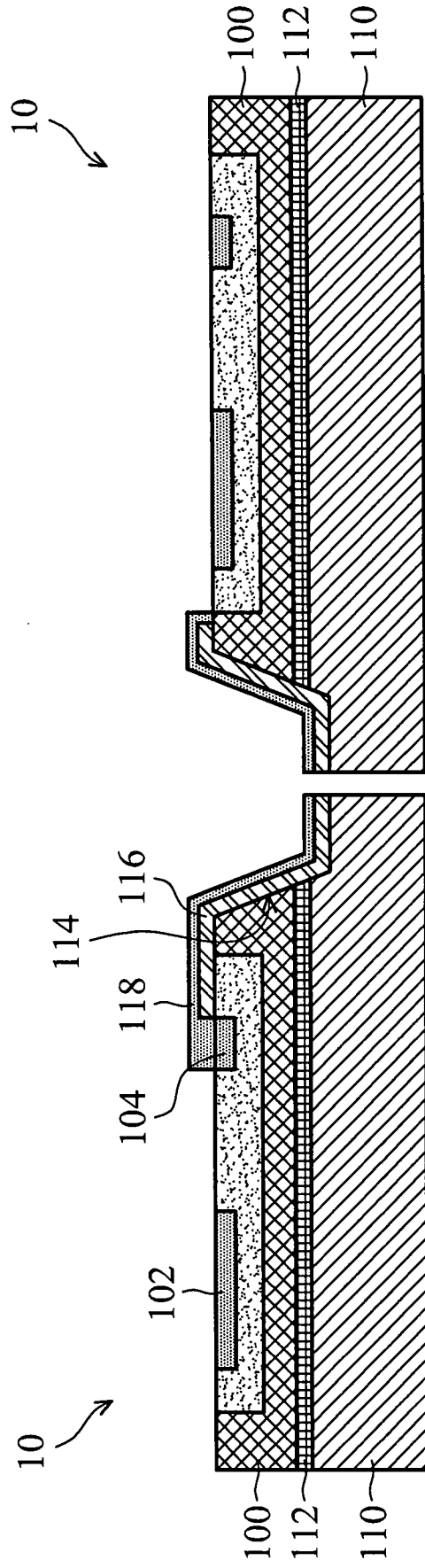


第1A圖

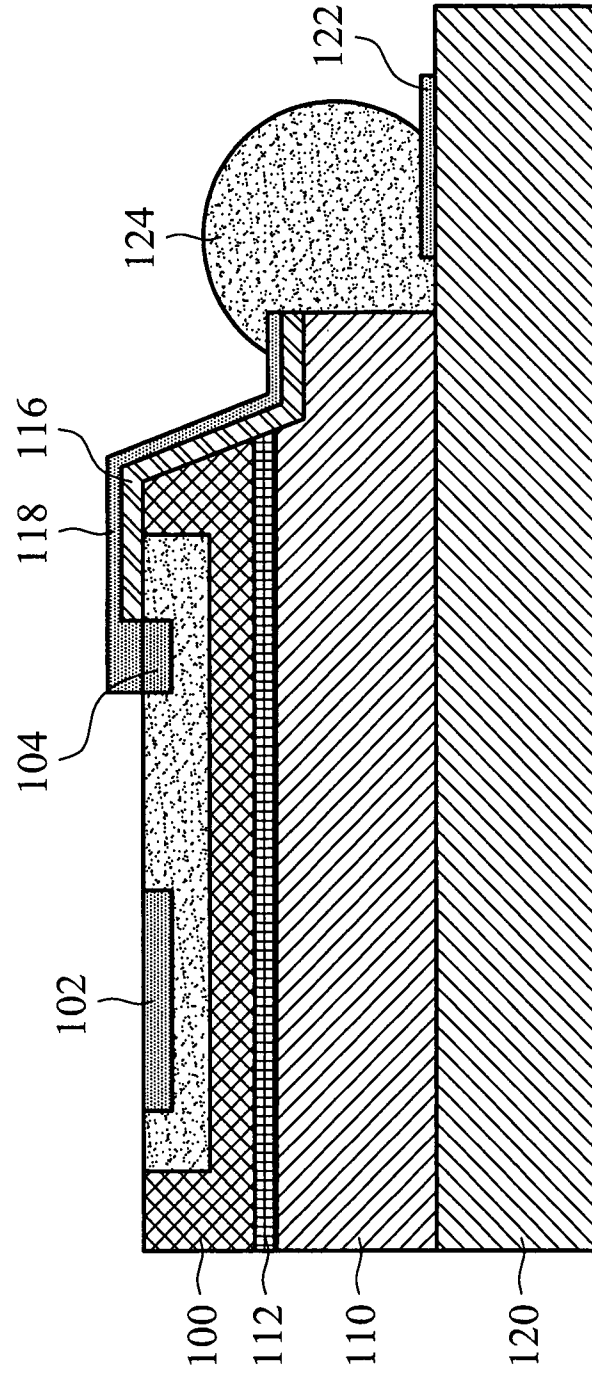


第 1B 圖

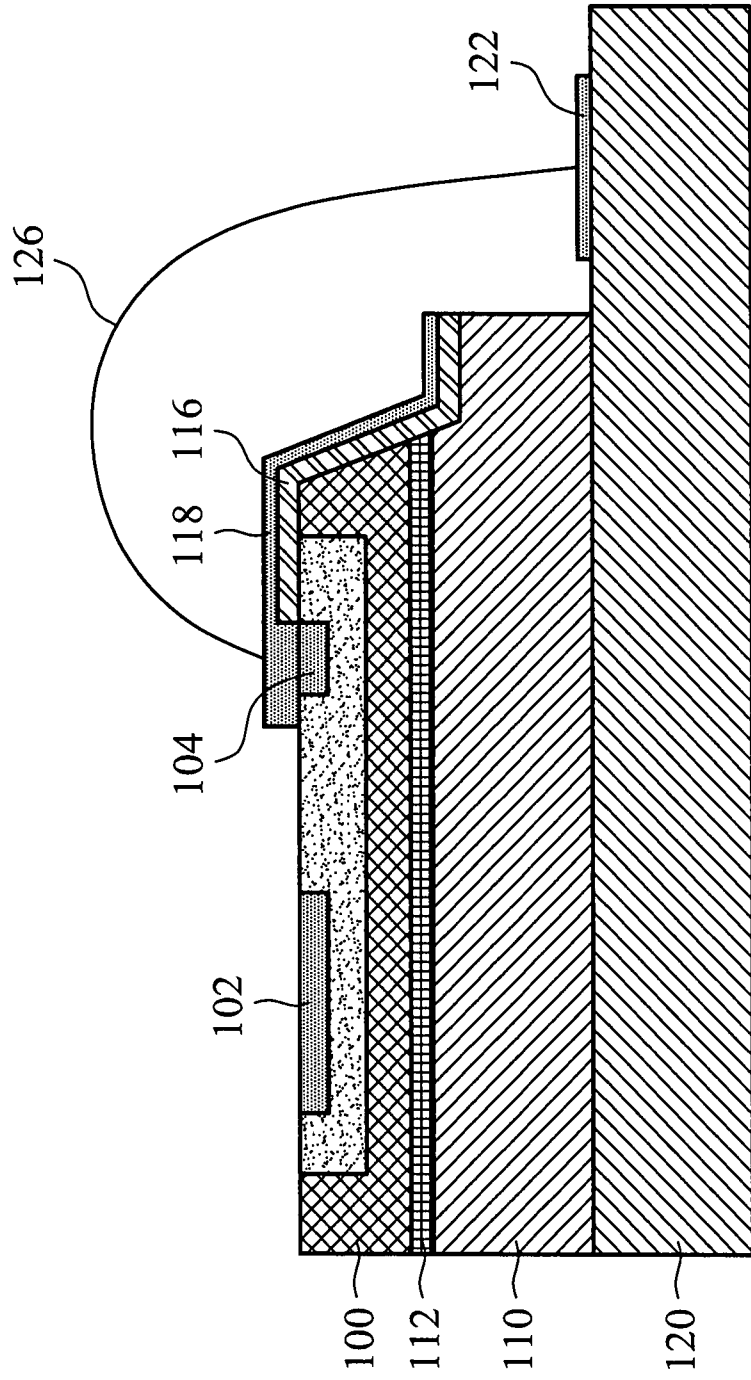




第1C圖



第1D圖



第 2 圖