

(21)申請案號：099114739

(22)申請日：中華民國 99 (2010) 年 05 月 10 日

(51)Int. Cl. : H01L27/06 (2006.01)

H01L21/822 (2006.01)

(30)優先權：2009/05/15 德國

10 2009 021 485.2

2010/04/14 美國

12/759,785

(71)申請人：格羅方德半導體公司(美國) GLOBALFOUNDRIES US INC. (US)  
美國

(72)發明人：韋 安迪 WEI, ANDY (US) ; 偉特 安卓 WAITE, ANDREW (GB)

(74)代理人：洪武雄；陳昭誠

申請實體審查：無 申請專利範圍項數：25 項 圖式數：1 共 46 頁

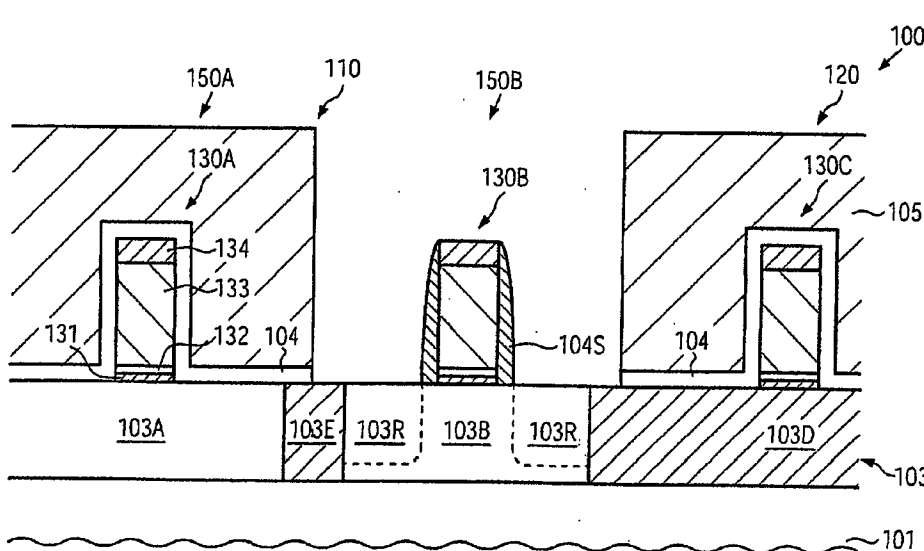
(54)名稱

包含金屬閘極及形成在絕緣結構上之含矽電阻器的半導體裝置

SEMICONDUCTOR DEVICE COMPRISING METAL GATES AND A SILICON CONTAINING RESISTOR FORMED ON AN ISOLATION STRUCTURE

(57)摘要

於包括有依據取代性閘極方法所形成之精密高 k 值金屬閘極結構的半導體裝置中，可於隔離結構上方形成以半導體為基礎的電阻器而實質上不會受到該取代性閘極方法所影響。因此，相較於習知策略(其中，該等電阻結構可能必須基於閘極電極金屬而設置)而言，可達到增強的面積效率，惟由於在該隔離結構上方設置該等電阻結構，故可同時實現低寄生電容。



- 100：半導體裝置
- 101：基板
- 103：半導體層
- 103A：主動區域
- 103B：主動區域
- 103D：隔離結構
- 103E：隔離結構
- 103R：凹穴
- 104：遮罩層
- 104S：側壁間隔件
- 105：蝕刻遮罩
- 110：電晶體區域
- 120：電阻器區域
- 130A：閘極電極結構
- 130B：閘極電極結構
- 130C：電阻結構
- 131：敏感材料

132：含金屬的蓋層

133：半導體材料

134：介電材料蓋層

150A：電晶體

150B：電晶體

(21) 申請案號：099114739

(22) 申請日：中華民國 99 (2010) 年 05 月 10 日

(51) Int. Cl. : H01L27/06 (2006.01)

H01L21/822 (2006.01)

(30) 優先權：2009/05/15 德國

10 2009 021 485.2

2010/04/14 美國

12/759,785

(71) 申請人：格羅方德半導體公司 (美國) GLOBALFOUNDRIES US INC. (US)  
美國

(72) 發明人：韋 安迪 WEI, ANDY (US) ; 偉特 安卓 WAITE, ANDREW (GB)

(74) 代理人：洪武雄；陳昭誠

申請實體審查：無 申請專利範圍項數：25 項 圖式數：1 共 46 頁

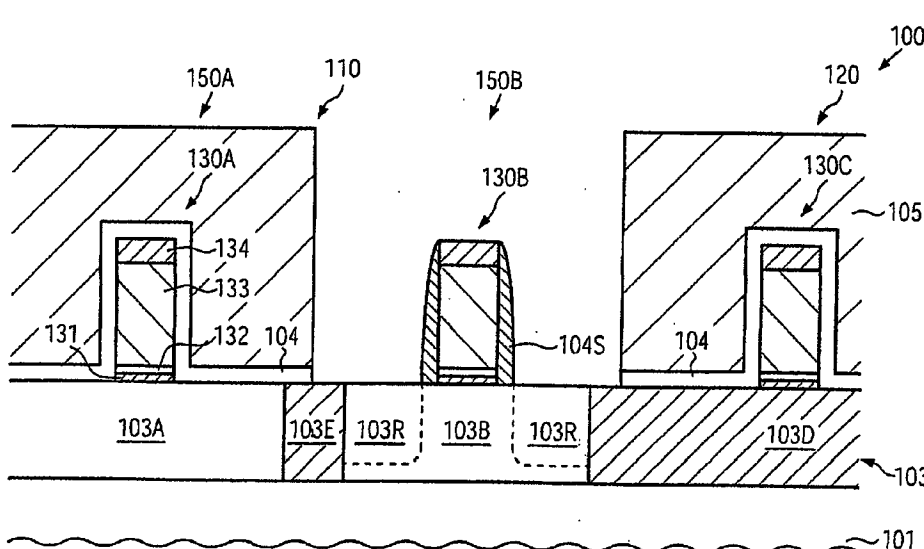
(54) 名稱

包含金屬閘極及形成在絕緣結構上之含矽電阻器的半導體裝置

SEMICONDUCTOR DEVICE COMPRISING METAL GATES AND A SILICON CONTAINING RESISTOR FORMED ON AN ISOLATION STRUCTURE

(57) 摘要

於包括有依據取代性閘極方法所形成之精密高 k 值金屬閘極結構的半導體裝置中，可於隔離結構上方形成以半導體為基礎的電阻器而實質上不會受到該取代性閘極方法所影響。因此，相較於習知策略(其中，該等電阻結構可能必須基於閘極電極金屬而設置)而言，可達到增強的面積效率，惟由於在該隔離結構上方設置該等電阻結構，故可同時實現低寄生電容。



100：半導體裝置

101：基板

103：半導體層

103A：主動區域

103B：主動區域

103D：隔離結構

103E：隔離結構

103R：凹穴

104：遮罩層

104S：側壁間隔件

105：蝕刻遮罩

110：電晶體區域

120：電阻器區域

130A：閘極電極結構

130B：閘極電極結構

130C：電阻結構

131：敏感材料

## 六、發明說明：

### 【發明所屬之技術領域】

本發明一般而言係關於積體電路製造之領域，更詳而言之，係關於複雜積體電路中形成在隔離結構(isolation structure)之上的電阻器(resistor)。

### 【先前技術】

於現代的積體電路中，單一晶片面積上形成有大量的個別電路元件(如 CMOS、NMOS、PMOS 形式之場效電晶體、電阻器、電容器等)。典型上，這些電路元件之特徵尺寸不斷地隨著每個新式電路世代(circuit generation)的引進而縮減，以提供於速度及/或功率消耗上具有高效能之目前可得的積體電路。對於持續改善複雜積體電路(如中央處理器(CPU))之裝置效能而言，電晶體之尺寸縮減係相當重要的面向。尺寸之縮減通常帶來切換速度之增加，藉此加強信號處理效能。

除了大量的電晶體元件以外，若基本電路布局需要，積體電路中典型上也形成有複數個被動電路元件(passive circuit element)，如電容器與電阻器。由於電路元件維度之縮減，不僅能夠改善個別電晶體元件之效能，也能夠顯著地增加其封裝密度(packaging density)，藉此提供將新增加的功能性合併入給定之晶片面積中之潛力。因此，已發展出高複雜度之電路，可包含不同形式之電路(如類比電路、數位電路等)，藉此於單一晶片上(SOC)提供完整的系統。

雖然電晶體元件係高度複雜積體電路中的支配性電

路元件並且實質上決定了這些裝置之總體效能，但是也可能需要其他零件(如電容器與電阻器)，其中為了不過度消耗昂貴的晶片面積，也可能必須相關於電晶體元件之微縮(scaling)而調整這些被動電路元件之尺寸。此外，為了滿足根據基本電路設計所緊密設定之容限(margin)，可能必須以高精確度設置該等被動元件(如電阻器)。舉例而言，即使於實質上為數位之電路設計中，也可能必須將對應之電阻值設置於緊密設定之容忍範圍內，以便避免過度地造成運作不穩定及/或加強信號傳遞延遲(signal propagation delay)。舉例而言，於精密的應用中，電阻器經常以“積體化多晶矽(integrated polysilicon)”電阻器之形式設置，多晶矽電阻器可形成於隔離結構上方，以便得到所欲之電阻值，而不會造成顯著的寄生電容(parasitic capacitance)，如於可形成於主動半導體中之“埋植的”電阻結構之情形中可能會發生者。因此，典型的多晶矽電阻器可能需要沉積基本的多晶矽材料，該多晶矽材料之沉積經常可與用於電晶體元件之多晶矽閘極電極材料之沉積結合。於該閘極電極結構之圖案化期間，也可形成該等電阻器，而該等電阻器之尺寸可能明顯地取決於該多晶矽材料之基本比電阻值(basic specific resistance value)以及後續之摻雜物材料之類型及濃度，其中，該摻雜物可能經混入該電阻器以調整電阻值。典型上，由於經摻雜的多晶矽材料之電阻值可能為摻雜物濃度之非線性函數，故典型上需要特定的佈植製程，而與其他任何用於調整電晶體閘極電極之多晶矽材料

特性之佈植程序無關，可能因此造成高複雜度之製造程序。

此外，持續縮減複雜積體電路之特徵尺寸已造成場效電晶體之閘極長度為大約 50 奈米或更短。場效電晶體(不論是 N 通道電晶體或者 P 通道電晶體)典型上包括所謂的“PN 接面”，該 PN 接面係由經高度摻雜之區域(被稱為“汲極(drain)”與“源極(source)”之區域)與鄰近該經高度摻雜之區域且經輕度摻雜或未經摻雜之區域(被稱為“通道”區域)的介面所形成。於場效電晶體中，該通道區域之導電率(conductivity)(亦即，該導電通道之電流驅動能力)係由形成為鄰近該通道區域且藉由薄絕緣層(thin insulating layer)與該通道區域分隔開之閘極電極所控制。該通道區域之導電率(當由於施加適當控制電壓於該閘極電極而形成導電通道之後)取決於該等汲極與源極區域之摻雜物濃度、電荷載體之遷移率，而對於給定之電晶體寬度而言，該通道區域之導電率亦取決於該源極區域與該汲極區域之間的距離(也稱為“通道長度”)。

目前，由於矽具有能夠近乎無限制地取得、經良好認知的特性以及相關材料與製程、以及過去 50 多年來所累積的經驗，故大多數複雜的積體電路係以矽為基礎。因此，矽很可能仍是未來的電路世代所採用之較佳材料。矽於半導體裝置製造中扮演重要角色的一個原因在於矽/二氧化矽介面能夠使得不同區域互相可靠地電性隔離之優異特性。該矽/二氧化矽介面於高溫下係穩定的，因此允許實施高溫製程，如典型上為了活化摻雜物和為了修復晶體損傷

之的退火製程(anneal processes)所必需者，而不會犧牲該介面之電性特性。因此，於場效電晶體中，較佳的是採用二氧化矽作為閘極絕緣層(gate insulation layer)，該閘極絕緣層將該閘極電極(通常由多晶矽所構成)與該矽通道區域分隔開。然而，由於進一步的裝置微縮(device scaling)，為了實質上避免所謂的“短通道效應(short channel behavior)”，通道長度的縮減可能需要二氧化矽閘極介電材料厚度做出對應的適應性改變，而根據短通道效應，通道長度的變化可能對於電晶體的臨限電壓(threshold voltage)造成顯著的影響。經積極微縮而具有相對較低的供應電壓(supply voltage)和因此具有縮減的臨限電壓的電晶體裝置係因此面臨由二氧化矽閘極介電材料厚度縮減所造成的顯著漏電流(leakage current)增加。舉例而言，為了維持該閘極電極與該通道區域之間所需的電容性耦合(capacitive coupling)，大約 0.08 微米( $\mu\text{m}$ )的通道長度可能需要由厚度薄至大約 1.2 奈米(nm)的二氧化矽所製成之閘極介電體。一般而言，雖然具有極短通道的高速電晶體元件可適宜地使用於高速信號路徑中，其中具有較長通道的電晶體元件可使用於較不關鍵的信號路徑(例如：此類較不關鍵的電晶體可作為儲存電晶體)，惟由電荷載體直接穿隧透過高速電晶體元件之極薄二氧化矽閘極介電體所造成相對較高的漏電流可能達到針對厚度 1 至 2 奈米的氧化物厚度而言之數值，而可能無法適用於任何類型的複雜積體電路系統之熱設計功率需求(thermal design power requirement)。

因此，已考慮以其它材料取代二氧化矽作為閘極絕緣層，特別是對於高度精密應用而言。可能的替代材料包含顯現出明顯較高之介電常數的材料，使得所對應形成之閘極絕緣層之實際上較大之厚度能夠提供藉由極薄的二氧化矽層會得到的電容性耦合。已有人提出建議利用高介電常數材料取代二氧化矽，如鉭氧化物(tantalum oxide)、鋇鈦氧化物(strontium titanium oxide)、鈦氧化物(hafnium oxide)、鈦矽氧化物(hafnium silicon oxide)、氧化鋯(zirconium oxide)等。

此外，可藉由提供用於該閘極電極之適當的導電材料以取代經常使用的多晶矽材料，而進一步增進電晶體效能，這是由於多晶矽可能蒙受到位於該閘極介電材料與該多晶矽材料之間的介面之鄰近區域發生電荷載體空乏(charge carrier depletion)之問題，從而於電晶體運作期間降低該通道區域與該閘極電極之間的有效電容(effective capacitance)之故。因此，已有人建議採用閘極堆疊，於該閘極堆疊中，高k值介電材料提供加強之電容值，同時額外維持漏電流於可接受的程度。由於可形成非多晶矽材料(如氮化鈦(titanium nitride)與類似材料)使得其與閘極介電材料直接接觸，故可因此避免產生空乏區(depletion zone)，同時可達到適度的高導電率。

如眾所周知，電晶體之臨限電壓可能取決於總體電晶體組構、汲極與源極區域之複合側向(lateral)和垂直摻雜物分佈、PN 接面之對應組構、以及該閘極電極材料之功函數



(work function)。因此，除了提供所欲之摻雜物分佈以外，含金屬的閘極電極材料(metal-containing gate electrode material)的功函數亦必須考量電晶體的導電類型而經過適當的調整。因此，典型上，含金屬的電極材料可用於 N 通道電晶體與 P 通道電晶體，且可根據非常先進的製造階段中經良好建立的製造策略而設置。也就是說，於這些方法中，高 k 介電材料可結合適當的含金屬蓋層(如氮化鈦與類似材料)而形成，接著沉積多晶矽材料以及其他材料，如果需要的話，可對之進行圖案化以形成閘極電極結構。同時，如上所述，可圖案化對應的電阻器。在那之後，可藉由形成汲極與源極區域、實施退火製程、以及最終將該等電晶體埋置於介電材料中而完成基本的電晶體組構。在那之後，可實施適當的蝕刻程序(etch sequence)，於該蝕刻程序中可曝露出該等閘極電極結構之頂部表面、以及所有的電阻結構，並且可移除該多晶矽材料。在那之後，基於個別遮罩樣式(masking regime)，可將適當的含金屬電極材料個別地填入 N 通道電晶體與 P 通道電晶體之閘極電極結構中，以得到優異的閘極結構，其包含高 k 閘極絕緣材料以及含金屬電極材料，此閘極結構能夠個別地提供用於 N 通道電晶體與 P 通道電晶體的適當功函數。同時，該等電阻結構亦可容置含金屬電極材料。然而，由於該含金屬電極材料之增強之導電率，故該等電阻結構的電阻率亦會顯著降低，進而需要縮減這些結構的線寬度(線寬)及/或增加這些結構的總長度(total length)。前面的對策可能造成圖案化

的問題，(由於可能需要一些極小的線寬度)，而後面的對策可能導致昂貴晶片面積的消耗增加。因此，於一些習知方法中，可能會於該主動半導體材料中形成該等電阻結構，而非於隔離結構之上設置該等電阻結構而與該等電晶體之閘極電極結構同時圖案化，然而，由於這些電阻結構之增加的寄生電容(parasitic capacitance)可能造成效能的降低。

本發明所揭露之內容係針對能夠避免或至少降低上述所提及的一個或多個效應的各種方法與裝置。

#### 【發明內容】

為了提供對於本發明一些態樣之基本了解，以下描述本發明經簡化之內容說明。此內容說明並非本發明之完整概念。此內容說明並非意圖識別本發明之主要或關鍵元件或者侷限本發明之範疇。此內容說明的唯一目的係以經簡化形式描述本發明的一些概念，作為接下來所討論之詳細說明書內容的序言。

一般而言，本發明之內容係關於半導體裝置以及用於製造該半導體裝置之方法，於該半導體裝置中可形成有以任何適當半導體材料(如矽/鍺材料、鍺材料與類似材料)為基礎的積體化電阻器元件(integrated resistor element)，同時，可為了該等電晶體設置精密的金屬閘極結構。為此目的，可以所欲用於該等電阻器之半導體材料為基礎設置該等閘極電極結構，並且可於非常先進的製造階段中藉由一種或多種含金屬的電極材料取代該半導體材料，同時為了

實質上保存該等電阻器之中的半導體材料，對該等電阻器進行適當地遮罩。因此，為了得到精密的高k值金屬閘極堆疊，可有效地施加所謂的“取代閘極”方法，同時可於該隔離結構上形成有以半導體微基礎的電阻結構，藉此為該電阻結構提供優異的電容性行為(capacitive behavior)，同時不會過度地消耗昂貴的晶片面積。於一些說明實施例中，能夠完成複雜金屬閘極堆疊結合以半導體為基礎的電阻結構之同時設置(concurrent provision)，而無須增加額外的製程複雜度(process complexity)，例如：就額外的微影步驟(photo 微影 step)來說，因為在於該電晶體之汲極與源極區域之中形成金屬矽化物(meal silicide)材料之前，可藉由避免該電阻結構之對應遮罩而在後段製造階段中補償(compensate)或者甚至過度補償(over-compensate)該電阻結構之遮罩。再者，該半導體材料(如多晶矽材料)可於該製造過程的初始階段設置有適當的摻雜物程度(dopant level)與摻雜物類型，藉此也避免當結合多晶矽電阻結構設置多晶矽閘極時，任何典型上於習知策略中必須提供的額外遮罩步驟(masking step)。再者，於本說明書中所討論的一些說明態樣中，製造以半導體為基礎的電阻結構可有利於合併入製造流程，用於藉由施加一種或多種額外的效能增強機制(performance enhancing mechanism)增強電晶體效能，如於該等電晶體組構之上設置應力誘發介電材料層(stress-inducing dielectric layer)及/或於至少一種類型電晶體中形成嵌入的應變誘發半導體合金(strain-inducing

semiconductor alloy)。

於本說明書中所揭露的一種說明半導體裝置包括有電晶體元件，該電晶體元件包括閘極電極結構，該閘極電極結構包含高k值閘極介電材料以及形成於該高k值閘極介電材料之上的含金屬電極材料。此外，於隔離結構之上形成有電阻器，且該電阻器包括經摻雜的半導體材料。

於本說明書中所揭露的一種說明方法係有關於形成半導體裝置之電阻結構。該方法包括於電晶體區域與該半導體裝置之電阻器區域之上形成層堆疊(layer stack)，其中該層堆疊包括高k值介電材料、含金屬蓋材料以及半導體材料。再者，該電阻器區域包括隔離結構。此外，該方法包括調整該半導體材料中之摻雜物程度，以便得到該電阻結構之目標電阻率。此外，該方法包括於該電晶體區域中形成取代閘極電極結構，並且基於該層堆疊而於該電阻器區域中於該隔離結構之上形成該電阻結構。最終，該方法包括於該取代閘極電極結構中選擇性地取代該半導體材料，同時實質上保存該電阻結構中之該半導體材料。

於本說明書中所揭露的一種進一步說明方法包括於主動半導體區域之上形成取代閘極電極結構以及於隔離結構之上形成電阻結構，其中該取代閘極電極結構與該電阻結構包括具有特定的摻雜物程度以達到該電阻結構之目標電阻值之半導體材料。該方法復包括形成遮罩以便覆蓋該電阻結構，並且曝露出該取代閘極電極結構。再者，該方法包括自該取代閘極電極結構選擇性地移除該半導體材

料，並且於該取代閘極電極結構與該電阻結構之上形成含金屬的電極材料。最終，該方法包括移除該含金屬的電極材料之過量材料，以便設置金屬閘極電極結構。

### 【實施方式】

以下描述本發明之多個說明實施例。為清楚起見，於本說明書中並未描述實際實施方式的所有特徵。將當然體認到此類實際實施例的研發中，必須作出許多依實施方式特定的決定，以達到研發者的特定目標(如順從與系統相關以及與商業相關之限制條件)，此等特定目標將隨實施方式而有所變化。此外，將體認到，此類的研發負擔可能相當複雜並且耗時，但對於了解本發明所揭露優點的熟悉此項技藝的人士而言只是例行性的作業。

現在將參照附加圖式描述本發明所揭露之內容。各種結構、系統及裝置僅為了說明起見而示意地描繪於該等圖式中，以免本發明所揭露之內容與熟悉此項技藝的人士所習知的細節發生混淆，所包含的該等附加圖式係用以描述並說明本發明內容之說明範例。本說明書中的詞句與措辭應了解並解釋成具有與所屬技術領域中具有通常知識者所理解的詞句與措辭相同的意義。無特殊定義的詞句或措辭(亦即，不同於熟悉此項技藝的人士所了解的通常與習慣意義之定義)係意指與本說明書中所使用的詞句或措辭有一致的使用方式。對於意指具有特殊意義(亦即，不同於熟悉此項技藝的人士所了解的意義)的詞句或措辭而言，將於本說明書中明確地提出，以定義的方式直接且明確地提供該

詞句或措辭之特殊定義。

一般而言，本發明內容係有關於半導體裝置以及用於形成該半導體裝置之方法，其中可以半導體材料為基礎(如矽、矽/鍍與類似材料)並結合電晶體之複合金屬閘極電極結構而形成電阻器元件，其中為了得到與寄生電容有關的優異效能，可於隔離結構上形成電阻結構。根據本說明書所揭露之原則，用於創造該等電晶體組構之製造程序可以該半導體材料為基礎，該半導體材料可包括造成所欲之摻雜程度(doping level)的適當摻雜物種，以便首先形成取代性閘極電極結構(replacement gate electrode structure)以及該電阻結構。於進一步的製造階段中，可藉由經適當選擇的含金屬電極材料選擇性地取代該等閘極電極結構中之半導體材料，同時，另一方面，可保存該電阻結構中之半導體材料。於本說明書所揭露之一些說明態樣中，可避免使用下述之專用遮罩步驟，亦即，於在該等電晶體之汲極與源極區域中形成金屬氧化物的期間用以避免在該半導體材料中發生矽化(silicidation)的專用遮罩步驟，藉此加強總體製造流程。在完成該基本電晶體組構之後，可施加遮罩，以便選擇性地將該等取代性閘極電極結構中的半導體材料曝露至蝕刻環境(etch ambient)下以移除其中的半導體材料，並且結合電極材料而形成適當之功函數(work function)調整用含金屬材料。此外，於本說明書的一些說明態樣中，設置以半導體為基礎的電阻結構時，可進一步適用於併用額外的效能-增強機制(例如於該等電晶體之上設置應力誘

發介電材料、埋置應變誘發半導體合金與類似機制)。因此，相較於習知策略，可於隔離結構的頂部上形成以半導體為基礎的低電容電阻器 (a low capacitance semiconductor-based resistor)，藉此避免與過度圖案化及/或過度消耗晶片面積有關的問題，這些問題是典型上習知策略可能遭遇的問題，其中，可一起取代該等取代性閘極電極結構之半導體材料以及該等電阻結構之半導體材料。

第 1a 圖係示意地描繪包括基板 101 之半導體裝置 100 之剖面圖，該基板 101 之上可形成半導體層 103。該基板 101 可代表任何適當的載體材料，用於在其上形成半導體層 103。如同先前所說明，該半導體層 103 可代表以矽為基礎的材料，除了特定的摻雜物種(可能已存在於該半導體層 103 中或者可於稍後製造階段中併入於該半導體層 103 中)以外，該材料亦可包括其他成分(如鍺、碳與類似材料)。然而，應體認到，本說明書所揭露之原則亦可應用於其他半導體材料(如鍺、半導體化合物與類似材料)。再者，該裝置 100 可代表“塊體(bulk)”組構，其中該半導體層 103 可代表該基板 101 的一部分結晶基板材料(crystalline substrate material)。於其他情況下，可在至少一些裝置區域中於該基板 101 與該半導體層 103 之間設置埋植的絕緣層 102，藉此形成絕緣體上矽(SOI)組構。再者，於該半導體層 103 中，可以例如二氧化矽、氮化矽(silicon nitride)或者其他任何所欲之絕緣材料為基礎形成適當的隔離結構 103E、103D。於所示之實施例中，該半導體層 103 可認為

係包括第一裝置區域 110(亦可稱作為電晶體區域)與第二裝置區域 120(亦可稱作為電阻器區域)，該第二裝置區域 120 實質上可由該隔離結構 103D 所定義。再者，該電晶體區域 110 可包括主動區域 103A、103B(可能藉由該隔離結構 103E 所分隔開)，其中主動區域可理解成該半導體層 103 之半導體區域，於該主動區域中與該主動區域之上則待形成至少一個電晶體元件。舉例而言，該主動區域 103A 可能具有適當的基礎摻雜(base doping)，可適用於製造 N 通道電晶體，同時該主動區域 103B 可代表 P 通道電晶體之主動區域。

再者，於第 1a 圖所示之製造階段中，層堆疊 130 可形成於該電晶體區域 110 與該電阻器區域 120 之上，並且可包括閘極介電材料層 131、含金屬的蓋層 132、半導體材料 133 以及介電材料蓋層 134。如以上所討論，如果有需要的話，該閘極介電材料 131 可包括高 k 值介電材料於其中，例如，如先前所述的一種材料。此外，若有需要，可於該層 131 中額外設置其他任何“習知的”介電材料。舉例而言，該閘極介電材料 131 可包括非常薄的二氧化矽層，隨後包括高 k 值介電材料。無論該層 131 之組構為何，只要於該層 131 中併入具有大約 10.0 或者更高的介電常數之介電材料，則於本說明書中此層即稱作為高 k 值介電材料。該含金屬的蓋層 132 可直接形成於該層 131 上，並且可作為用於該裝置 100 的進一步處理之蓋層，且亦可與將於稍後的製造階段中設置的至少一種進一步的含金屬材料一起



代表含金屬電極材料。舉例而言，該蓋層 132 可由氮化鈦及類似材料所構成。舉例而言，取決於總體裝置需求，該閘極介電材料 131 可設置成具有 1.5 至數奈米的厚度，同時該含金屬的蓋層 132 可具有 1 至數奈米的厚度。取決於使用於該層 132 之材料類型與材料厚度，於一些說明實施例中，當藉由適當地調適該半導體材料 133 之摻雜物程度而於該電阻器區域 120 中形成電阻結構時，可考量到對應的薄片電阻(sheet resistance)。例如，倘若於說明實施例中欲達到該電阻結構之總體的適度低電阻率(overall moderately low resistivity)，則該等層 131 與 132 可保存於該電阻結構中，並且可同時考量該層 132 之電阻率而實施該摻雜物程度的特定適應性改變(adaptation)。舉例而言，厚度介於 1 至 2 奈米的氮化鈦層可能具有數百歐姆微米( $\text{Ohm } \mu\text{m}$ )的薄片電阻率。於其他說明實施例中，如同將於稍後進行詳述者，當認為該層 132 相對應的薄片電阻率對於電阻結構而言係不適當時，可於該區域 120 中至少選擇性地移除或改質該層 132。因此，根據一些說明實施例，為了得到該層堆疊 130 所欲之目標電阻率，可適當地選擇該半導體材料 133 的內部摻雜物程度。舉例而言，該半導體材料 133 可由矽材料以多晶態(polycrystalline state)或者非晶態(amorphous state)所組成，非晶態可於進一步處理期間轉換成為多晶態。於其他情況下，倘若以矽為基礎的材料必須設置增加的摻雜物程度，則倘若認為適當，可將一定數量的鍍合併入該材料 133 以降低總體基礎薄片電阻率

(overall base sheet resistivity)。應體認到，該半導體材料 133 的特性可針對待形成在該電阻器區域 120 中的電阻結構進行特定性的設計，而無須於該等區域 110 與 120 之間有差異，這是因為該材料 133 可於稍後的製造階段中自該區域 110 被移除之故。於一些說明實施例中，該半導體材料 133 可設置成為經 N 型摻雜的矽材料或者經 N 型摻雜之矽/鍺混合物，因為一些化學劑(chemical agent)對於經 N 型摻雜以矽為基礎的材料可提供相較於經 P 型摻雜的矽材料更為增強的製程條件，可有利於化學移除製程(chemical removal process)。再者，如同將參照第 1b 圖進行描述者，該蓋層 134 可例如針對圖案化該層堆疊 130 而設置，作為進一步處理期間的蓋材料。舉例而言，該層 134 可以氮化矽材料的形式並可能結合其他材料(如二氧化矽與類似材料)而設置。

可以下列製程為基礎形成如第 1a 圖所示之半導體裝置 100。在形成該半導體層 103 中的隔離結構 103E、103D(可藉由經建立良好的精密微影技術、蝕刻製程、沉積製程、平坦化製程與類似製程實現)之後，可藉由經良好認可的佈植技術建立該等主動區域 103A、103B 的基本摻雜。在那之後，當能可以習知之以二氧化矽為基礎的材料形成該層 131 時，能以例如精密的氧化技術(如熱氧化(thermal oxidation)、化學氧化與類似技術)為基礎形成該閘極介電材料 131。在那之後，可沉積所欲之高 k 值介電材料(如氧化鈦(hafnium oxide)及類似材料)達所欲之厚度，接

著沉積該含金屬的蓋層 132，藉此將敏感的高 k 值介電材料侷限於該層 131 中。接下來，可藉由例如低壓化學氣相沉積(CVD)及類似技術來沉積該半導體材料 133，其中，於一個說明實施例中，可沉積該材料 133 作為經在內摻雜的半導體材料(in situ doped semiconductor material)，也就是說，為了提供所欲之摻雜程度，可添加所欲之摻雜物種濃度至該沉積環境。在那之後，可藉由任何適當的沉積技術來沉積該一個或多個蓋層 134。於其他說明實施例中，為了併入待形成於該裝置區域 120 中的電阻結構所需之摻雜物濃度，可基於佈植製程(可實施為無遮罩佈植製程)得到該材料 133 中所欲之摻雜物程度。該佈植製程可實施於沉積該蓋層 134 之前或之後。

第 1b 圖係根據說明實施例示意地描繪該半導體裝置 100 於進一步之製造階段中之剖面圖，其中，如以上所討論，為了增強該電晶體的整體效能，至少一種類型的電晶體可容置經埋置的應變誘發半導體合金。如圖所示，閘極電極結構 130A、130B 係形成於該等主動區域 103A、103B 之上，同時可於該隔離結構 103D 之上形成電阻器或電阻結構 130C。由於該半導體材料 133 可於稍後的製造階段中被移除，故該等閘極電極結構 130A、130B 亦可被稱為“取代性閘極電極結構”。於所示之實施例中，可形成由例如氮化矽與類似材料所組成的遮罩層 104，以便覆蓋該閘極電極結構 130A 與該電阻結構 130C，同時該電極結構 130B 之側壁(sidewall)形成有間隔件元件(spacer element)104S。

此外，可於該裝置 100 之上形成蝕刻遮罩(如光阻遮罩(resist mask)105)，以便覆蓋電晶體 150A(亦即，該主動區域 103A)與該電極結構 130A，同時曝露出電晶體 150B(亦即，該主動區域 103B 與該電極結構 130B)。再者，亦可藉由該遮罩 105 覆蓋該電阻結構 130C。

能可以下列製程為基礎形成如第 1b 圖所示之半導體裝置 100。可依照對應的設計規則以精密的微影與蝕刻技術為基礎對該層堆疊 130(如第 1a 圖所示)進行圖案化，以得到所欲之閘極電極結構 130A、130B 長度以及得到所欲之電阻結構 130C 線寬。在那之後，可藉由例如熱活化化學氣相沉積(thermally activated CVD)技術以氮化矽材料的形式沉積該遮罩層 104，藉此將該敏感材料 131 可靠地侷限於該等閘極電極結構 130A、130B 及該電阻結構 130C 之側壁。於一些說明實施例中，為了於凹穴(cavity)103R 中形成經埋置的應變誘發半導體合金，可選擇該遮罩層 104 的厚度與材料特性，以便提供欲形成於該主動區域 103B 中的凹穴 103R 所欲之偏移。此外，為了經由離子佈植於進一步的製造階段中形成汲極與源極延伸區域，亦可選擇該遮罩層 104 的寬度與材料特性，或者結合額外的材料，以便作為偏移間隔件(offset spacer)。在沉積該遮罩層 104 之後，可基於例如經建立良好的微影技術來形成該蝕刻遮罩 105。接下來，可實施非等向性蝕刻製程(anisotropic etch process)，以便蝕刻該遮罩層 104 之經曝露的部分，藉此得到該閘極電極結構 130B 之側壁間隔件 104S。接下

來，為了得到該等凹穴 103R，可適當地調適蝕刻化學作用 (etch chemistry)，以便蝕刻進入該主動區域 103B。

第 1c 圖係示意地描繪於進一步的製造階段中之半導體裝置 100。如圖所示，該電晶體 150B 可包括應變誘發半導體合金 108，取決於欲誘發的應變類型，該應變誘發半導體合金 108 可以矽/鍺合金、矽/碳合金、矽/鍺/錫合金及類似材料的形式設置。舉例而言，該材料 108 可代表矽/鍺合金，其中壓縮應變 (compressive strain) 被認為係有利於增強該電晶體 150B 之效能。再者，側壁間隔件 104S 亦可形成於該電極結構 130A 與該電阻結構 130C 之側壁上。

可以下列製程為基礎形成如第 1c 圖所示之半導體裝置 100。在形成該等凹穴 103R (如第 1b 圖所示) 之後，可移除該蝕刻遮罩 105 (如第 1b 圖所示)，且該半導體裝置可準備沉積該應變誘發半導體材料 108。在那之後，可基於經建立良好的製程配方 (process recipe) 來實施選擇性磊晶生長 (selective epitaxial growth) 製程，其中，可將顯著的材料沉積限定於該主動區域 103B 之經曝露區域 (exposed area)。於一些說明實施例中，可藉由形成遮罩 106 而繼續進一步的處理，該遮罩 106 可覆蓋該電晶體 150B，同時曝露出該電晶體 150A 與該電阻結構 130C。於一些說明實施例 (未顯示) 中，倘若認為適當，則第 1b 圖所示之遮罩層以及該間隔件 104 與該等蓋層 134 可被移除。然而，於所示之實施例中，可實施蝕刻製程 107，以便得到可使用於如先前所討論之進一步處理中的間隔件元件 104S。

應體認到，亦可在未設置該半導體合金 108 之情形下形成該等閘極電極結構 130A、130B 以及該電阻結構 130C，於此情況下，可針對各個零件 150A、150B 及 130C 共同地形成該等間隔件元件 104S。

第 1d 圖係示意地描繪於進一步的製造階段中之半導體裝置 100，如上所述，其中該等電晶體 150A、150B 可包括汲極與源極區域 151，並可能結合該電晶體 150B 中之應變誘發半導體合金 108。此外，該等閘極電極結構 130A、130B 與電阻結構 130C 可包括額外的間隔件結構 135，該間隔件結構 135 可由任何適當的材料組合(例如：二氧化矽材料結合氮化矽及類似材料)所組成。

該半導體裝置 100 可基於製程程序而形成，其中汲極與源極延伸區域可藉由離子佈植形成，該等間隔件 104S 可用以作為有效的偏移間隔件元件 (offset spacer element)。再者，如同先前所述，典型上，為了依據電晶體需求得到所欲之摻雜物分佈與梯度 (gradient)，可能需要複雜的摻雜物分佈 (dopant profile)，使得該汲極與源極區域 151 之 PN 接面之鄰近區域中可形成所謂的“暈圈形”佈植 (halo implantation) 區域或者經反摻雜的區域 (counter-doped region)。在那之後，為了得到該汲極與源極區域 151，可基於經建立良好的技術而形成該間隔件結構 135，並且接著實施進一步的佈植製程。在那之後，藉由一種或多種適當的退火製程，可活化該等摻雜物並重新結晶 (re-crystallize) 經佈植誘發的損傷 (implantation-induced

damage)。

第 1e 圖係示意地描繪於進一步的製造階段中之半導體裝置 100，其中可於該等電晶體 150A、150B 的汲極與源極區域 151 中形成金屬矽化物區域 152。於所示之實施例中，該蓋層 134 仍然存在於該等閘極電極結構 130A、130B 與該電阻結構 130C 中。因此，於對應的矽化製程期間，可沉積任何適當的耐冶金屬(refractory metal)(如鎳、白金(platinum)及類似金屬)，並且可接著進行熱處理，以利用矽物種啟始化學反應，其中可藉由該蓋層 134 保存該等結構 130A、130B 及 130C 之半導體材料 133。因此，可特別設計對應的矽化策略，以便能夠得到用於形成該等金屬矽化物區域 152 之優異條件。此外，當由於該金屬矽化物材料相較於該半導體 133 之優異導電率可能造成該電阻結構 130C 非所欲之矽化時，由於該蓋層 134 的存在，能夠可靠地避免矽化該電阻結構 130C，使得於一些說明實施例中，不必有經特別設計的遮罩層。因此，於習知的方法中，可能要設置適當的矽化遮罩，該矽化遮罩可例如經對準以便定義接觸區域(contact area)，同時覆蓋對應的電阻結構之實際電阻性本體(actual resistive body)。於所示之實施例中，可藉由該材料 133 設置對應的接觸區域，而無須金屬矽化物，藉此增強總體製程效率與製程均勻性(uniformity)。

第 1f 係示意地描繪該半導體裝置 100 之狀態，其中可於該等電晶體 150A、150B 與該電阻結構 130C 之上形成至

少一部分的層間介電材料(interlayer dielectric)140。舉例而言，於一些說明實施例中，該層間介電材料 140 可包括形成於該電晶體 150A 之上的應力誘發介電材料層 141A 與形成於該電晶體 150B 之上的第二應力誘發介電材料層 141B，其中該等層 141A、141B 之其中一者亦可形成於該電阻結構 130C 之上。如先前所指出，可藉由於電晶體中產生特定類型的應變而增強電晶體之效能。因為層 141A、141B 之個別位置非常接近該等電晶體 150A、150B，因此這些層之高內部應力程度(internal stress level)可增強該等電晶體 150A、150B 之效能。於所示之實施例中，當個別代表 N 通道電晶體與 P 通道電晶體時，該等層 141A、141B 可提供不同類型的內部應力(如用於該電晶體 150A 之拉張應力(tensile stress)以及用於該電晶體 150B 的壓縮應力)。如先前所述，倘若需要的話，該電晶體 150B 亦可包括該應變誘發半導體合金 108(如第 1d 圖所示)。於其他情況下，取決於總體製程策略，該等層 141A、141B 可提供不同的應力程度，如高度壓縮或拉張應力層結合中性應力層。再者，該材料 140 可包括填充材料(fill material)142(如二氧化矽材料)，並可基於任何適當的沉積技術進行沉積。可設置該材料 140 以便可靠地填充該等電晶體 150A、150B 與該電阻結構 130C 之間的任何空間。

第 1g 圖係示意地描繪於材料移除製程 109 期間之半導體裝置 100，於材料移除製程 109 期間可平坦化該層間介電材料 140。舉例而言，於一些說明實施例中，該材料



移除製程 109 可包括化學機械研磨(chemical mechanical polishing; CMP)製程或程序，其中，於第一步驟中，可移除該層 142 之材料，其中可施加經建立良好的製程配方，如果需要的話，該製程配方對於該層 141A、141B 之材料可顯現出一定程度的選擇性(selectivity)。因此，針對曝露出該等材料 141A、141B，可使用不同的研磨配方(polishing recipe)，例如：不同類型的研磨漿材料(slurry material)，以便對於該等材料 142 與 141A、141B 達到實質上相同的移除速率(removal rate)。因此，於該材料移除製程 109 期間，可曝露出該等閘極電極結構 130A、130B 中以及該電阻結構 130C 中之半導體材料 133 之表面區域(surface area)133S。

第 1h 圖係示意地描繪於進一步的製造階段中之半導體裝置 100，其中可藉由蝕刻遮罩 112(例如：以光阻遮罩或其他任何適當材料之形式所設置者)覆蓋該電阻結構 130C。可基於藉由材料移除製程 109(如第 1g 圖所示)所得到之經平坦化表面(planarized surface)依據任何經建立良好的微影技術形成該蝕刻遮罩 112。此外，該半導體裝置 100 可曝露於蝕刻環境 111，該蝕刻環境 111 可設計成用以相對於該層間介電材料 140 以及該等側壁間隔件 104S 選擇性地移除該半導體材料 133(如第 1g 圖所示)。因此，於該蝕刻製程期間，可於該等電晶體 150A、150B 之中形成開口 133A、133B。倘若該材料 133 包括顯著數量之矽，則可利用例如氫氟酸(hydrofluoric acid; HF)作為用於移除

任何可能已形成於該半導體材料 133 上之原有氧化物 (native oxide) 之蝕刻化學劑，如同濕式化學蝕刻製程般實施該蝕刻製程 111。在那之後，可使用任何適當的濕式化學或電漿輔助蝕刻配方。例如，於一些說明實施例中，可使用對應的基本溶液 (basic solution)，例如：以氫氧化鉀及類似材料之形式的溶液。於一個說明實施例中，可基於氫氧化四甲基銨 (tetra methyl ammonium hydroxide ; TMAH) 實施移除製程，該 TMAH 基本上代表光阻去除劑 (resist stripping agent)，然而，當使用於較高濃度與高溫時，該 TMAH 亦能夠有效率地移除矽或矽/鍺混合物。舉例而言，25 重量百分比之 TMAH 溶於水中於大約 80°C 可提供用於移除矽材料之有效蝕刻劑 (etch agent)，該蝕刻劑對於二氧化矽、氮化矽以及氮化鈦具有高度選擇性，使得移除製程能夠可靠地停止在該含金屬的蓋層 132 中或上。如先前所說明，於一些說明實施例中，可以具有適度高矽含量 (silicon content) 的矽材料或矽/鍺材料形式設置該半導體材料 133，其中，可以 N 型摻雜物種為基礎建立該摻雜程度，當使用 TMAH 時，該 N 型摻雜物種可於蝕刻製程 111 期間提供優異的蝕刻條件。也就是說，對於經 N 型摻雜的矽材料而言，相較於經 P 型摻雜的矽材料，TMAH 可顯現出蝕刻速率之增加與選擇性之加強。因此，可藉由利用 N 型摻雜物種加強總體製程可靠度 (process reliability) 與均勻性，其中，係藉由將 N 型摻雜物種合併入該材料 133 以調整該電阻結構 130C 之比電阻。

在形成該等開口 133A、133B 之後，為了得到用於該等電晶體 150A、150B 之高導電性閘極電極結構，可於這些開口中形成適當的含金屬材料，同時也能夠利用適當的功函數金屬而有效地調整這些電晶體之臨限電壓。舉例而言，適當的含金屬材料可用以得到該電晶體 150B 所欲之臨限電壓，該含金屬材料可利用氮化鉭(tantalum nitride)、氮化鈦及類似材料實現，其中，如果需要的話，可使用兩個或多個不同的層。在那之後，可自該電晶體 150A 選擇性地移除這些金屬，接下來為了適當地調整此電晶體之臨限電壓而沉積一種或多種含金屬材料。在那之後，可沉積進一步的電極材料，以便得到高導電性之電極結構。然而，應體認到，為了個別地調整該高 k 值介電材料層 131 之鄰近區域中之材料之功函數，可應用其他任何策略。舉例而言，為了得到兩種不同的功函數，可沉積特定材料並且在那之後進行局部處理，以便變更該材料之特性。

第 1i 圖係示意地描繪在上述製程程序之後的半導體裝置 100。如圖所示，該裝置可包括一種或多種功函數材料 136，該等功函數材料 136 可達到該電晶體 150B 所欲之功函數，其中該層 136 可包括氮化鉭、氮化鈦及類似材料。如圖所示，該層 136 亦可形成於該電阻結構 130C 之上，藉此避免曝露於蝕刻環境下，其中，為了自該電晶體 150A 移除該材料 136，可施加該蝕刻環境。此外，可代表用於該電晶體 150A 之功函數材料的進一步含金屬材料 137 可設置於該電晶體 150A 中以及該材料 136 上，並且亦可設

置於該電阻結構 130C 之上。例如，該材料 137 可包括鈦、鋁及類似金屬，其中該電晶體 150A 代表 N 通道電晶體，而該電晶體 150B 則代表 P 通道電晶體。然而，應體認到，取決於該等電晶體 150A、150B 之導電率類型，可使用其他任何適當的材料組合。此外，可沉積電極金屬 138(如鋁及類似金屬)，以便可靠地填充該等開口 133A、133B(如第 1h 圖所示)。

可基於如上所述之製程程序形成第 1i 圖中所描繪之半導體裝置 100，其中，應體認到，當有需要時，可施加用於增強總體製程效率的額外製程步驟。舉例而言，在沉積一層或多層 136 之後(該等層 136 可能包括兩種或多種不同的材料)，可沉積遮罩材料(如二氧化矽及類似材料)並且接著可圖案化該遮罩材料，以便覆蓋該電晶體 150B 與該電阻結構 130C。為此目的，為了曝露出該電晶體 150A，可使用微影技術結合濕式化學蝕刻配方(如氫氟酸)。在那之後，可例如基於濕式化學蝕刻配方至少自該電晶體 150A 移除該材料 136 之一個子層(sub-layer)，接著移除該電晶體 150B 與該電阻結構 130C 之上對應的蓋層。在那之後，可沉積該層 137 之一種或多種材料，接著沉積該層 138。接下來，如第 1i 圖所示，為了移除該等層 138、137 與 136 之過量材料，可施加材料移除製程 113(如 CMP 製程)。

第 1j 圖係示意地描繪在上述製程程序之後的半導體裝置 100。因此，該等電晶體 150A、150B 可分別包括精密的閘極電極結構 135A、135B，同時該電阻結構 130C 仍

然可包括該半導體材料 133(如第 1h 圖所示)。如圖所示，該閘極電極結構 135A 可包括該閘極金屬 138(如鋁)與該合金屬材料 137，而該合金屬材料 137 結合該蓋層 132 可達到所欲之功函數。同樣地，該閘極電極結構 135B 可包括材料 136 與 137 以及該電極金屬 138，藉此結合餘留的蓋層 132 為該電晶體 150B 定義適當的功函數。相反地，該電阻結構 130C 可具有經良好定義的電阻率，該電阻率係由該半導體 133 之材料組成(composition)與該半導體 133 中所包含的摻雜物程度以及該蓋層 132 之電阻率所決定。如先前所說明，由於該層 132 可具有經縮減之厚度，大約 1 至數奈米，可造成適度的高薄片電阻率，使得該材料 133 所造成之貢獻得以縮減，藉此能夠於適度的低摻雜物程度有效率地調整該結構 130C 之總體電阻值，藉此提供該電阻結構 130C 之電阻值之高度可控制性(controllability)與均勻性。此外，可依據下述製造程序形成該等電晶體 150A、150B，該製造程序可例如利用一種或多種應力誘發介電材料(如該等層 141A、141B)來提供所欲之優異電晶體特性，同時於該等電晶體 150A、150B 其中一者或兩者中亦可併入誘發應變的埋置式半導體材料(strain-inducing embedded semiconductor material)(如該電晶體 150B 中之半導體合金 108)。因此，可基於該等精密的閘極電極結構 135A、135B 實現任何進一步的裝置微縮，其中，亦可藉由避免併入該電極金屬 138 而將該電阻結構 130C 以具有面積效率的方式(area efficient manner)以低電容狀態予以設置。

參照第 1k 至 1l 圖，現在將描述進一步的說明實施例，其中，當認為該含金屬的蓋層之薄片電阻對於該電阻結構而言並不適當時，可於早期製造階段中在該電阻器區域中至少選擇性地移除該含金屬的蓋層。

第 1k 圖係示意地描繪於早期製造階段中之半導體裝置 100，其中包含高 k 值材料之閘極介電材料層 131 係結合該含金屬的蓋層 132 而沉積於該電晶體區域 110 與該電阻器區域 120 之上。此外，可設置蝕刻遮罩 114 以覆蓋該電晶體區域 110，同時曝露出該電阻器區域 120 或者該電阻器區域 120 之至少一部分，其中該電阻結構欲形成於該電阻器區域 120 之上。可以任何適當材料(如光阻材料、硬式遮罩(hard mask)材料及類似材料)之形式設置該遮罩 114。在那之後，可藉由任何適當的蝕刻配方(如濕式化學蝕刻配方及類似配方)來移除至少該層 132 之經曝露部分。於一些實施例中，當認為該材料 131 之特性變更對於進一步處理而言並不適當時，亦可移除該材料 131。於其他說明實施例中，由於可能認為該材料 131 之對應變更(例如：結合氧及類似變更)對於進一步處理與該電阻結構最終所得到之特性而言係可接受的，故可保留該層 131。

第 1l 圖係示意地描繪於進一步的製造階段中之半導體裝置 100，其中，該半導體材料 133 可形成於該等區域 110、120 之上，其中於該電阻器區域 120 之上至少移除該層 132 或者至少移除該層 132 之顯著部分。針對該材料 133 之沉積與該材料 133 之摻雜程度的調整，可如同先前所說

明般施加相同的準則。再者，當認為該等區域 110 與 120 之間的高度差異對於進一步處理而言並不適當時，則為了改善表面平坦度(surface flatness)可將該材料 133 平坦化。接著，為了得到取代性電極結構與電阻結構，如同先前所討論般，可藉由例如沉積蓋材料並且圖案化所得到之層堆疊來實施進一步之製程步驟，因此，該電阻結構之電阻值係完全由對應結構之幾何形狀與該材料 133 之比電阻率所決定。

所以，本發明之內容提供了半導體裝置及製造技術，於該製造技術中可以半導體材料(如多晶矽)為基礎於隔離結構之上形成多個電阻結構，並結合精密的閘極電極結構(包含高 k 值介電材料與含金屬的電極材料)。因此，可實現優異的封裝密度，而不會發生如同習知技術將以半導體為基礎的電阻器合併入半導體基板或 SOI 裝置之主動半導體層所造成之電阻結構效能之降低。此外，與其他習知方法相反的是，於習知方法中，可以金屬電極材料(如同精密閘極電極結構中所使用者)為基礎形成電阻結構，根據本說明書中所揭露之原則，該電阻結構之電阻值可藉由該半導體材料決定，亦即，可藉由該半導體材料之組成成分與摻雜程度決定，藉此降低寄生電容並且無須過度消耗昂貴的基板面積。

上述內容中所揭露之特定實施例僅為說明，熟悉此項技藝的人士透過本說明說所揭露之技術能夠對本發明做出不同但等效之變更與實現。舉例而言，上述所提出之製程

步驟可以不同順序實施。再者，除了以下申請專利範圍所描述者以外，並未意圖限制本說明書中所示之架構細節。因此，清楚了解到，以上所揭露之特定實施例可做出改變或變更，且所有變化皆係落於本發明之範疇與精神之內。因此，本說明書所尋求保護之範圍係如同以下申請專利範圍所提出者。

### 【圖式簡單說明】

可藉由參照以下說明配合附加圖式了解本發明內容，其中類似的參考編號係代表類似的元件，且其中；

第 1a 圖係根據說明實施例示意地描繪半導體裝置於早期製造階段之剖面圖，其中，可於電晶體區域與電阻器區域之上形成包括高 k 值介電材料與半導體材料之層堆疊；

第 1b 圖係根據說明實施例示意地描繪半導體裝置之剖面圖，其中，取代性閘極電極結構係形成於該等電晶體區域之上，而電阻結構係形成於該電阻器區域之上，且其中該等電晶體之其中一者係用以容置應變誘發半導體合金；

第 1c 至 1e 圖係根據說明實施例示意地描繪該半導體裝置於各種製造階段期間基於取代性閘極電極結構完成基本電晶體組構之剖面圖；

第 1f 至 1j 圖係根據說明實施例示意地描繪該半導體裝置於各種製造階段期間設置至少一部分的層間介電材料 (interlayer dielectric) 並且選擇性地取代該等取代性閘極電



極結構中的半導體材料，同時保存該電阻結構中之半導體材料；以及

第 1k 至 1l 圖係根據進一步說明實施例示意地描繪該半導體裝置於早期製造階段之剖面圖，其中，在沉積該半導體材料之前，可自該電阻器區域之上至少選擇性地移除形成於該高 k 值介電材料上的含金屬蓋材料。

儘管本發明說明書中所揭露之內容可以有各種不同的變更或替代形式，其中已藉由圖式中的範例顯示本發明之特定實施例，並且已於本說明書中進行詳細描述。應了解到，本說明書中的特定實施例並非意圖將本發明限制於所揭露之特殊形式，相反地，係意圖涵蓋落於由本發明所附加之申請專利範圍所定義的範疇內的所有變更、等效、以及替代形式。

#### 【主要元件符號說明】

100	半導體裝置	101	基板
102	絕緣層	103	半導體層
103A	主動區域	103B	主動區域
103D	隔離結構	103E	隔離結構
103R	凹穴	104	遮罩層
104S	側壁間隔件	105	蝕刻遮罩
106	遮罩	107	蝕刻製程
108	應變誘發半導體材料	109	材料移除製程
110	電晶體區域	111	蝕刻環境
112	蝕刻遮罩	114	蝕刻遮罩

120	電阻器區域	130	電阻結構
130A	閘極電極結構	130B	閘極電極結構
130C	電阻結構	131	敏感材料
132	含金屬的蓋層	133	半導體材料
133A	開口	133B	開口
133S	表面區域	134	介電材料蓋層
135	間隔件結構	136	功函數材料
137	含金屬材料	138	電極金屬
140	層間介電材料	141A	應力誘發介電材料層
141B	應力誘發介電材料層	142	填充材料
150A	電晶體	150B	電晶體
151	汲極與源極區域	152	金屬矽化物區域

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99114739 H01L 27/06 (2006.01)  
 ※申請日： 99.5.10 ※IPC 分類： H01L 21/022 (2006.01)

## 一、發明名稱：(中文/英文)

包含金屬閘極及形成在隔離結構上之含矽電阻器的  
 半導體裝置

SEMICONDUCTOR DEVICE COMPRISING METAL GATES AND  
 A SILICON CONTAINING RESISTOR FORMED ON AN  
 ISOLATION STRUCTURE

## 二、中文發明摘要：

於包括有依據取代性閘極方法所形成之精密高 k 值金屬閘極結構的半導體裝置中，可於隔離結構上方形成以半導體為基礎的電阻器而實質上不會受到該取代性閘極方法所影響。因此，相較於習知策略(其中，該等電阻結構可能必須基於閘極電極金屬而設置)而言，可達到增強的面積效率，惟由於在該隔離結構上方設置該等電阻結構，故可同時實現低寄生電容。

## 三、英文發明摘要：

In a semiconductor device comprising sophisticated high-k metal gate structures formed in accordance with a replacement gate approach, semiconductor-based resistors may be formed above isolation structures substantially without being influenced by the replacement gate approach. Consequently, enhanced area efficiency may be achieved compared to conventional strategies, in which the resistive structures may have to be provided on the basis of a gate electrode metal, while, nevertheless, a low parasitic capacitance may be accomplished due to providing the resistive structures above the isolation structure.

## 七、申請專利範圍：

## 1. 一種半導體裝置，包括：

電晶體元件，係包括閘極電極結構，該閘極電極包括高k值閘極介電材料與形成於該高k值閘極介電材料上方的含金屬電極材料；以及

電阻器，係形成於隔離結構上方，該電阻器包括經摻雜的半導體材料。

2. 如申請專利範圍第1項所述之半導體裝置，其中，該電阻器復包括形成於該高k值閘極電極材料之層上的含金屬材料之層。

3. 如申請專利範圍第1項所述之半導體裝置，其中，該經摻雜的半導體材料係形成於絕緣材料上。

4. 如申請專利範圍第1項所述之半導體裝置，其中，該經摻雜的半導體材料包括矽。

5. 如申請專利範圍第1項所述之半導體裝置，其中，該經摻雜的半導體材料包括鍺。

6. 如申請專利範圍第5項所述之半導體裝置，其中，該經摻雜的半導體材料之鍺含量係大約10個原子百分比或更高。

7. 如申請專利範圍第1項所述之半導體裝置，其中，該閘極電極結構具有大約50奈米或更短的閘極長度。

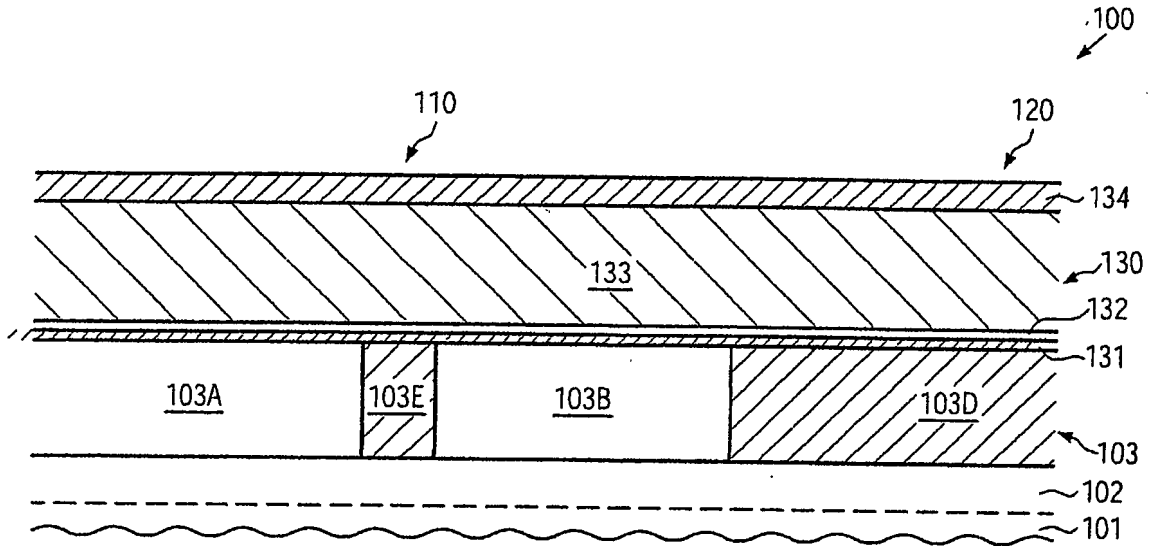
8. 如申請專利範圍第1項所述之半導體裝置，其中，該電晶體元件復包括形成於該電晶體元件之主動區域中之應變誘發半導體合金。

9. 如申請專利範圍第 1 項所述之半導體裝置，復包括第二電晶體元件，該第二電晶體元件包括第二閘極電極結構，該第二閘極電極結構包含該高 k 值閘極介電材料與不同於該含金屬電極材料之第二含金屬電極材料。
10. 如申請專利範圍第 9 項所述之半導體裝置，復包括形成於該電晶體元件上方的第一應力誘發介電材料層與形成於該第二電晶體元件上方的第二應力誘發介電材料層，其中，該第一與第二應力誘發介電材料層誘發不同類型的應力。
11. 一種形成半導體裝置之電阻結構之方法，該方法包括：
  - 於該半導體裝置之電晶體區域與電阻器區域上方形成層堆疊，該層堆疊包括高 k 值介電材料、含金屬的蓋材料以及半導體材料，該電阻器區域包括隔離結構；
  - 調整該半導體材料中之摻雜物程度，以便得到該電阻結構之目標電阻率；
  - 於該電晶體區域中形成取代性閘極電極結構，並且基於該層堆疊而於該電阻器區域中於該隔離結構上方形成該電阻結構；以及
  - 於該取代性閘極電極結構中選擇性地取代該半導體材料，同時實質上保存該電阻結構中之該半導體材料。
12. 如申請專利範圍第 11 項所述之方法，復包括以該取代性閘極電極結構為基礎形成電晶體，於該電晶體與該電阻結構上方形成介電材料，並且於形成該介電材料之後選擇性地取代該半導體材料。

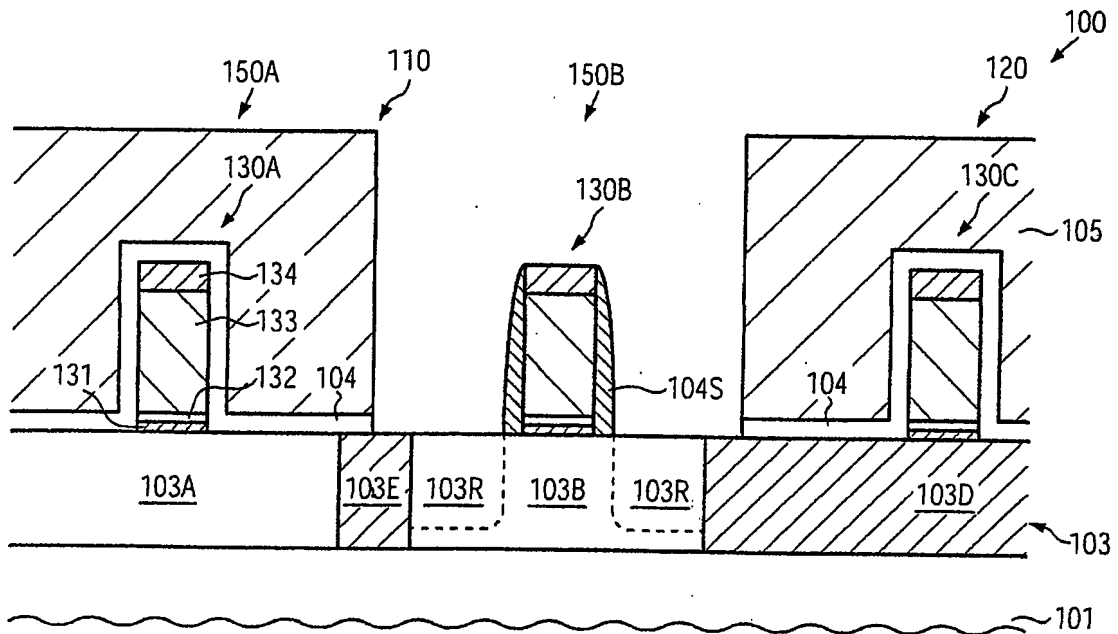
13. 如申請專利範圍第 12 項所述之方法，其中，形成該介電材料係包括沉積應力誘發材料，以便於該電晶體之通道區域中誘發應變。
14. 如申請專利範圍第 12 項所述之方法，復包括在形成該電晶體之汲極與源極區域之前，於該電晶體區域中形成應變誘發區域。
15. 如申請專利範圍第 11 項所述之方法，其中，調整該摻雜物程度係包括於沉積期間摻雜該半導體材料。
16. 如申請專利範圍第 11 項所述之方法，其中，調整該摻雜物程度係包括實施無遮罩佈植製程。
17. 如申請專利範圍第 12 項所述之方法，其中，形成該層堆疊係包括於該半導體材料上方形成蓋層，並且在該電晶體之汲極與源極區域中形成金屬矽化物之後，移除該蓋層。
18. 如申請專利範圍第 11 項所述之方法，其中，形成該電阻結構係包括保存該隔離結構上方的該高 k 值介電材料與該含金屬的蓋材料。
19. 如申請專利範圍第 11 項所述之方法，其中，形成該電阻結構係包括在形成該取代性閘極電極結構與該電阻結構之前，自該電阻器區域上方至少移除該含金屬的蓋材料。
20. 如申請專利範圍第 11 項所述之方法，其中，形成該層堆疊係包括至少沉積矽與鍺之其中一者作為該半導體材料。

21. 如申請專利範圍第 11 項所述之方法，其中，調整該摻雜物程度係包括將 N 型摻雜物種引進該半導體材料。
22. 一種方法，包括：
- 於主動半導體區域上方形成取代性閘極電極結構以及於隔離結構上方形成電阻結構，該取代性閘極電極結構與該電阻結構包括具有特定的摻雜物程度以達到該電阻結構之目標電阻值之半導體材料；
- 形成遮罩以便覆蓋該電阻結構，並且曝露出該取代性閘極電極結構；
- 自該取代性閘極電極結構選擇性地移除該半導體材料；
- 於該取代性閘極電極結構與該電阻結構上方形成含金屬的電極材料；以及
- 移除該含金屬的電極材料之過量材料，以便設置金屬閘極電極結構。
23. 如申請專利範圍第 22 項所述之方法，復包括在移除該半導體材料之前，於該主動區域中形成汲極與源極區域。
24. 如申請專利範圍第 23 項所述之方法，復包括於該半導體材料上方形成蓋層，並且在該汲極與源極區域中形成金屬矽化物之後，自該取代性閘極電極結構與該電阻結構移除該蓋層。
25. 如申請專利範圍第 22 項所述之方法，復包括利用 N 型摻雜物種調整該摻雜物程度。

八、圖式：

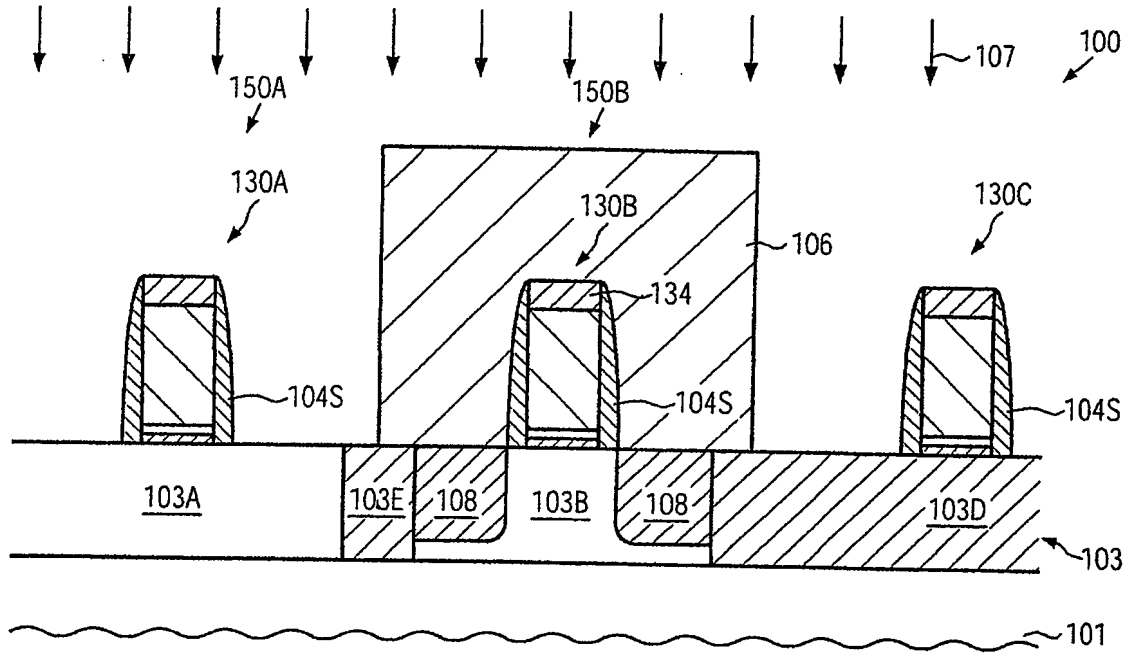


第 1a 圖

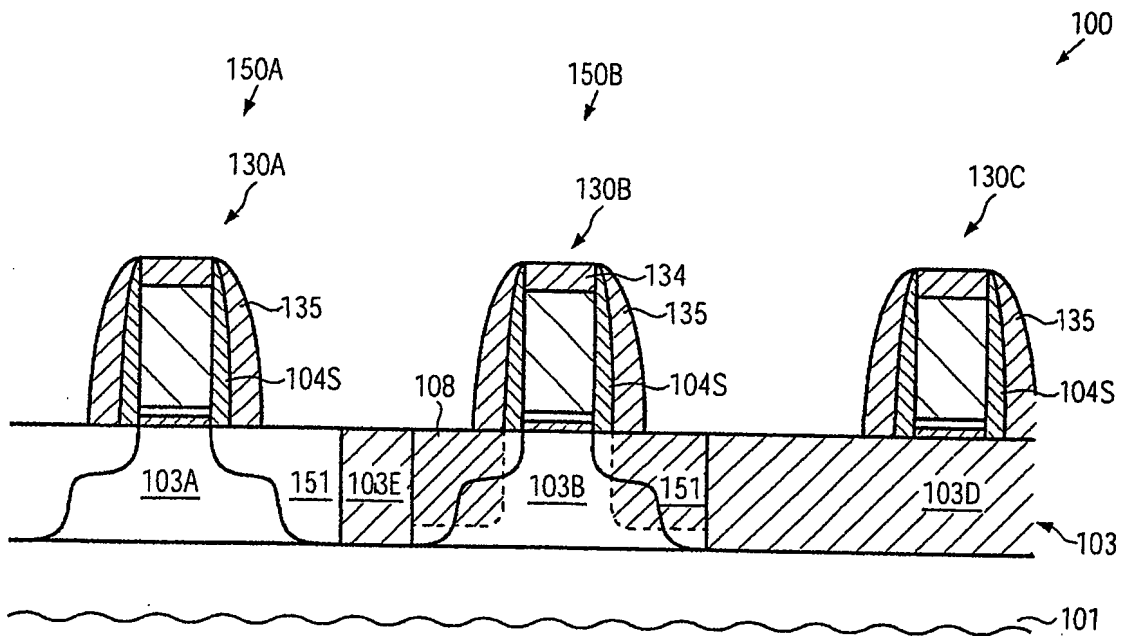


第 1b 圖

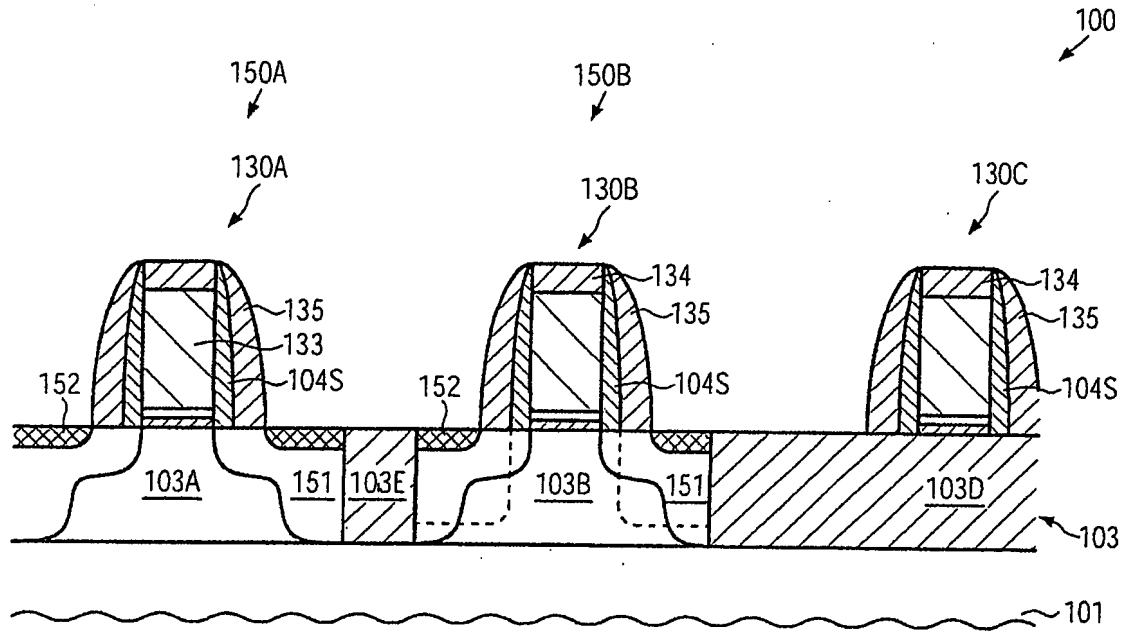




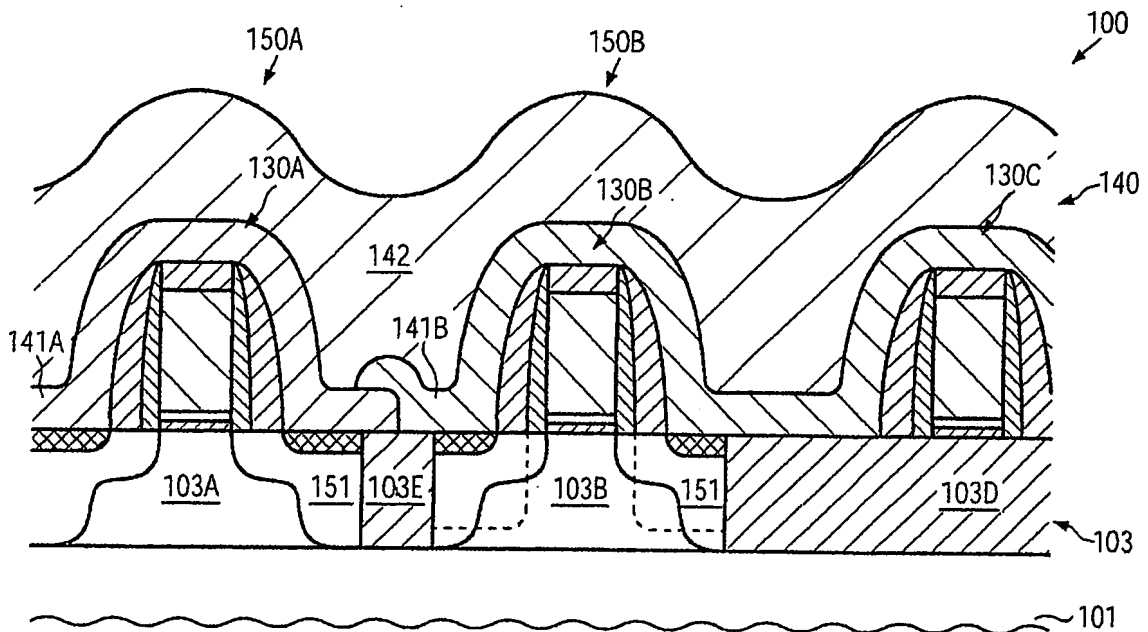
第 1c 圖



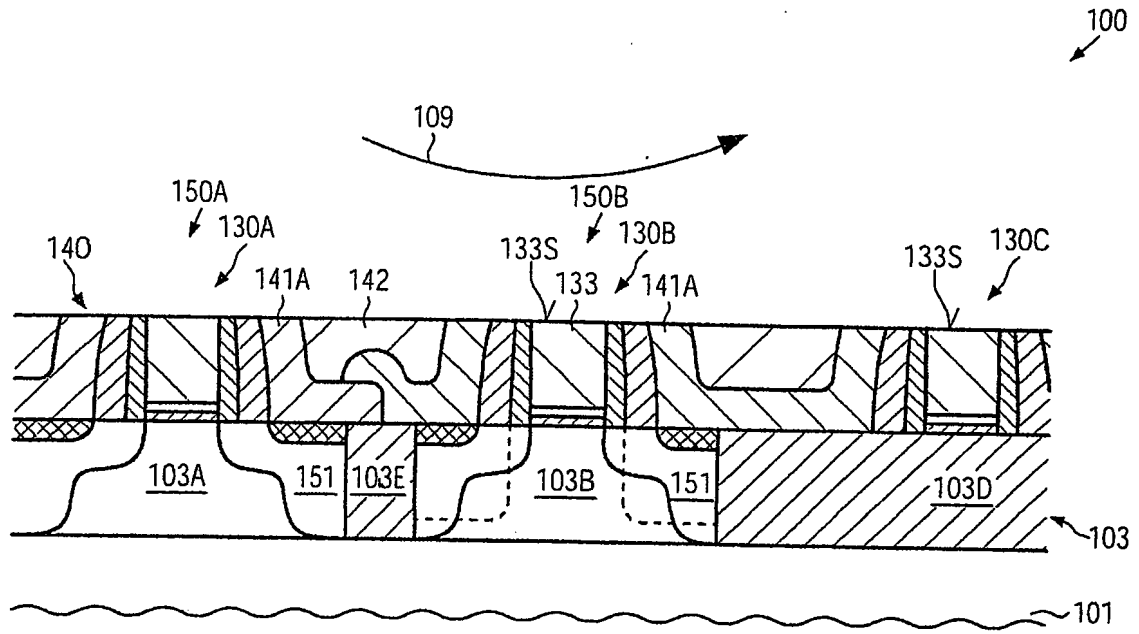
第 1d 圖



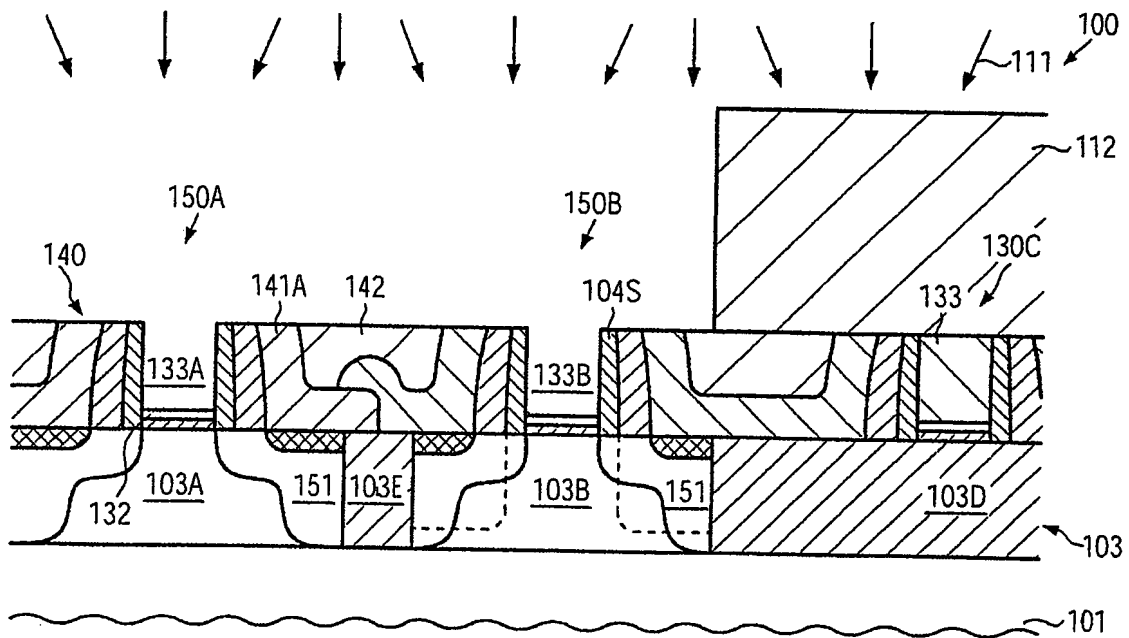
第 1e 圖



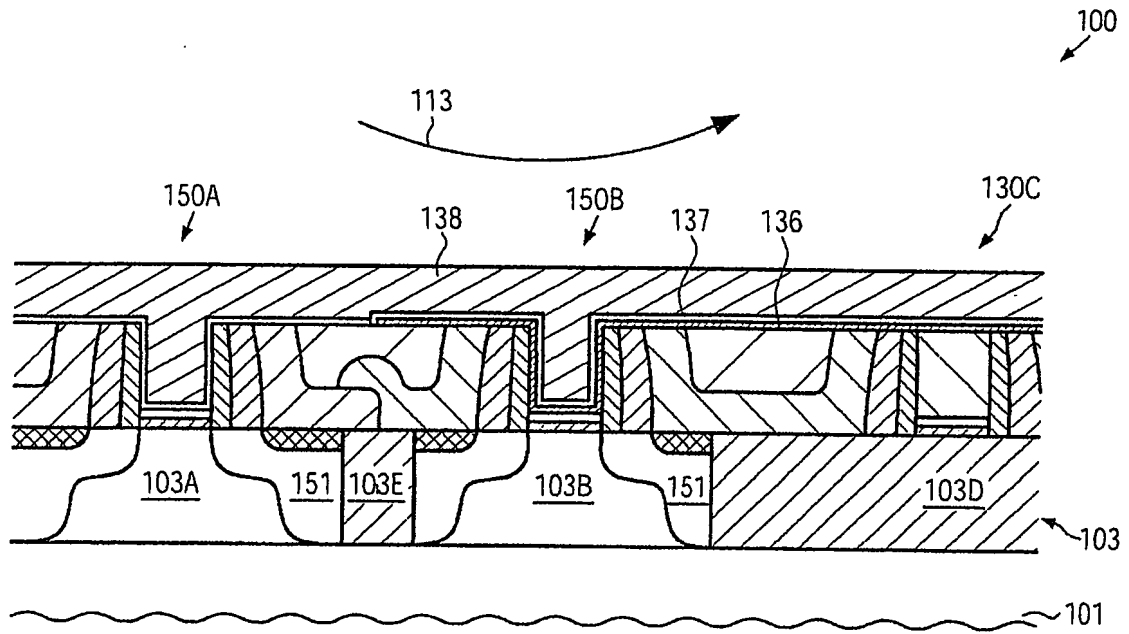
第 1f 圖



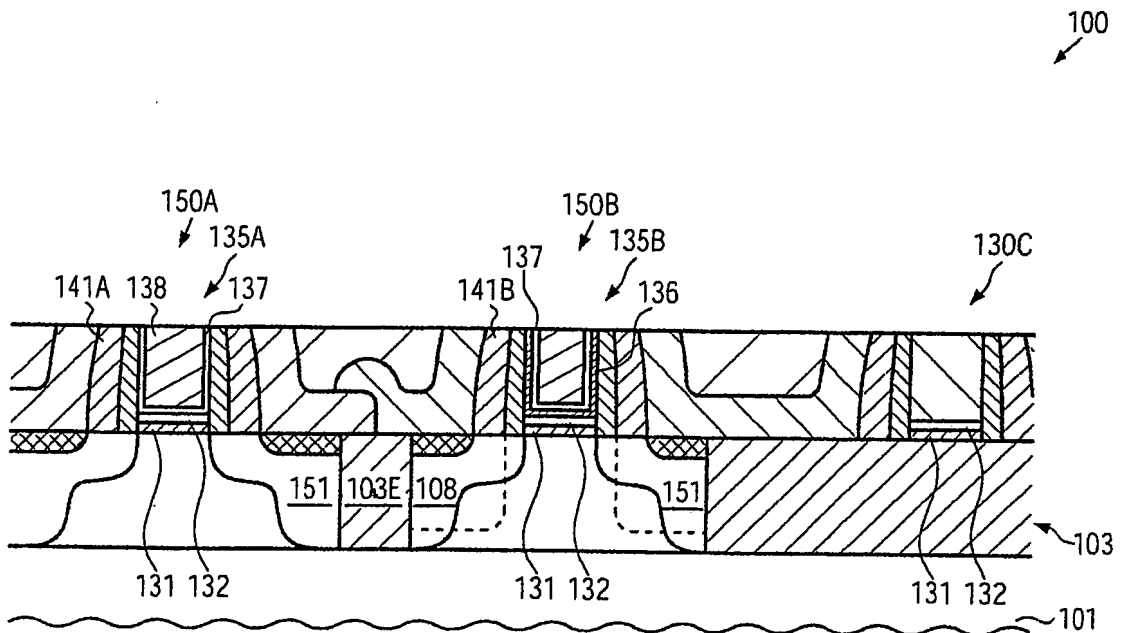
第 1g 圖



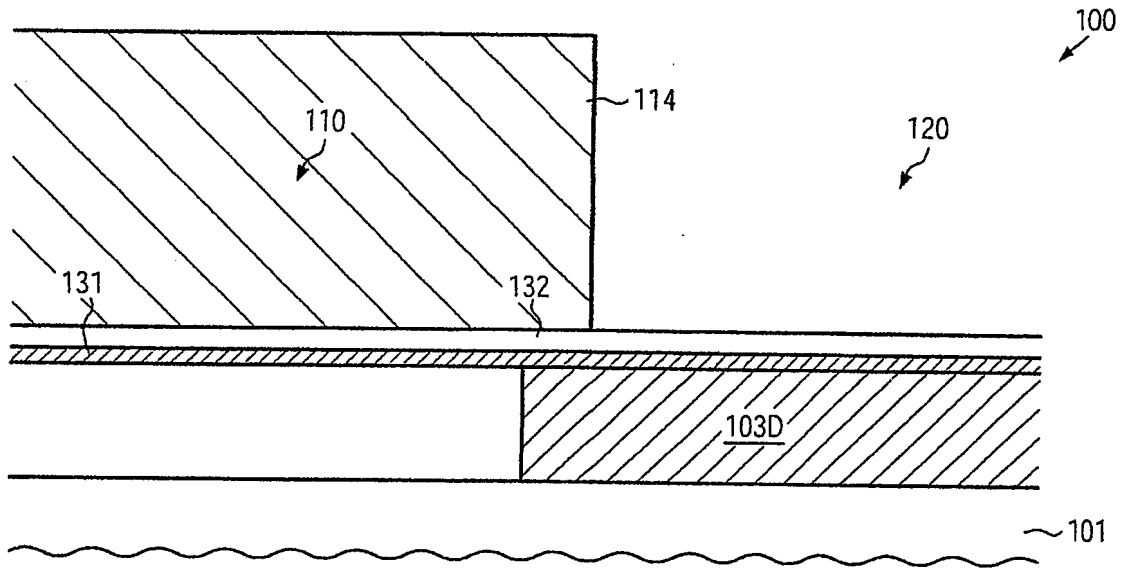
第 1h 圖



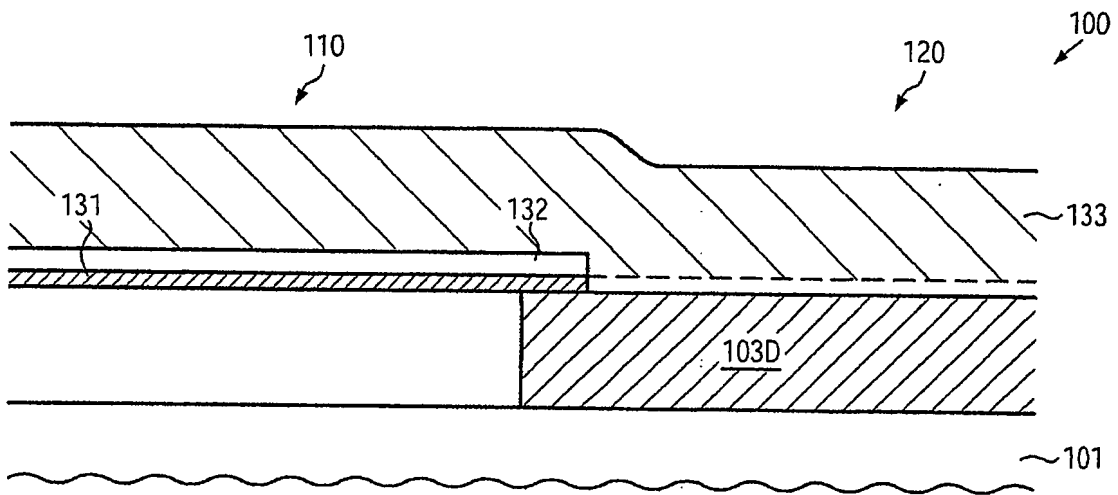
第 1i 圖



第 1j 圖



第 1k 圖



第 1l 圖

## 四、指定代表圖：

(一)本案指定代表圖為：第(1b)圖。

(二)本代表圖之元件符號簡單說明：

100	半導體裝置	101	基板
103	半導體層	103A	主動區域
103B	主動區域	103D	隔離結構
103E	隔離結構	103R	凹穴
104	遮罩層	104S	側壁間隔件
105	蝕刻遮罩	110	電晶體區域
120	電阻器區域	130A	閘極電極結構
130B	閘極電極結構	130C	電阻結構
131	敏感材料	132	含金屬的蓋層
133	半導體材料	134	介電材料蓋層
150A	電晶體	150B	電晶體

## 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。