



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202011566 A

(43)公開日：中華民國 109 (2020) 年 03 月 16 日

(21)申請案號：108101918

(22)申請日：中華民國 108 (2019) 年 01 月 18 日

(51)Int. Cl. : H01L25/00 (2006.01)

H01L21/48 (2006.01)

(30)優先權：2018/09/12 日本

2018-170689

(71)申請人：日商東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)
日本

(72)發明人：本郷悟史 HONGO, SATOSHI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：9 項 圖式數：10 共 32 頁

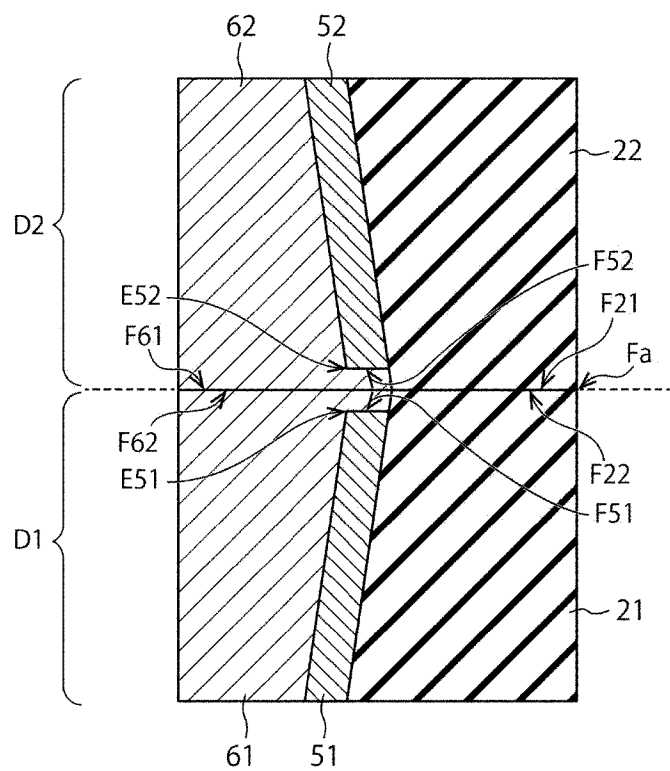
(54)名稱

半導體裝置及其製造方法

(57)摘要

實施形態提供一種可良好地貼合複數個半導體基板上之材料層之半導體裝置及其製造方法。實施形態之半導體裝置具備第 1 半導體基板、第 1 絕緣膜、第 1 金屬層、第 1 電極部、第 2 半導體基板、第 2 絕緣膜、及第 2 電極部。第 1 絕緣膜設置於第 1 半導體基板之第 1 面，且形成有第 1 槽。第 1 金屬層被覆第 1 槽之內表面。第 1 電極部設置於第 1 金屬層上並嵌入至第 1 槽內。第 2 半導體基板具有與第 1 半導體基板之第 1 面對向之第 2 面。第 2 絕緣膜設置於第 2 半導體基板之第 2 面，與第 1 絕緣膜貼合，且形成有第 2 槽。第 2 電極部嵌入至第 2 槽內，並與第 1 電極部連接。第 1 金屬層之端部比第 1 絕緣膜之表面更向第 1 半導體基板側凹陷。

指定代表圖：



【圖2】

符號簡單說明：

21:絕緣膜

22:絕緣膜

51:阻障金屬

52:阻障金屬

61:電極

62:電極部

D1:第 1 裝置

D2:第 2 裝置

E51:端部

E52:端部

F21:表面

F22:表面

F51:表面

F52:表面

F61:表面

F62:表面

Fa:貼合面

【發明說明書】

【中文發明名稱】

半導體裝置及其製造方法

【技術領域】

【0001】 本實施形態係關於一種半導體裝置及其製造方法。

【先前技術】

【0002】 正在開發將複數個半導體基板貼合而將分別形成於該複數個半導體基板之電極等相互連接之技術。然而，存在當使半導體基板上之材料層平坦化時其一部分突出之情形。於該情形時，當貼合半導體基板時，有於半導體基板間之界面形成間隙而導致產生電極間之連接不良或者半導體基板間之貼合不良之虞。

【發明內容】

【0003】 實施形態提供一種可良好地貼合複數個半導體基板上之材料層之半導體裝置及其製造方法。

【0004】 實施形態之半導體裝置具備第1半導體基板、第1絕緣膜、第1金屬層、第1電極部、第2半導體基板、第2絕緣膜、及第2電極部。第1絕緣膜設置於第1半導體基板之第1面，且形成有第1槽。第1金屬層被覆第1槽之內表面。第1電極部設置於第1金屬層上並嵌入至第1槽內。第2半導體基板具有與第1半導體基板之第1面對向之第2面。第2絕緣膜設置於第2半導體基板之第2面，與第1絕緣膜貼合，且形成有第2槽。第2電極部嵌入至第2槽內，並與第1電極部連接。第1金屬層之端部比第1絕緣膜之表面更向第1半導體基板側凹陷。

【圖式簡單說明】

【0005】

圖1係表示本實施形態之半導體裝置之配線部分之一例之剖視圖。

圖2係表示圖1之虛線框B內之構成例之剖視圖。

圖3(A)～圖6(B)係表示第1裝置D1之製造方法之一例之剖視圖。

圖7(A)及(B)係圖6(A)及(B)所示之虛線框B之放大剖視圖。

圖8(A)～圖9(C)係對第1基板與第2基板之貼合過程進行說明之圖。

圖10係表示於貼合面偏移之第1及第2裝置之一部分之剖視圖。

【實施方式】

【0006】 以下，參照圖式對本發明之實施形態進行說明。本實施形態並不限定本發明。於以下之實施形態中，半導體基板之上下方向表示將設置有半導體元件之表面或其相反側之背面設為上之情形時之相對方向，存在與依據重力加速度之上下方向不同之情形。圖式係模式圖或概念圖，各部分之比率等未必與實物相同。於說明書與圖式中，對於與關於已出現過之圖式而於上文中說明過之要素相同之要素標註相同之符號，並適當省略詳細之說明。

【0007】 圖1係表示本實施形態之半導體裝置之配線部分之一例之剖視圖。半導體裝置1包含設置於基板11之第1裝置D1、及設置於基板12之第2裝置D2。第1及第2裝置D1、D2並無特別限定，例如可為半導體存儲器及其控制器。

【0008】 (第1裝置D1之構成)

第1裝置D1具備基板11、絕緣膜21、配線31、接觸插塞41、阻障金屬51、及電極部61。

【0009】 作為第1半導體基板之基板11例如為矽基板，於其表面(第

1面)F11設置有半導體元件(未圖示)。半導體元件例如為電晶體、記憶體陣列、電阻元件、電容器等。

【0010】 於基板11之表面F11之上方，以被覆半導體元件之方式設置有作為第1絕緣膜之絕緣膜21。絕緣膜21例如使用矽氧化膜等絕緣膜。於絕緣膜21與配線31之間設置有擋止膜ST1。擋止膜ST1係作為形成接觸插塞41時之蝕刻擋塊發揮功能。擋止膜ST1例如使用矽氮化膜等。

【0011】 於絕緣膜21內設置有配線31。配線31經由接點或其他配線電性連接於設置於基板11之半導體元件。又，於絕緣膜21內設置有接觸插塞41。接觸插塞41設置於配線31與阻障金屬51或電極部61之間，並將其等電性連接。配線31及接觸插塞41例如使用銅、鋁、鎢等低電阻金屬。

【0012】 進而，於絕緣膜21內埋設有阻障金屬51及電極部61。作為第1電極部之電極部61嵌入至設置於絕緣膜21之第1槽T1內，並設置於第1槽T1內之阻障金屬51上。電極部61具有於絕緣膜21之表面F21露出之表面(第1電極面)F61。表面F61與絕緣膜21之表面F21幾乎成為同一平面。電極部61例如使用銅等導電性金屬。

【0013】 作為第1金屬層之阻障金屬51設置於絕緣膜21與電極部61之間，抑制電極部61之材料向絕緣膜21擴散。阻障金屬51幾乎被覆設置於絕緣膜21之第1槽T1之內表面，且幾乎被覆電極部61之表面F61以外之側面及底面。阻障金屬51之端部之表面F51比絕緣膜21之表面F21更向基板11側凹陷。阻障金屬51例如使用鈦等導電性金屬。關於阻障金屬51之端部附近之構成，參照圖2於下文中進行說明。

【0014】 (第2裝置D2之構成)

第2裝置D2具備基板12、絕緣膜22、配線32、接觸插塞42、阻障金

屬52、及電極部62。第2裝置D2具有與第1裝置D1類似之配線構成，但上下關係相對於第1裝置D1顛倒。第2裝置D2於絕緣膜22與第1裝置D1之絕緣膜21貼合。絕緣膜21與絕緣膜22之貼合面表示成Fa。

【0015】 作為第2半導體基板之基板12例如為矽基板，具有與基板11之表面F11對向之表面(第2面)F12。於基板12之表面F12設置有半導體元件(未圖示)。

【0016】 於基板12之表面F12之上方，以被覆半導體元件之方式設置有作為第2絕緣膜之絕緣膜22。絕緣膜22例如使用矽氧化膜等絕緣膜。絕緣膜22於貼合面Fa貼合於第1裝置D1之絕緣膜21。於絕緣膜22與配線32之間設置有擋止膜ST2。擋止膜ST2係作為形成接觸插塞42時之蝕刻擋塊發揮功能。擋止膜ST2例如使用矽氮化膜等。

【0017】 於絕緣膜22內設置有配線32。配線32經由接點或其他配線電性連接於設置於基板12之半導體元件。又，於絕緣膜22內設置有接觸插塞42。接觸插塞42設置於配線32與阻障金屬52或電極部62之間，並將其等電性連接。配線32及接觸插塞42例如使用銅、鋁、鎢等低電阻金屬。

【0018】 進而，於絕緣膜22內埋設有阻障金屬52及電極部62。作為第2電極部之電極部62嵌入至設置於絕緣膜22之第2槽T2內，並設置於第2槽T2內之阻障金屬52上。電極部62具有於絕緣膜22之表面F22露出之表面(第2電極面)F62。表面F62與絕緣膜22之表面F22幾乎成為同一平面。電極部62於貼合面Fa與第1裝置D1之電極部61連接。電極部62例如使用銅等導電性金屬。

【0019】 作為第2金屬層之阻障金屬52設置於絕緣膜22與電極部62

之間，抑制電極部62之材料向絕緣膜22擴散。阻障金屬52幾乎被覆設置於絕緣膜22之第2槽T2之內表面，且幾乎被覆電極部62之表面F62以外之側面及底面。阻障金屬52之端部之表面F52比絕緣膜22之表面F22更向基板12側凹陷。阻障金屬52例如使用鈦等導電性金屬。關於阻障金屬52之端部附近之構成，參照圖2進行說明。

【0020】 圖2係表示圖1之虛線框B內之構成例之剖視圖。第1裝置D1之絕緣膜21與第2裝置D2之絕緣膜22於貼合面Fa被貼合。電極部61與電極部62亦於貼合面Fa被貼合。於該情形時，絕緣膜21之表面F21及絕緣膜22之表面F22幾乎與貼合面Fa一致。電極部61之表面F61及電極部62之表面F62亦幾乎與貼合面Fa一致。再者，電極部61及電極部62只要相互連接即可，表面F61、F62之界面可自貼合面Fa向上下方向略微偏移。

【0021】 另一方面，阻障金屬51之端部E51之表面F51比絕緣膜21之表面F21更向基板11側凹陷。又，表面F51比電極部61之表面F61更向基板11側凹陷。因此，阻障金屬51自絕緣膜21之表面F21及電極部61之表面F61(即貼合面Fa)凹陷。電極部61或62之材料(例如銅)進入阻障金屬51之凹部(表面F51與貼合面Fa之間)。

【0022】 阻障金屬52之端部E52之表面F52比絕緣膜22之表面F22更向基板12側凹陷。進而，阻障金屬52之端部E52之表面F52比電極部62之表面F62更向基板12側凹陷。因此，阻障金屬52從絕緣膜22之表面F22及電極部62之表面F62(即貼合面Fa)凹陷。電極部61或62之材料(例如銅)進入阻障金屬52之凹部(表面F52與貼合面Fa之間)。如此，於阻障金屬51之端部E51與阻障金屬52之端部E52之間之間隙設置電極部61、62之材料。

【0023】 如下所述，於剛將基板11、12貼合後，於阻障金屬51之端

部E51與阻障金屬52之端部E52之間存在間隙。藉由之後之熱處理而電極部61、62之材料(例如銅)膨脹，電極部61、62之材料進入阻障金屬51之端部E51與阻障金屬52之端部E52之間。因此，結果將電極部61、62之材料設置於阻障金屬51之端部E51與阻障金屬52之端部E52之間。

【0024】再者，參照圖10於下文中進行說明，阻障金屬51之端部E51之表面F51與阻障金屬52之端部E52之表面F52未必相互對向。於阻障金屬51、52之位置於貼合面Fa內偏移之情形時，亦存在阻障金屬51之端部E51與絕緣膜22或電極部62對向之情形。亦存在阻障金屬52之端部E52與絕緣膜21或電極部61對向之情形。於該情形時，電極部61、62之材料(例如銅)進入阻障金屬51之端部E51與絕緣膜22或電極部62之間。電極部61、62之材料(例如銅)進入阻障金屬52之端部E52與絕緣膜21或電極部61之間。

【0025】如是，藉由使阻障金屬51之端部E51比絕緣膜21之表面F21更向基板11側凹陷，當將基板11、12相互貼合時，阻障金屬51不會碰觸絕緣膜22、阻障金屬52或電極部62，而不會妨礙絕緣膜21與絕緣膜22之間之貼合。同樣地，藉由使阻障金屬52之端部E52比絕緣膜22之表面F22更向基板12側凹陷，當將基板11、12相互貼合時，阻障金屬52不會碰觸絕緣膜21、阻障金屬51或電極部61，而不會妨礙絕緣膜21與絕緣膜22之間之貼合。藉此，可抑制電極部61、62間之連接不良、或者基板11、12之貼合不良。

【0026】另一方面，阻障金屬51、52之端部E51、E52之凹部使絕緣膜21、22之表面F21、F22間產生間隙。然而，於熱處理中，電極部61、62之材料進入該間隙。因此，結果表面F21、F22間之間隙被電極部

61、62之材料掩埋。又，即便電極部61與電極部62之間存在間隙，亦會因熱處理中之電極部61、62之材料膨脹而將該間隙掩埋

【0027】再者，可如圖2所示般阻障金屬51、52兩者均凹陷，亦可為阻障金屬51、52中之其中一者凹陷。原因在於即便僅阻障金屬51、52中之其中一者凹陷，亦可於某種程度上抑制第1裝置D1與第2裝置D2之間之間隙。

【0028】繼而，對第1及第2裝置D1、D2之製造方法進行說明。

【0029】圖3(A)～圖6(B)係表示第1裝置D1之製造方法之一例之剖視圖。再者，第2裝置D2於平面佈局上有時亦與第1裝置D1不同，但只要藉由基本相同之製造方法形成即可。因此，對第1裝置D1之製造方法進行說明，而適當省略第2裝置D2之製造方法之說明。圖3(A)～圖7(B)之括號內之參照編號與第2裝置D2之構成要素對應。

【0030】首先，於基板11之表面(第1面)F11上形成電晶體等半導體元件(未圖示)。繼而，如圖3(A)所示，於基板11之表面F11之上方形形成被覆半導體元件之層間絕緣膜ILD1，於層間絕緣膜ILD1內形成配線31。進而，於層間絕緣膜ILD1及配線31上形成擋止膜ST1及絕緣膜(第1絕緣膜)21。擋止膜ST1例如為矽氮化膜，絕緣膜21例如為矽氧化膜。

【0031】繼而，於絕緣膜21上堆積遮罩材70，並使用光微影技術及蝕刻技術對遮罩材70進行加工，形成導通孔VH1之圖案。遮罩材70例如使用矽氧化膜等絕緣膜。

【0032】繼而，如圖3(B)所示，將遮罩材70用作遮罩，並利用RIE(Reactive Ion Etching，反應性離子蝕刻)法對絕緣膜21進行加工。藉此，於絕緣膜21形成導通孔VH1。此時，擋止膜ST1係作為蝕刻擋塊發揮

功能，導通孔VH1形成至擋止膜ST1之表面。

【0033】 將遮罩材70去除後，如圖4(A)所示，將遮罩材80堆積於導通孔VH1內及絕緣膜21上。遮罩材80例如使用矽氧化膜等絕緣膜。繼而，使用光微影技術於遮罩材80上形成抗蝕劑82，並將電極部61之形成區域之抗蝕劑82去除。

【0034】 繼而，如圖4(B)所示，將抗蝕劑82用作遮罩，對遮罩材80進行蝕刻。藉此，將電極部61之形成區域之遮罩材80去除。再者，導通孔VH1內之遮罩材80之一部分殘留下來。

【0035】 繼而，如圖5(A)所示，將遮罩材80用作遮罩，並利用RIE法對絕緣膜21進行蝕刻。藉此，將電極部61之形成區域之絕緣膜21去除，形成作為第1槽之溝槽TR1。此時，電極部61之形成區域之絕緣膜21之一部分殘留，且導通孔VH1殘留於絕緣膜21之下部。再者，藉由該蝕刻將導通孔VH1內之遮罩材80。

【0036】 繼而，對位於導通孔VH1之底部之擋止膜ST1進行蝕刻，藉此，如圖5(A)所示，使配線31於導通孔VH1之底部露出。

【0037】 將遮罩材80去除後，於導通孔VH1之內表面及溝槽TR1之內表面被覆作為第1金屬層之阻障金屬51。進而，於阻障金屬51上堆積電極部61之材料，將作為第1電極部之電極部61之材料填充至溝槽TR1內。阻障金屬51例如使用鈦。電極部61之材料例如使用銅。

【0038】 繼而，如圖6(A)所示，使用CMP(Chemical Mechanical Polishing，化學機械研磨)法對電極部61及阻障金屬51之材料進行研磨直至絕緣膜21露出。藉此，形成嵌入至溝槽TR1及導通孔VH1內之電極部61及阻障金屬51。

【0039】此處，即便利用CMP法平坦化，亦存在阻障金屬51自絕緣膜21或電極部61略微突出之情形。例如，圖7(A)係圖6(A)所示之虛線框B之放大剖視圖。於圖7(A)中示出剛利用CMP法平坦化後之阻障金屬51之端部E51及其周邊。絕緣膜21與電極部61被平坦化成幾乎相同之高度，阻障金屬51之端部E51之表面F51比絕緣膜21之表面F21及電極部61之表面F61更向遠離基板11之方向DR1突出。例如，相對於絕緣膜21之表面F21之阻障金屬51之表面F51之高度(突出之高度)約為8 nm。若阻障金屬51之端部E51以如上方式突出，則如上所述，當使基板11與基板12貼合時，會導致於絕緣膜21與絕緣膜22之間產生間隙。

【0040】因此，於本實施形態中，如圖6(B)所示，於對阻障金屬51及電極部61進行研磨後，選擇性地對阻障金屬51進行蝕刻，使其端部E51比電極部61之表面F61及/或絕緣膜21之表面F21更向基板11側凹陷。例如，圖7(B)係圖6(B)所示之虛線框B之放大剖視圖。於圖7(B)中示出藉由CMP法平坦化並對阻障金屬51進行蝕刻後之阻障金屬51之端部E51及其周邊。阻障金屬51之端部E51之表面F51藉由阻障金屬51之蝕刻比絕緣膜21之表面F21及/或電極部61之表面F61更向基板11之方向(與DR1相反之方向)凹陷。藉由使阻障金屬51之端部E51如上所述般凹陷，當使基板11與基板12貼合時，可抑制於絕緣膜21與絕緣膜22之間產生間隙。該情況可抑制電極部61、62間之連接不良或者絕緣膜21、22間之貼合不良。

【0041】於阻障金屬51例如使用鈦、電極部61例如使用銅之情形時，阻障金屬51之蝕刻使用利用過氧化氫水之濕式蝕刻法。藉此，可選擇性地對阻障金屬51進行蝕刻來使其凹陷。

【0042】如此，形成第1裝置D1。如圖3(A)～圖7(B)之括號內之參

照符號所示，亦可與第1裝置D1相同之方式形成第2裝置D2。

【0043】 例如，於基板11之表面(第2面)F12上形成半導體元件(未圖示)，於基板11之表面F11之上方形形成層間絕緣膜ILD2、配線32、擋止膜ST2及絕緣膜(第2絕緣膜)22(圖3(A))。

【0044】 繼而，將擋止膜ST2用作蝕刻擋塊於絕緣膜22形成導通孔VH2後，將電極部62之形成區域之絕緣膜22去除，形成作為第2槽之溝槽TR2(圖3(B)～圖5(A))。

【0045】 繼而，將擋止膜ST2去除而使配線32露出後，堆積阻障金屬52及電極部62之材料，將作為第2電極部之電極部62之材料填充至溝槽TR2內(圖5(B))。

【0046】 繼而，對電極部62及阻障金屬52之材料進行研磨直至絕緣膜22露出(圖6(A))。此時，端部E52之表面F52比絕緣膜22之表面F22及電極部62之表面F62更向遠離基板12之方向突出。

【0047】 繼而，選擇性地對阻障金屬52進行蝕刻，使其端部E52比電極部62之表面F62及/或絕緣膜22之表面F22更向基板12側凹陷(圖6(B)～圖7(B))。如此，形成第2裝置D2。

【0048】 繼而，以使表面F11與表面F12對向之方式將基板11與基板12貼合。

【0049】 參照圖8(A)～圖9(C)對基板11與基板12之貼合過程進行說明。圖8(A)～圖8(C)之括號內之參照編號與基板12之構成要素對應。

【0050】 首先，如圖8(A)所示，自噴嘴100將臭氧水供給至第1基板11之表面F11上。藉此，利用臭氧水將第1基板11之表面F11上之絕緣膜21、阻障金屬51、電極部61之表面F21、F51、F61洗淨。

【0051】 繼而，如圖8(B)所示，使用電漿產生裝置110，利用 N_2 電漿P使絕緣膜21之表面F21活化。藉此，於絕緣膜21之表面F21例如形成矽氧化膜之懸鍵。

【0052】 繼而，如圖8(C)所示，自噴嘴105供給洗淨液(例如純水)及載氣(例如氮氣)，將第1基板11之表面F11二流體洗淨。藉此，將基板11之表面F11上之絕緣膜21、阻障金屬51、電極部61之表面F21、F51、F61二流體洗淨。與此同時，向形成於絕緣膜21之表面F21之懸鍵供給水分而使OH基鍵結於該懸鍵。藉此，絕緣膜21之表面F21被親水化。

【0053】 關於基板12，亦經過圖8(A)～圖8(C)所示之步驟，於絕緣膜22之表面F22形成懸鍵，並使OH基鍵結於該懸鍵。藉此，絕緣膜22之表面F22亦被親水化。

【0054】 繼而，如圖9(A)所示，使基板11之絕緣膜21與基板12之絕緣膜22對向並對準後貼合。此時，加壓機構120將基板11或基板12之大致中心沿貼合方向加壓，藉此使絕緣膜21之表面F21與絕緣膜22之表面F22直接接觸。藉此，絕緣膜21之表面F21之OH基與絕緣膜22之表面F22之OH基氫鍵結而基板11與基板12被貼合。

【0055】 此處，如參照圖7(B)所說明，阻障金屬51之端部E51之表面F51比絕緣膜21之表面F21及/或電極部61之表面F61更向基板11之方向凹陷。又，阻障金屬52之端部E52之表面F52亦比絕緣膜22之表面F22及/或電極部62之表面F62更向基板12之方向凹陷。因此，當將基板11與基板12貼合時，阻障金屬51與阻障金屬52之間產生間隙，而絕緣膜21與絕緣膜22無間隙地結合。另一方面，電極部61與電極部62之間亦可存在間隙。原因在於在下述熱處理步驟中，電極部61、62之材料膨脹而進入間

隙。

【0056】 繼而，如圖9(B)所示，使用感測器130檢測基板11與基板12之相對位置偏移。於基板11與基板12之相對位置偏移容許值以上之情形時，廢棄基板11、12。

【0057】 繼而，如圖9(C)所示，自LED(Light Emitting Diode，發光二極體)照明140照射紅外光並利用線型攝像機150對反射光進行拍攝。藉此，確認絕緣膜21與絕緣膜22之間是否存在間隙(空隙)。於發現大到容許值以上之間隙之情形時，廢棄基板11、12。

【0058】 繼而，對經貼合之基板11、12進行熱處理。例如，將基板11、12於約300℃之環境中進行約2小時退火。藉此，水分自絕緣膜21與絕緣膜22之間之界面解離，而成為矽與氧之鍵結(Si-O鍵)。藉此，絕緣膜21與絕緣膜22被更牢固地結合。又，藉由該熱處理步驟，電極部61、62之金屬材料(例如銅)膨脹。藉此，即便電極部61與電極部62之間存在間隙，亦可藉由金屬鍵結將電極部61與電極部62連接。又，由於阻障金屬51、52自絕緣膜21、22之表面F21、F22凹陷，故而即便將基板11、12貼合，亦會於阻障金屬51與阻障金屬52之間產生間隙。然而，藉由熱處理而電極部61或62之材料進入阻障金屬51與阻障金屬52之間之間隙。藉此，如圖2所示，將電極部61或62之材料導入至阻障金屬51與阻障金屬52之間。其結果為阻障金屬51與阻障金屬52之間之間隙被電極部61或62之材料填充。

【0059】 之後，基板11、12進而被研磨或加工。例如，亦可使用光微影技術及蝕刻技術對基板12進行加工，而使配線32之一部分作為接合墊露出。進而，基板11、12藉由切割而被單片化成半導體晶片。

【0060】 如此一來，根據本實施形態，藉由使阻障金屬51之端部E51凹陷，當將第1裝置D1與第2裝置D2貼合時，可抑制於絕緣膜21與絕緣膜22之間產生間隙。該情況可抑制絕緣膜21、22間之貼合不良。又，即便於最初貼合時電極部61與電極部62之間及阻障金屬51與阻障金屬52之間存在某種程度之間隙，藉由貼合後之熱處理而電極部61、62之材料膨脹，藉此亦會將電極部61與電極部62連接，且將電極部61或62之材料導入至阻障金屬51與阻障金屬52之間之間隙。藉此，也可抑制電極部61、62間之連接不良。

【0061】 又，藉由使阻障金屬51與阻障金屬52之間之間隙納入電極部61或62之材料，可抑制電極部61或62之材料擴散至絕緣膜21與絕緣膜22之界面(貼合面)Fa。藉此，可進而提高第1及第2裝置D1、D2之良率。

【0062】 再者，如圖2所示，較佳為將基板11、12精確對準而使阻障金屬51、52之端部E51、E52彼此對向。然而，阻障金屬51、52之端部E51、E52未必對向。例如，圖10係表示於貼合面Fa絕緣膜21與絕緣膜22偏移之情形之剖視圖。於圖10中，絕緣膜21與絕緣膜22沿著與貼合面Fa平行之方向偏移。於該情形時，阻障金屬51之端部E51之表面F51與電極部62之表面F62對向。阻障金屬52之端部E52之表面F52與絕緣膜21之表面F21對向。即便阻障金屬51、52之位置如上所述般略微偏移，電極部61或62之材料亦可進入阻障金屬51、52之間之間隙，因此不存在問題。因此，即便阻障金屬51、52之位置略微偏移，亦可獲得本實施形態之效果。

【0063】 已對本發明之若干實施形態進行了說明，但該等實施形態係作為例而提出，並無意圖限定發明之範圍。該等實施形態可以其他各種

形態加以實施，且可於不脫離發明主旨之範圍內進行各種省略、替換、變更。該等實施形態或其變化包含於發明之範圍或主旨中，同樣包含於申請專利範圍所記載之發明與其均等之範圍內。

【0064】

[相關申請案]

本案享有以日本專利申請案2018-170689號(申請日：2018年9月12日)為基礎申請案之優先權。本案藉由參照該基礎申請案而包含基礎申請案之全部內容。

【符號說明】

【0065】

- 11 基板
- 12 基板
- 21 絕緣膜
- 22 絕緣膜
- 31 配線部
- 32 配線
- 41 接觸插塞
- 42 接點
- 51 阻障金屬
- 52 阻障金屬
- 61 電極
- 62 電極部
- 70 遮罩材

80	遮罩材
82	抗蝕劑
100	噴嘴
105	噴嘴
110	電漿產生裝置
120	加壓機構
130	感測器
140	LED照明
150	線型攝像機
B	虛線框
D1	第1裝置
D2	第2裝置
DR1	方向
E51	端部
E52	端部
F11	表面
F12	表面
F21	表面
F22	表面
F51	表面
F52	表面
F61	表面
F62	表面

Fa	貼合面
ILD1	層間絕緣膜
ILD2	層間絕緣膜
P	N ₂ 電漿
ST1	擋止膜
ST2	擋止膜
T1	第1槽
T2	第2槽
TR1	溝槽
TR2	溝槽
VH1	通孔
VH2	通孔



202011566

【發明摘要】**【中文發明名稱】**

半導體裝置及其製造方法

【中文】

實施形態提供一種可良好地貼合複數個半導體基板上之材料層之半導體裝置及其製造方法。

實施形態之半導體裝置具備第1半導體基板、第1絕緣膜、第1金屬層、第1電極部、第2半導體基板、第2絕緣膜、及第2電極部。第1絕緣膜設置於第1半導體基板之第1面，且形成有第1槽。第1金屬層被覆第1槽之內表面。第1電極部設置於第1金屬層上並嵌入至第1槽內。第2半導體基板具有與第1半導體基板之第1面對向之第2面。第2絕緣膜設置於第2半導體基板之第2面，與第1絕緣膜貼合，且形成有第2槽。第2電極部嵌入至第2槽內，並與第1電極部連接。第1金屬層之端部比第1絕緣膜之表面更向第1半導體基板側凹陷。

【指定代表圖】

圖2

【代表圖之符號簡單說明】

- | | |
|----|------|
| 21 | 絕緣膜 |
| 22 | 絕緣膜 |
| 51 | 阻障金屬 |
| 52 | 阻障金屬 |
| 61 | 電極 |
| 62 | 電極部 |

D1	第1裝置
D2	第2裝置
E51	端部
E52	端部
F21	表面
F22	表面
F51	表面
F52	表面
F61	表面
F62	表面
Fa	貼合面

【發明申請專利範圍】

【第1項】

一種半導體裝置，其具備：

第1半導體基板；

第1絕緣膜，其設置於上述第1半導體基板之第1面，且形成有第1槽；

第1金屬層，其被覆上述第1槽之內表面；

第1電極部，其設置於上述第1金屬層上並嵌入至上述第1槽內；

第2半導體基板，其具有與上述第1半導體基板之上述第1面對向之第2面；

第2絕緣膜，其設置於上述第2半導體基板之上述第2面，與上述第1絕緣膜貼合，且形成有第2槽；及

第2電極部，其嵌入至上述第2槽內，並與上述第1電極部連接；

上述第1金屬層之端部比上述第1絕緣膜之表面更向上述第1半導體基板側凹陷。

【第2項】

如請求項1之半導體裝置，其進而具備第2金屬層，上述第2金屬層設置於上述第2絕緣膜與上述第2電極部之間，且

上述第2金屬層之端部比上述第2絕緣膜之表面更向上述第2半導體基板側凹陷。

【第3項】

如請求項2之半導體裝置，其於上述第1金屬層之端部與上述第2絕緣膜或上述第2電極部之間設置有上述第1或第2電極部之材料，且

於上述第2金屬層之端部與上述第1絕緣膜或上述第1電極部之間設置有上述第1或第2電極部之材料。

【第4項】

如請求項3之半導體裝置，其中上述第1及第2絕緣膜包含矽氧化膜，
上述第1及第2電極部包含銅，
上述第1及第2金屬層包含鈦。

【第5項】

一種半導體裝置之製造方法，其包括如下步驟：

於第1半導體基板之第1面形成第1絕緣膜；

於上述第1絕緣膜形成第1槽；

於上述第1槽之內表面形成第1金屬層；

向上述第1槽內填充第1電極部之材料；

對上述第1金屬層及上述第1電極部進行研磨直至上述第1絕緣膜露出；

選擇性地對上述第1金屬層進行蝕刻，使上述第1金屬層之端部比上述第1絕緣膜之表面更向上述第1半導體基板側凹陷；

於第2半導體基板之第2面形成第2絕緣膜；

於上述第2絕緣膜形成第2槽；

於上述第2槽之內表面形成第2金屬層；

向上述第2槽內填充第2電極部之材料；

對上述第2金屬層及上述第2電極部進行研磨直至上述第2絕緣膜露出；

選擇性地對上述第2金屬層進行蝕刻，使上述第2金屬層之端部比上述第2絕緣膜之表面更向上述第2半導體基板側凹陷；

以使上述第1絕緣膜與上述第2絕緣膜對向之方式將上述第1半導體基板與上述第2半導體基板貼合，藉此將上述第1絕緣膜與上述第2絕緣膜連接；及

將上述第1電極部與上述第2電極部連接。

【第6項】

如請求項5之半導體裝置之製造方法，其於將上述第1電極部與上述第2電極部連接之步驟中，對上述第1及第2半導體基板進行熱處理。

【第7項】

如請求項6之半導體裝置之製造方法，其藉由上述第1及第2半導體基板之熱處理，於上述第1金屬層與上述第2絕緣膜或上述第2電極部之間導入上述第1或第2電極部之材料，且

藉由上述第1及第2半導體基板之熱處理，於上述第2金屬層與上述第1絕緣膜或上述第1電極部之間導入上述第1或第2電極部之材料。

【第8項】

如請求項7之半導體裝置之製造方法，其中於對上述第1金屬層及上述第1電極部進行研磨直至上述第1絕緣膜露出時，上述第1金屬層比上述第1絕緣膜及上述第1電極更加突出，

於對上述第2金屬層及上述第2電極部進行研磨直至上述第2絕緣膜露出時，上述第2金屬層比上述第2絕緣膜及上述第2電極更加突出。

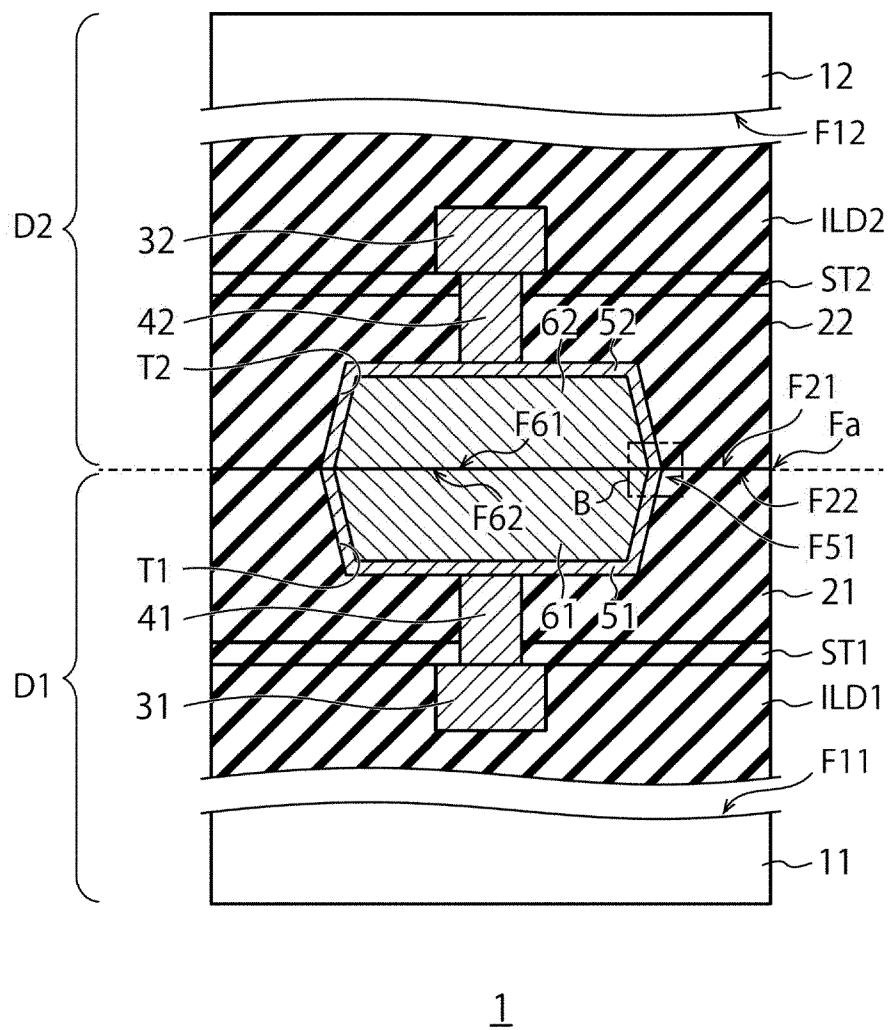
【第9項】

如請求項8之半導體裝置之製造方法，其中上述第1電極部及上述第2

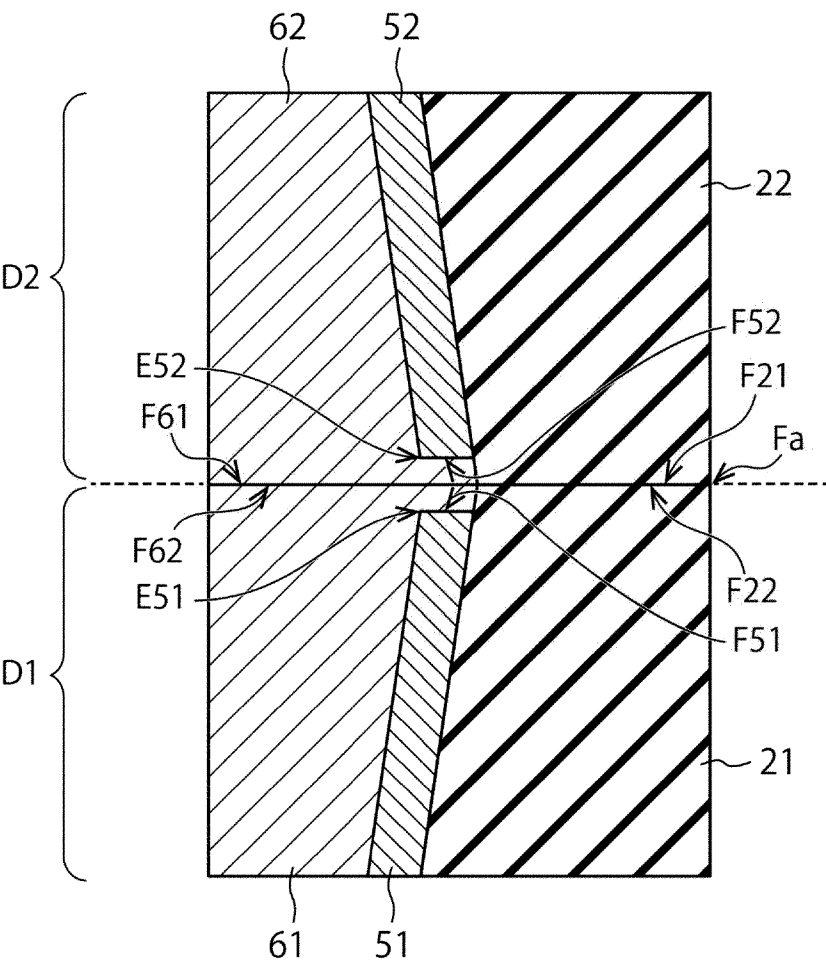
電極部包含藉由電解電鍍而形成之銅，

上述第1金屬層及上述第2金屬層之蝕刻使用過氧化氫水。

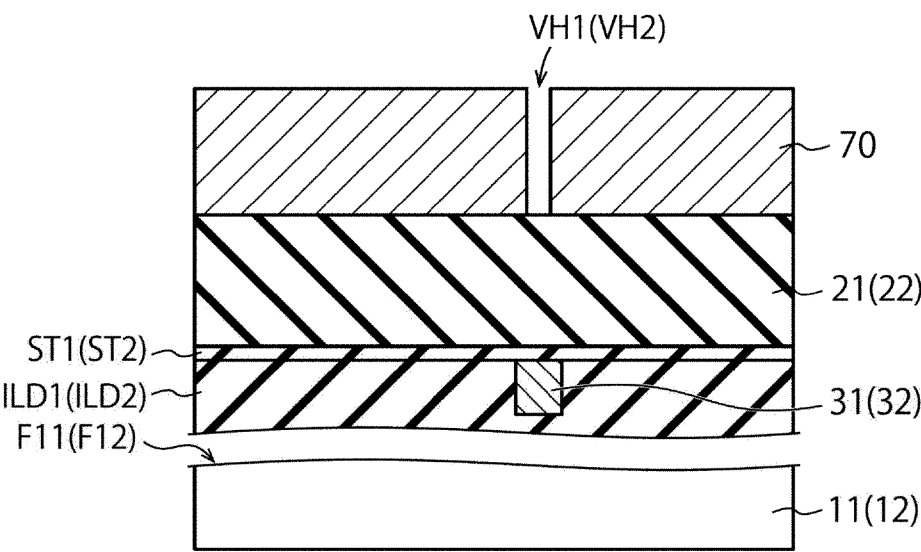
【發明圖式】



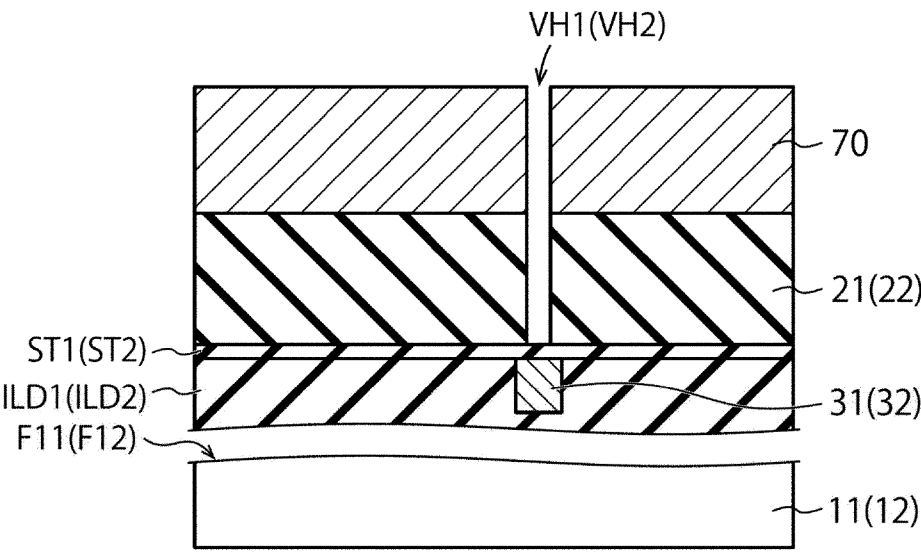
【圖1】



【圖2】

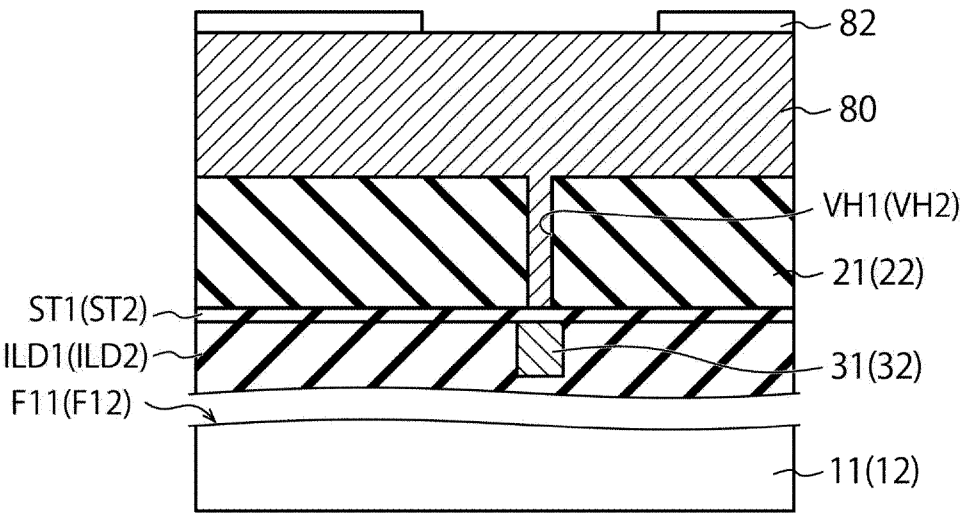


(A)

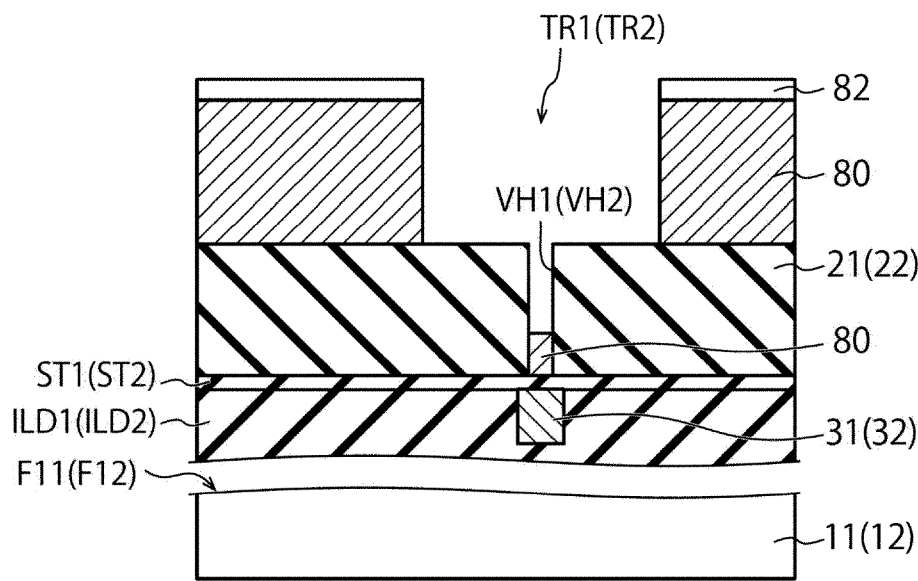


(B)

【圖3】

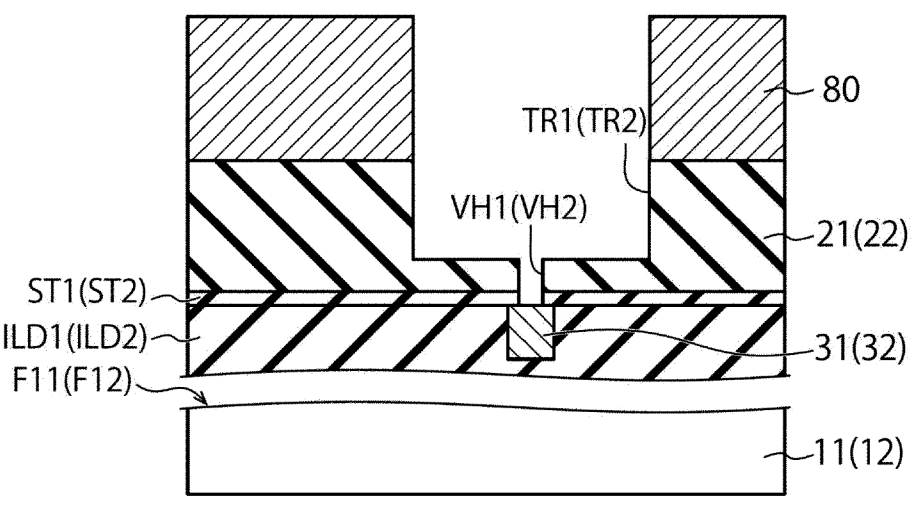


(A)

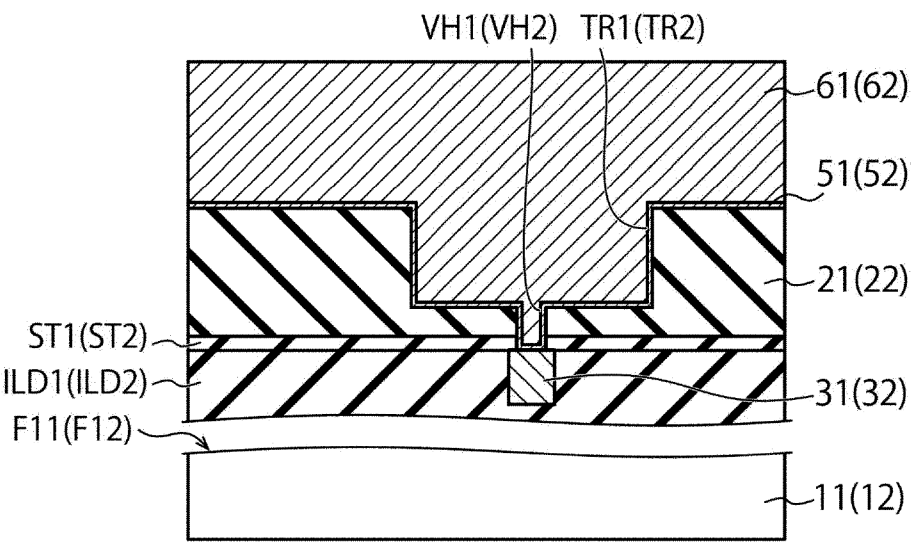


(B)

【圖4】

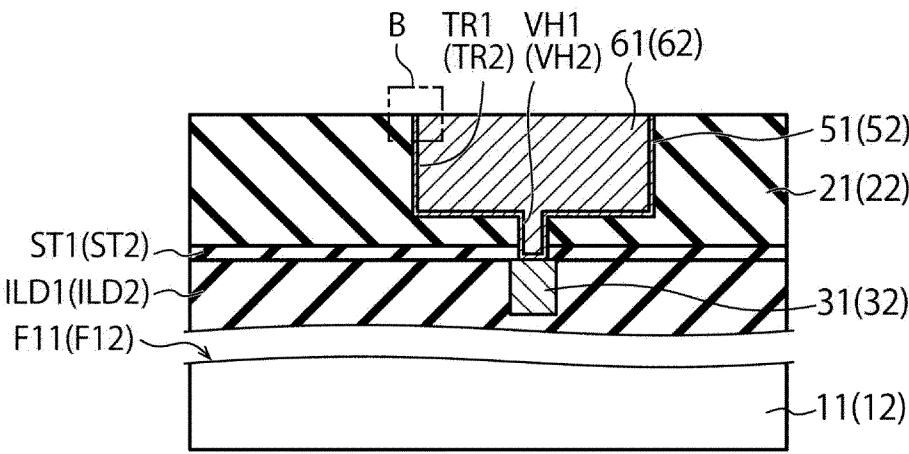


(A)

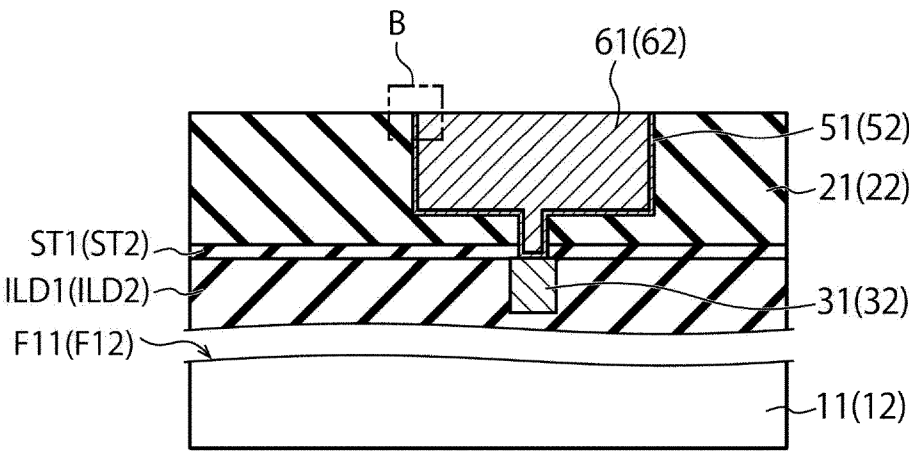


(B)

【圖5】

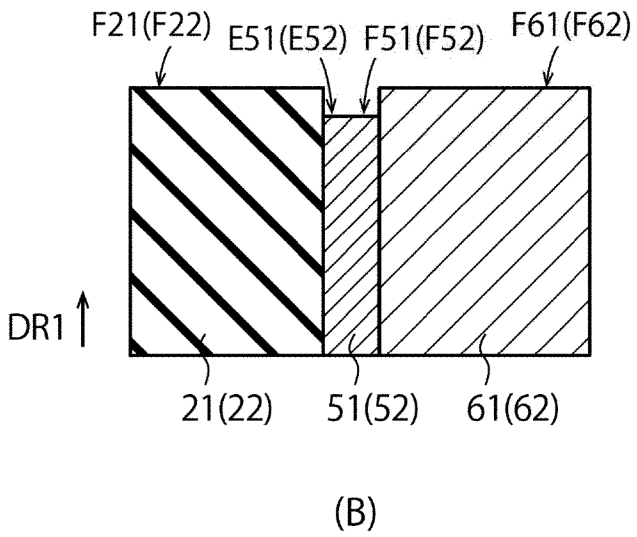
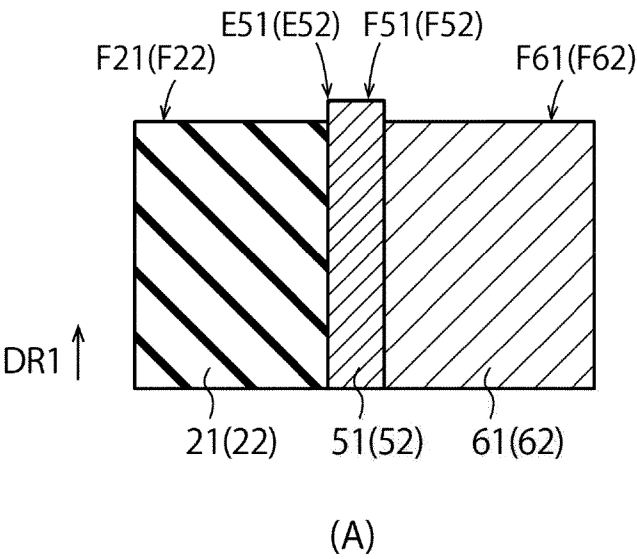


(A)

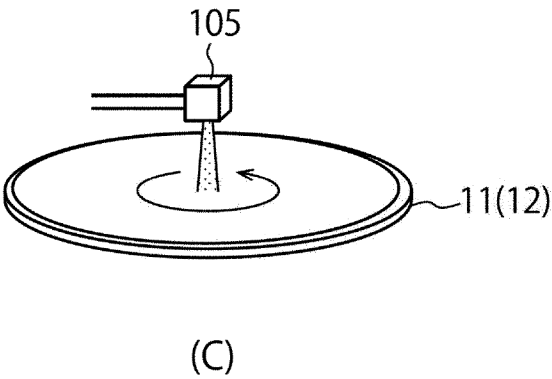
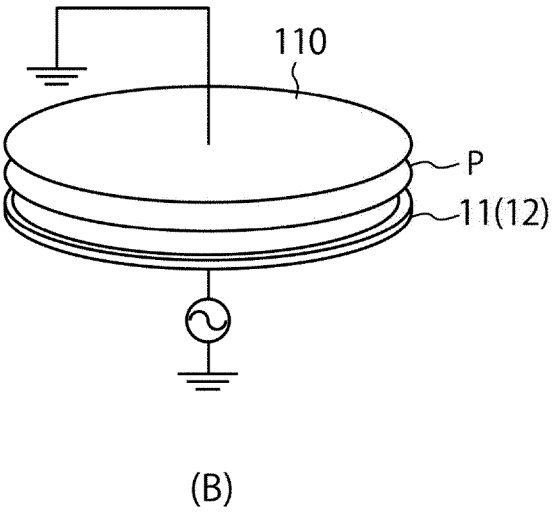
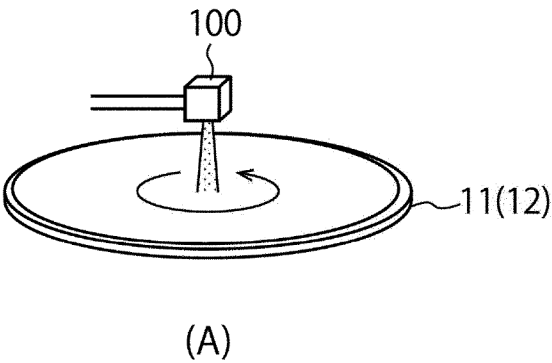


(B)

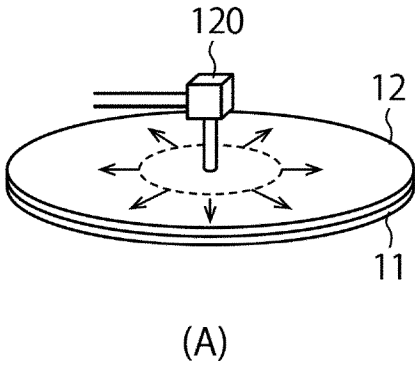
【圖6】



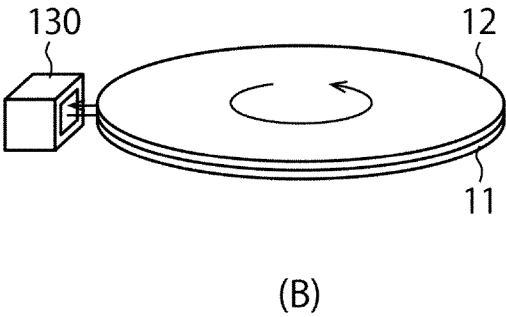
【圖7】



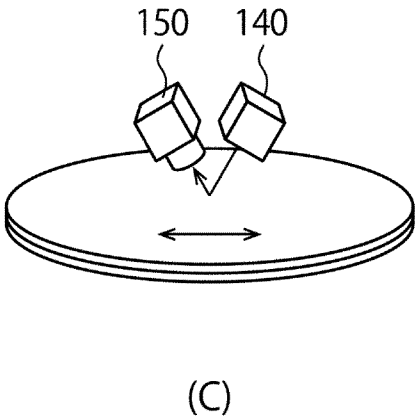
【圖8】



(A)

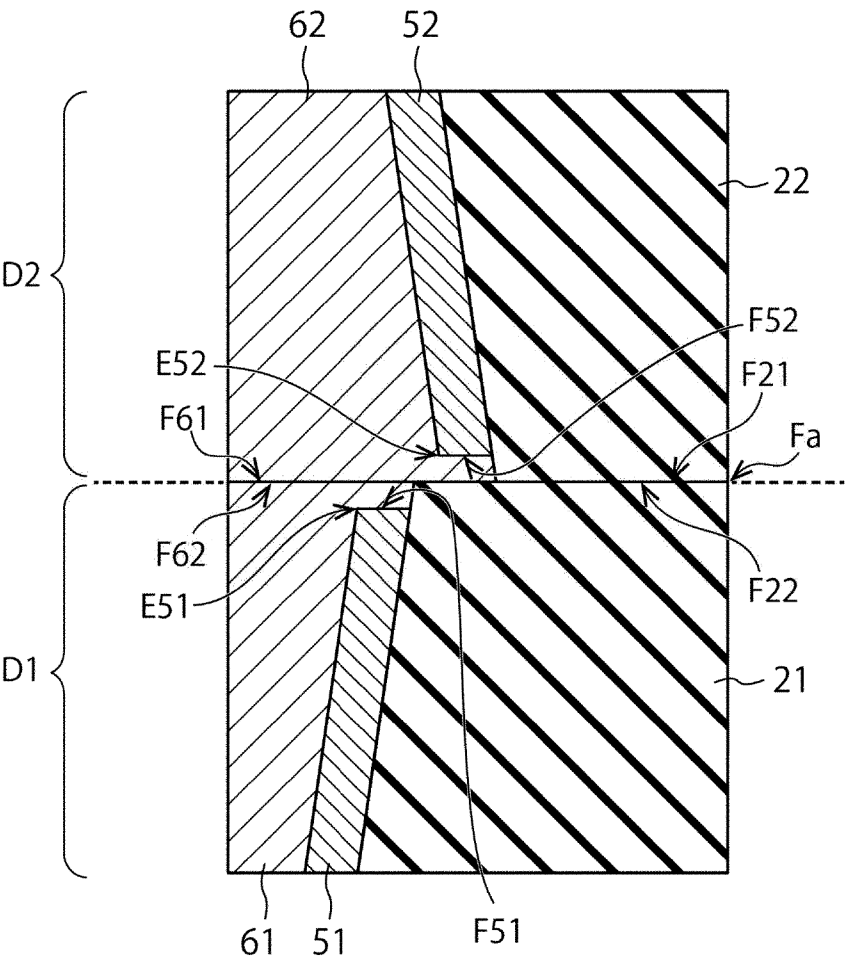


(B)



(C)

【圖9】



【圖10】