



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202333252 A

(43)公開日：中華民國 112 (2023) 年 08 月 16 日

(21)申請案號：112101294

(22)申請日：中華民國 112 (2023) 年 01 月 12 日

(51)Int. Cl.：

*H01L21/60 (2006.01)**H01L21/302 (2006.01)**H01L21/31 (2006.01)**H01L23/28 (2006.01)**H01L23/52 (2006.01)*

(30)優先權：2022/01/14

歐洲專利局

22151541.4

2022/12/14

歐洲專利局

22213451.2

(71)申請人：荷蘭商安世私人有限公司 (荷蘭) NEXPERIA B.V. (NL)

荷蘭

(72)發明人：波爾瑪 雷格納魯斯 POELMA, REGNERUS HERMANNUS (NL)；布恩寧 哈特

穆特 BUENNING, HARTMUT (DE)；伯格倫德 斯特凡 BERGLUND, STEFAN

(SE)；方克 韓斯 約爾根 FUNKE, HANS-JUERGEN (DE)；庫柏 約翰內斯

KUIPERS, JOHANNES JOSINUS (NL)；斯托克曼斯 喬普 STOKKERMANS, JOEP

(NL)；施尼特 沃夫岡 SCHNITT, WOLFGANG (DE)

(74)代理人：何愛文；王仁君

申請實體審查：無 申請專利範圍項數：30 項 圖式數：10 共 34 頁

(54)名稱

晶片級封裝

(57)摘要

本公開的各方面涉及諸如晶片級封裝件的半導體裝置。本公開的各方面還涉及一種用於製造這種裝置的方法。根據本公開的一方面，提供了一種半導體裝置，該半導體裝置包括佈置在其側壁上和半導體裝置的半導體裸片的周邊部分上的共形塗層。為了防止共形塗層覆蓋諸如電端子的不需要的區域，在佈置共形塗層之前佈置犧牲層。通過去除犧牲層，可以局部地去除共形塗層。共形塗層覆蓋半導體裝置所包括的半導體裸片的周邊部分，在該周邊部分中提供了鋸切線或切割道的剩餘部分。

Aspects of the present disclosure relate to a semiconductor device such as a chip-scale package. Aspects of the present disclosure further relate to a method for manufacturing such a device.

According to an aspect of the present disclosure, a semiconductor device is provided that comprises a conformal coating arranged on its sidewalls and on the perimeter part of the semiconductor die of the semiconductor device. To prevent the conformal coating from covering unwanted areas, such as electrical terminals, a sacrificial layer is arranged prior to arranging the conformal coating. By removing the sacrificial layer, the conformal coating can be removed locally. The conformal coating covers the perimeter part of the semiconductor die comprises by the semiconductor device, in which part a remainder of a sawing line or dicing street is provided.

指定代表圖：

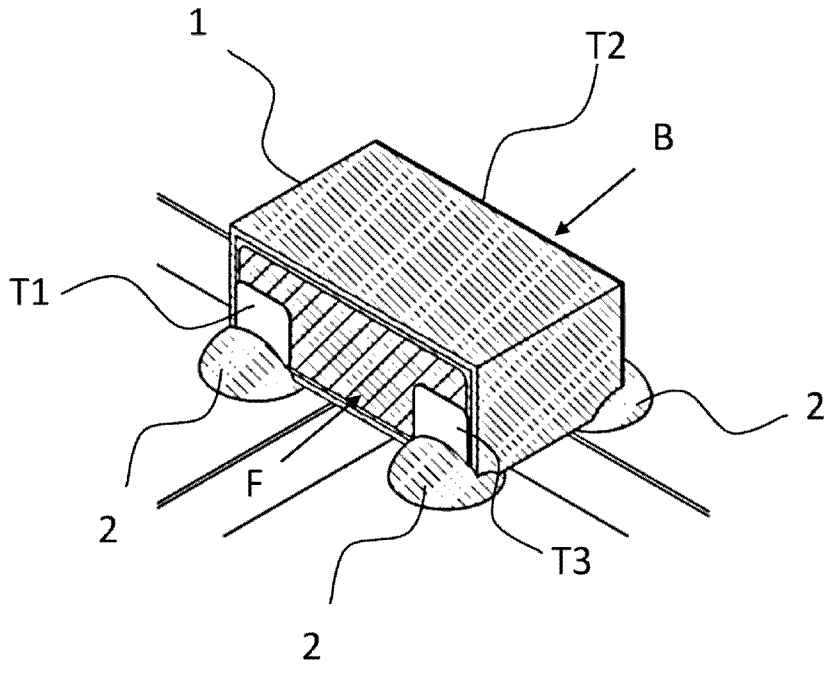
符號簡單說明：

1:半導體裸片

B:背側

F:前側

T1、T2、T3:端子



【圖4】



【發明摘要】

【中文發明名稱】晶片級封裝

【英文發明名稱】CHIP-SCALE PACKAGE

【中文】

本公開的各方面涉及諸如晶片級封裝件的半導體裝置。本公開的各方面還涉及一種用於製造這種裝置的方法。根據本公開的一方面，提供了一種半導體裝置，該半導體裝置包括佈置在其側壁上和半導體裝置的半導體裸片的周邊部分上的共形塗層。為了防止共形塗層覆蓋諸如電端子的不需要的區域，在佈置共形塗層之前佈置犧牲層。通過去除犧牲層，可以局部地去除共形塗層。共形塗層覆蓋半導體裝置所包括的半導體裸片的周邊部分，在該周邊部分中提供了鋸切線或切割道的剩餘部分。

【英文】

Aspects of the present disclosure relate to a semiconductor device such as a chip-scale package. Aspects of the present disclosure further relate to a method for manufacturing such a device.

According to an aspect of the present disclosure, a semiconductor device is provided that comprises a conformal coating arranged on its sidewalls and on the perimeter part of the semiconductor die of the semiconductor device. To prevent the conformal coating from covering unwanted areas, such as electrical terminals, a sacrificial layer is arranged prior to arranging the conformal coating. By removing the sacrificial layer, the conformal coating can be removed locally. The conformal coating covers the perimeter part of the semiconductor die comprises by the semiconductor device, in which part a remainder of a sawing line or dicing street is provided.

【指定代表圖】 圖4

【代表圖之符號簡單說明】

1：半導體裸片

B：背側

F：前側

T1、T2、T3：端子

【特徵化學式】

【發明說明書】

【中文發明名稱】晶片級封裝

【英文發明名稱】CHIP-SCALE PACKAGE

【技術領域】

【0001】本公開的各方面涉及包括豎直半導體裝置的晶片級封裝件。本公開的各方面還涉及用於製造這種封裝件的方法。在本公開的上下文中，豎直半導體裝置應當被解釋為包括半導體裸片的裝置，其中該裝置包括在半導體裸片的相對側上的裝置端子，通過該裝置端子可以將電信號供應給該裝置和/或從該裝置提取電信號。此外，在本公開的上下文中，晶片級封裝件對應於直接表面可安裝封裝件，其尺寸基本上對應於其所包括的單個半導體裸片的尺寸。

【先前技術】

【0002】通常同時大量製造半導體裝置。例如，可以使用被分成多個基本相同的區段的半導體晶圓，其中每個半導體裝置使用相應的區段來實現。

【0003】圖1(頂部)示出了這種分區段的示例。在這裡，示出了半導體晶圓100的被分成區段110的部分。每個區段110包括內部部分111和周邊部分112。實際的裝置在內部部分111內部實現，而周邊部分112包括用於分割各個區段110的鋸切線或切割道。在至少部分分割之後，區段也被稱為半導體裸片。

【0004】圖1(底部)示出了從半導體晶圓100獲得的半導體裸片的示例性截面。在這裡，半導體裸片110構成雙端子二極體，其具有佈置在第一表面S1上的第一端子T1和佈置在與第一表面S1相對的第二表面S2上的第二端子T2。法線方向D可被標識為垂直於第一表面S1並從第一表面S1向第二表面S2延伸。

【0005】如圖1(底部)所示，半導體裸片110的內部部分111包括一個或多個電絕緣層120（在下文中統稱為鈍化層）。第二端子T2通過鈍化層120中的一個或多個開口暴露。鈍化層120不存在於或者不完全存在於半導體裸片110的周邊部分112中。

【0006】半導體裸片110的周邊部分112包括優選地圍繞內部部分111的所有側面的鋸切線或切割道的剩餘部分。當例如通過穿過鋸切通道的鋸切來分割

半導體裸片 110 時，去除來自對應區段 110 的周邊部分 112 的材料。因此，切割或鋸切之前的區段 110 的周邊部分 112 大於半導體裸片 110 的周邊部分 112。

【0007】 半導體裸片 110 可以形成具有佈置在虛線 L1 上方的 p 型摻雜區域和佈置在虛線 L1 下方的 n 型摻雜區域的豎直 PN 二極體。

【0008】 圖 1 所示類型的半導體裸片不能總是用作晶片級封裝件。例如，當將半導體裸片 110 安裝在諸如印刷電路板的載體上時，可能存在短路的風險。接下來結合圖 2 對此進行解釋。

【0009】 圖 2(頂部)示出了圖 1 所示類型的半導體裸片 110，其被佈置為安裝在印刷電路板 200 上的晶片級封裝件。如圖所示，法線方向 D 平行於印刷電路板 200。

【0010】 印刷電路板 200 包括在兩側上覆蓋有金屬跡線 210A、210B、211A、211B 的介電層 201。例如，在其頂表面上，印刷電路板 200 包括第一接觸焊盤 210A、第二接觸焊盤 210B 和阻焊層 (solder mask layer) 220。使用焊料 230 或另一導電附接材料，半導體裸片 110 的端子 T1 連接到第一接觸焊盤 210A，並且半導體裸片 110 的端子 T2 連接到第二接觸焊盤 210B。

【0011】 如圖 2(頂部)所示，佈置在虛線 L1 上方的 p 型摻雜區域上的端子 T1 經由焊料 230 連接到半導體裸片 110 的側壁。在那裡，如箭頭 A 所示，它可以接觸在虛線 L1 下方的 n 型摻雜區域。因此，在端子 T1 和 T2 之間產生短路。

【0012】 圖 2 示出了安裝雙端子半導體裸片作為晶片級封裝件的示例。圖 3 示出了其中三端子半導體裸片被安裝為晶片級封裝件的示例。在這裡，示出了雙極型電晶體，雙極型電晶體具有佈置在半導體裸片 1 的前側 F 處的兩個端子 T1、T3 和佈置在半導體裸片 1 的背側 B 處的一個端子 T2。例如，端子 T1、T2、T3 可以分別連接到雙極型電晶體的基極、發射極和集電極。前側 F 設置有鈍化層，該鈍化層覆蓋除了端子 T1、T3 的位置之外的前側 F，而背側 B 完全被端子 T2 覆蓋。

【0013】 在切割或鋸切晶圓之前施加鈍化層。因此，在切割或鋸切晶圓之後，半導體裸片 1 的側壁被暴露。此外，即使在切割之前鈍化層覆蓋整個前側，而不是僅存在於半導體裸片的內部部分中，與鋸切相關聯的機械動作也可能導致鈍化層的至少一部分從半導體裸片 110 分離，從而暴露半導體裸片的半導體主體並且增加電短路的風險。

【0014】特別是對於本公開的各方面涉及的高電壓裝置，終止(termination)結構被佈置在豎直半導體裝置周圍。這些終止結構通常被佈置成靠近周邊部分和內部部分之間的邊界，並且用於防止在裝置的邊緣附近發生過早的電壓擊穿。在圖2和圖3中，在焊料與半導體裸片的周邊部分中的半導體主體和/或與側壁電接觸的情況下，可能影響電場分佈並且可以觀察到電壓擊穿的降低。對於高電壓裝置重要的另一性能參數是在反向偏置條件下的洩漏電流。申請人已經發現，當焊料與半導體裸片的周邊部分中的半導體主體和/或與側壁電接觸時，洩漏電流通常惡化。

【0015】在本領域中，已知用於獲得用於將半導體裸片的側壁電絕緣的電絕緣層的技術。例如，US2018233426A1公開了一種用於通過原子層沉積(ALD)實現水準裝置的6側(6S)保護的方法。在沉積期間，裝置的半導體裸片的一側被佈置在載體上，從而防止絕緣層將覆蓋佈置在該側上的裝置端子。然而，對於豎直裝置，存在絕緣層將沉積在佈置在半導體裸片的另一側上的裝置端子上的問題。因此，在沉積之後，需要從這些端子去除絕緣層。

【0016】ALD是一種高度共形的沉積技術，通過該技術可以在相對低的溫度下沉積非常薄的層。ALD塗層的介電強度通常是優異的，允許在半導體裸片的拐角周圍和側壁上的良好的電絕緣。ALD塗層的另一個優點是它們提供足夠的強度，使得它們保持附著到半導體主體，並且在處理或安裝半導體裝置期間不被損壞。

【0017】申請人已經發現，找到一方面提供足夠的機械穩健性(mechanical robustness)、但另一方面可以沒有太多困難地從(一個或多個)裝置端子去除的合適的絕緣層是非常困難的。例如，儘管使用ALD技術獲得的共形層顯示出優異的機械穩健性，但是在沉積之後它們不能被容易地去除，因為這些層至少在很大程度上是化學惰性的。

【0018】EP3113219A1公開了一種具有檯面型結構的豎直半導體裝置，該檯面型結構的側壁被使用原子層沉積所沉積的絕緣層覆蓋。在沉積該絕緣層之前，在頂側上沉積犧牲層。通過去除犧牲層，可以從頂側去除絕緣層，從而暴露該側上的電端子。

【0019】 EP3113219A1中公開的容納豎直半導體裝置的半導體裸片被配置為將其背側平坦地安裝在諸如印刷電路板的載體上。然後可以使用諸如接合線的常規手段來進行到頂側的連接。

【0020】 申請人已經發現EP3113219A1中公開的用於將側壁絕緣的方法不適用於使半導體裸片能夠用作晶片級封裝件。

【發明內容】

【0021】 根據本公開的一方面，提供了一種用於製造諸如晶片級封裝件的半導體裝置的方法，在該方法中上述問題不發生或至少在較小程度上發生。該方法包括提供佈置在載體上的多個半導體裸片，其中半導體裸片具有第一表面和與第一表面相對的第二表面，半導體裸片通過第一表面佈置在載體上。

【0022】 半導體裸片各自包括內部部分和圍繞內部部分的周邊部分，其中半導體裸片各自在周邊部分中至少包括曾用於或將用於將半導體裸片與半導體晶圓上的其它半導體裸片分割的鋸切線或切割道的剩餘部分，並且半導體裸片各自包括在內部部分內部實現的半導體豎直裝置。鈍化層至少佈置在半導體裸片的內部部分中。

【0023】 每個半導體裸片包括：至少一個第一端子，其被佈置在該半導體裸片的第一表面處；至少一個第二端子，其被佈置在該半導體裸片的內部部分中的第二表面處，並且通過鈍化層中的一個或多個開口至少部分地暴露；以及側壁，其在第一表面和第二表面之間。

【0024】 根據本公開的一方面，在半導體裸片的第二表面處提供犧牲層，其中犧牲層至少部分地覆蓋至少一個第二端子，並且包括與相鄰半導體裸片之間的空間對準的第一開口和至少部分地與半導體裸片的周邊部分對準的第二開口。第一開口和第二開口可以合併。

【0025】 該方法還包括通過第一開口和第二開口在半導體裸片上佈置共形塗層。

【0026】 此外，該方法包括通過去除犧牲層來去除佈置在犧牲層上的共形塗層。保留在半導體裸片上的共形塗層覆蓋半導體裸片的周邊部分，並且至少部分地覆蓋半導體裸片的側壁。以這種方式製造的半導體裸片可以用作晶片級封裝件。

【0027】共形塗層應當優選地至少覆蓋周邊部分的其中半導體裸片的半導體主體否則將暴露的那些區域。在一些實施例中，周邊部分完全被共形塗層覆蓋。

【0028】根據本公開的一方面，不是通過例如使用蝕刻技術直接化學接合（engage）共形塗層，而是通過去除下面的犧牲層，來去除佈置在第二端子上方的共形塗層。以這種方式，可以使用具有優異的機械穩健性的絕緣層（即，共形塗層），即使該絕緣層本身基本上是化學惰性的。通常，絕緣層將包括不同材料的多個層。作為示例，絕緣層將包括交替堆疊的兩種不同材料。

【0029】因為共形塗層覆蓋周邊部分和側壁，所以在焊料或其它導電附接材料與半導體裸片在側壁和/或第二表面處的暴露部分之間不可能有任何直接接觸。以這樣的方式，可以避免如圖1和圖2所示的短路。此外，因為在焊料和側壁之間不存在直接接觸，所以在安裝半導體裸片時不會干擾電場分佈。

【0030】保留在半導體裸片上的共形塗層可以至少部分地覆蓋半導體裸片的內部部分。此外，共形塗層可以包括一個或多個開口，至少一個第二端子通過該一個或多個開口至少部分地暴露。該一個或多個開口的表面面積可以小於至少一個第二端子的表面面積，至少一個第二端子通過該一個或多個開口至少部分地暴露。例如，至少一個第二端子可以在共形塗層下面延伸，共形塗層優選地在至少一個第二端子的所有側面上。此外，保留在半導體裸片上的共形塗層可以至少部分地覆蓋鈍化層。為了暴露至少一個第二端子，可以將保留在半導體裸片上的共形塗層中的一個或多個開口與鈍化層中的一個或多個開口對準。優選地，共形塗層中的一個或多個開口優選地在所有側面上大於鈍化層中的所述一個或多個開口。

【0031】周邊部分可以不被鈍化層覆蓋或不被鈍化層完全覆蓋。這避免了在鋸切或切割期間鈍化層的部分的不受控制的斷裂。鈍化層可以是由氮化矽、氧化矽和氮氧化矽組成的組中的一種或多種。

【0032】多個半導體裸片可以對應於佈置在載體上的經過切割的半導體晶圓。經過切割的晶圓可以對應於部分割切的經過切割的晶圓，例如半割切的經過切割的晶圓，在部分割切的經過切割的晶圓中裸片通過半導體晶圓的一部分仍然互連。可替換地，經過切割的晶圓可以對應於其中半導體裸片已經被物理分離的完全割切的經過切割的晶圓。然而，本公開不排除半導體裸片已經被

佈置在載體上而不屬於一個晶圓的實施例。例如，可以已經使用拾取和放置設備將半導體裸片佈置在載體上。

【0033】可以通過執行原子層沉積來佈置共形塗層。執行原子層沉積可以包括使用三甲基鋁和水、以及四氯化鈦和水作為前體對。使用這些前體對，可以沉積 Al_2O_3 和 TiO_2 的交替層堆疊件。

【0034】可以當在切割之前半導體裸片在晶圓中仍然互連時將犧牲層佈置在半導體裸片上。例如，當半導體裸片在晶圓中仍然互連時並且在將該晶圓佈置在載體上之前，犧牲層可以例如通過沉積、旋塗、蒸發、噴墨印刷或模版印刷被佈置在半導體裸片上。犧牲層可以選自由光致抗蝕劑、聚合物、薄金屬層、自組裝單層和/或其組合組成的組。此外，該方法可包括在犧牲層上佈置並圖案化掩模層，以及通過掩模層中的開口去除犧牲層。在半導體裸片的對應於這些開口的區域中，由於在這些區域中在共形塗層下方不存在犧牲層，因此在稍後的階段將不去除共形塗層。

【0035】可以使用包括多個金屬層的金屬層堆疊件形成至少一個第二端子，其中犧牲層由被佈置為距第二表面最遠的一個或多個金屬層或其一部分形成。該金屬層堆疊件可以例如包括 TiNiVAg 、 NiAu 、 Ni 、 Al 、 TiNiAg 、 AuNiAg 、 AuAsNiAg 和/或其組合。通過去除形成犧牲層的一個或多個金屬層或其一部分，將去除位於犧牲層正上方的共形塗層，並且剩餘的金屬層將形成至少一個第二端子。此外，同樣在這種情況下，晶圓切割的工藝將導致在犧牲層中形成開口。

【0036】可以通過借助於光燒蝕來燒蝕犧牲層而去除犧牲層。在這種情況下，使用具有適當波長、脈衝持續時間和/或功率的光照射犧牲層。包含在光中的能量在犧牲層內部被轉換成熱量。由於所產生的熱量，犧牲層將劇烈地燒蝕，從而也破壞了與犧牲層接觸的共形塗層。通常，以基本上均勻的方式提供光。在一些實施例中，更具體地在其中犧牲層的存在不影響半導體裸片的機械或電氣行為的那些實施例中，光可不被均勻地提供。相反，可以例如使用光掩模或陰影掩模並使用標準曝光技術來對光進行圖案化。以這種方式，可以局部地去除犧牲層。

【0037】本公開不排除去除犧牲層의 其它手段，只要這些手段不干擾或損壞半導體裸片的其它元件。例如，去除犧牲層可以包括向犧牲層和共形塗層提供熱衝擊，從而導致共形塗層和犧牲層相互分層。隨後去除由於施加熱衝擊而

可能是薄片形式的分層的共形塗層。犧牲層首選是光敏層，例如光致抗蝕劑。在這種情況下，可以通過例如使用鐳射源施加光能來提供熱衝擊。可以可選地執行清潔步驟，例如清潔等離子體，以去除剩餘的犧牲層。

【0038】可替換地，去除犧牲層可以包括執行研磨、切割、割切或其他機械操作，以去除犧牲層和覆蓋該犧牲層的共形塗層。在這種情況下，共形塗層和犧牲層物理地接合(engage)。可以可選地執行清潔步驟，例如清潔等離子體，以去除剩餘的犧牲層。

【0039】代替犧牲層是金屬堆疊件的一部分或沉積犧牲層，還可以通過將第一箔附接到半導體裸片的第二表面來形成犧牲層。第一箔可以設置有上述第一開口和第二開口。當使用第一箔作為犧牲層時，可以通過從第二表面去除第一箔來去除犧牲層。如果第一箔包括佈置在至少一個第二端子上的開口，則在已經去除第一箔之後，共形塗層可以仍然存在於至少一個第二端子上。只要保持足夠的端子面積未被共形塗層覆蓋，與這種端子的電接觸的電特性就不會或幾乎不會受到影響。

【0040】載體可以包括第二箔。第二箔可以是切割箔。此外，第二箔可以包括多個開口以允許共形塗層通過這些開口形成在側壁上。在佈置共形塗層之後，半導體裸片和第二箔可以被分離。這可以例如在拾取和放置過程期間完成，在該過程中從第二箔拾取半導體裸片。如果第二箔包括佈置在至少一個第一端子上的開口，則在已經去除第二箔之後，共形塗層可以仍然存在於至少一個第一端子上。只要保持足夠的端子面積未被共形塗層覆蓋，與這種端子的電接觸的電特性就不會或幾乎不會受到影響。

【0041】根據本公開的另一方面，提供了一種諸如晶片級封裝件的半導體裝置，其包括具有內部部分和圍繞內部部分的周邊部分的半導體裸片，其中半導體裸片在周邊部分中至少包括曾用於將半導體裸片與半導體晶圓上的其它半導體裸片分離的鋸切線或切割道的剩餘部分，並且半導體裸片包括在內部部分內部實現的半導體豎直裝置，其中鈍化層至少佈置在半導體裸片的內部部分中。

【0042】半導體裸片包括第一表面和與第一表面相對的第二表面。半導體裸片包括佈置在其第一表面處的至少一個第一端子、佈置在其第二表面處並且

通過鈍化層中的一個或多個開口至少部分地暴露的至少一個第二端子、以及在第一表面和第二表面之間延伸的側壁。

【0043】半導體裸片還包括覆蓋周邊部分和側壁的至少一部分的共形塗層，以防止在將半導體裝置安裝在載體上時在至少一個第一端子和至少一個第二端子之間發生短路。共形塗層可以至少部分地覆蓋內部部分，其中共形塗層包括一個或多個開口，至少一個第二端子通過該一個或多個開口至少部分地暴露。該一個或多個開口的表面面積可以小於至少一個第二端子的表面面積，該至少一個第二端子通過該一個或多個開口至少部分地暴露。例如，至少一個第二端子可以在共形塗層下面延伸，共形塗層優選地在至少一個第二端子的所有側面上。

【0044】共形塗層可以至少部分地覆蓋鈍化層。為了暴露至少一個第二端子，共形塗層中的一個或多個開口可以與鈍化層中的一個或多個開口對準。優選地，共形塗層中的一個或多個開口優選地在所有側面上大於鈍化層中的所述一個或多個開口。

【0045】周邊部分可以不被鈍化層覆蓋或不被鈍化層完全覆蓋。這避免了在鋸切或切割期間鈍化層的部分的不受控制的斷裂。在實施例中，在切割之前的區段的周邊部分中提供鈍化層達周邊部分的面積的 50%，優選地達 25%。對於在切割或鋸切之後獲得的半導體裸片，在周邊部分中提供鈍化層達周邊部分的面積的 75%，優選達 50%。如上所述，其中在周邊部分中不設置鈍化層的實施例也是可以的。鈍化層可以是由氮化矽、氧化矽和氮氧化矽組成的組中的一種或多種。

【0046】至少一個第一端子和/或第二端子可以設置有包括共形塗層的多個島。這些島例如在使用第一箔時形成，第一箔包括如上所述在至少一個第二端子上方形成的開口。至少一個第一端子可以覆蓋整個第一表面。

【0047】共形塗層可以包括通過原子層沉積獲得的塗層，並且優選包括交替佈置的 Al_2O_3 和 TiO_2 層。層的這種組合提供了在焊接和粘合過程中對化學品的防護，並且提供了對濕氣和離子污染的防護。此外，它提供了高的電擊穿強度並構成了良好的電絕緣體。半導體豎直裝置可以是從由溝槽MOSFET、平面MOSFET、PN二極體、肖特基二極體、齊納二極體和雙極結型電晶體組成的組

中選擇的裝置。額外地或可替換地，半導體裸片可包括導電半導體襯底，例如n型摻雜晶圓襯底或p型摻雜晶圓襯底。

【0048】 半導體裝置可以包括垂直於第一表面並從第一表面向第二表面延伸的法線方向。半導體裝置可以被配置為被佈置在諸如印刷電路板的載體上，並且其法線方向平行於載體，其中至少一個第一端子被配置為連接到載體上的至少一個第一接觸焊盤，並且其中至少一個第二端子被配置為連接到載體上的至少一個第二接觸焊盤。

【0049】 根據另一方面，本公開提供了一種包括諸如印刷電路板的載體的系統，載體包括至少一個第一接觸焊盤和與至少一個第一接觸焊盤間隔開的至少一個第二接觸焊盤。該系統還包括如上所述的半導體裝置，該半導體裝置以其法線方向平行於載體的方式安裝到載體。至少一個第一端子使用導電附接材料電連接到至少一個第一接觸焊盤，並且至少一個第二端子使用導電附接材料電連接到至少一個第二接觸焊盤。導電附接材料可以是由焊料、導電膠和銀燒結材料組成的組中的一種或多種。

【圖式簡單說明】

【0050】 為了能夠詳細理解本公開的特徵，參考實施例進行更具體的描述，其中一些實施例在附圖中示出。然而，應當注意，附圖僅示出了典型的實施例，因此不應被認為是對其範圍的限制。附圖是為了便於理解本公開，因此不一定按比例繪製。在結合附圖閱讀本說明書之後，要求保護的主題的優點對於本領域技術人員將變得清楚，在附圖中，相同的附圖標記用於表示相同的元件，並且在附圖中：

【0051】 圖1示出了已知的晶片級封裝件；

【0052】 圖2示出了安裝晶片級封裝件；

【0053】 圖3示出了安裝到載體的已知晶片級封裝件，其示出了在晶片級封裝件的半導體裸片的側壁和裝置端子之間發生短路的問題；

【0054】 圖4示出了根據本公開的一方面的安裝到載體的晶片級封裝件；

【0055】 圖5A和圖5B示意性地示出了根據本公開的一方面的晶片級封裝件的兩個不同實施例；

【0056】 圖6至圖9示出了根據本公開的各個方面的用於製造晶片級封裝

件的四種方法；以及

【0057】圖10示出了根據本公開的各個方面的用於共形塗層和鈍化層中的開口的各種構造。

【實施方式】

【0058】圖4示出了根據本公開的一方面的安裝到載體的晶片級封裝件。與圖3所示的晶片級封裝件相比，可以觀察到，半導體裸片1的側壁現在被如細碎線所指示的共形塗層覆蓋，而端子T1和T3沒有被該塗層覆蓋。將參考圖5A和圖5B提供對此和其它晶片級封裝件的更詳細解釋，圖5A和圖5B示意性地示出了根據本公開的一方面的晶片級封裝件的兩個不同實施例。

【0059】圖5A示出了根據本公開的一方面的三端子晶片級封裝件20A的實施例。封裝件20A包括具有第一表面和第二表面的半導體裸片22，端子T1、T3佈置在該第一表面處，端子T2佈置在該第二表面處。

【0060】在左側的截面圖中，可以觀察到半導體裸片22的側壁被共形塗層21C覆蓋。如中心圖所示，在底表面上鄰近於端子T1、T3佈置鈍化層21A。該鈍化層包括其上可佈置共形塗層21C的一個或多個絕緣層，例如氧化矽或氮化矽。類似地，在前表面上，鈍化層21B被佈置為鄰近於端子T2。該鈍化層包括諸如氧化矽或氮化矽的一個或多個絕緣層，並且也可以具有佈置在其上的共形塗層21C。

【0061】中心的俯視圖示出了端子T2被鈍化層21B圍繞。在一些實施例中，端子T2在其周邊區域上被鈍化層21B覆蓋，從而僅暴露端子T2的中心區域。在其它實施例中，端子T2覆蓋半導體主體22的整個頂表面，在這樣的實施例中，不存在鈍化層21B。

【0062】右側的仰視圖示出了端子T1、T3被鈍化層21A圍繞。在一些實施例中，端子T1、T3在其周邊區域上被鈍化層21A覆蓋，從而僅暴露端子T1、T3的中心區域。

【0063】圖5B示出了根據本公開的一方面的晶片級封裝件20B的另一實施例。封裝件20B與封裝件20A的不同之處在於端子T2被共形塗層21C的島覆蓋。這些島可以是使用將結合圖7描述的製造晶片級封裝件的方法的結果。

【0064】 儘管圖5A、圖5B示出了三端子裝置，但是本公開不限於此。具有兩個端子或多於三個端子的裝置同樣落入本公開的範圍內。

【0065】 圖6示出了根據本公開的一方面的用於製造晶片級封裝件的第一方法。作為第一步驟，如S1_1所示，提供晶圓30，在晶圓30中集成了多個雙端子豎直裝置。每個雙端子裝置包括佈置在晶圓30的第一表面處的第一端子T1和佈置在晶圓30的第二表面處的第二端子T2。每個端子T1、T2被配置為分別覆蓋半導體裸片的整個背側和前側。晶圓30以切割箔31完全覆蓋端子T1的方式被佈置在切割箔31上。例如，如圖所示，端子T1可以被壓入切割箔31中，或者端子T1可以完全靠著切割箔31。

【0066】 作為下一步驟，如S1_2所示，在晶圓30的第二表面沉積犧牲層32，從而覆蓋端子T2。犧牲層32可例如包括光致抗蝕劑、墨水、糊劑（paste）、具有良好熱吸收和低蒸發點的其它材料。

【0067】 作為下一步驟，如S1_3所示，沿切割線L切割晶圓30。作為切割工藝的結果，在對應于不同封裝件的不同半導體裸片30'之間產生開口33。

【0068】 在如S1_4所示的下一步驟中，通過開口33使用原子層沉積施加共形塗層34。在這裡，形成交替堆疊的 Al_2O_3 和 TiO_2 層。在如步驟S1_5所示的下一步驟中，在沉積交替層堆疊件之後，通過光燒蝕去除犧牲層32。為此，可以使用具有適當波長的光照射半導體裸片30'，使得犧牲層32吸收能量並快速加熱。最後，犧牲層32或其一部分從半導體裸片30'燒蝕，從而與犧牲層32或其一部分一起帶走共形塗層34的一部分。更具體地，在光燒蝕期間，共形塗層34的直接連接到犧牲層32的部分將與犧牲層32的至少一部分一起被去除。例如，將僅去除（例如，燒蝕或蒸發）幾納米的犧牲層，從而與幾納米的犧牲層一起帶走共形塗層34。在該步驟之後，可以使用例如使用等離子體清潔工藝的清潔步驟去除犧牲層32的剩餘部分（如果有的話）。

【0069】 如圖所示，在光燒蝕之後，半導體裸片30'的側壁被共形塗層34覆蓋，而端子T1、T2沒有這樣的塗層。

【0070】 在圖6以及圖7至圖9中，端子T2被示出為完全覆蓋晶圓30的第二表面。然而，本公開不限於此。例如，如虛線圓圈中所示，端子T2不完全覆蓋晶圓30的第二表面的實施例是同樣地可以的。例如，封裝件的半導體裸片可以如圖1所示包括內部部分和周邊部分。在這種情況下，可以例如使用光刻技術來

圖案化犧牲層32，以產生允許ALD塗層34至少覆蓋半導體裸片的周邊部分的開口。可以在切割晶圓之前執行這些光刻步驟。在執行ALD之後，共形塗層34也可覆蓋端子T2的一部分。如底部圓圈所示，在已經去除犧牲層32之後，共形塗層34將覆蓋端子T2的周圍（circumferential）區域。此外，半導體裸片可以設置有鈍化層，該鈍化層也可以被共形塗層34部分地覆蓋，這將在圖10中更詳細地解釋。

【0071】圖7示出了根據本公開的一方面的用於製造晶片級封裝件的第二方法。作為第一步驟，如S2_1所示，提供了佈置在切割箔41上的晶圓40，在晶圓40中集成了多個雙端子裝置。該步驟類似於圖6所示的步驟S1_1。

【0072】作為下一步驟，如S2_2所示，沿著佈置在晶圓40上的切割通道L切割晶圓40，此外，在切割之後，在第二表面上佈置箔42，從而覆蓋端子T2。箔42包括開口43，開口43不僅佈置在切割工藝期間產生的開口上方，而且佈置在端子T2上方。

【0073】作為下一步驟，如S2_3所示，通過開口43使用原子層沉積施加共形塗層44。在這裡，形成交替堆疊的 Al_2O_3 和 TiO_2 層。在下一步驟中，如S2_4所示，在沉積交替層堆疊件之後，從晶圓40去除箔42。通過去除箔42，佈置在箔42上和中的塗層44也被去除。與圖6的步驟S1_5相比，可以觀察到共形塗層44的島44'可以保持附接到端子T2。還應注意，附圖與比例不符。例如，共形塗層44的島44'可以具有基本上大於共形塗層44的高度的直徑。

【0074】除了在已經作為切割工藝的結果而產生的相鄰半導體裸片之間的空間上方的開口之外，箔42還可以包括與如圖1所示的半導體裸片的周邊部分對準的開口，這被示出為步驟S2_2*。在該圖中，佈置在相鄰裸片之間的空間的開口與半導體裸片的周邊部分上方的開口合併。這些合併後的開口被稱為開口43*。由於這些開口，共形塗層也將覆蓋周邊部分。這可以與通過半導體裸片上的鈍化層中的一個或多個開口暴露的端子T2組合。在這種情況下，共形塗層可以直接或經由鈍化層覆蓋半導體裸片的周邊部分中的半導體主體，並且其可以覆蓋在端子T2上延伸的鈍化層。

【0075】圖8示出了根據本公開的一方面的用於製造晶片級封裝件的協力廠商法。作為第一步驟，如S3_1所示，提供了佈置在切割箔51上的晶圓50，在晶圓50中集成了多個雙端子裝置。該步驟與步驟S1_1、S2_1的不同之處在於，

使用包括上部T2A和下部T2B的金屬層堆疊件來形成端子T2。在這裡，上部T2A或其一部分形成犧牲層。下部T2B可以包括例如TiNiVAg、TiNiAg、AuNiAg、AuAsNiAg或其組合，並且上部T2A可以包括例如Ag。通常，可以採用其它金屬，該其它金屬也顯示出低蒸發溫度以及對於用於光燒蝕的光源的波長的光能的高吸收。

【0076】作為下一步驟，如S3_2所示，沿著佈置在晶圓50上的切割通道L切割晶圓50。在上部T2A之間可以標識開口53。在一些實施例中，在切割之前，端子T2被形成為覆蓋晶圓50的整個第二表面。在這種情況下，切割工藝將產生開口53，而不是在切割晶圓50之前犧牲層中已經存在開口。

【0077】作為下一步驟，如S3_3所示，通過開口53使用原子層沉積施加共形塗層54。在這裡，形成交替堆疊的 Al_2O_3 和 TiO_2 層。在如S3_4所示的下一步驟中，在沉積交替層堆疊件之後，通過光燒蝕去除上部T2A或其一部分。為此，可以使用具有適當波長的光照射半導體裸片50'，使得上部T2A吸收能量並快速加熱。最後，上部T2A從半導體裸片50'部分或全部燒蝕，從而與其一起帶走共形塗層54的一部分。更具體地，共形塗層54的直接連接到上部T2A的部分將在光燒蝕期間與上部T2A的至少一部分一起被去除。

【0078】為了使半導體裸片和/或端子T2的周邊部分能夠至少部分地被共形塗層54覆蓋，使用不覆蓋半導體裸片的整個表面的端子T2可能是有利的。相反，端子T2可通過鈍化層中的開口暴露，類似於圖1所示。

【0079】步驟S3_1*示出了裸片的周邊部分和端子T2的一部分被共形塗層54覆蓋的示例。該圖沒有示出可以使用的鈍化層。圖9示出了根據本公開的一方面的用於製造晶片級封裝件的第四方法。作為第一步驟，如S4_1所示，提供了佈置在切割箔61上的晶圓60，在晶圓60中集成了多個雙端子裝置。該步驟與步驟S3_1相同。

【0080】作為下一步驟，如S4_2所示，沿著佈置在晶圓60上的切割通道L對晶圓60進行部分割切（partially-cut）的切割，例如半割切的切割。與步驟S3_2相比，在切割之後半導體裸片經由晶圓60的剩餘部分保持彼此附接。在上部T2A之間，可以標識開口63。在一些實施例中，在切割之前，端子T2被形成為覆蓋晶圓60的整個第二表面。在這種情況下，切割工藝將產生開口63，而不是犧牲層中的開口在切割晶圓60之前已經存在。

【0081】 作為下一步驟，如S4_3所示，通過開口63使用原子層沉積施加共形塗層64。該步驟與步驟S3_3相同。在如S4_4所示的下一步驟中，在沉積共形塗層64之後，通過光燒蝕去除上部T2A或其一部分。為此，可以使用具有適當波長的光照射半導體裸片60'，使得上部T2A吸收能量並快速加熱。最後，上部T2A從半導體裸片60'部分或全部燒蝕，從而與其一起帶走共形塗層64的一部分。更具體地，共形塗層64的直接連接到上部T2A的部分將在光燒蝕期間與上部T6A的至少一部分一起被去除。

【0082】 作為最後的步驟，如S4_5所示，例如使用幹法蝕刻完全分離半導體裸片60'。在該方法中，由於晶圓60本身提供了對來自例如切割箔61的污染物的遮罩，因此在步驟S4_3和S4_4期間側壁污染的機會更少。更具體地，該方法可以用於防止切割箔61的粘合層在原子層沉積之前污染半導體裸片60'的側壁。

【0083】 為了使共形塗層64能夠覆蓋半導體裸片60'的周邊部分和可選的鈍化層，可以使用如針對步驟S4_2*所示的不同的端子T2。在圖6至圖9中，討論了雙端子裝置。然而，相同的製造方法可以用於包括多於兩個端子的裝置。此外，切割箔31、41、51、61還可以設置有開口，以允許共形塗層34、44、54、64形成在半導體裸片30'、40'、50'、60'的側壁上。

【0084】 在圖6、圖8和圖9中，使用光燒蝕去除犧牲層32、T2A。可以使用在經過切割的（diced）晶圓的表面上掃描的雷射器來提供該光。可替換地，可等同地使用聚焦較少的光源，例如同時照射整個經過切割的晶圓或使用陰影掩模或其它形式的光圖案化方法照射樣品的一部分的光源。無論照射方法如何，首選的是犧牲層都顯示出比裝置中的其它元件高得多的光能吸收。因此，必須結合將要使用的光源仔細選擇用作用於光燒蝕的犧牲層的材料。但是不同地，當與裝置的其它層或元件相比時，犧牲層應當具有關於從外部能量源吸收能量的相對高的特異性。在這方面，應當注意，根據本公開的另一方面，可以使用除光源之外的能量源來引起犧牲層的燒蝕。

【0085】 此外，在圖6至圖9中，晶圓30、40、50、60的整個第一表面被切割箔31、41、51、61覆蓋，可替換地，在遠離端子T1的區域中，可以在晶圓30、40、50、60和切割箔31、41、51、61之間存在小空間。在這種情況下，也可以在第一表面上並鄰近於端子T1佈置共形塗層。

【0086】如上所示，可以以提供與相鄰半導體裸片之間的空間對準的第一開口、以及與半導體裸片的第二表面的周邊部分至少部分地對準的第二開口的形式圖案化或以其他方式提供犧牲層。在圖10中示出這些開口的可能構造。

【0087】圖10(頂部)示出了根據本公開的晶片級封裝件310的實施例的截面，其中使用了共形塗層的不同構造。

【0088】封裝件310的左部呈現鈍化層320中的開口和共形塗層330中的開口的第一構造。在左下部示出了完全使用這種構造的半導體裸片的俯視圖。在該第一構造中，共形塗層330中的開口大於鈍化層320中的用於暴露端子T2的開口，並且端子T2本身大於形成在共形塗層330中的開口和鈍化層320中的開口。

【0089】封裝件310的右部呈現鈍化層中的開口和共形塗層中的開口的第二構造。在右下部示出了完全使用這種構造的半導體裸片的俯視圖。在該第二構造中，共形塗層330中的開口大於鈍化層320中的用於暴露端子T2的開口，並且端子T2本身小於共形塗層330中形成的開口但大於鈍化層320中的開口。

【0090】應當注意，可以有更多構造，其中共形塗層330直接或經由鈍化層覆蓋半導體裸片的周邊部分，以防止在安裝由該半導體裸片形成的晶片級封裝件時半導體裸片和導電附接材料之間的任何直接接觸。

【0091】以上，已經使用了本發明的詳細實施例描述本發明。然而，本發明不限於這些實施例。相反，在不脫離由所附權利要求及其等同物限定的本發明的範圍的情況下，各種修改是可能的。

【0092】本發明的特定和優選方面在所附獨立權利要求中闡述。從屬和/或獨立權利要求的特徵的組合可以適當地組合，而不僅僅是如權利要求中所闡述的。

【0093】本公開的範圍包括其中明確地或隱含地公開的任何新穎特徵或特徵的組合或其任何概括，而不管其是否涉及所要求保護的發明或減輕由本發明解決的任何或所有問題。申請人由此提請注意，在本申請或從其匯出的任何這種進一步申請的審查期間，可以針對這些特徵提出新的權利要求。特別地，參考所附權利要求，來自從屬權利要求的特徵可以與獨立權利要求的特徵組合，並且來自各個獨立權利要求的特徵可以以任何適當的方式組合，而不僅僅是在權利要求中列舉的特定組合。

【0094】在單獨實施例的上下文中描述的特徵也可以在單個實施例中組合提供。相反，為了簡潔起見，在單個實施例的上下文中描述的各種特徵也可以單獨地或以任何合適的子組合提供。

【0095】術語“包括”不排除其它元件或步驟，術語“一”或“一個”不排除多個。權利要求中的附圖標記不應被解釋為限制權利要求的範圍。

【符號說明】

【0096】

1、22、30'、40'、50'、60'、100：半導體裸片

20A、20B、310：封裝件

21C、34、44、54、64、330：共形塗層

22：半導體主體

30、40、50、60：晶圓

31、41、51、61：切割箔

32：犧牲層

33、43、43*、53、63：開口

42：箔

44'：島

100：半導體晶圓

110：區段

111：內部部分

112：周邊部分

120、21A、21B、320：鈍化層

120：電絕緣層

200：印刷電路板

201：介電層

210A、210B、211A、211B：金屬跡線

210A：第一接觸焊盤

210B：第二接觸焊盤

220：阻焊層

230：焊料

B：背側

D：法線方向

F：前側

L：切割通道、切割線

L1：虛線

S1：第一表面

S2：第二表面

S1_1、S1_2、S1_3、S1_4、S1_5：步驟

S2_1、S2_2、S2_2*、S2_3、S2_4：步驟

S3_1、S3_1*、S3_2、S3_3、S3_4：步驟

S4_1、S4_2、S4_2*、S4_3、S4_4、S4_5：步驟

T1、T2、T3：端子

T2A：上部

T2B：下部

【發明申請專利範圍】

【請求項1】 一種用於製造諸如晶片級封裝件的半導體裝置的方法，包括：

提供佈置在載體上的多個半導體裸片(30'、40'、50'、60')，其中所述半導體裸片具有第一表面和與所述第一表面相對的第二表面，所述半導體裸片通過所述第一表面佈置在所述載體上，其中所述半導體裸片各自包括內部部分和圍繞所述內部部分的周邊部分，其中所述半導體裸片各自在所述周邊部分中至少包括曾用於或將用於將所述半導體裸片與半導體晶圓上的其它半導體裸片分割的鋸切線或切割道的剩餘部分，並且所述半導體裸片各自包括在所述內部部分內部實現的半導體豎直裝置，其中鈍化層至少佈置在所述半導體裸片的所述內部部分中，其中每個半導體裸片包括佈置在其第一表面處的至少一個第一端子(T1)、在其內部部分中佈置在其第二表面處並且通過所述鈍化層中的一個或多個開口至少部分地暴露的至少一個第二端子(T2)、以及在所述第一表面和所述第二表面之間延伸的側壁，其中犧牲層(32；42；T2A)設置在所述半導體裸片的所述第二表面處，其中所述犧牲層至少部分地覆蓋所述至少一個第二端子，並且包括與相鄰半導體裸片之間的空間對準的第一開口（33；43；53；63）、以及至少部分地與所述半導體裸片的所述第二表面的所述周邊部分對準的第二開口；

在所述半導體裸片上佈置共形塗層(34；44；54；64)；以及通過去除所述犧牲層來去除佈置在所述犧牲層上的所述共形塗層；

其中，保留在所述半導體裸片上的所述共形塗層覆蓋所述半導體裸片的所述周邊部分並且至少部分地覆蓋所述半導體裸片的所述側壁。

【請求項2】 根據權利要求1所述的方法，其中，保留在所述半導體裸片上的所述共形塗層至少部分地覆蓋所述半導體裸片的所述內部部分，所述共形塗層包括一個或多個開口，通過所述共形塗層包括的所述一個或多個開口至少部分地暴露所述至少一個第二端子。

【請求項3】 根據權利要求2所述的方法，其中，保留在所述半導體裸片上的所述共形塗層至少部分地覆蓋所述鈍化層。

【請求項4】 根據權利要求3所述的方法，其中，為了暴露所述至少一個第二端子，將保留在所述半導體裸片上的所述共形塗層中的所述一個或多個開口與所述鈍化層中的所述一個或多個開口對準。

【請求項5】 根據前述權利要求中任一項所述的方法，其中，所述周邊部分未被所述鈍化層覆蓋或未被所述鈍化層完全覆蓋。

【請求項6】 根據前述權利要求中任一項所述的裝置，其中，所述鈍化層是由氮化矽、氧化矽和氮氧化矽組成的組中的一種或多種。

【請求項7】 根據前述權利要求中任一項所述的方法，其中，所述多個半導體裸片對應於佈置在所述載體上的經過切割的半導體晶圓，其中，所述經過切割的晶圓對應於部分割切的經過切割的晶圓，諸如半割切的經過切割的晶圓，在所述部分割切的經過切割的晶圓中所述裸片通過所述半導體晶圓的一部分仍然互連，或者其中，所述經過切割的晶圓對應于完全割切的經過切割的晶圓，在所述完全割切的經過切割的晶圓中所述半導體裸片已經被物理地分離。

【請求項8】 根據前述權利要求中任一項所述的方法，其中，所述佈置共形塗層包括執行原子層沉積，其中，所述執行原子層沉積包括使用三甲基鋁和水、以及四氯化鈦和水作為前體對。

【請求項9】 根據前述權利要求中任一項所述的方法，其中，所述提供多個半導體裸片包括當在切割之前所述多個半導體裸片在晶圓中仍然互連時在所述半導體裸片上佈置所述犧牲層；

其中，所述提供多個半導體裸片優選地包括當所述多個半導體裸片在晶圓中仍然互連時並且在將該晶圓佈置在所述載體上之前，在所述半導體裸片的所述第二表面上佈置所述犧牲層。

【請求項10】 根據權利要求9所述的方法，其中，所述在所述半導體裸片的所述第二表面上佈置所述犧牲層包括在所述第二表面上沉積層(32)，所述層選自由光致抗蝕劑、聚合物、薄金屬層、自組裝單層和/或它們的組合組成的組。

【請求項11】 根據權利要求10所述的方法，其中，所述方法還包括在所述犧牲層上佈置並圖案化掩模層，並且通過所述掩模層中的開口去除所述犧牲層。

【請求項12】 根據權利要求1至8中任一項所述的方法，其中使用包括多個金屬層的金屬層堆疊件來形成所述第二端子，其中所述犧牲層(T2A)由佈置為距所述第二表面最遠的一個或多個金屬層或其一部分形成，其中所述金屬層堆疊

件優選地包括TiNiVAg、NiAu、Ni、Al、TiNiAg、AuNiAg、AuAsNiAg和/或它們的組合。

【請求項13】 根據前述權利要求中任一項所述的方法，其中，所述去除所述犧牲層包括通過光燒蝕來燒蝕所述犧牲層。

【請求項14】 根據權利要求1至12中任一項所述的方法，其中，所述去除所述犧牲層包括：

向所述犧牲層和共形塗層提供熱衝擊，從而使所述共形塗層和犧牲層相互分層；以及

去除分層的共形塗層；

其中，所述犧牲層優選是諸如光致抗蝕劑的光敏層，並且其中，優選通過例如使用鐳射源施加光能來提供所述熱衝擊；

所述方法可選地包括執行清潔步驟以去除剩餘的犧牲層。

【請求項15】 根據權利要求1至12中任一項所述的方法，其中，所述去除所述犧牲層包括執行研磨、切割、割切或其他機械操作，以去除所述犧牲層以及通過物理地接合所述共形塗層和犧牲層來覆蓋所述犧牲層的所述共形塗層，所述方法可選地包括執行清潔步驟以去除剩餘的犧牲層。

【請求項16】 根據權利要求1至8中任一項所述的方法，其中所述提供多個半導體裸片包括將作為所述犧牲層的第一箔(42)附接到所述半導體裸片的所述第二表面，其中所述第一箔設置有所述第一開口和所述第二開口(43)，並且其中所述去除所述犧牲層包括從所述第二表面去除所述第一箔。

【請求項17】 根據前述權利要求中任一項所述的方法，其中所述載體包括第二箔，其中所述第二箔優選地是切割箔(31；41；51；61)，並且/或者其中所述第二箔優選地包括多個開口，以允許將所述共形塗層通過所述開口形成在所述側壁上。

【請求項18】 一種諸如晶片級封裝件的半導體裝置，包括半導體裸片，所述半導體裸片包括：

內部部分和圍繞所述內部部分的周邊部分，其中所述半導體裸片在所述周邊部分中至少包括曾用於將所述半導體裸片與半導體晶圓上的其它半導體裸片分割的鋸切線或切割道的剩餘部分，並且所述半導體裸片包括在所述內部部分內部實現的半導體豎直裝置；

鈍化層，其至少佈置在所述半導體裸片的所述內部部分中；

第一表面和與所述第一表面相對的第二表面，所述半導體裸片包括佈置在其第一表面處的至少一個第一端子、佈置在其第二表面處並且通過所述鈍化層中的一個或多個開口至少部分地暴露的至少一個第二端子、以及在所述第一表面和所述第二表面之間延伸的側壁；

共形塗層(21C)，其覆蓋所述周邊部分和所述側壁的至少一部分，以防止在將所述裝置安裝在載體上時在所述至少一個第一端子和所述至少一個第二端子之間發生短路。

【請求項19】 根據權利要求18所述的裝置，其中，所述共形塗層至少部分地覆蓋所述第一表面的所述內部部分，所述共形塗層包括一個或多個開口，通過所述共形塗層包括的所述一個或多個開口至少部分地暴露所述至少一個第二端子。

【請求項20】 根據權利要求19所述的裝置，其中，所述共形塗層至少部分地覆蓋所述鈍化層。

【請求項21】 根據權利要求20所述的裝置，其中，為了暴露所述至少一個第二端子，所述共形塗層中的所述一個或多個開口與所述鈍化層中的所述一個或多個開口對準。

【請求項22】 根據權利要求18至21中任一項所述的裝置，其中，所述周邊部分未被所述鈍化層覆蓋或未被所述鈍化層完全覆蓋。

【請求項23】 根據權利要求18至22中任一項所述的裝置，其中，所述鈍化層是由氮化矽、氧化矽和氮氧化矽組成的組中的一種或多種。

【請求項24】 根據權利要求18至23中任一項所述的裝置，其中，所述至少一個第二端子設置有包括所述共形塗層的多個島(21C)。

【請求項25】 根據權利要求18至24中任一項所述的裝置，所述共形塗層包括通過原子層沉積獲得的塗層。

【請求項26】 根據權利要求25所述的裝置，其中，所述共形塗層包括交替佈置的 Al_2O_3 和 TiO_2 層。

【請求項27】 根據權利要求18至26中任一項所述的裝置，其中所述豎直裝置是選自由溝槽MOSFET、平面MOSFET、PN二極體、肖特基二極體、齊納二極

體和雙極結型電晶體組成的組的裝置，並且/或者其中所述半導體裸片包括諸如n型摻雜半導體襯底或p型摻雜半導體襯底的導電半導體襯底。

【請求項28】 根據權利要求18至27中任一項所述的裝置，其中所述裝置包括垂直於所述第一表面並且從所述第一表面向所述第二表面延伸的法線方向，其中所述裝置被配置為被佈置在諸如印刷電路板的載體上，並且所述裝置的法線方向平行於所述載體，其中所述至少一個第一端子被配置為連接到所述載體上的至少一個第一接觸焊盤，並且其中所述至少一個第二端子被配置為連接到所述載體上的至少一個第二接觸焊盤。

【請求項29】 一種系統，包括：

諸如印刷電路板的載體，其包括至少一個第一接觸焊盤和與所述至少一個第一接觸焊盤間隔開的至少一個第二接觸焊盤；

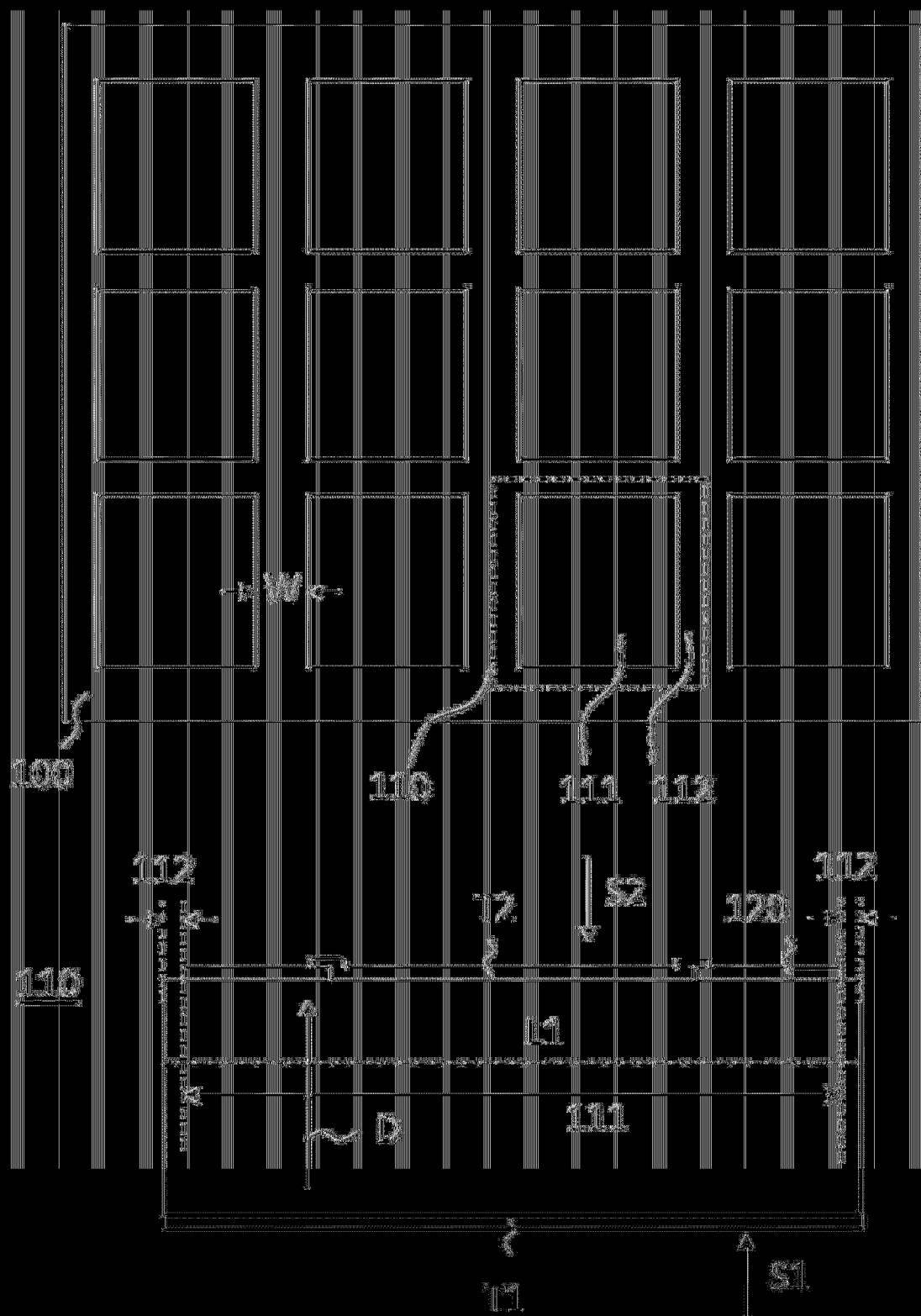
根據權利要求28所述的半導體裝置，其以其法線方向平行於所述載體的方式安裝到所述載體；

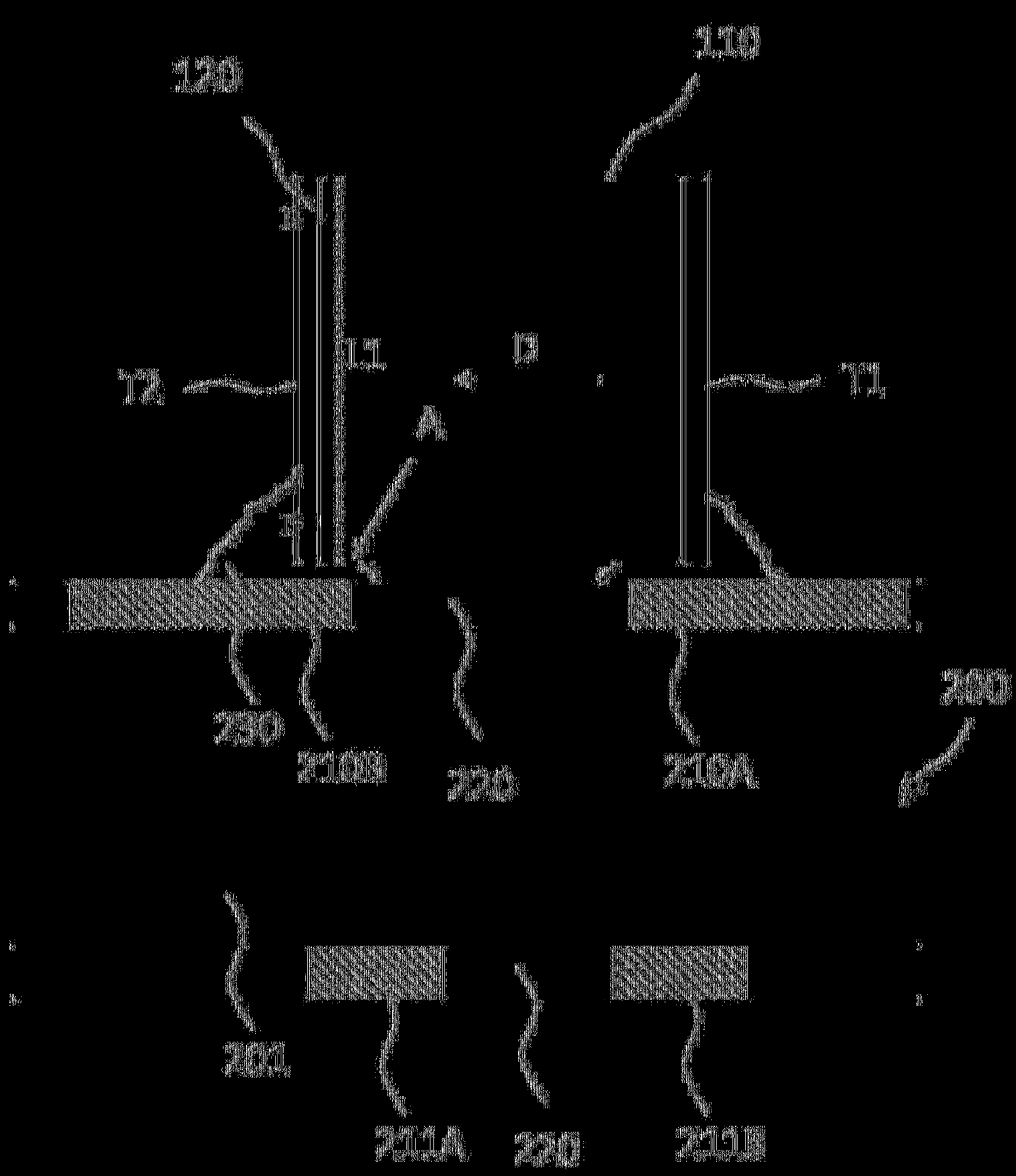
其中，所述至少一個第一端子使用導電附接材料電連接到所述

至少一個第一接觸焊盤；並且

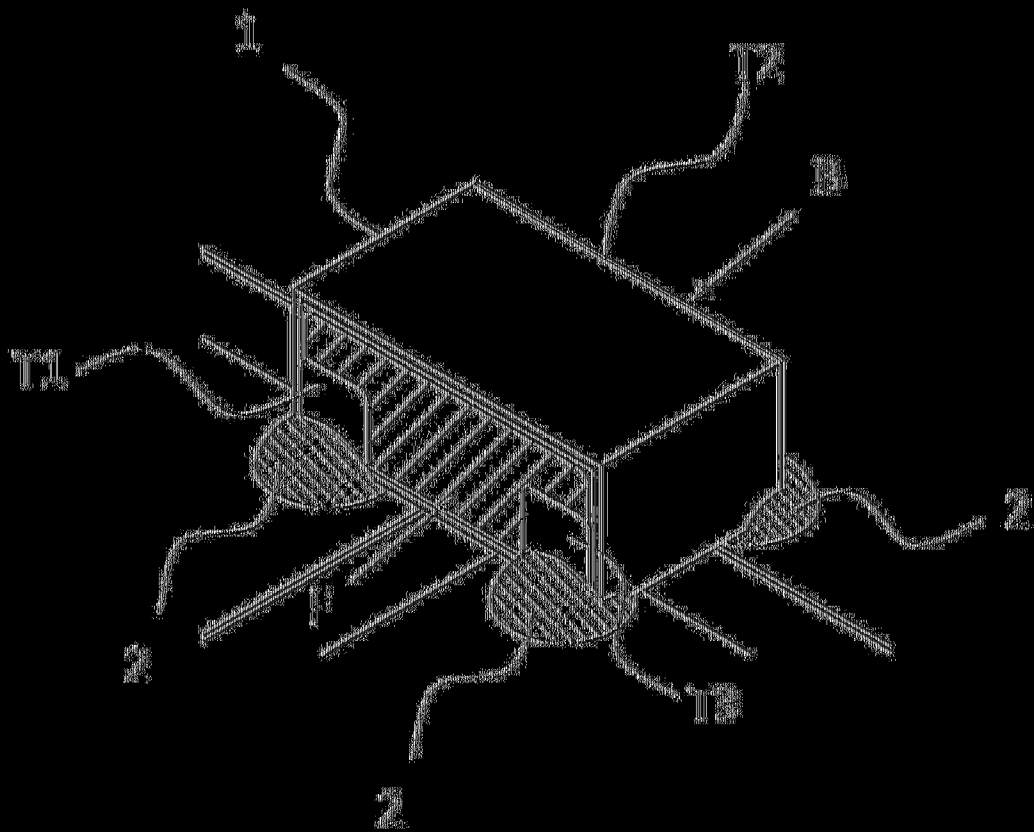
其中，所述至少一個第二端子使用導電附接材料電連接到所述至少一個第二接觸焊盤。

【請求項30】 根據權利要求29所述的系統，其中，所述導電附接材料是由焊料、導電膠和銀燒結材料組成的組中的一種或多種。

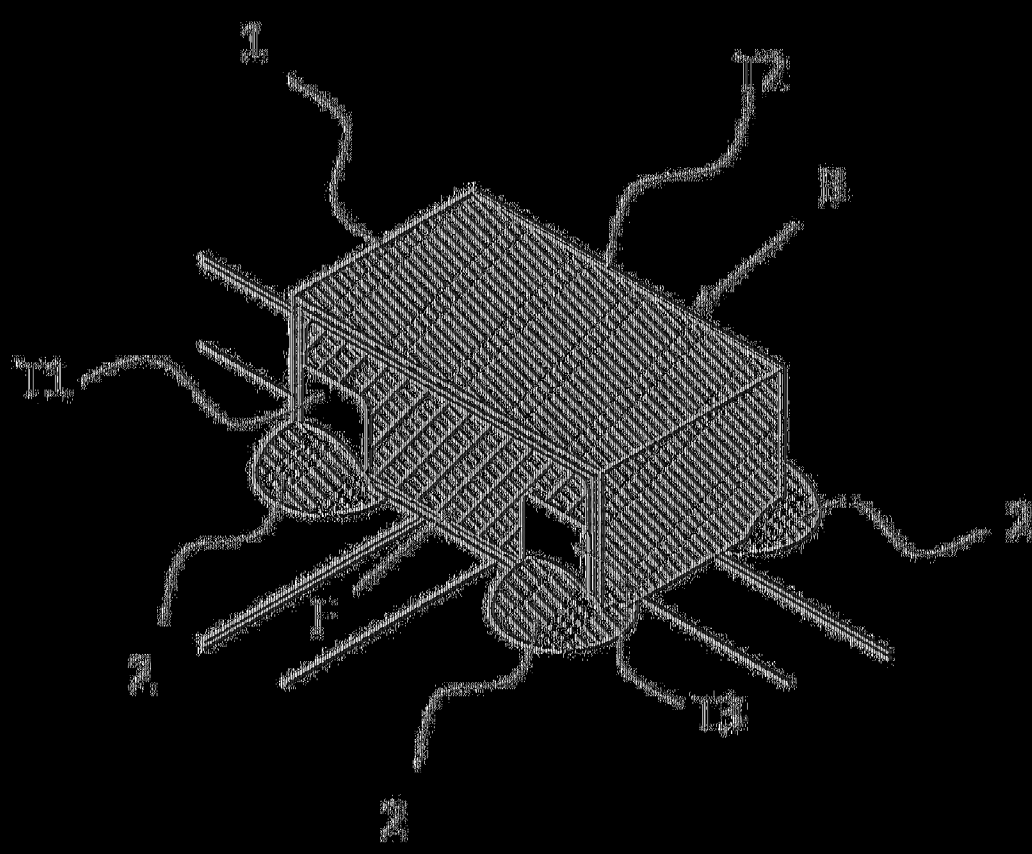

$$|(\left[\begin{smallmatrix} 1 & 0 \\ 0 & 1 \end{smallmatrix}\right] 1)|$$



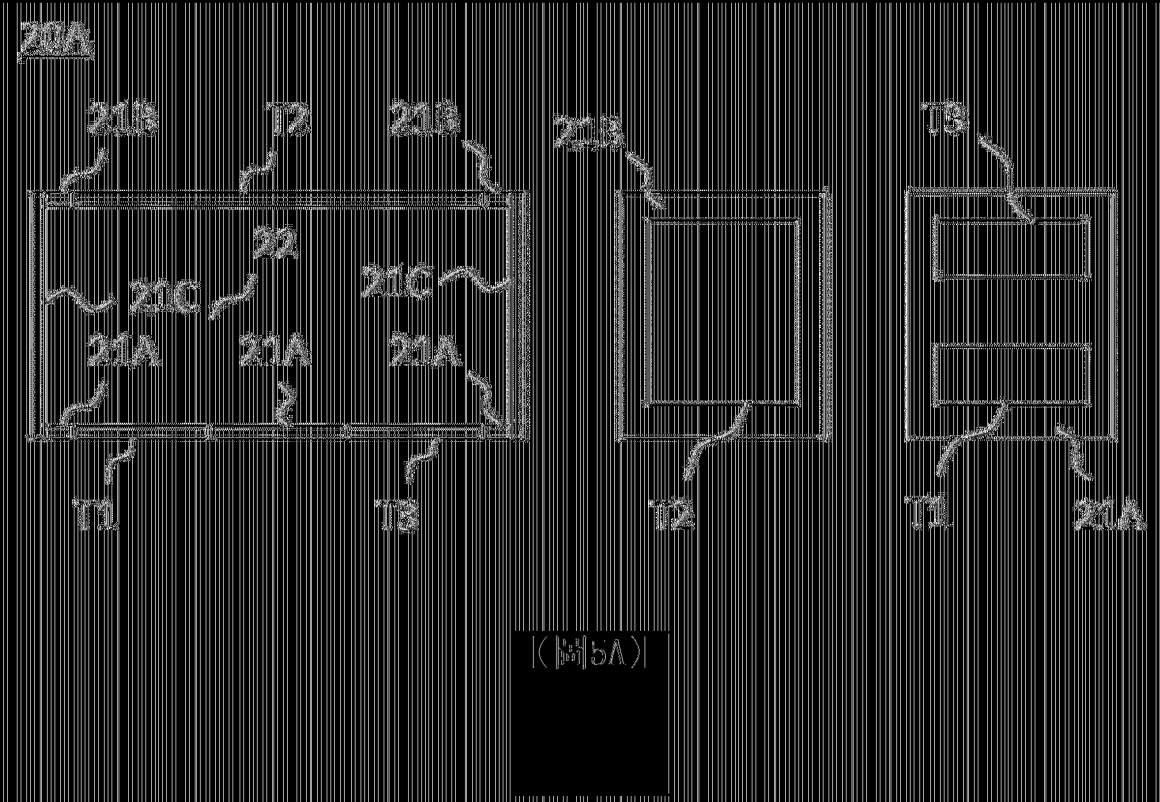
[(圖2)]



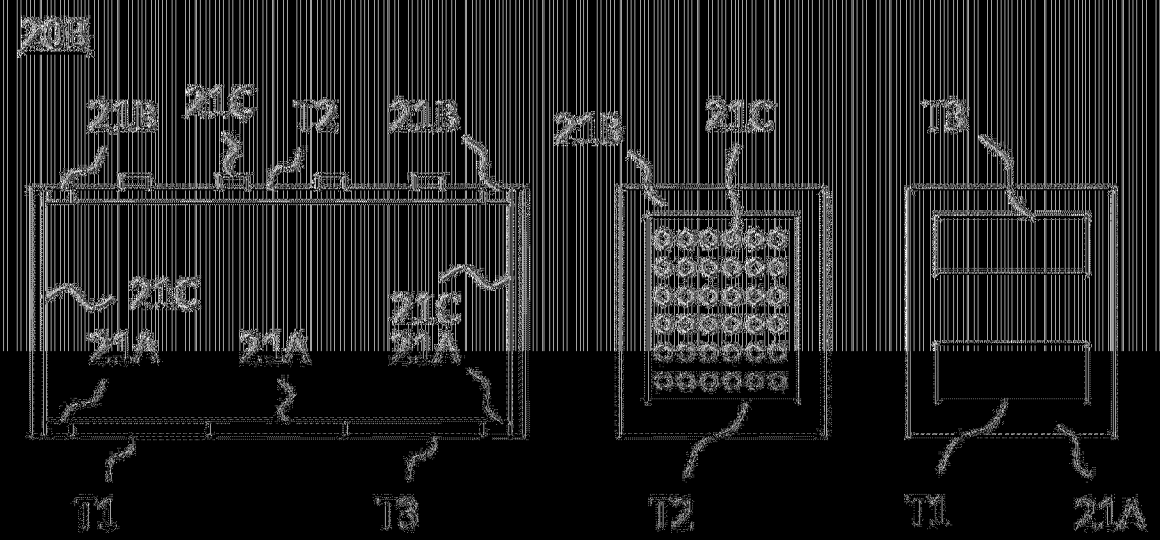
|(圖3)|



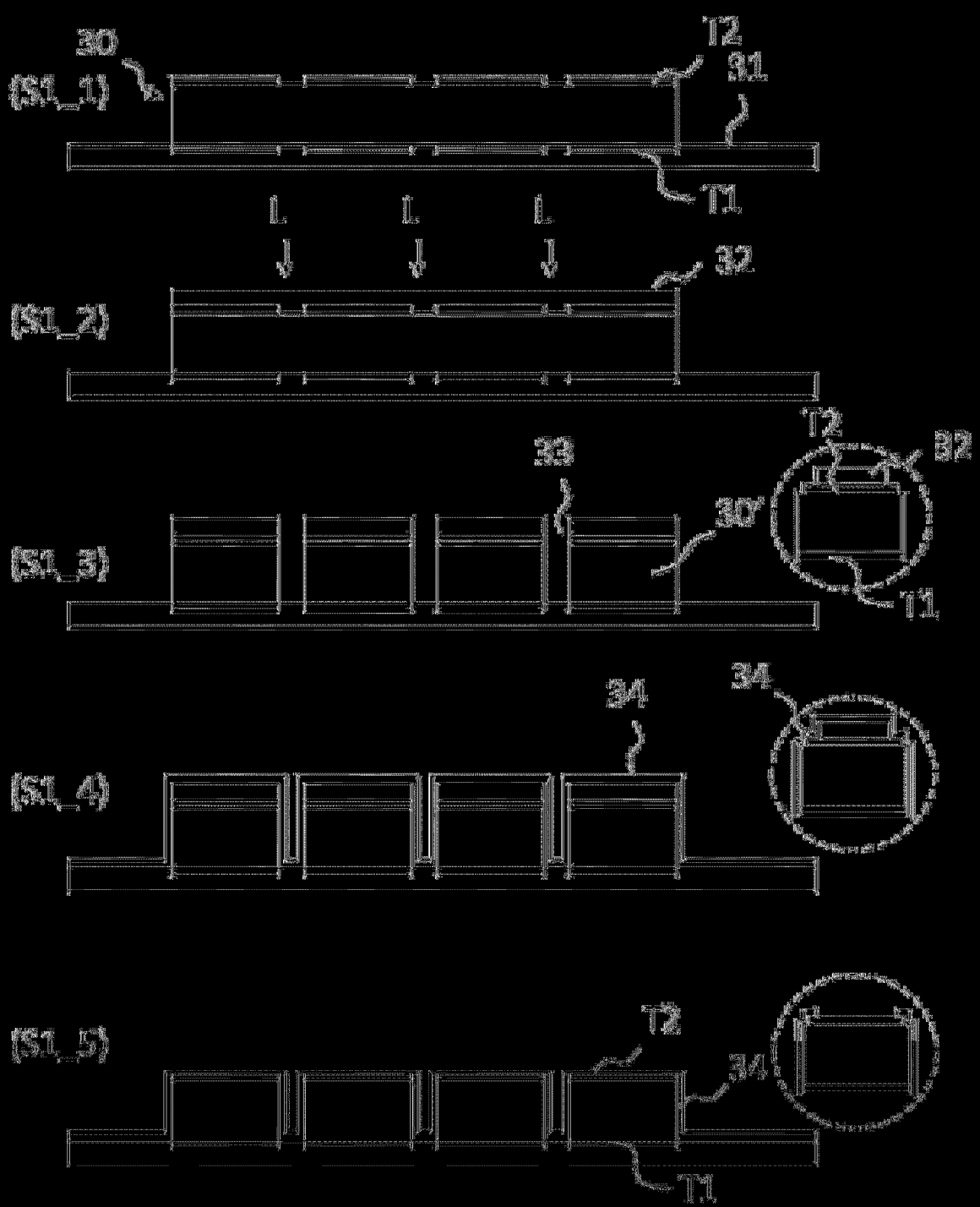
|(10)|4|



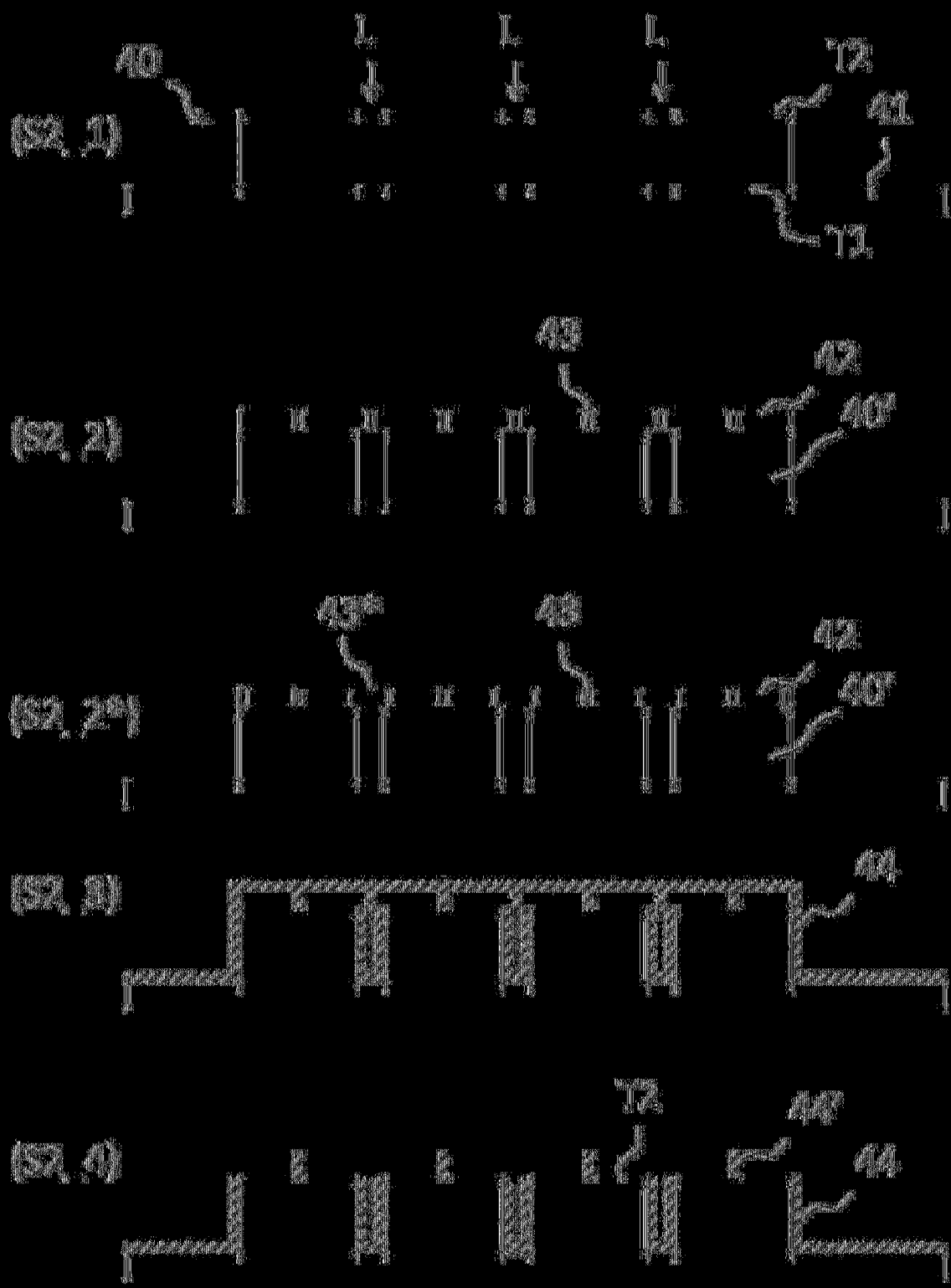
[(圖5A)]



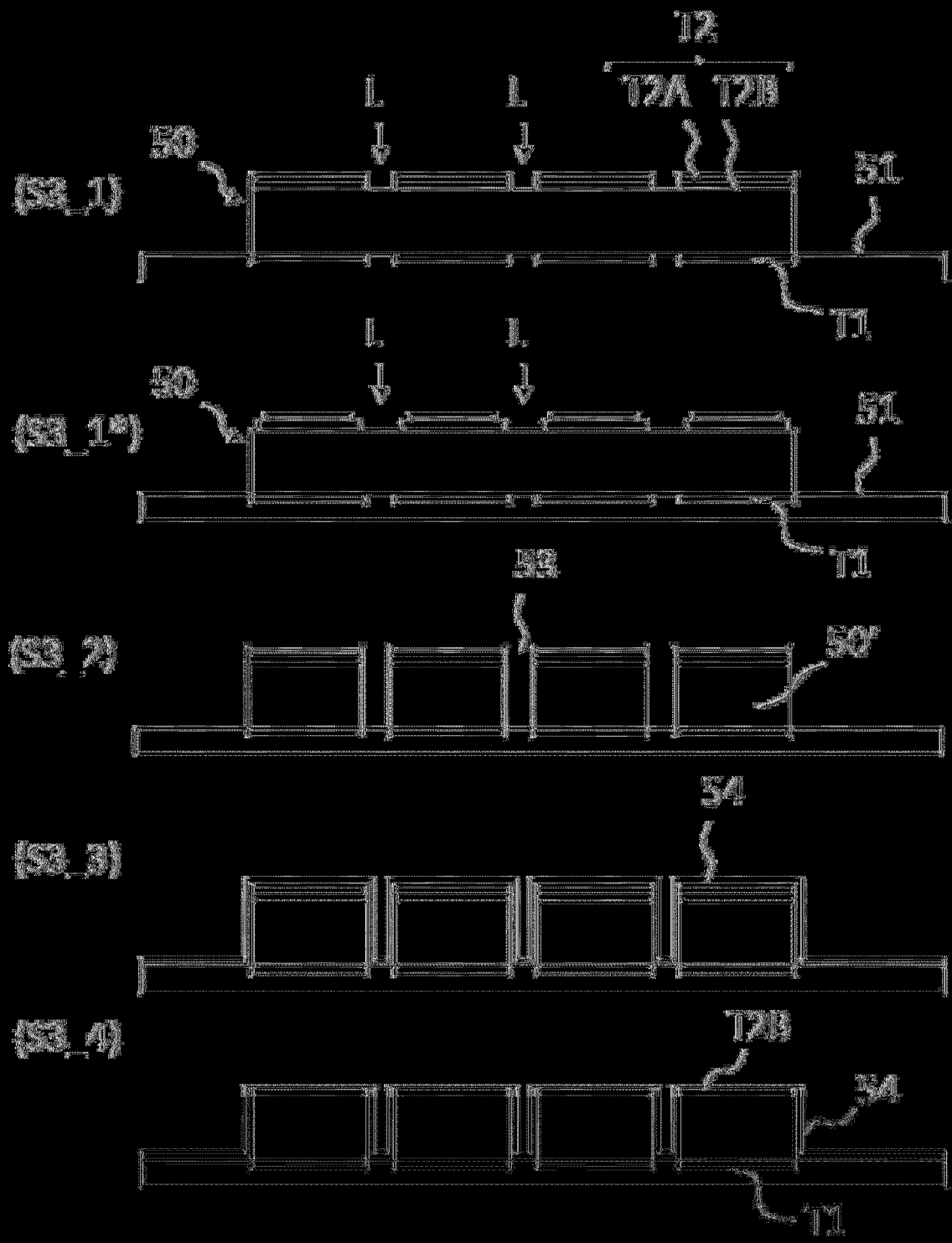
[(圖5B)]



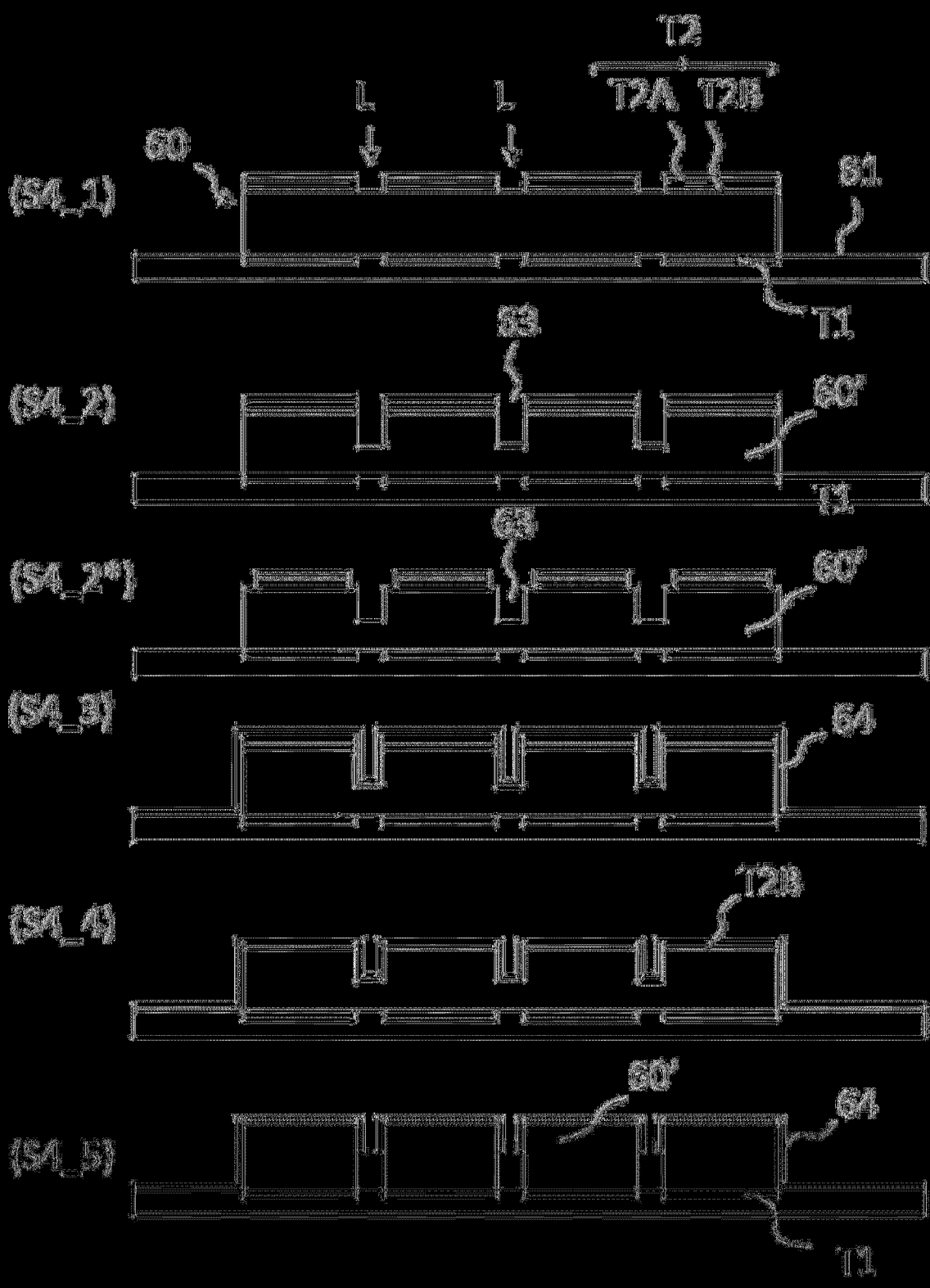
|(圖6)|



[(圖7)]



[(圖8)]



| (圖9) |

