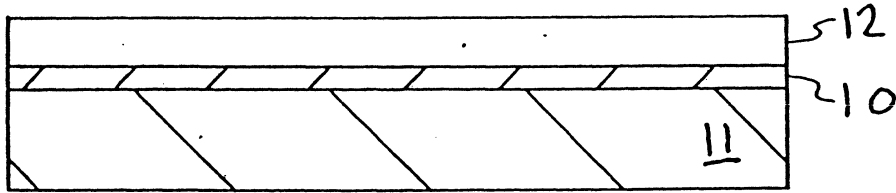
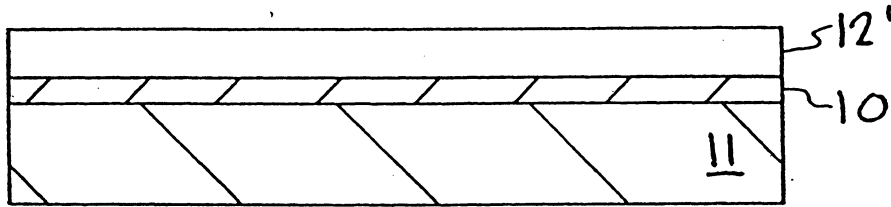


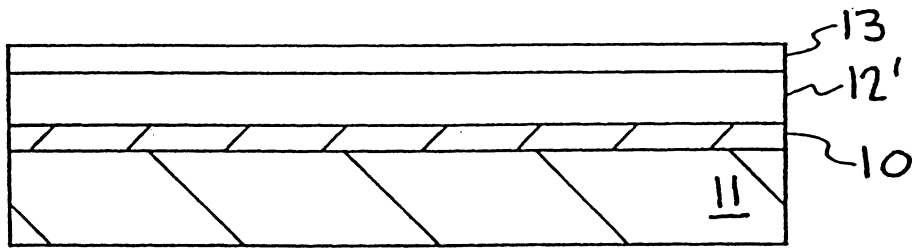
第 1 圖



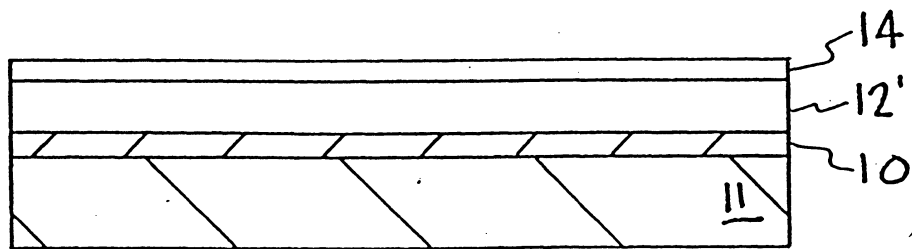
第 2 圖



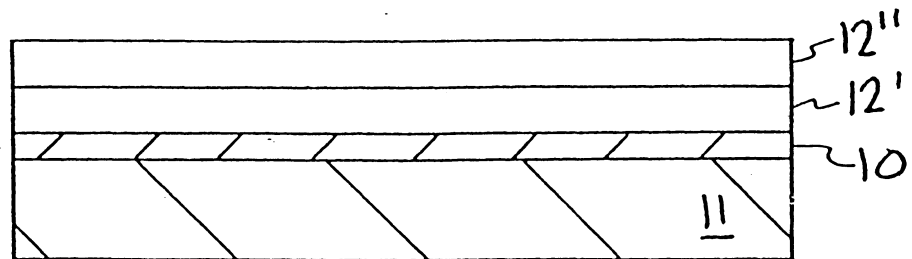
第 3 圖



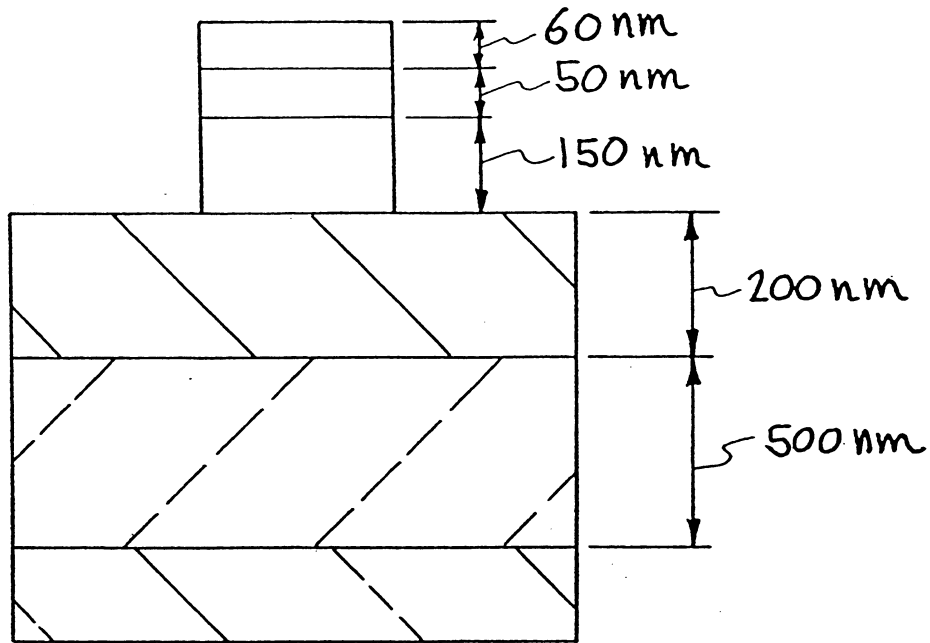
第 4a 圖



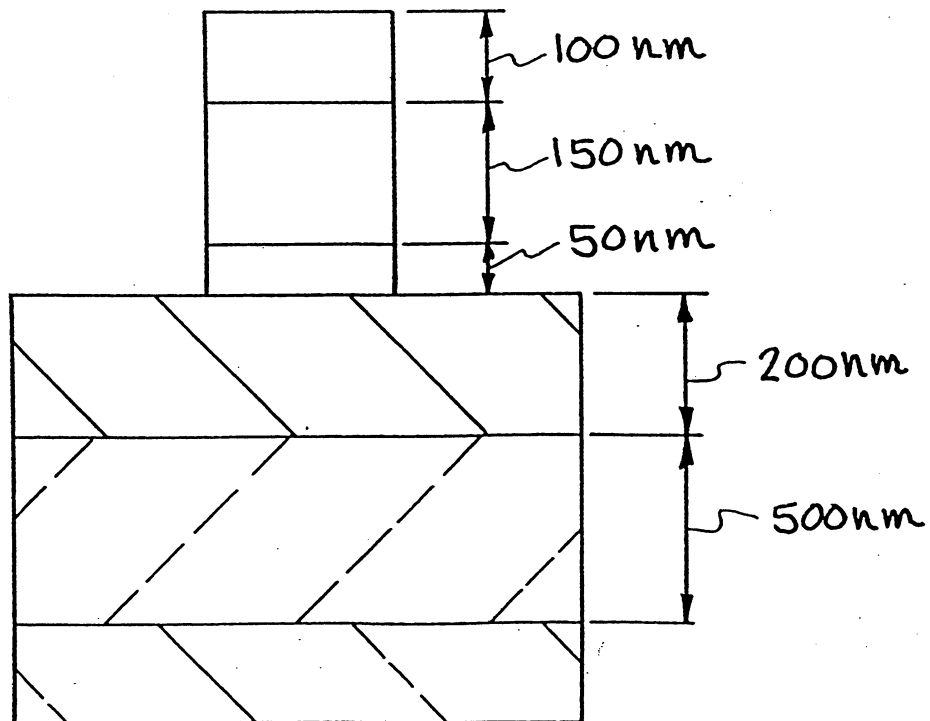
第 4b 圖



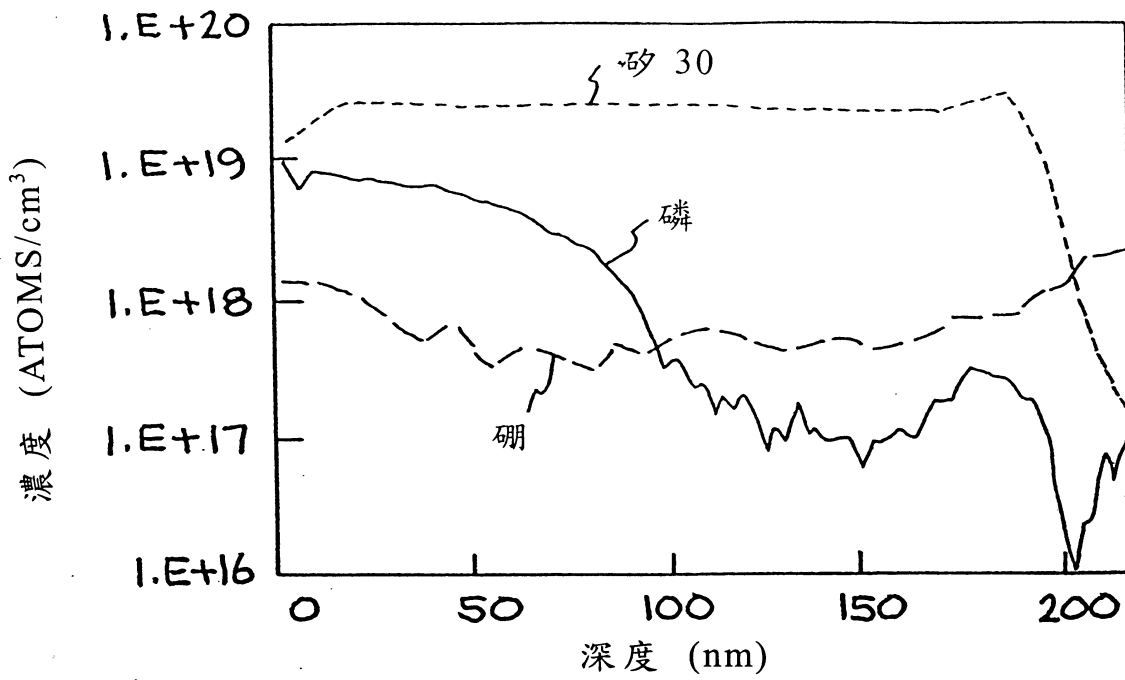
第 4c 圖



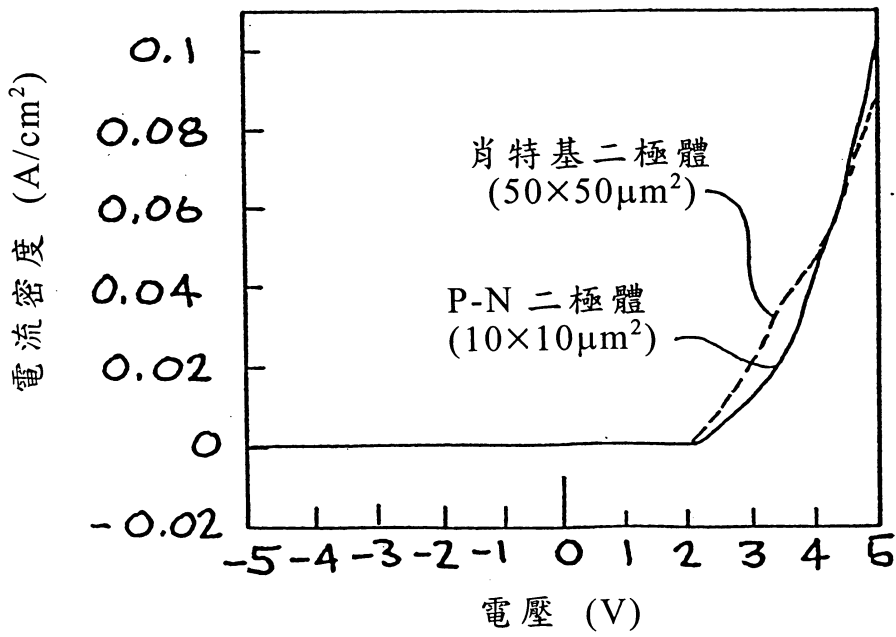
第 5A 圖



第 5B 圖



第 6 圖



第 7 圖

申請日期：90.12.11

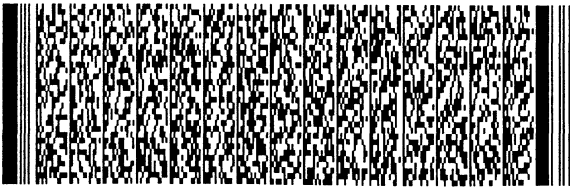
案號：90130698

類別：H01L 27/3035, H01L 27/39

(以上各欄由本局填註)

發明專利說明書

531807

一、發明名稱	中文	PN層之形成方法
	英文	PROCESS OF FORMING p-n LAYER
二、發明人	姓名 (中文)	1. 丹尼爾 透特 2. 湯瑪斯 W. 西格門
	姓名 (英文)	1. TOET, Daniel 2. SIGMON, Thomas W.
	國籍	1. 荷蘭 2. 美國
	住、居所	1. 美國加州94041山景180公寓彩虹大道600號 2. 美國新墨西哥州87111艾伯可奇東北威肯微薩塔街5719號
三、申請人	姓名 (名稱) (中文)	1. 加州大學董事
	姓名 (名稱) (英文)	1. The Regents of the University of California
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州94607-5200, 奧克蘭市, 富蘭克林街1111號5樓
	代表人 姓名 (中文)	1. 珍娜 G. 圖而克
代表人 姓名 (英文)	1. JANET G. TULK	
		

本案已向

國(地區)申請專利  
美國 US

申請日期  
2000/12/22

案號  
09/746,981

主張優先權  
有

有關微生物已寄存於

寄存日期

寄存號碼

無

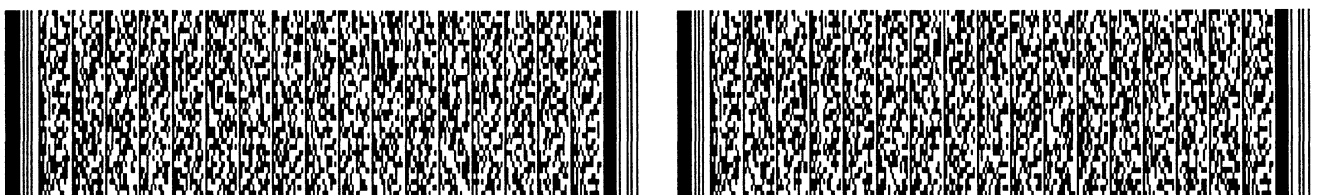


## 五、發明說明 (1)

本發明是有關一種接面二極體製造技術，特別有關於於薄金屬層上形成薄膜矽接面連結式二極體製程，以及更特別關於直接整合有磁隧道接合連接薄膜矽P-N接面二極體，提高MRAM單元的效能以及非易揮發的記憶體陣列。

磁性隨機存取記憶體(MRAM)利用高磁阻材料(GMR)以及自旋倚賴磁性隧道連接(MJTs)發展出高效能、非揮發性記憶體。前述之記憶體單元與習知裝置相較之重大改進在於前述之記憶體單元的電流垂直平面(CPP)裝置，也就是說電流垂直地由字線到位元線通過記憶體，而習知裝置是電流流動於記憶體單元的平面(CIP)。CPP裝置造成大量優點包括：縮小單元尺寸以及緩和半導體特徵尺寸的維度定標。在CPP MRAM單元中之基本磁儲存元件包含兩個以絕緣體(GMR薄膜，如 $Al_2O_3$ )分隔之磁性層。當此兩層磁性物質進行磁化作用時，以其平行對準或非平行對準定義其邏輯的"1"或"0"；這些狀態以寫入電流通過字線與位元線被寫入；這個不應穿過此單元的電流，引起磁場，改變這些GMR層之一此時的方向。讀取過程方法為一個感測電流垂直通過單元，從單元的磁阻產生一個電壓；如此，這單元的磁阻包含有此單元某狀態上的資訊。

為由這些單元製造記憶體，在字線與位元線交叉處之間放置單元，形成 $n \times n$ 的單元陣列。為了寫入或讀取一個單元 $n_i$ ，使字線與位元線的 $n_i$ 交點被活化。然而，因為單元基本上是電阻，問題在於讀取和寫入中，當分流電流經過其他不同時 $n_i$ 單元時的靈敏性；利用把電子開關放在連續有磁單元的字線和位元線之間除去這樣的問題，這樣的



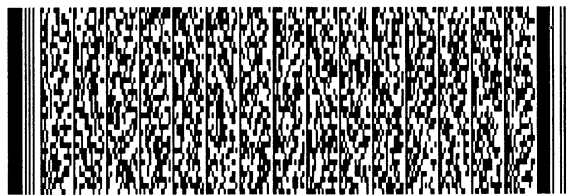
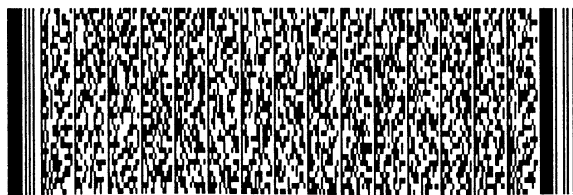
## 五、發明說明 (2)

一個裝置可能是一個二極體或者電晶體，由字線與位元線之間的電壓差控制其阻抗。

類似於在連續有磁單元的字線和位元線之間提供這個電子開關的需要，也有發展能夠允許直接將一個矽二極體或者電晶體架構在金屬字線或位元線上製程的需要。此製程須在低溫下進行度，才不會影響金屬字線或位元線或者位於下面或者鄰近的Si電子電路。

本發明提供上述所需要之一種解決辦法，其中為將有MTJ堆疊在字線或位元線之間一個二極體或者電晶體(電壓控制開關)的直接垂直整合起來。本發明是藉由適當整合脈衝能源的低溫度沈澱步驟，做熔化、再結晶和摻雜以沉積的Si膜，可使下面的互補式金氧半導體積體電路(CMOSIC)免於發生熱損害的方法。這使得P-N的接面或者TFT直接形成於字線與位元線表面。

這是本發明的目的在於提出一個非線性的元件(開關)，直接裝配在一個電子電路中的兩個金屬導體之間其中一金屬導體之上。本發明的更進一步的目的在於提出一方法，能夠允許直接將一個矽二極體或者電晶體架構在金屬字線或位元線上，而不會對下面或者鄰近的部分元件造成損害。本發明的另一個目的在於提供一種方法，在特定P-N接面二極體中，在例如陶瓷、電解質、玻璃、或者聚合物的低溫基板上沉積之金屬膜上，以脈波雷射製程為基礎，架構垂直式多晶矽電子裝置的製程。本發明的另一個目的在於提出一種當有MTJ堆疊用於提高效能的MRAM單元時，直接整合薄膜、P-N接面矽二極體、或電晶體的方



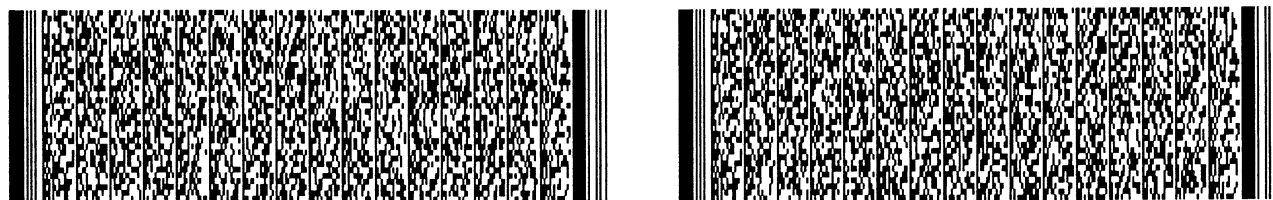
## 五、發明說明(3)

法。

本發明的其他目的即優點，將由以下文以及接下來的示意圖加以說明之。

本發明適用於CPP的MTJ 記憶體單元(MTJs)，其用以非易揮發性、提高效能、高密度的MRAM。前述之記憶體單元包含有一個磁存儲裝置連接用以控制單元內電流的一個二極體或者電晶體最為電流控制裝置而成，在U.S. Patents No. 5,838,608和5,640,343中詳盡描述了這樣的單元。前述電流控制裝置的目的是在讀取過程中提供選擇性(即，防止不需要的電流穿過其他未被選取的單元和產生錯誤讀取信號)以及在寫入過程中孤立這個被選取的記憶體單元。本方法使得可在低溫下垂直地直接整合有磁元件的電流控制元件。本方法可用以製造穿過字線及位元線間之記憶體單元，並有最小尺寸，以垂直架構排列。

本方法為用於特定P-N接面二極體中，在例如陶瓷、電解質、玻璃、或者聚合物的低溫基板上沉積之金屬膜上，以脈波雷射製程為基礎，架構垂直式多晶矽電子裝置的製程，包含一層以上的非晶或多晶矽的低溫沉澱過程；上述之方法保存原本沉積於下層的裝置與結構，如矽積體電路。載體在矽沉積中或沉積後以氣相狀態利用正常沉積製程、離子植入製程、或電漿法導入於矽層內。然後用有效被矽吸收的短脈波雷射能，例如準分子雷射，照射矽層，造成矽層的晶化同時透過快速熔化和凝固活化載體。利用能源加熱使下層非晶或多晶矽透過溶化與再結晶使得





## 五、發明說明(4)

矽層達到晶體化；矽層亦能在晶體化前後蝕刻圖樣。本方法包含低溫沉積多種金屬，例如W和Mo，以及介電層，例如SiO<sub>2</sub>或Si<sub>3</sub>N<sub>4</sub>，以達到此裝置以及電路的製造目的。

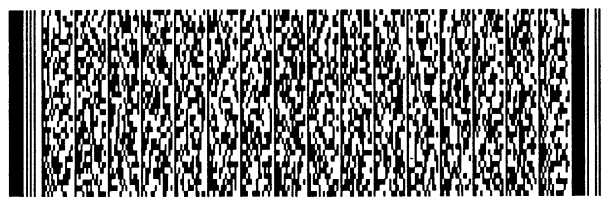
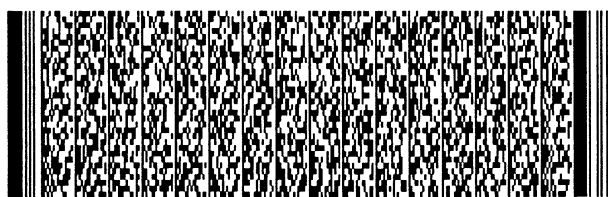
本方法包含一個非線性的元件(開關)，直接裝配在一個電子電路中的兩個金屬導體之間其中一金屬導體之上。可用於電流垂直裝置平面的磁記憶體單元以代替不連續的電子式非線性元件與積體電路整合。本方法並提出可以在多種基板上橫向及垂直製造多晶矽薄膜電子電路電晶體結構以及二極體結構，依此完成積體電路、金屬線，薄膜層，陶瓷薄膜以及其他各層結構。本發明之技術可用於垂直的磁性通道接面，製造出非揮發性、低功率之記憶體。本發明可用以代替目前半導體主要的電子可移除式程式化唯讀記憶體(E<sup>2</sup>-PROM)技術。

實施例：

茲配合圖式說明本發明之較佳實施例。

本發明利用準分子雷射製程直接製造有MTJ的多晶矽電晶體。

如上所述，近來利用MTJ於MRAM越來重視，其原因在於可製造出非揮發性及高密度之資料儲存設備。為達到選擇性的讀取與寫入，每一個獨立的記憶體單元必須偶合於一個非線性元件，例如二極體。因為磁性單元位於字線與位元線交點，將二極體直接在金屬線製造將必須兼具擴充性、高密度以及較簡化的製程；因此可發現，二極體的製造需以垂直式架構為主。而此二極體必須保持在低溫(最好低於400°C)下製造，以保護下方的CMOS電路系統等結

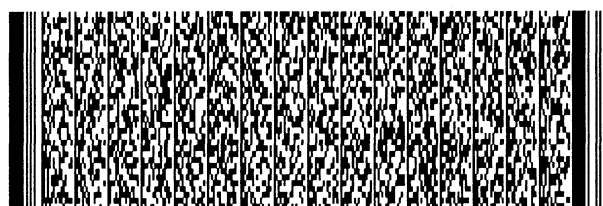
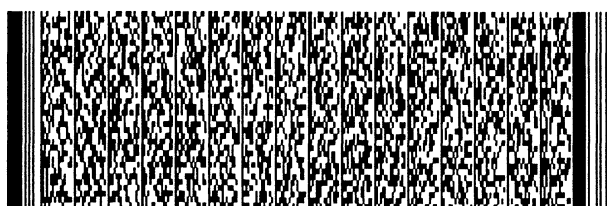


## 五、發明說明(5)

構。另一重要的條件是，二極體的動態電阻必須相對於此記憶體單元為低（約在 $1k\Omega$ 等級），則二極體電阻才不至於干擾讀取的過程。

接下來將說明此技術，其以脈衝雷射製程為基礎，在金屬層上製造垂直p-n及肖特基多晶矽二極體。脈衝雷射製程，尤其是準分子雷射結晶體（ELC），近來已被發展為在像是玻璃或塑膠等低溫基板上製造大面積多晶矽電子系統（例如AMLCD）的主要技術。ELC由於雷射的輻射被單層矽薄膜吸收，可快速融化及固化，並使製程可達到高品質以及大晶體多晶矽薄膜層；由於前述製程時間極短（通常為幾百ns），所以下層（尤其是基板）並不會受到影響。不論是以固態結晶或是以低溫化學氣相沉積所製造出的多晶矽層，通常都需要加熱晶圓大約到 $600^{\circ}\text{C}$ 以及產出小晶粒材料。另一方面，傳統的摻雜步驟通常需要高溫退火以及複雜的程序以達到非連續的摻雜範圍；而在本發明中，由於脈衝雷射製程的快速融化與固化，使載體得以結合與活化以及定義摻雜步驟時的範圍。

本發明包含多晶矽、微晶矽或非晶矽p-n接面二極體於薄金屬層或金屬線上的製程；前述製程又包括利用以蒸鍍、濺鍍、化學氣相沉積或其他裝置，在W或Mo等薄金屬層上摻雜或不摻雜非晶或微晶矽的薄膜；利用離子植入法、氣體浸洗雷射摻雜以及載體沉積技術，在矽沉積中或沉積之後導入依二極體極性所需使用的施體或受體；為製造多晶矽二極體，利用可有效被矽吸收的短脈衝雷射，使沉積的矽快速地融化與再結晶，製造大晶粒的多晶矽以及



## 五、發明說明(6)

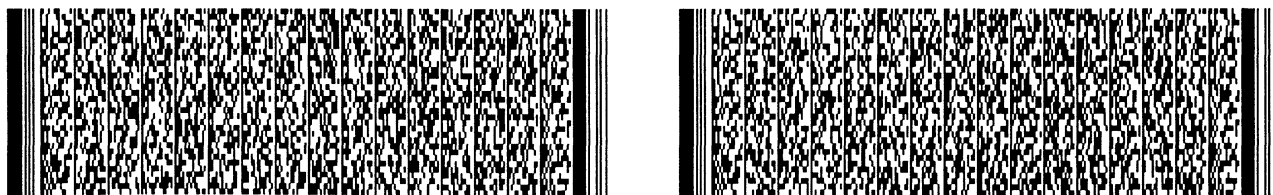
使摻入的載體活化；製造二極體的負極區，可以進一步沉積非晶或微晶矽、摻雜以及雷射感應活化；在一開始可以過量摻雜於矽層頂部（例如，若是起始薄膜層為以高劑量的施體植入頂層p-型），接著以局部雷射感應活化載體；最後沉積金屬連接層於二極體上面以及蝕刻其幾何形狀以完成此裝置，接下來的圖樣蝕刻可以燒節的方式降低某些與下層矽的接觸電阻。

接下來，對照第1、2、3以及4a-4c圖說明本發明；第5A以及5B圖以實驗證明本發明之設計用於多晶矽 $n^+$ -p二極體以及多晶矽肖特基二極體。

如第1圖所示，第一步驟為沉積一層間金屬10於一金屬行線11上。此層間金屬10是為了防止由Al或Cu所製之金屬行線11與後來製程的矽混合而做的，故層間金屬10必須使用高熔點材料（例如W、Ti、Mo、Ta、Co、...）；此層間金屬10厚度通常約為1000-2000 Å之間。接著沉積矽層12於層間金屬10厚度約為1000-2000 Å；為避免造成金屬行線11或下層CMOS電路有擴散、混合或其他不良效應，故當沉積層間金屬10與非晶矽層12時，絕不要加熱此系統（包含金屬行線11以及下層CMOS電路）。

如第2圖所示，非晶矽必須在適當高度以p型載體混入，以形成p-n接面二極體；前述製程，可在沉積過程中透過不同標準製程，或在沉積之後利用離子植入或是沉積法做到。

為得到高品質的p-n二極體其困難在於將非晶矽層12轉變為大晶粒、低缺陷密度之多晶矽12'層。如第3圖所



## 五、發明說明 (7)

示，將非晶矽層12轉換為多晶矽12'層利用可被粗糙度約為100 Å之薄層所吸收之短脈衝能量（約為15-20ns之間）；前述之短脈衝能可以脈衝雷射為之，例如脈衝準分子雷射（pulsed excimer laser）、雙釹鈮鋁石榴石雷射（double NdYag laser）、或雙紫翠玉雷射（double Alexandrite laser），這些雷射可供應所需之能量沉機率以使得上層所覆蓋之矽融化，並在融化之後有快速地再結晶；藉由選擇不同的雷射參數，可產生超側向長晶或自然成核現象。

如第4a圖所示，為在多晶矽12'摻雜 $n^+$ 層，故沉積一單層載體於p-型多晶矽12'表面；如第4c圖所示，用前述之短脈衝能，融化些許深度之多晶矽12'層，以使載體原子進入多晶矽12'及電性地造成活化，因而形成 $n^+-p$ 二極體。

另一種形成 $n^+$ 接點之方法如圖4b所示，以適當的離子種14在多晶矽12'的上層做離子佈植。

如第4c圖所示，為接下來MTJ MRAM單元的製程，形成 $n^+-p$ 矽層12"以及多晶矽層12'。

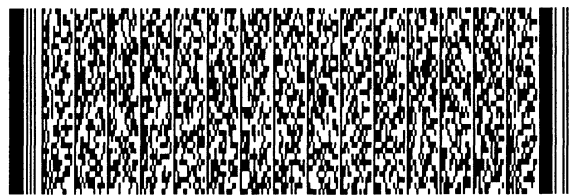
MRAM製造可利用業界習知技術已定義及蝕刻記憶體元件並形成MRAM通至層CMOS電路之定址內連線。

接下來以實驗說明本發明用於製造p-n二極體以及肖特基二極體製程之特性：

## 1. 二極體製程：

## a) p-n 二極體

· 本製程中，使用4'康寧玻璃1737基板，利用電漿促



## 五、發明說明 (8)

進化學氣相沉積 (PECVD) 在 $250^{\circ}\text{C}$ 下沉積 $500\text{nm}$ 厚的 $\text{SiO}_2$ 。接下來以低溫直流電濺鍍薄金屬層 ( $200\text{nm}$ ) 在此氧化物阻障層上；因金屬層需承受由於對矽層做雷射感應結晶所產生短暫卻強烈之加熱，故必須謹慎的控制此雷射製程之沉積狀況。矽層以PECVD溫度 $380^{\circ}\text{C}$ 沉積，並以適當劑量 ( $10^{13}\text{cm}^{-2}$ ) 之硼原子在能量為 $25\text{keV}$ 做離子植入。使用XeCl準分子雷射發出之短UV脈衝 ( $\lambda=308\text{nm}$ ,  $\tau=35\text{ns}$ ) 融化矽，使載體活化並同時結晶此層薄膜。融化之深度決定於融化期的長短，而融化期可由液態矽具有類似金屬之光學特性 (其反射係數在 $632.8\text{nm}$ 時為 $0.7$ 而固態矽為 $0.4$ ) 得之，融化深度與融化期長短之關係可利用實驗架構條件下以有限元素熱傳計算法換算之。接下來在多晶矽頂部以PECVD的方式，沉積 $5\text{nm}$   $\text{PF}_5$  薄膜；磷摻雜原子進入矽層並因融化矽頂部 $50\text{nm}$ 而活化，因此形成接面的 $n^+$ 邊。以低溫DC濺鍍方式沉積 $60\text{nm}$ 之Cr頂層之金屬接點，利用微影成像將此金屬層蝕刻出其圖樣。則此 $n^+$ -p二極體如第5A圖所示。

## b) 肖特基二極體

利用同於前述之金屬塗佈之玻璃基板，肖特基二極體之底部 (歐姆) 接點是沉積 $50\text{nm}$ 矽層於金屬上，並植入劑量為 $2*10^{15}\text{cm}^{-2}$ 的砷，且同樣以XeCl利用融化與結晶此矽層方式活化植入之載體。第二層矽層 (厚度 $150\text{nm}$ ) 沉基於前述之接觸層頂部並植入劑量為 $2*10^{11}\text{cm}^{-2}$ 的磷；融化此層與下層之接面並同時結晶，以及活化其中之磷摻雜劑。利用微影肖特基阻障堆疊，接著以 $\text{SF}_6$ 電漿在反應離子蝕刻



## 五、發明說明(9)

機蝕刻其形樣。則成如第5B圖所示之肖特基二極體結構。

## 2. 特性：

## a) 結構性質

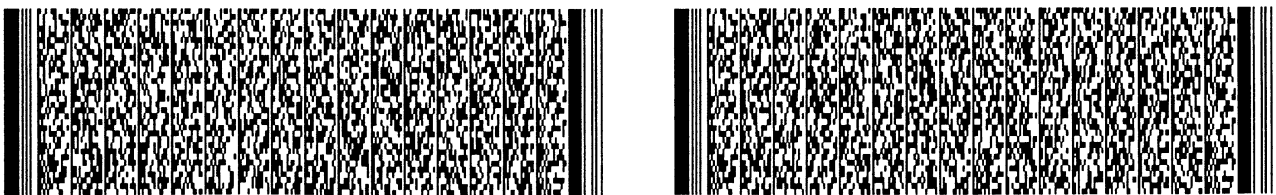
由穿透式電子顯微晶觀察之，下而上依序是玻璃基板、100nm金屬層以及50nm之雷射結晶矽層。矽與金屬層間顯著不連貫接面為其最顯著之特徵，而在進行雷射結晶製程時需避免互相擴散之情形發生。多晶矽層包含大於薄膜厚度之平面式晶粒（平均尺寸：600nm）；此種「超側向成長」結構是再雷射影響低於矽層融化矽層之所需時產生的；此機制通常使用於多晶矽TFT製造AMLCD之用。

## b) 摻雜集中曲線

在類似於2.a)所述製程之190nm矽膜，硼與磷之集中曲線如第6圖所示。由圖中，接面形成於膜內約深100nm之處；P集中曲線於接面相對較淺之處，衰退率為1/33nm；其原因可能是雖然矽表面也有用於整齊的曲線寬度，但磷仍會沿著晶界擴散。矽層曲線寬度在矽與金屬接面表現出獨特之SIMS製品。

## c) I-V特性

利用自動探針台檢視此二極體特性。其一探針置於此結構頂端，其餘與底部金屬連接。如第7圖所示 $10 \times 10 \mu\text{m}^2$   $n^+ - p$ 二極體以及 $50 \times 50 \mu\text{m}^2$ 肖特基二極體量測之I-V特性圖；此結果清楚地顯示出裝置之非線性作用：當施以逆向偏壓時，電流一律低於100pA；當施以正向偏壓時，電流隨電壓增加以指數函數關係增加；當電壓為5V時，正向電流密度在p-n二極體為 $0.1 \text{A}/\text{cm}^2$ ，在肖特基二極體為0.08



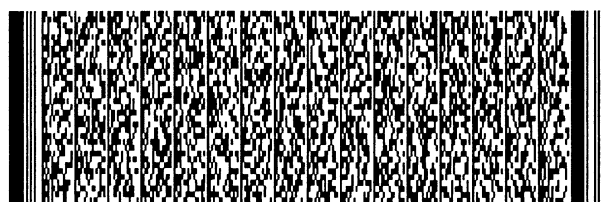
## 五、發明說明 (10)

$A/cm^2$ 。此相對於偏低的數值乃是因為探針接觸此淺接面不易，造成高串聯電阻影響此正向電流。此證實以高差異之電阻值（在電壓為5V時，p-n二極體為5.7M $\Omega$ 、肖特基二極體為0.7M $\Omega$ ），以及起始電壓（p-n二極體為2.1V、肖特基二極體為10V）。

利用準分子雷射感應結晶並摻雜，驗證此垂直多晶矽p-n及肖特基二極體於薄金屬層上之製程。此裝置應用於MTJ-MRAN等高密度記憶體裝置。此準分子雷射原有之快速加熱及冷卻製程使下層電路及摻雜範圍不受影響，使得此製造技術與CMOS相容，可直接將記憶體直接架構於CMOS位址電路上。在此同時，電晶體之量測電性雖尚未理想，但相信應為量測時之接觸問題所造成。

綜上所述，本發明提出一方法用以直接整合有磁隧道接合以提高MRAM單元的效能以及非易揮發的記憶體陣列的薄膜矽P-N接面二極體；在例如陶瓷、電解質、玻璃、或者聚合物的低溫基板上沉積之金屬膜上，以脈波雷射製程為基礎，架構垂直式多晶矽電子裝置的製程；保存原本位於這個裝置的下層和架構，如矽積體電路。本方法包含至少一層低溫沉積矽，不論是非晶矽或多晶矽階段；在矽層沈澱以後或者在其沉積期間導入載體；然後用有效被矽吸收的短脈波雷射能照射矽層，造成矽層的晶化同時透過快速熔化和凝固活化載體。矽層亦能在晶體化前後蝕刻圖樣。

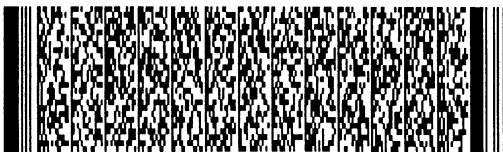
因此，本發明乃提供一方法，用以直接整合有磁隧道接合以提高MRAM單元效能以及非易揮發性記憶體陣列之薄



## 五、發明說明 (11)

膜矽P-N接面二極體。

綜上所述，雖然本發明之較佳實例以揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，仍可做些許的更動和潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。





## 圖式簡單說明

為使本發明之上述目的、特徵和優點能更顯而易懂，下文特列舉較佳實施例並配合所附圖式做詳細說明。

第1、2、3以及4a-4c圖為二極體於字線或位元線上之製程順序簡圖。

第5A圖為多晶矽 $n^+$ -p二極體以本發明製程實施例示意圖。

第5B圖為肖特基二極體 (Schottky diode) 以本發明製程實施例示意圖。

第6圖為以本發明方法製造之垂直多晶矽 $n^+$ -p二極體其載體集中曲線圖。

第7圖為以本發明之準分子雷射製程製造之垂直多晶矽 $n^+$ -p二極體與肖特基二極體特性圖。

符號說明：

10~層間金屬；

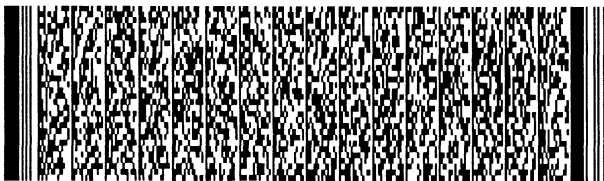
11~金屬行線；

12~矽層；

12'~多晶矽層；

12''~  $n^+$ -p矽層；

14~離子種；

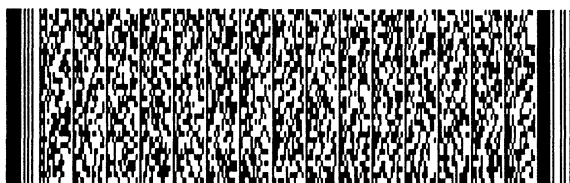


## 四、中文發明摘要 (發明之名稱: PN層之形成方法)

一種方法用以直接整合有磁隧道接合連接薄膜矽P-N接面二極體，提高MRAM單元的效能以及非易揮發的記憶體陣列。本方法用於特定P-N接面二極體中，在例如陶瓷、電解質、玻璃、或者聚合物的低溫基板上沉積之金屬膜上，以脈波雷射製程為基礎，架構垂直式多晶矽電子裝置的製程。本方法至少包含一層低溫沉積矽，不論是非晶矽或多晶矽階段；在矽層沈澱以後或者在其沉積期間導入載體；然後用有效被矽吸收的短脈波雷射能照射矽層，造成矽層的晶化同時透過快速熔化和凝固活化載體。

## 英文發明摘要 (發明之名稱: PROCESS OF FORMING p-n LAYER)

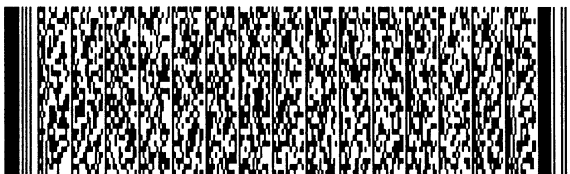
A process for direct integration of a thin-film silicon p-n junction diode with a magnetic tunnel junction for use in advanced magnetic random access memory (MRAM) cells for high performance, non-volatile memory arrays. The process is based on pulsed laser processing for the fabrication of vertical polycrystalline silicon electronic device structures, in particular p-n junction diodes, on films of metals deposited onto low temperature-substrates such as



## 四、中文發明摘要 (發明之名稱:PN層之形成方法)

## 英文發明摘要 (發明之名稱:PROCESS OF FORMING p-n LAYER)

ceramics, dielectrics, glass, or polymers. The process involves the low temperature deposition of at least one layer of silicon, either in an amorphous or a polycrystalline phase on a metal layer. Dopants may be introduced in the silicon film during or after deposition. The film is then irradiated with short pulse laser energy that is efficiently absorbed in the silicon, which results in the crystallization of the film and simultaneously in the activation of the dopants



四、中文發明摘要 (發明之名稱：PN層之形成方法)

英文發明摘要 (發明之名稱：PROCESS OF FORMING p-n LAYER)

via ultrafast melting and solidification.



## 六、申請專利範圍

1. 一種PN層形成方法，用以製造p-n接面二極體於金屬層上，包括以下步驟：

沉積一層非晶矽層於一金屬層之上；

以p型載體摻雜該非晶矽層，將該非晶矽轉換為一多晶矽層；

形成一 $n^+$ 層於該多晶矽層上或在該多晶矽之內，則形成一 $n^+$ -p層於該金屬層之上。

2. 如申請專利範圍第1項所述之PN層形成方法，其中本方法用以製造於金屬上之垂直式晶矽p-n接面二極體，更包括下列步驟：

提供一基板；

沉積一金屬層於該基板；以及

沉積一厚度為1000-2000 Å間之該非晶矽層於該金屬層之上，該多晶矽層利用低脈衝雷射能轉變為大型晶粒、低缺陷密度之一p型多晶矽層；

形成 $n^+$ 層，以n型載子摻雜多晶矽之部分。

3. 如申請專利範圍第2項所述之PN層形成方法，其中基板包含金屬排線（row line）以及在下方之互補金氧半導體積體電路（CMOS）。

4. 如申請專利範圍第2項所述之PN層形成方法，其中利用高熔點金屬完成沉積金屬層於基板上。

5. 如申請專利範圍第4項所述之PN層形成方法，其中金屬層材料為鎢、鈦、鉬、鉭或鈷之其中之一，且厚度範圍在500-2000 Å之間。



## 六、申請專利範圍

6. 如申請專利範圍第2項所述之PN層形成方法，其中金屬層與非晶矽層之沉積溫度低於 $400^{\circ}\text{C}$ 。

7. 如申請專利範圍第2項所述之PN層形成方法，其中該非晶矽層之摻雜步驟，係在該非晶矽層之沉積過程中進行，或是在該非晶矽層沉積之後進行。

8. 如申請專利範圍第7項所述之PN層形成方法，其中沉積該非晶矽層後，再摻雜該非晶矽層係使用離子入值法植入該非晶矽層，或是沉積於該非晶矽層上。

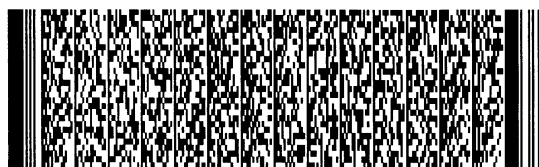
9. 如申請專利範圍第2項所述之PN層形成方法，其中轉換p型非晶矽為p型多晶矽使用之雷射能量脈衝範圍在 $15-150\ \mu\text{s}$ 之間。

10. 如申請專利範圍第2項所述之PN層形成方法，其中轉換非晶矽為多晶矽所使用之脈衝雷射包含脈衝準分子雷射 (pulsed excimer laser)、雙鈹鈦鋁石榴石雷射 (double NdYag laser)、或雙紫翠玉雷射 (double Alexandrite laser) 其中之一。

11. 如申請專利範圍第2項所述之PN層形成方法，其中於多晶矽內形成 $n^+$ 層，利用沉積一載體層於多晶矽層表面，在利用雷射能量的短脈衝驅使載體原子進入多晶矽。

12. 如申請專利範圍第2項所述之PN層形成方法，其中於多晶矽內形成 $n^+$ 層，利用離子植入多晶矽層上部於脈衝能量消散及結晶化和載體活性化之後。

13. 如申請專利範圍第2項所述之PN層形成方法，更包括圖案蝕刻及在金屬層形成 $n^+-p$ 矽層用以定義元件於磁性



## 六、申請專利範圍

隧道連接磁性隨機存取記憶體 (MTJ MRAM) 單元。

14. 如申請專利範圍第1、2、3、4、5、6、7、8、9、10、11或12項所述之PN層形成方法，用於磁性隧道連接磁性隨機存取記憶體 (MTJ MRAM) 單元。

15. 如申請專利範圍第14項所述之PN層形成方法，其中利用脈衝雷射方法將非晶矽轉為多晶矽。

16. 一種PN層形成方法，用以直接整合有磁性隧道連接的薄膜矽p-n接面二極體以增進磁性隨機存取記憶體 (MRAM) 單元之效能及非揮發性記憶體陣列，包括：

形成矽p-n接面二極體於金屬字線或位元線上；以及利用低溫沉積結合脈衝能融化、再結晶以及摻雜此沉積之非結晶矽層避免對下層電路產生熱破壞而製造二極體之製程。

17. 如申請專利範圍第16項所述之PN層形成方法，其中沉積於金屬字線或位元線上之該非晶矽厚度約為1000-2000 Å且保持溫度低於400 °C。

18. 如申請專利範圍第17項所述之PN層形成方法，其中包含沉積前述非晶矽薄膜後以p型載體摻雜非晶矽。

19. 如申請專利範圍第18項所述之PN層形成方法，其中包含以脈衝雷射製程將p型非晶矽轉變為p型多晶矽。

20. 如申請專利範圍第18項所述之PN層形成方法，其中包含轉變一層p型多晶矽為n型多晶矽。

