

公告本

申請日期	91.1.14
案 號	91100401
類 別	H01L 21/82

A4
C4

543156

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	使用線位元線接觸光罩以與垂直動態隨機存取記憶體陣列形成位元線接觸之結構及方法
	英 文	STRUCTURE AND METHOD OF FORMING BITLINE CONTACTS FOR A VERITCAL DRAM ARRAY USING A LINE BITLINE CONTACT MASK
二、發明 創作人	姓 名	1. 賴利 A. 尼斯比 LARRY A. NESBIT 2. 強納森 E. 法特米耶 JOHNATHAN E. FALTERMEIER 3. 拉瑪泉卓 迪瓦卡盧尼 RAMACHANDRA DIVAKARUNI 4. 渥夫根 伯格納 WOLFGANG BERGNER
	國 籍	1. 2. 3. 美國 U. S. A. 4. 德國 GERMANY
	住、居所	1. 美國維蒙特州威利斯頓市野花園環458號 458 WILDFLOWER CIRCLE WILLISTON, VERMONT 05495 USA 2. 美國紐約州拉葛蘭吉市史丹福路7號 7 STRATFORD ROAD, LAGRANGE, NY 12540 USA 3. 美國紐約州薩瑪市賀特吉山莊131B號 131B HERITAGE HILLS, SOMERS, NY 10589 USA 4. 美國紐約州史東維爾市馬車區70號 70 STAGECOACH PASS, STORMVILLE, NY 12582 USA
	姓 名 (名稱)	1. 美商萬國商業機器公司 INTERNATIONAL BUSINESS MACHINES CORPORATION TM 2. 美商北美億恒科技公司 INFINEON TECHNOLOGIES NORTH AMERICA CORP.
三、申請人	國 籍	均美國 U. S. A.
	住、居所 (事務所)	1. 美國紐約州阿蒙市新果園路 NEW ORCHARD ROAD, ARMOND, NEW YORK, USA 2. 美國加州聖約瑟市北第一街1730號 1730 NORTH FIRST STREET, SAN JOSE, CA 95112, USA
	代 表 人 姓 名	1. 傑拉德 羅森賽 GERALD ROSENTHAL 2. 瑪莉 C. 嘉芬 MARY C. GARFEIN

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權

美國 2001年01月17日 09/764,833 ☒有 ☐無 主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明 (1)

發明背景

發明領域

本發明一般係關於一種形成位元線接觸的方法，更特別的係，關於一種使用位元線接觸光罩以與垂直動態隨機存取記憶體陣列形成位元線接觸之方法及其結構。

背景說明

隨機存取記憶體(RAM)係一種揮發性記憶體，其一般係作為電腦系統中程式資料的暫時儲存。RAM型式有數種，包括靜態 RAM(SRAM)及動態 RAM(DRAM)。在 SRAM 中，資料不需要定期地重寫，並且只要提供電源給該記憶體晶片便可以維持資料。相反的，為了維持資料，DRAM 必須不斷地重寫。DRAM 小而且便宜，因此可作為大部份的系統記憶體。

DRAM 記憶體陣列包括一由電容器組成的記憶格表。這些電容器包含一個或多個資料"位元"，視晶片結構而定。該記憶格表係經由列與行解碼器進行定址，該解碼器會接收來自時脈產生器的信號。為了將封裝尺寸縮到最小，該列與行位址會多工處理至列與行位址緩衝器中。稱之為"感應放大器"的存取電晶體會連接至每一行並且提供 DRAM 記憶體陣列之讀取及還原作業。因為該記憶格係在每次讀取作業都會放電的電容器，所以該感應放大器必須在存取循環結束之前還原該資料。已知不同的位址、資料及控制線都會限制該裝置的存取速度。

DRAM 陣列控制線的形成對於 DRAM 陣列作業的速度及健全性來說非常地重要。在目前的處理技術中，無邊界的位

五、發明說明(2)

元線接觸係利用接觸/孔洞光罩以形成。目前 DRAM 記憶格的尺寸都在 $8F^2$ 的級數。對於小於 $8F^2$ 尺寸之記憶格而言，其會垂直地扭曲兩條位元線位準之間的位元線。一般來說，此技術會導致損失 DRAM 陣列的面積。接著，便會限制位元線行及列的密度，並且會造成位元線產生不同的電位。因此使用這些技術便會犧牲 DRAM 裝置的效能及健全性。

發明概要

本發明係關於一種形成位元線接觸的方法，更特別的係，關於一種使用位元線接觸光罩以與垂直動態隨機存取記憶體陣列形成線位元線接觸之方法。本發明之方法可以在不損失 DRAM 陣列面積的情況下扭曲垂直位元線。

在本發明的其中一項觀點中，會在基板上形成具有覆蓋層的閘極導體線。氧化物層係沉積在該覆蓋層上並且介於閘極導體線之間。線位元線光罩係形成於部份的氧化物層上。該光罩係一比接觸/孔洞光罩更易於印刷的線光罩。該光罩係用以蝕刻該氧化物層至該閘極導體線的覆蓋層，並且在閘極導體線之間向下蝕刻氧化物層至該基板。矽層係沉積在該基板上並且介於閘極導體線以及該氧化物層未蝕刻部份之間。此矽層可以透過平坦化技術，例如化學機械研磨(CMP)，將其從該氧化物的頂端平面或是未蝕刻的部份中移除。位元線(MO)TEOS層係沉積在該矽層及該氧化物層非蝕刻的部份上，並且會執行部份位元線(MO)TEOS層的光罩遮蓋及蝕刻作業。MO金屬係沉積在該矽層上並且係在該位元線(MO)層的未蝕刻部份上以形成左邊及右邊位元線。

五、發明說明(3)

在本發明的另一項觀點中，會提供與垂直 DRAM 陣列接觸之位元線。該位元線接觸包括在基板上形成閘極導體線。多晶矽層會形成於閘極導體線之間，而氧化物層會形成於至少其中一條閘極導體線上。金屬會形成於該閘極導體線上該氧化物層的相對側，從而形成一條左邊位元線及一條右邊位元線。該左邊及右邊位元線並不會垂直扭曲。

圖式簡單說明

從下面本發明較佳具體實施例的詳細說明並參考圖式，即可更加了解上述及其它目的、觀點及優點，其中：

圖 1a-1b 所示的係本發明用以形成位元線接觸之方法的範例流程圖；

圖 2-10 所示的係根據圖 1a-1b 之步驟形成垂直 DRAM 陣列之位元線接觸的數個步驟；以及

圖 11 所示的係本發明使用於垂直 DRAM 陣列之位元線接觸。

本發明較佳具體實施例詳細說明

本發明係關於一種使用線位元線光罩形成位元線接觸的方法。使用本發明方法所形成的位元線接觸係為較佳設計，並且使用於 DRAM 記憶格中，特別是使用於垂直 DRAM 陣列中。最佳的係，本發明之位元線接觸可以實現於每個記憶格都具有一無邊界位元線接觸之 DRAM 記憶格中。

在本發明之具體實施例中，該位元線接觸係利用垂直字線或閘極導體線分隔排列成列/行。使用本發明的方法，便可以在單一方向上形成位元線接觸(由位元線光罩定義)，

五、發明說明(4)

並且由垂直方向中的閘極導體線來定義。在位元線接觸的形成中，該位元線接觸材料係形成於該閘極導體線之頂端的下方，並且會利用絕緣材料將該閘極導體線完全地封住。對於熟習本技藝人士而言，將會了解該絕緣材料可以防止閘極導體及位元接觸材料之間的電子接觸。還要注意的係使用本發明之方法，形成位元線接觸所需要的區域係在位元線接觸線下方並且介於閘極導體線之間。利用此種方式，本發明可以在不損失 DRAM 陣列面積的情況下扭曲垂直位元線。

本發明的形成方法

現在參考圖式，特別是圖 1a-1b，所示的係根據本發明之製造方法的具體實施例流程圖。圖 1a-1b 所示的製造方法說明數個具體實施例，其中沒有一項係任何一個較佳具體實施例所必要的，但是其仍然是本發明的一部份。

現在特別參考圖 1a-1b，在處理步驟 100 中，會在矽基板上形成具有覆蓋氮化矽材料之閘極導體線。較佳的係，該閘極導體線係利用傳統的微影及蝕刻技術來定義的。在處理步驟 105 中，絕緣材料會沿著閘極導體線之邊牆形成。這些絕緣材料包括，但非受限於，氧化物及氮化矽。該氮化矽可用以形成氮化矽間隔，並且利用反應離子蝕刻(RIE)技術進行沉積。

在處理步驟 110 中，會在所定義的閘極導體線上沉積形狀相同的氮化矽層。該形狀相同的氮化物層亦會形成於主動區域以及主動區域之間的絕緣區域。在處理步驟 115 中

五、發明說明 (5)

，會沉積硼磷矽酸鹽(Borophosphosilicate)玻璃(BPSG)，並且在所形成的結構上進行退火。為了消除閘極導體線之間 BPSG 的裂縫，所以必須進行退火處理。所產生的 BPSG 厚度係在所形成的閘極導體線厚度之上。在處理步驟 120 中，該 BPSG 會研磨回到該閘極導體線之頂端，並且更佳的係在其頂端的下方。較佳的係該 BPSG 之研磨係利用化學機械研磨(CMP)來進行的。

在處理步驟 125 中，會利用等離子強化化學氣相沉積(PECVD)在該 BPSG 上沉積 TEOS(四乙基正矽烷 tetraethylorthosilane)層或其它適當的氧化物。此 TEOS 層的厚度將會視 TEOS 氧化物是否平坦化而定。就選擇性步驟而言，在處理步驟 130 中，會研磨(例如，平坦化)該 TEOS 氧化物層。在此具體實施例中，該研磨可以係沒有研磨停止的"盲目(blind)"研磨。在此研磨步驟中，閘極導體線上方的最終的 TEOS 層厚度約略為 30-100 nm。在另一具體實施例中，會利用快速熱退火(RTA)(處理步驟 135)替該 TEOS 氧化物層進行非必要的密化處理。典型的 RTA 係在 Ar 或 N₂ 於 900-1000°C 中進行 5-30 秒。

在處理步驟 140 中，會將具有傳統抗反射塗層(ARC)之位元線接觸光罩曝光及顯影。位元線接觸光罩的顯影包括選擇性地蝕刻該 TEOS 氧化物及 BPSG 至該氮化物層覆蓋及該氮化物間隔並且停止於該矽基板。在處理步驟 145 中，低壓化學氣相沉積(LPCVD) n+非結晶/多晶矽會沉積在該閘極導體線上。在一較佳的具體實施例中，會先執行一前置

五、發明說明(6)

清潔步驟，以便移除接觸孔洞中的任何殘留氧化物。在處理步驟 150 中，會對 n+非結晶/多晶矽進行非必要的 CMP 步驟至 TEOS 層(也就是，閘極導體線)。

在處理步驟 155 中，會進行等向乾式蝕刻，以將 n+非結晶/多晶矽向內蝕刻至低於覆蓋氮化物層的程度為止。在此處理步驟中，會選擇性地將矽蝕刻至該覆蓋氮化物層為止。利用此種方式，對覆蓋氮化物層會有最小的蝕刻。此步驟可以將閘極之間的多晶矽間柱與鄰近的間柱隔絕開來。

在處理步驟 160 中，會在所形成的結構上沉積一位元線(MO)TEOS 層。為了將此層平坦化，必須在該位元線(MO)TEOS 層上進行 CMP。在具體實施例中，亦必須對該位元線(MO)TEOS 層進行退火處理。此稍後處理步驟可密化位元線(MO)TEOS 層。

在處理步驟 165 中，會定義支援接合及閘極的接觸以及，在處理步驟 170 中，會利用傳統的微影方式定義鑲嵌位元線金屬(MO)的程度。接著在處理步驟 175 中會選擇性蝕刻該 MO TEOS 至 n+非結晶/多晶矽至包圍該閘極導體線的氮化物層。

在處理步驟 180 中，會沉積 MO 金屬(較佳的係鎢)，並且執行 CMP 以研磨該 MO 金屬層背面至該 TEOS 氧化物層為止。必須執行潤色研磨，以便將任何殘留的 MO 金屬減少到最低程度或是移除。在處理步驟 185 中，會繼續進行正常的背面處理。

利用本發明的方法，可以將該位元線接觸光罩印刷成一

五、發明說明 (7)

條線而非一連串的接觸孔洞。這使其更容易決定光罩製造的影像補償數量。還應該了解的係使用此類方法，可以更容易製造該光罩本身，同時也可以在該阻劑中印刷該影像。此外，比較容易選擇性蝕刻該氧化物至該閘極導體覆蓋氮化物層，並且使得所產生的蝕刻結構更具特徵。

本發明之裝置結構

現在參考圖 2-11，所示的係圖 1a-1b 之處理流程圖中所選取之步驟的對應斷面圖。圖 11 所示的係本發明之最終結構。

圖 2 所示的係具有覆蓋氮化矽材料形成其上之閘極導體線的基板 5(較佳的係矽)。特別的是，該閘極導體包括一形成於矽基板 5 上的多晶矽層 10。 WSi_x (或 W/WN)層 15 會形成於多晶矽層 10 上，以及較佳的係 Si_3N_4 絕緣層 20 會形成於 WSi_x 層 15 上以及多晶矽層 10 與 WSi_x 層 15 的邊牆。該絕緣材料也可以是氧化物及氮化矽。較佳的係該多晶矽及矽化物層的厚度係為 150 nm，但是其厚度範圍約為 30-300 nm。同時，覆蓋層的厚度範圍約為 50-300 nm 而較佳的厚度為 150 nm。邊牆氧化物的較佳厚度為 5 nm，但是其厚度約為 1-10 nm 之間。

圖 3 所示的係閘極導體線之間的間隔 25 的形成。較佳的係，間隔 25 係利用反應離子蝕刻(RIE)技術所沉積的氮化矽間隔。該氮化矽也會形成氮化物襯底或是覆蓋 27。該間隔的較佳厚度係 30 nm，但是其厚度係介於 10-100 nm 範圍之間。該氮化物層的較佳厚度係 10 nm，但是其厚度係

五、發明說明 (8)

介於 5-50 nm 範圍之間。

圖 4 所示的係沉積硼磷矽酸鹽玻璃(BPSG)30，並且在所形成的結構上進行退火。所產生的 BPSG 厚度係在所形成的閘極導體線厚度之上，但是會研磨回到該閘極導體線之頂端，較佳的係在其頂端的下方。該 BPSG 層的較佳厚度係 300 nm，但是其厚度約略介於 100-800 nm 範圍之間。

圖 5 所示的係在 BPSG 層 30 上沉積 TEOS 層 35 或其它適當的氧化物。該 TEOS 層的較佳厚度係 50 nm。在圖 5 中，會平坦化該 TEOS 層 35，其係非必要的步驟。在此具體實施例中，該研磨係一種”盲目的”研磨，並且最後的 TEOS 層厚度會在該閘極導體線之上。該 TEOS 層 35 的厚度會約略介於 30-100 nm 範圍之間。

圖 6 所示的係位元線接觸光罩 40 的形成及顯影。位元線接觸光罩 40 的顯影係為一種線光罩並且包括選擇性地蝕刻該 TEOS 氧化物層 35 以及該 BPSG 層 30 至該氮化物層覆蓋 27 以及該氮化物間隔 25 為止。該蝕刻處理會停止於該矽基板 5 上。

在圖 7 中，會沉積一低壓化學氣相沉積(LPCVD) n+非結晶/多晶矽層 45。該 n+非結晶/多晶矽層 45 會蝕刻至該 TEOS 氧化物層 35，而其較佳厚度為 100 nm(但是其厚度介於 30-500 nm 範圍之間)。圖 8 所示的係該 n+非結晶/多晶矽層 45 受蝕刻至低於該覆蓋氮化物層 27。

圖 9 所示的係在蝕刻後之非結晶/多晶矽層 45 上沉積位元線(MO)TEOS 層 50。此層的較佳厚度為 300 nm，但是其

五、發明說明(9)

範圍介於 100 nm 至 800 nm 之間。圖 10 所示的係利用傳統微影所定義的鑲嵌位元線金屬程度(M0)55。該鑲嵌位元線金屬程度(M0)55及 TEOS 氧化物層 50 會蝕刻至該 n+非結晶/多晶矽層 45，選擇性地至包圍該閘極導體線的氮化物層。

圖 11 所示的係本發明之最終結構。特別的是，該 M0 金屬層 60 係沉積在該導體線及 TEOS 氧化物層 50 上。該 M0 金屬層 60 的較佳厚度為 300 nm，但是其範圍介於 100-500 nm 之間。如圖 11 所示，接著會將該 M0 金屬層 60 蝕刻回或利用 CMP 研磨至 TEOS 氧化物層 55，以形成位元線左 60a 及位元線右 60b。接著會進行傳統的背面處理。

雖然本發明已就較佳具體實施例加以說明，但是熟知本技藝人士應明白，本發明可在隨附申請專利範圍的精神及範疇內進行修改。

四、中文發明摘要(發明之名稱：使用線位元線接觸光罩以與垂直動態隨機存取記憶體陣列形成位元線接觸之結構及方法)

本發明揭示一種位元線接觸以及使用一位元線接觸光罩以與垂直動態隨機存取記憶體陣列形成位元線接觸之方法。在此方法中，會形成閘極導體線。氧化物層係沉積在該閘極導體線上方，而一位元線接觸光罩則係形成在部份氧化物層上方。該位元線接觸光罩會進行蝕刻，並且會將矽層沉積在基板上。位元線層係沉積在該矽層上。光罩遮蓋及蝕刻作業係在該位元線層上執行。MO金屬係沉積在該矽層上並且係在該位元線(MO)層之未蝕刻的部份以形成左邊及右邊位元線。

英文發明摘要(發明之名稱：STRUCTURE AND METHOD OF FORMING BITLINE CONTACTS FOR A VERITCAL DRAM ARRAY USING A LINE BITLINE CONTACT MASK)

A bitline contact and method of forming bitline contact for a vertical DRAM array using a bitline contact mask. In the method, gate conductor lines are formed. An oxide layer is deposited over the gate conductor lines, and a bitline contact mask is formed over portions of the oxide layer. The bitline contact mask is etched, and a silicon layer is deposited on the substrate. A bitline layer is deposited on the silicon layer. A masking and etching operation is performed on the bitline layer. A MO metal is deposited over the silicon layer and on sides of non etched portions of the bitline (MO) layer to form left and right bitlines.

五、發明說明 (9a)

元 件 符 號 說 明

5	基板
10	多晶矽層
15	WSi _x (或W/WN) 層
20	Si ₃ N ₄ 絕緣層
25	氮化物間隔
27	氮化物層覆蓋 (或襯底)
30	硼磷矽酸鹽玻璃(BPSG)
35	TEOS層
40	位元線接觸光罩
45	n+非結晶/多晶矽層
50	位元線(M0)TEOS層
55	鑲嵌位元線金屬程度(M0)
60	M0金屬層
60a	位元線左
60b	位元線右

六、申請專利範圍

1. 一種形成位元線接觸之方法，該方法包括：

在一基板上形成具有一覆蓋層的閘極導體線；

在該覆蓋層上沉積一氧化物層；

在部份的氧化物層上形成一位元線接觸線光罩；

蝕刻該位元線接觸線光罩至該覆蓋層並且介於該閘極導體線之間停止於該基板；

在該導體線及氧化物層未蝕刻的部份之間的基板上沉積一矽層；

在該矽層上沉積一位元線層；

對部份的位元線層進行光罩遮蓋及蝕刻處理；以及

在該矽層上並且在該位元線層未蝕刻部份的側邊沉積金屬以形成左邊及右邊位元線。

2. 如申請專利範圍第1項之方法，其中在沉積該氧化物層之前，會先在該覆蓋層上沉積一硼磷矽酸鹽(BoroPhosphoSilicate)玻璃(BPSG)層。

3. 如申請專利範圍第2項之方法，進一步包括對該BPSG層進行退火。

4. 如申請專利範圍第3項之方法，進一步包括平坦化該BPSG層至低於該閘極導體線的頂端。

5. 如申請專利範圍第1項之方法，其中該氧化物層係一TEOS層。

6. 如申請專利範圍第5項之方法，進一步包括在形成該位元線接觸線光罩之前先平坦化該TEOS層。

7. 如申請專利範圍第1項之方法，進一步包括在鄰近的閘

六、申請專利範圍

極導體線之間形成間隔。

8. 如申請專利範圍第 7 項之方法，進一步包括在該覆蓋層上沉積一層硼磷矽酸鹽 (BoroPhosphoSilicate) 玻璃 (BPSG)，其中選擇性蝕刻該氧化物及 BPSG 至該覆蓋層及至該間隔。
9. 如申請專利範圍第 1 項之方法，其中該矽層係一 n+ 非結晶/多晶矽層。
10. 如申請專利範圍第 9 項之方法，其中該 n+ 非結晶/多晶矽層會選擇性蝕刻或研磨回至該氧化物層，該氧化物層係一 TEOS 層。
11. 如申請專利範圍第 10 項之方法，進一步包括蝕刻該 n+ 非結晶/多晶矽層至該開極導體線頂端的下方以及該氧化物層的下方。
12. 如申請專利範圍第 11 項之方法，進一步包括平坦化該位元線層，該位元線層係一 TEOS 層。
13. 如申請專利範圍第 1 項之方法，其中該位元線的蝕刻會停止於該氧化物層未蝕刻的部份。
14. 如申請專利範圍第 1 項之方法，其中該氧化物層會選擇性蝕刻至該矽層至包圍該開極導體線的覆蓋層。
15. 如申請專利範圍第 1 項之方法，進一步包括在該開極導體線形成絕緣邊牆。
16. 如申請專利範圍第 15 項之方法，其中該絕緣材料係氮化矽。
17. 如申請專利範圍第 16 項之方法，進一步包括在該開極導

六、申請專利範圍

體線以及主動區域以及主動區域之間的絕緣區域上沉積一形狀相同的氮化矽層。

18. 如申請專利範圍第 1 項之方法，其中會利用等向乾式蝕刻將該矽層向內蝕刻至低於該覆蓋層的程度。

19. 一種用於一垂直 DRAM 陣列之位元線接觸，包括：

形成於一基板上的閘極導體線；

一形成於閘極導體線之間的多晶矽層；

一在該閘極導體線的至少其中之一上形成的氧化物層；以及

形成於該閘極導體線上該氧化物層對面的金屬，從而形成一左邊位元線及一右邊位元線，其中該左邊及右邊位元線並不會在位元線位準之間垂直扭曲。

20. 如申請專利範圍第 19 項之位元線接觸，進一步包括在該閘極導體線及該多晶矽層之間形成一絕緣層。

21. 如申請專利範圍第 19 項之位元線接觸，其中該多晶矽層係一 n^+ 非結晶/多晶矽層。

22. 如申請專利範圍第 19 項之位元線接觸，其中該氧化物層係一 TEOS 氧化物。

23. 如申請專利範圍第 19 項之位元線接觸，進一步包括該閘極導體線上兩條相鄰的閘極導體線之間的間隔。

24. 如申請專利範圍第 23 項之位元線接觸，進一步包括在該間隔上形成一層硼磷矽酸鹽(BoroPhosphoSilicate)玻璃(BPSG)以及一頂端氧化物層。

25. 如申請專利範圍第 24 項之位元線接觸，其中該左邊及右

六、申請專利範圍

邊位元線係部份形成於該頂端氧化物層上。

26. 如申請專利範圍第 24 項之位元線接觸，其中該頂端氧化物層係一 TEOS 層。
27. 如申請專利範圍第 19 項之位元線接觸，其中該多晶矽層係形成於該閘極導體線頂端的下方。
28. 如申請專利範圍第 27 項之位元線接觸，其中該右邊及左邊位元線係部份形成於該閘極導體線之頂端之下方。

裝

訂

錄

91 年 12 月 10 日修正
補充

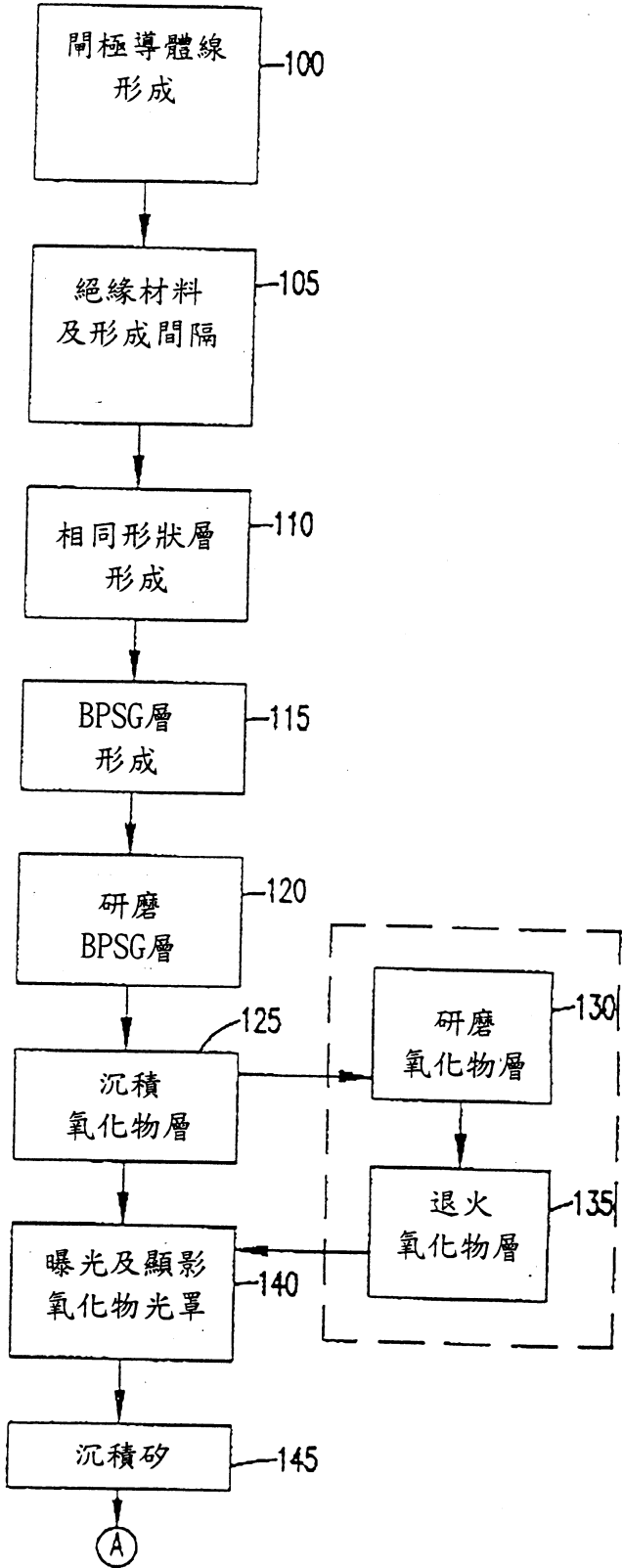


圖 1a

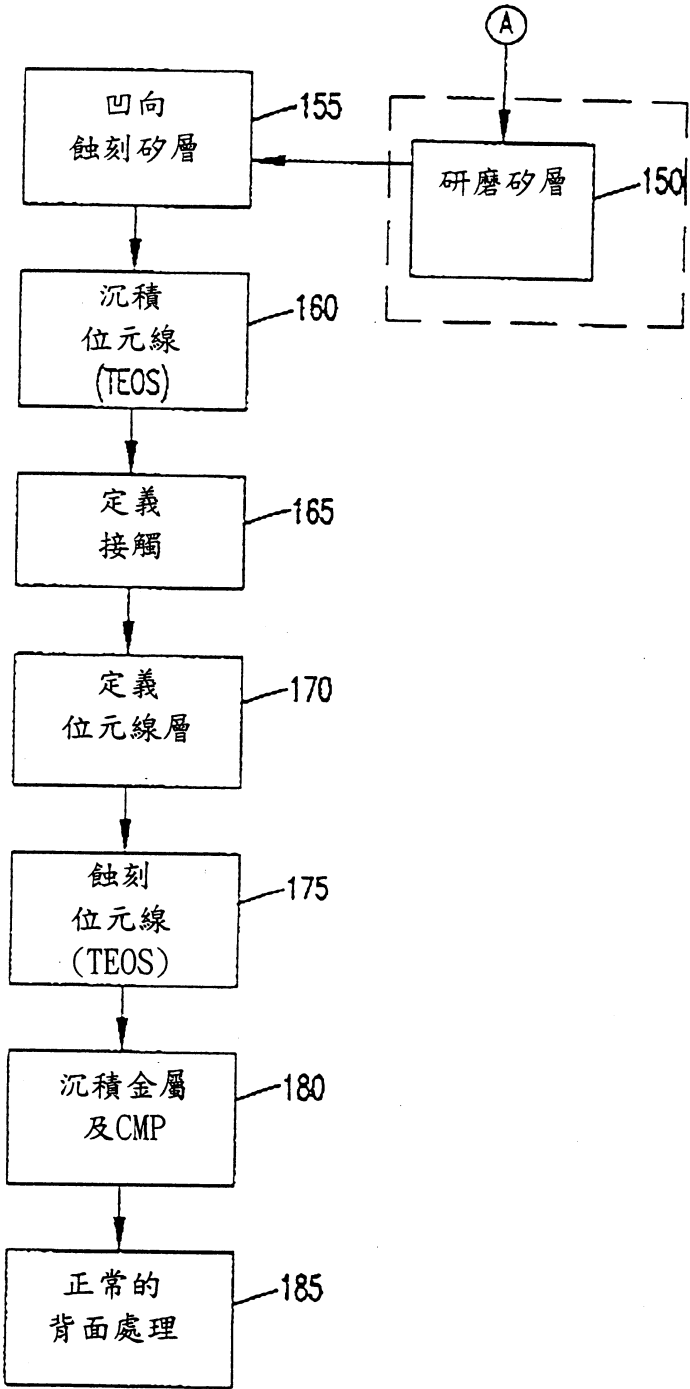


圖 1b

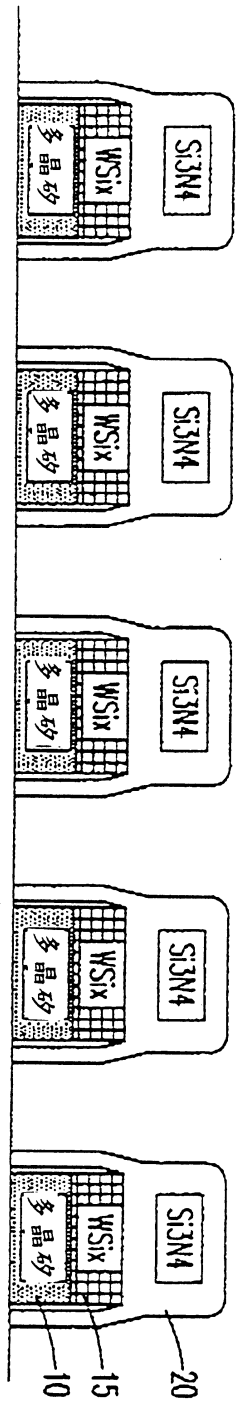


圖 2

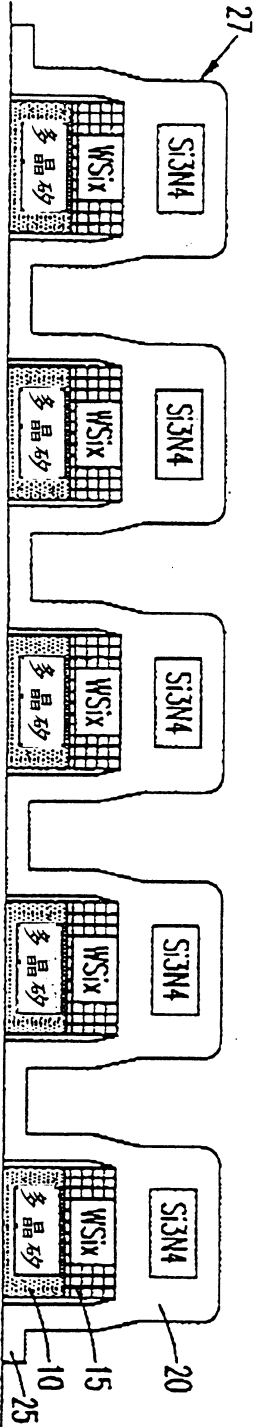


圖 3

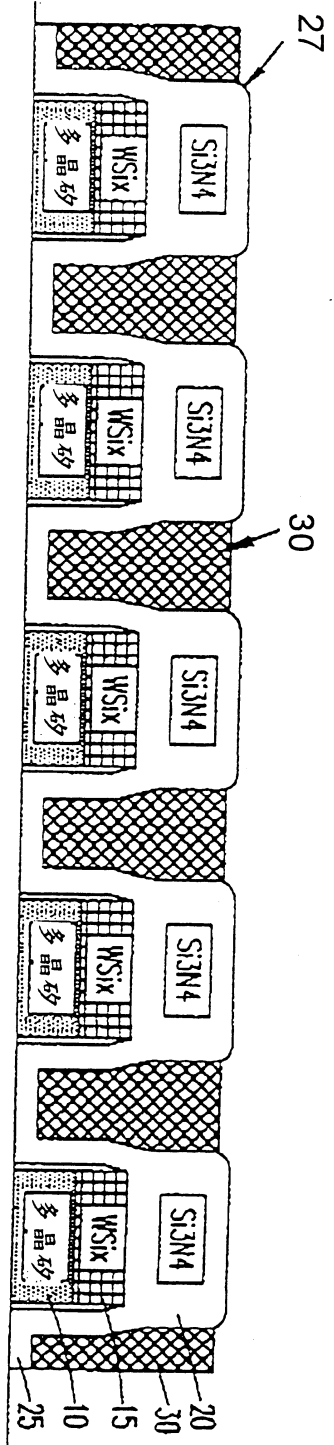


圖 4

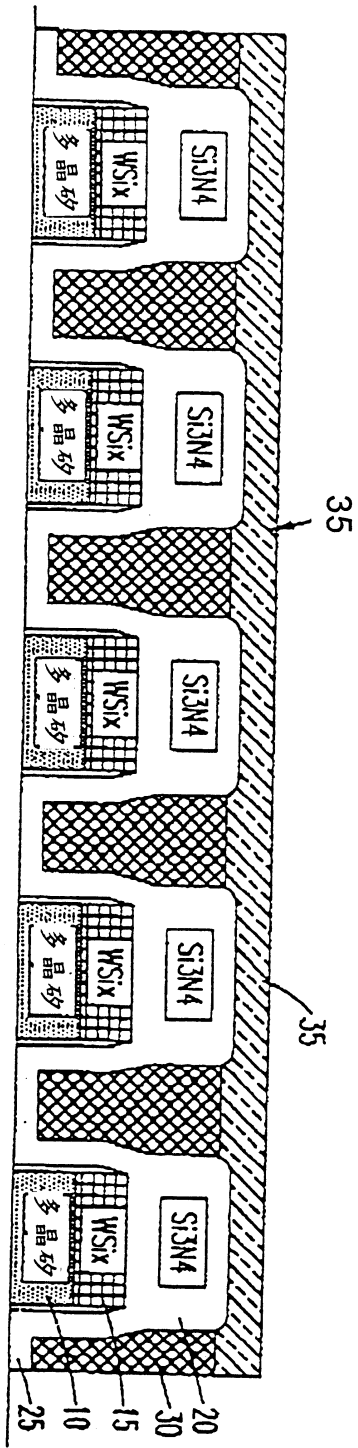


圖 5

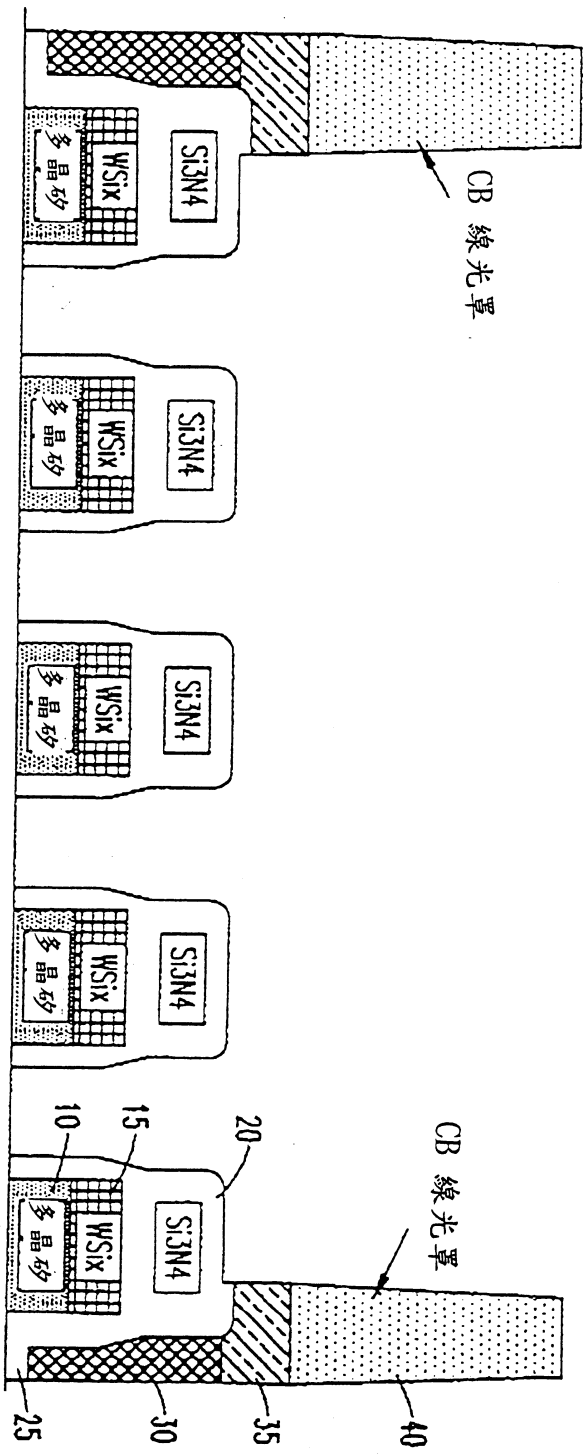


圖 6

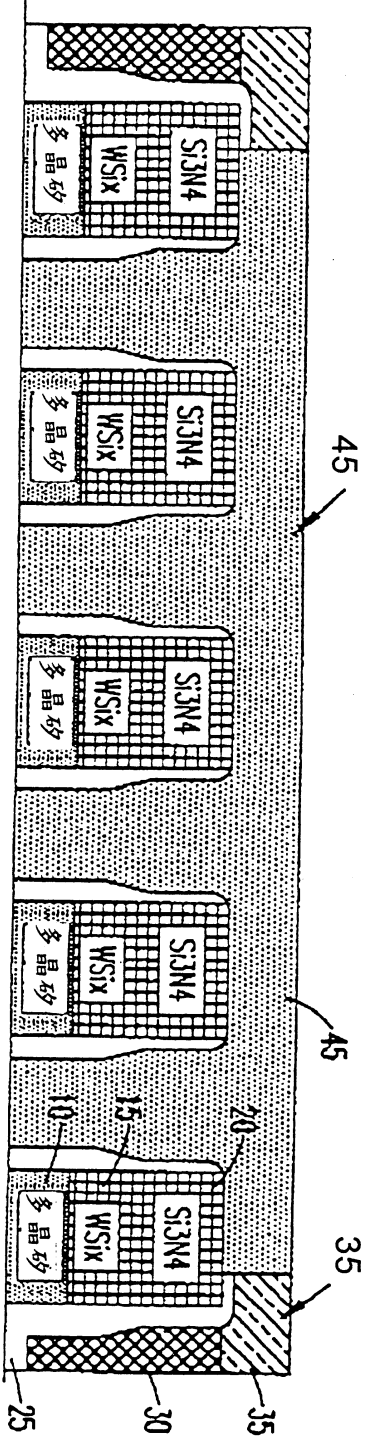


圖 7

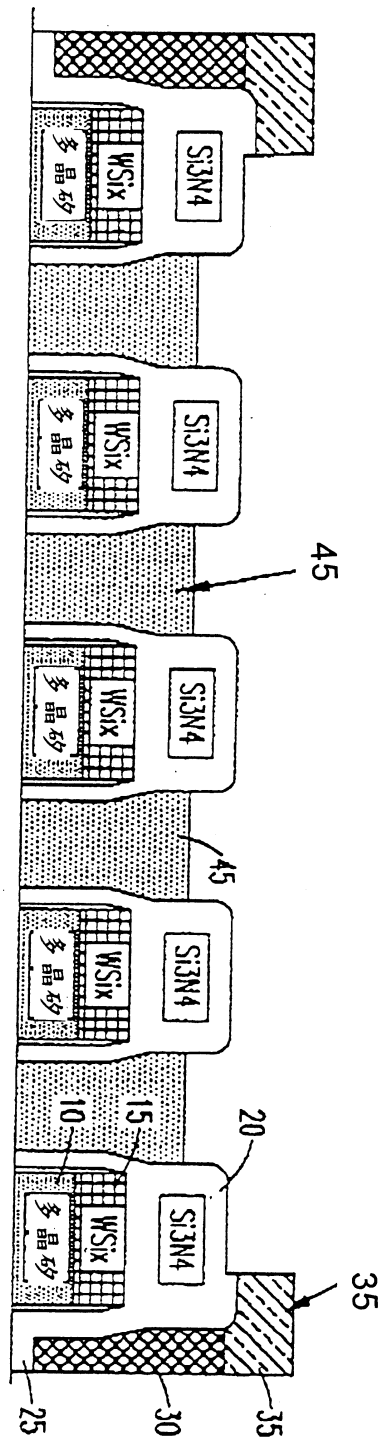


圖 8

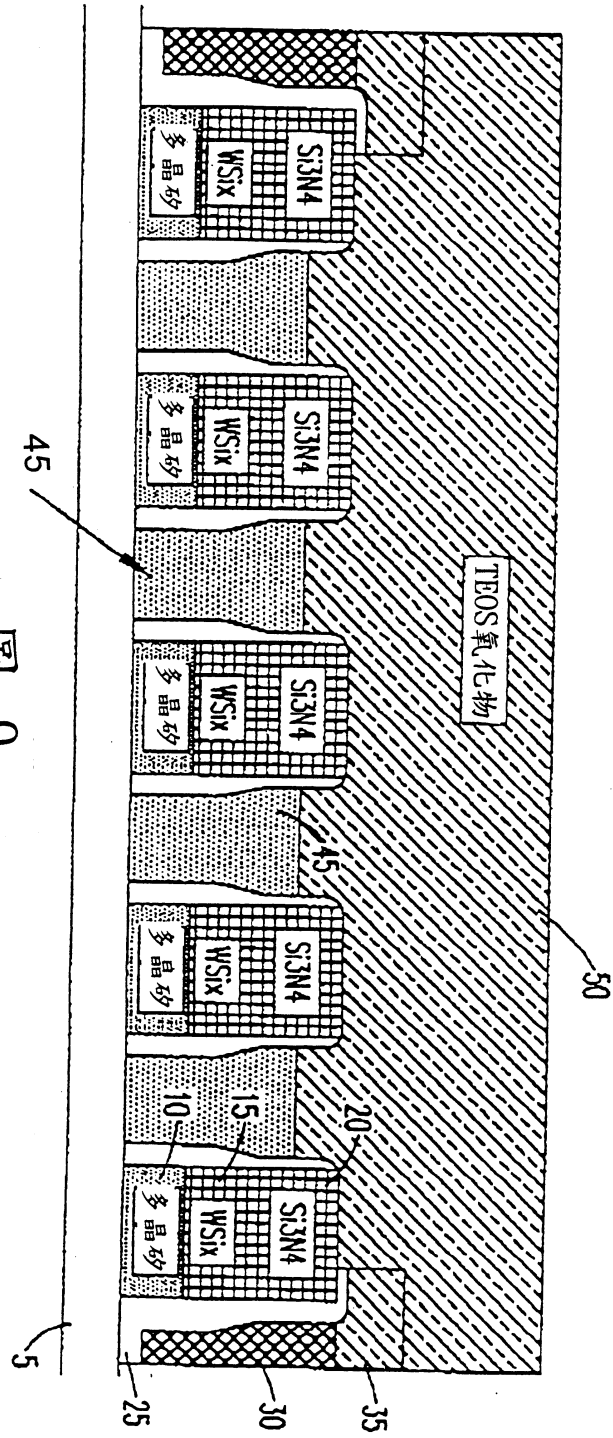


圖 9

