



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I559443 B

(45)公告日：中華民國 105 (2016) 年 11 月 21 日

(21)申請案號：099108849

(22)申請日：中華民國 99 (2010) 年 03 月 25 日

(51)Int. Cl. : H01L21/768 (2006.01)

H01L25/04 (2014.01)

(30)優先權：2009/03/27 美國

12/412,886

(71)申請人：星科金朋有限公司 (新加坡) STATS CHIPPAC LTD. (SG)

新加坡

(72)發明人：河宗佑 HA, JONG-WOO (KR)；文東洙 MOON, DONGSOO (KR)；朴壽文 PARK, SOOMOON (KR)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

US 2007/0187826A1

審查人員：黃本立

申請專利範圍項數：10 項 圖式數：30 共 50 頁

(54)名稱

具有柱型互連接件之積體電路封裝系統及其製造方法

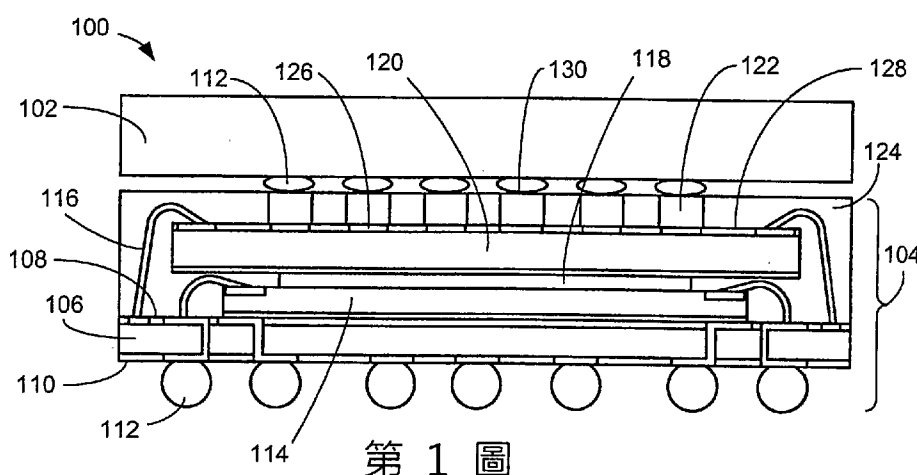
INTEGRATED CIRCUIT PACKAGING SYSTEM WITH POST TYPE INTERCONNECTOR AND METHOD OF MANUFACTURE THEREOF

(57)摘要

一種積體電路封裝系統之製造方法，包含：設置底部封裝件，該底部封裝件包含位於第一基板上之第一裝置以及位於該第一裝置上之第二基板；於該底部封裝件上形成密封材料，且於該第二基板上具有開口；以及於該開口中形成導電柱。

A method of manufacture of an integrated circuit packaging system includes: providing a bottom package including a first device over a first substrate and a second substrate over the first device; forming an encapsulation material over the bottom package with an opening over the second substrate; and forming a conductive post within the opening.

指定代表圖：



第 1 圖

符號簡單說明：

- 100 . . . 積體電路封裝系統
- 102 . . . 頂部封裝件
- 104 . . . 底部封裝件
- 106 . . . 第一基板
- 108 . . . 第一表面
- 110 . . . 第二表面
- 112 . . . 外部端點
- 114 . . . 第一裝置

116 . . . 互連

118 . . . 插件

120 . . . 第二基板

122 . . . 導電柱

124 . . . 密封材料

126 . . . 接合焊墊

128 . . . 第二基板頂
部表面

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99108849

※申請日： 99.3.25

※IPC 分類： H01L 21/168 H2006.01

一、發明名稱：(中文/英文)

H01L 25/10Y H2014.01

具有柱型互連接件之積體電路封裝系統及其製造方法
 INTEGRATED CIRCUIT PACKAGING SYSTEM WITH POST TYPE
 INTERCONNECTOR AND METHOD OF MANUFACTURE THEREOF

二、中文發明摘要：

一種積體電路封裝系統之製造方法，包含：設置底部封裝件，該底部封裝件包含位於第一基板上之第一裝置以及位於該第一裝置上之第二基板；於該底部封裝件上形成密封材料，且於該第二基板上具有開口；以及於該開口中形成導電柱。

三、英文發明摘要：

A method of manufacture of an integrated circuit packaging system includes: providing a bottom package including a first device over a first substrate and a second substrate over the first device; forming an encapsulation material over the bottom package with an opening over the second substrate; and forming a conductive post within the opening.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100	積體電路封裝系統		
102	頂部封裝件	104	底部封裝件
106	第一基板	108	第一表面
110	第二表面	112	外部端點
114	第一裝置	116	互連
118	插件	120	第二基板
122	導電柱	124	密封材料
126	接合焊墊		
128	第二基板頂部表面		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

六、發明說明：

相關申請案交互參照

本申請案包含有關於在 2007 年 11 月 1 日提出申請之同時申請美國專利申請案，編號第 11/934,069 號的標的。相關的申請案已經讓渡予 STATS ChipPAC LTD. 且該申請案之標的於此併入本文中作為參考。

【發明所屬之技術領域】

一般來說，本發明係關於一種積體電路封裝系統，更詳而言之，係關於一種利用柱型互連接件(post type interconnectors)垂直整合堆疊電子裝置及／或封裝件之系統。

【先前技術】

積體電路與積體電路封裝系統常見於許多可攜式電子裝置，像是智慧型手機(smart phones)、口袋型個人電腦(pocket PC)、數位像機、定位裝置(location based device)以及其他無線產品。現今的顧客與電子系統期望該些積體電路系統能夠以最小面積、最精簡外型及最低成本的封裝件提供最大最大的記憶體邏輯(logic)功能整合。因此，製造商轉以三維封裝來實現支援行動多媒體產品所必須的高度功能整合。

許多創新的封裝件設計被構想且實現於市場，以回應這些期望。舉例來說，多晶片模組封裝件已扮演縮減現代電子裝置面積、外型及成本角色。然而，因為在組件晶片與晶片連接能夠進行測試前通常必須進行組裝，故無論垂

直或水平佈設的多晶片模組皆存在問題。

例示的多晶片模組可包含堆疊在封裝件中的多組晶粒或堆疊在封裝件中的多組封裝件，如層疊封裝(package-on-package, PoP)組構。層疊封裝組構包含二個或更多封裝件之堆疊，其中，因為每一封裝件可在組裝前被測試，故已知良好的晶粒(Known good die, KGD)與組合程序良率不是問題，藉此使得 KGD 容許用於組裝封裝件堆疊。然而，封裝件層級之堆疊可能引起其他問題。

這類問題之一是由於較下層封裝件的平坦度／共面性不規則而造成層疊封裝之組裝程序困難。其他問題係由較上層封裝件的熱散逸效果差所造成。又另一問題係由於為了於較上層與較下層封裝件間增加更多輸入／輸出(I/O)連接而使得錫球相互接近所造成的電性短路。再另一問題係當較上層與較下層封裝件間每個 I/O 焊錫球的上表面用以形成互連時，因鑄模溢料(mold flash)而變成部分覆蓋，進而降低了互連與裝置的可靠度。

因此，仍持續需求一種可靠的積體電路封裝系統、製造方法及裝置設計，其中，該積體電路封裝系統於封裝件間增加 I/O 數量，同時降低因鑄模溢料與電性短路所致之可靠性問題的可能性。有鑑於日益增加的商業競爭壓力，伴隨著顧客期待增大以及市場產品區隔機會降低，找出上述問題的解決方案是相當關鍵的。此外，減少製造成本、增進效能和良率及對抗競爭壓力的需求使得找尋解決方案變得相當的急迫。

對於這些問題的解決方案已長期為人們所探尋，但先前的發展並未教式或建議任何解決方案。

【發明內容】

本發明提供一種積體電路封裝系統之製造方法，包括：設置底部封裝件，該底部封裝件包含位於第一基板上之第一裝置以及位於該第一裝置上之第二基板；於該底部封裝件上形成密封材料，且於該第二基板上具有開口；以及於該開口中形成導電柱。

本發明提供一種積體電路封裝系統，包括：底部封裝件，係包含位於第一基板上之第一裝置以及位於該第一裝置上之第二基板；導線架插件，係於該第二基板上具有導電柱；以及密封材料。

本發明的某些具體實施例具有除了上述之外的其他步驟或元件或者置換上述步驟或元件。對於本發明所述技術領域中具有通常知識者而言，當參照附加的圖式配合閱讀以下詳細敘述時，這些步驟或元件將為顯而易知的。

【實施方式】

以下的具體實施例係充分詳細描述以使本發明所述技術領域中具有通常知識者能製作並使用本發明。應瞭解的是，根據本發明所揭露之內容，其他具體實施例將為顯而易知，且可在未悖離本發明的範疇內對於系統、製程或機構的改變。

在以下說明書內容中，係給定多個具體細節以提供對本發明之完整瞭解。然而，本發明顯然可在不具有這些具

體細節下進行實施。為避免混淆本發明，一些已廣為熟知的電路、系統組態及製程步驟並未詳細地揭露。

該等圖式所顯示的系統具體實施例係為半概略的且未按比例，且特別地，一些尺寸是為了清楚呈現，並且誇大地顯示於圖式中。同樣地，雖圖式視角為了容易敘述通常顯示相似方向，但圖式中對大多部分之描繪係任意的。一般來說，本明可於任何定向下操作。

在本說明書中所揭露及敘述具有共同特徵之多個具體實施例，為清楚及容易說明、敘述及理解，彼此相似及相同特徵一般將以相同的元件符號來描述。

為了說明起見，本文所使用的術語“水平(horizontal)”係定義為平行於習知平面之平面或第一基板的表面，而與其定向無關。術語“垂直(vertical)”係指垂直適才所定義的“水平”方向。術語諸如：“在…上面(above)”、“在…下面(below)”、“底部(bottom)”、“上方(top)”、“側邊”(如在“側壁”)、“較高(higher)”、“較低(lower)”、“上面的(upper)”、“於…之上(over)”以及“在…之下(under)”，係相對於水平平面而定義，如圖式所示，術語“在…上(on)”係指在元件間有直接接觸並且可包含或不可包含形成於其間的黏著劑。

本文所使用之術語“處理(processing)”係包含材料或光阻的沈積、圖案化、曝光、顯影、蝕刻、清潔、及/或如形成上述結構所需之材料或光阻的移除。

本文所使用之術語“實例(example)”或“範例(exemplary)”係表示用於舉例或圖解。本文所述之任何態樣或實施例如同“實例”或如“範例”無須解釋為較其他態樣或設計為佳或較有利。

本文所使用之術語“第一(first)”及“第二(second)”僅為了在不同組件間進行區分，並非作為限制本發明之範疇。

本文所定義之術語“導電柱(conductive post)”係表示並非由相鄰結構間之焊錫球所形成之電性互連。

第1圖至第29圖僅以舉例方式來敘述而非限制，於伴隨在形成積體電路封裝系統的示範實施例之後，但並非作為限制解釋。應瞭解的是，在第1圖至第29圖之前或之後在該技術領域所廣為熟知的多種習知製程於此不再重述。此外，應瞭解的是，在不違背本請求標的之範疇下，所述製程及／或實施例可作出許多修改、新增及／或省略。舉例來說，以下所述之製程及／或實施例可能包括更多、較少或其他步驟。另外，在不違背本發明之範疇下，可以任何適當的次序來執行上述步驟。

此外，應理解的是，本發明所揭露的積體電路封裝系統可包含任何數量之堆疊裝置及／或封裝件，如記憶體電路、邏輯電路、類比電路、數位電路、被動電路、射頻電路或其組合，但不限於此。此外，應瞭解的是，本文所述實施例所製造之積體電路封裝系統可以各種可能需要的組構與佈設用於處理器組件、記憶體組件、邏輯組件、數

位電路組件、類比電路組件、混合訊號電路組件、電力組件、射頻電路組件、數位訊號處理器組件、微機電組件、光學感應器組件或上述各者之組合。

再者，應瞭解的是，在封裝載體(medium)上可一次製作一個或多個積體電路封裝系統，在製程稍後階段可分割成為個別或複數個積體電路封裝件組合。

現請參閱第 1 圖，顯示本發明第一實施例之積體電路封裝系統 100 之局部剖面圖。

於至少一個實施例中，該積體電路封裝系統 100 可為扇入式層疊封裝(fan-in package-on-package, FiPOP)結構，亦即將頂部封裝件 102 堆疊於底部封裝件 104 上之三維封裝件，其中，每個封裝件皆可含有經完整測試之組件。舉例來說，一般而言，該底部封裝件 104 可包含具有一個或多個數位、類比或混合電路的細微球柵陣列型封裝件(fine ball grid array type package)，其中，該底部封裝件 104 之可接置頂部表面係提供焊墊(land pad)，以使其他封裝件或組件(亦即頂部封裝件 102)堆疊於其上。此外，舉例來說，該頂部封裝件 102 可能包括一個或多個數位電路、類比電路、或用於數位處理器或系統記憶體體的記憶體堆疊。

在此技術領域具有通常知識者將理解到，相較於傳統層疊封裝解決方案，扇入式層疊封裝多元設計於較小的面積容納複數個晶粒及較大的晶粒尺寸，同時允許彈性(flexibility)堆疊開於頂部表面上具有中心球柵陣列圖

案之擱架(shelf)記憶體封裝件。此外，扇入式層疊封裝更增強了層疊封裝之商業模式，其中，邏輯裝置製造者提供該底部封裝件 104，而傳統記憶體裝置製造者典型上提供該頂部封裝件 102，以使後端使用者得以組構所需經測試良好的封裝件。

於至少一個實施例中，該底部封裝件 104 可包含具有平行放置且相對於第二表面 110 的第一表面 108 之第一基板 106。

在此情況下，該第一基板 106 可包含載體基板、半導體基板或多層結構(例如：具有以絕緣體分隔之一個或多個導電層之疊層)，適於將形成於該第一基板 106 之第一表面 108 上或上方的積體電路系統電性互連至外部電路。在其他實施例中，該第一基板 106 可能包含薄金屬片(例如導線架)或塑膠帶上之導電性電鍍圖案，適於將形成於該第一基板 106 之第一表面 108 上或上方的積體電路系統電性互連至外部電路。

然而，應瞭解的是，該第一基板 106 並不限定於這些範例。依據本發明，該第一基板 106 可包含任何有助於將該積體電路封裝系統 100 併入較高層次組合之電性互連結構，如印刷電路板或其他適於支撐該積體電路封裝系統 100 及／或與該積體電路封裝系統 100 電性介接之結構。如示範實例所示，該第一基板 106 之第二表面 110 亦可設計／構建成用以電性介接其他封裝件結構。

於至少一個實施例中，該第一基板 106 之第二表面 110

亦可包含外部端點 112，如形成如同部分球柵陣列結構之焊錫球。該外部端點 112 提供該積體電路封裝系統 100 與外部電路之間的電性介面或互連。更具體而言，該第一基板 106 中之電性追蹤系統(electric trace system)可接收來自該外部端點 112 之電性訊號並且在該第一基板 106 之第二表面 110 與第一表面 108 間傳送該電性訊號，或反之亦然。雖然本實施例將該外部端點 112 描述為焊錫球，但應瞭解的是，該外部端點 112 可包含任何介面連接技術，如接腳(pin)或地柵陣列(land grid array)，用於建立該積體電路封裝系統 100 與外部電路間的電性接觸(electrical contact)。

形成於該第一基板 106 之第一表面 108 上方或之上者係第一裝置 114。該第一裝置 114 可藉由廣為熟知的黏著劑(adhesives)而附接於該第一基板 106，於本文中並未描述。於至少一個實施例中，該第一裝置 114 是利用零圓角(zero fillet)技術而附接於該第一基板 106。

一般而言，該第一裝置 114 可包含一個或多個主動裝置(active device)、被動裝置(passive device)或兩者之組合，垂直地堆疊或置於同一平面中。舉例來說，但不以此為限，該第一裝置 114 可包含一個或多個半導體晶片(chip)或晶粒(die)，用以傳送、接收、調變(modulate)及／或改變電性訊號，如經堆疊之裝置(stacked device)、模組化裝置、特殊應用積體電路(application specific integrated circuit, ASIC)裝置、記憶體裝置、

射頻裝置、類比裝置或上述各者之組合。再者，舉例來說但不以此為限，該第一裝置 114 更包含一個或多個積體電路封裝件，用於傳送、接收、調變及／或改變電性訊號，如引腳型(lead)或無引腳型封裝件、內部堆疊模組封裝件(internal stacking module package)、覆晶封裝件(flip-chip package)、模組化封裝件、特殊應用積體電路封裝件、射頻封裝件、類比封裝件、記憶體封裝件、堆疊晶粒封裝件或是上述各者之組合。此外，該第一裝置 114 也可包含預先塑模組構(pre-molded configuration)。

然而，應瞭解的是，該第一裝置 114 涵蓋廣大類別的半導體晶片以及多種尺寸、範圍與功能應用之積體電路封裝組構，且所採用的晶片或封裝件組構類型僅受限於積體電路封裝件之設計規格。

此外，在此技術領域具有通常知識者將體認到，本實施例允許該第一裝置 114 在黏附至該第一基板 106 前進行測試，進而於製造過程確保使用已知良好的晶粒或封裝件。此外，在將該第一裝置 114 黏附至該第一基板 106 後，該組合亦可於併入額外封裝系統前進行測試。如此一來確保最後成品包含已知良好的組合，進而改善該積體電路封裝系統 100 的製程良率。

該第一裝置 114 可藉由互連 116，如結合引線(bond wire)，而電性連接到該第一基板 106 之第一表面 108。可使用相關領域所熟知的材料及技術來沉積該互連 116，且目前僅受限於結合引線裝備及最小需求運作空間。一般來

說，該互連 116 可置於該第一裝置 114 周圍之一側或多側，進而容許偏移堆疊(offset stacking)，允許更多產品符合該積體電路封裝系統 100 的特定設計需求。然而，在其他實施例中，該第一裝置 114 可藉由覆晶方式而電性連接至該第一基板 106。

插件 118 可接置於該第一裝置 114 上或上方，且可包含具有或不具有熱傳導能力的晶粒附接材料、間隔件(spacer)、用於阻礙潛在擊穿能量場(potentially disruptive energy field)之電磁干擾屏蔽、或上述各者之組合。再者，該插件 118 可被策略性設計成有助於減少該積體電路封裝系統 100 在熱循環期間可能遭遇的翹曲。對在此技術領域具有通常知識者將體認到，該插件 118 之厚度可隨著該互連 116 之迴路高度(loop height)而變化。於至少一個實施例中，該插件 118 可置於該第一裝置 114 之中心位置上且未與該互連 116 重疊及／或圍繞該互連 116。於其他實施例中，該插件 118 可覆蓋包含該互連 116 之第一裝置 114，進而產生覆膜引腳(lead-in-film)結構。

第二基板 120 可形成於該插件 118 上或上方。在此情況下，該第二基板 120 可由該插件 118 所支撐。於至少一實施例中，該第二基板 120 可包含印刷電路板、半導體基板或多層結構(例如：具有以絕緣體分隔的一個或多個導電層之疊層)，適於電性介接其他積體電路系統或外部電路。

然而，應瞭解的是，該第二基板 120 並未限定於這些範例。依據本發明，該第二基板 120 可包含任何有助於將

該底部封裝件 104 與其他積體電路系統及／或外部電路電性互連之電性互連結構。舉例來說，該第二基板 120 可包含另一個封裝件(例如：反向內部堆疊模組)，該封裝件能夠提供具有焊墊之可接置頂部表面，使得其他封裝件或元件(亦即該頂部封裝件 102)可堆疊於其上。

該第二基板 120 可藉由該互連 116 而與該第一基板 106 之第一表面 108 電性連接。一般來說，該互連 116 可圍繞該第二基板 120 周邊之一側或多側，進而容許形成導電柱 122。

一般來說，該導電柱 122 可置於該第二基板 120 之中心位置上或上方，且自該互連件 116 朝內放置。在此技術領域具有通常知識者將體認到，該導電柱 122 目前受限於非所欲之電性干擾而僅需自該互連 116 偏移某段距離。

該導電柱 122 可為形成於密封材料 124 (encapsulation material)中之嵌入式引腳(embedded lead)並且曝露出其一端。該導電柱 122 之相對端可電性連接形成於該第二基板 120 之第二基板頂部表面 128 上方之接合焊墊 126。於至少一個實施例中，該接合焊墊 126 可包含傳導軌(conductive trace)。

該導電柱 122 可藉由該積體電路封裝系統 100 而佈設及／或組構成陣列或所需其他任何方法。特別地，該導電柱 122 之佈設及／或組構可經彈性化設計以容納更多電子組件接置於該導電柱 122 上。

在此技術領域具有通常知識者將體認到，該導電柱 122

可包含任何設計(design)或形狀(shape)。依據本實施例之範疇，應瞭解的是，該導電柱 122 之設計或形狀是非必要的，重要的是該導電柱 122 使得電性訊號能夠傳遞。

在此技術領域具有通常知識者將體認到，該導電柱 122 間之剖面面積及／或距離可小於習知用作該第二基板 120 與頂部封裝件 102 間之互連之焊錫球之剖面面積及／或距離。因此，因為該導電柱 122 可靠攏一起而形成，本實施例之方法、結構及系統可提供密集的／較高的／增強的 I/O 數量。因此，本發明之發明人發現一種可靠地增加該頂部封裝件 102 與該底部封裝件 104 間電性互連(亦即該導電柱 122)密度的方法。

於至少一實施例中，可沉積該密封材料 124，使得該密封材料 124 覆蓋該第一基板 106、該第一裝置 114、每個互連 116、該插件 118、該第二基板 120 及該導電柱 122，同時曝露出用於電性連接的導電柱上表面 130。一般來說，由於該導電柱 122 之組成成份所致，該導電柱 122 對於該密封材料 124 之塑膜製程顯現出高電流電阻係數(high flow-resistivity)。

該頂部封裝件 102 可形成於該導電柱 122 上及／或上方。一般來說，該頂部封裝件 102 可包含主動裝置、被動裝置或上述各者之組合。更具體而言，舉例來說但不以此為限制，該頂部封裝件 102 可包含一個或多個積體電路封裝件，用於傳送、接收、調變及／或改變電性訊號，如引腳型或無引腳型封裝件、內部堆疊模組封裝件、晶片微縮

(chip scale)封裝件、封裝件中系統(System in a package, SIP)、覆晶封裝件、模組化封裝件、特殊應用積體電路封裝件、射頻封裝件、類比封裝件、記憶體封裝件、堆疊晶粒封裝件或是上述各者之組合。此外，該頂部封裝件 102 也可包含一個或多個半導體晶片或晶粒。

然而，應瞭解的是，該頂部封裝件 102 涵蓋廣大類別的半導體晶片以及多種尺寸、範圍與功能應用之積體電路封裝組構，且所採用的晶片或封裝件組構類型應僅為積體電路封裝件之設計規格所限制。

此外，在此技術領域具有通常知識者將體認到，本實施例允許該頂部封裝件 102 在黏附至該導電柱 122 前進行測試，進而於製造過程確保使用已知良好的晶粒或封裝件。此外，在將該頂部封裝件 102 黏附至該導電柱 122 後，該組合亦可於併入額外封裝系統前進行測試。如此一來確保最後產品包含已知良好的組合，進而改善該積體電路封裝系統 100 的製程良率。

舉例來說，該頂部封裝件 102 可藉由該外部端點 112 而互連至該導電柱 122。一般而言，該外部端點 112 依據該頂部封裝件 102 類型可包含焊錫球或焊錫凸塊。在此技術領域具有通常知識者將體認到，該導電柱 122 或該外部端點 112 任一者於互連之前可經有機保焊劑(organic solderability preservative)或類似材料所處理。再者，應瞭解的是，因為該導電柱 122 使得每個外部端點 112 之高度減少，故該頂部封裝件 102 與該導電柱 122 間之外部

端點 112 的間距可製作成相對較小於無導電柱 122 之堆疊封裝件。

舉例來說，倘若該頂部封裝件 102 為球柵陣列封裝件，則該外部端點 112 可於該頂部封裝件 102 之組裝製程期間進行製作，且倘假若該頂部封裝件 102 為覆晶類型封裝件，則該外部端點 112 可於晶圓(wafer)製造期間形成。

在此技術領域具有通常知識者將體認到，本實施例有助於縮減該積體電路封裝系統 100 在印刷電路板(未圖示)上所需的面積空間／區域。舉例來說，利用該導電柱 122 將該頂部封裝件 102 電性連接至該底部封裝件 104，無需用以將該頂部封裝件 102 連接至該第一基板 106 之引線接合(wire bond)。

再者，雖然所示的積體電路封裝系統 100 具有該頂部封裝件 102 與該底部封裝件 104，應瞭解的是，該積體電路封裝系統 100 可能包含堆疊在該頂部封裝件 102 與該底部封裝件 104 上方或上的額外封裝件。

現請參閱第 2 圖至第 29 圖，第 2 圖至第 29 圖包含一些用於敘述第 1 圖之積體電路封裝系統 100 及第 1 圖之製程步驟之相同參照編號和命名。應注意到，該等層、裝置、封裝件、組構以及製程步驟的參照編號和命名通常對應於包含第 1 圖所述的相同特徵之參照編號和命名，因此，在第 2 圖至第 29 圖將不會被重複詳述。更確切地說，對於第 1 圖中該等層、裝置、封裝件、組構及製程步驟之參照編號的敘述係併入第 2 圖至第 29 圖所包含之相同參照數字

中。

現請參閱第 2 圖，係顯示依據本發明實施例，該底部封裝件 104 於製造階段之局部剖面圖。在此製造階段中，包含第一基板 106、第一裝置 114、互連 116、插件 118 及第二基板 120 之底部封裝件 104 可對準於頂部鑄模槽 200，該頂部鑄模槽 200 包含與該第二基板頂部表面 128 上方之接合焊墊 126 對準之凸出部 202。

在此技術領域具有通常知識者將體認到，每個凸出部 202 之剖面皆可組構成對應於一個接合焊墊 126 之鏡像（亦即實質上相同的尺寸及／或形狀）。然而，每個凸出部 202 並不限定於前述範例所限制，且可組構成為較大或較小於所對應的每一個接合焊墊 126。

現請參閱第 3 圖，係顯示於該密封材料 124 沉積期間之第 2 圖之結構。在此製造階段，該頂部鑄模槽 200 接合該底部封裝件 104 與底部鑄模槽（未圖示）。每個凸出部 202 皆對準於每個接合焊墊 126 且以足夠力量密合在一起，以防止在該密封材料 124 沉積期間於其介面發生鑄模溢料（mold flash）或鑄模滲漏（mold bleed）。由此實施例可知，該密封材料 124 可沉積於該第一基板 106、第一裝置 114、每個互連 116、插件 118 及第二基板 120 上，並曝露出每個接合焊墊 126。該密封材料 124 與所使用的鑄模技術於該技術領域為習知，於此不再重述。

現請參閱第 4 圖，係顯示於沉積該密封材料 124 後之第 3 圖之結構。在此製造階段，第 3 圖之頂部鑄模槽 200

在該密封材料 124 經過足夠固化時間後已經移除。在移除之後，第 3 圖之頂部鑄模槽 200 之每個凸出部 202 皆已在該密封材料 124 中形成開口 400。每個開口 400 皆可形成於一個接合焊墊 126 上並與其對準，進而提供電性存取點予該底部封裝件 104 之第二基板 120。在此技術領域具有通常知識者將體認到，於該密封材料 124 沉積期間利用該頂部鑄模槽 200，使得鑄模溢料或鑄模滲漏的影響降低。

現請參閱第 5 圖，係顯示依據本發明實施例，於形成該密封材料 124 後之第 4 圖之結構之局部剖面圖。於至少一個實施例中，第 4 圖中之開口 400 可藉電解或無電電鍍方式填充以導電類型材料，如金屬。一般來說，該電鍍步驟係結束於當該導電柱 122 之高度到達該密封材料 124 之高度時。然而，應瞭解的是，該導電柱 122 之高度可依據系統的設計需求而經形成高於或低於該密封材料 124 之高度。當該電鍍完成時，該導電柱 122 與該第二基板 120 之接合焊墊 126 形成電性接觸。

在此技術領域具有通常知識者將體認到，該電鍍步驟或製程可利用一種或多種導電類型材料在一個或多個電鍍步驟中進行。

在其他實施例中，該導電柱 122 可藉由化學氣相沉積法(chemical vapor deposition, CVD)或物理氣相沉積法(physical vapor deposition, PVD)而形成。舉例來說，該導電柱 122 可藉由 CVD 製程利用充滿鎢(tungsten)的鈦(titanium)／氮化鈦阻障層(titanium nitride barrier

layer)而形成。在此情況下，該鎢成核沉積次序 (nucleation deposition sequence) 可利用以氫為基礎的電漿處理 (hydrogen-based plasma treatment) 來減少或排除於該鎢／氮化鈦介面的氟濃度，進而降低接觸電阻。如前，在該 CVD 或 PVD 製程完成後，該導電柱 122 與該第二基板 120 之接合焊墊 126 形成電性接觸。

在此技術領域具有通常知識者將體認到，在該導電柱 122 形成後，該底部封裝件 104 現已準備併入第 1 圖之積體電路封裝系統 100 中。

現請參閱第 6 圖，係顯示依據本發明另一實施例，於形成第 1 圖之該導電柱 122 後的第 4 圖之結構之局部剖面圖。於至少一個實施例中，藉由將導電材料 600 擠壓進入每個開口 400 而使該開口 400 填充有導電材料 600，如金屬。一般來說，該製程利用工具 602 以施加力量於該導電材料 600，進而施加足夠壓力於該導電材料 600，以形成與該第二基板 120 之接合焊墊 126 電性接觸之導電柱 122。

如示範實例所示，該導電材料 600 可包含一種凝膠型態 B 階環氧樹脂導電材料 (gel-type B-stage conductive material)，可於印刷製程後藉由加熱進行修復。於至少一個實施例中，模板遮罩 (stencil mask) 可置於該電路之頂部表面，以阻擋該 B 階環氧樹脂導電材料於擠壓該導電材料 600 前流過鄰近的焊接光阻表面 (solder resist surface) 上。該導電材料 600 可擠壓於該模板遮罩之上，藉此填充該開口 400 並建構該導電柱 122，在那之後可移

除該模板遮罩。

在此技術領域具有通常知識者將體認到，在形成該導電柱 122 後，該底部封裝件 104 現已準備好併入第 1 圖之積體電路封裝系統 100 中。

現請參閱第 7 圖，係顯示依據本發明另一實施例，於形成該導電柱 122 後的第 4 圖之結構之局部剖面圖。於至少一個實施例中，可藉由定位或滴注於導電接腳(如金屬接腳)中而填充第 4 圖之開口 400，以形成該導電柱 122。應瞭解的是，可使用黏著劑、焊接、熱處理及其他類似方式，以固定於該導電接腳(亦即該導電柱 122)與該第二基板 120 之接合焊墊 126 之間電性連接。此外，應瞭解的是，可使用該黏著劑、焊接、熱處理及其他類似方式，以避免於該導電接腳(亦即該導電柱 122)與接合焊墊 126 或該密封材料 124 間形成孔洞(void formation)。

在此技術領域具有通常知識者將體認到，在形成該導電柱 122 後，該底部封裝件 104 現已準備好併入第 1 圖之積體電路封裝系統 100 中。

現請參閱第 8 圖，係顯示依據本發明另一實施例，該底部封裝件 104 於製造初始階段之局部剖面圖。在此製造階段，該第二基板 120 可包含對準於該接合焊墊 126 上組構成導線架插件 800 之導電柱 122。該第一基板 106 可包含該第一裝置 114，該第一裝置 114 藉由該互連 116 電性連接至該第一基板 106。該第二基板 120 可於該製作階段對準於該第一基板 106 上。

在此技術領域具有通常知識者將體認到，該導線架插件 800 允許在單一／統一程序步驟中形成每一個導電柱 122，進而消除高成本與耗時的“導柱(post)”形成製程步驟。此外，將體認到，該導線架插件 800 在晶圓層次製程(wafer level process)中可對準於一個或多個第二基板 120 上。一般來說，該導線架插件 800 可有助於避免翹曲、提升該底部封裝件 104 之共面性(coplanarity)、以及減少焊接孔洞(void)及第 1 圖之接合焊墊 126、導電柱 122 與該頂部封裝件 102 之外部端點 112 間可能發生的不濕潤(non-wetting)。

該導線架插件 800 可由導電材料所製成，如金屬，或者可由導電類型材料與非導電類型材料製成，如介電材料(dielectric)。舉例來說，後者的實施例可包含由導電類型材料所製成之導電柱 122 與由非導電類型材料所製成之，定位桿 802。在此技術領域具有通常知識者將體認到，該定位桿 802 可包含一個或多個桿或者是與鄰近的多個該導電柱 122 間互連之連續薄片材料。一般來說，該定位桿 802 可沿著導線架插件頂部表面 804 形成。

於至少一個實施例中，可組構該導線架插件 800，以提供額外程度的附加支撐予第 1 圖之第二基板 120 及／或該底部封裝件 104，藉此減少基板及／或封裝件發生翹曲。在此情況下，可由剛性材料組構該定位桿 802，有助於防止例如該導線架插件 800 與該第二基板 120 的翹曲。

現請參閱第 9 圖，係顯示於將該第二基板 120 接合至

該第一裝置 114 後之第 8 圖之結構。於至少一個實施例中，該插件 118 可形成於該第二基板 120 與該第一裝置 114 之間。接著，該第二基板 120 附接至該第一裝置 114，可形成該互連 116，以將該第二基板 120 電性互連至該第一基板 106。

現請參閱第 10 圖，係顯示於形成該密封材料 124 後之第 9 圖之結構。於至少一個實施例中，可於第 8 圖之第一基板 106、第一裝置 114、每個互連 116、插件 118、第二基板 120 及包含導電柱 122 和定位桿 802 之導線架插件 800 上沉積該密封材料 124。接著，該密封材料 124 經過足夠的固化時間，可採用如機械式葉片或磨機之工具 1000 自該導線架插件 800 上移除該密封材料 124，進而曝露出第 1 圖之導電柱頂部表面 130，以用於進一步的電性組件連接。一般來說，該工具 1000 藉由施予適當外力以移除該密封材料 124，藉以削除形成於該導電柱 122 上的密封材料 124。

在此技術領域具有通常知識者將體認到，在使用該工具 1000 後，可藉由電漿清洗(plasma cleaning)或類似方法來移除任何遺留在該導電柱 122 上的該密封材料 124 之殘餘物，進而改善接下來的電性互連。

在另一實施例中，該密封材料 124 可沉積於該第一基板 106、第一裝置 114、每個互連 116、插件 118、第二基板 120 及導線架插件 800 上，同時曝露出第 8 圖之導線架插件頂部表面 804。接著，該密封材料 124 經過足夠固化時間，亦可使用該工具 1000 自該導線架插件 800 上移除任

何過量的密封材料 124，如鑄模溢料，藉此進一步曝出該導電柱上表面 130，以用於續電性組件連接。

該密封材料 124 與使用該封裝材料 124 之鑄模技術於該技術領域為習知且於此不再重述。

在此技術領域具有通常知識者將體認到，在藉由該設備 1000 移除形成於該導電柱 122 上之密封材料 124 後，該底部封裝件 104 現已準備好併入第 1 圖之積體電路封裝系統 100 中。

現請參閱第 11 圖，係顯示依據本發明另一實施例之底部封裝件 104 之局部剖面圖。本實施例之底部封裝件 104 與第 1 圖之底部封裝件 104 類似。然而，本實施例與第 1 圖實施例之差異在於將第 1 圖之插件 118 置換為屏蔽 (shield) 1100，如電磁干擾屏蔽或射頻干擾屏蔽。

一般來說，該屏蔽 1100 封閉可包含該第一裝置 114 的孔洞空間 1102(voidspace)。該屏蔽 1100 可將電磁能量自容積或空間(如該孔洞空間 1102)中遏制或排除。該屏蔽 1100 可藉由焊錫或低阻抗導電黏著劑加以固定，如環氧金屬。該屏蔽 1100 也可電性連接到接地源(ground source)，以消除任何經吸收的電磁能量。

該屏蔽 1100 可由連續的金屬材料所製成，如銅、銅合金、鋁或鋼；或者由塗覆有表面金屬化(metallization)(如銅、銅合金、鋁或鋼)的連續塑膠材料。然而，應瞭解的是，該屏蔽 1100 之組成成份並不限定於上述材料。依據本發明之範疇，該屏蔽 1100 之組成成份可包含吸收或消除電磁能

量之任何材質。

於至少一個實施例中，例如該屏蔽 1100 可設計為包含藉由打孔而形成於側壁 1106 中之隙孔 1104。一般來說，每個側壁 1106 皆可經處理以包含一個或多個隙孔 1104。然而，在此技術領域具有通常知識者將體認到，所形成之隙孔 1104 數量僅受限於該屏蔽 1100 之結構整體需求、該屏蔽 1100 阻擋或吸收穿透的電磁能量之能力、及／或用於減輕該密封材料 124 上所需之第一裝置 114 分配。應瞭解的是，該隙孔 1104 有助於分散該密封材料 124。

一般來說，該隙孔 1104 可沿著該屏蔽 1100 之側壁 1106 之任何處而形成。決定隙孔 1104 沿著側壁 1106 之位置的唯一限制因素係該屏蔽 1100 阻擋及／或吸收穿透的電磁能量的能力。

典型上，該屏蔽 1100 與該隙孔 1104 係以最佳阻擋及／或吸收穿透的電磁能量以及促進分散該第一裝置 114 上之密封材料 124 的方式所組構而成，該密封材料 124 係置於該屏蔽 1100 之孔洞空間 1102 中。

在此技術領域具有通常知識者將體認到，該屏蔽 1100 可設計成用以支撐第 1 圖之第二基板 120 及／或於該第一裝置 114 上形成該頂部封裝件 102。於至少一個實施例中，該第二基板 120 可形成於該屏蔽 1100 上方或其上。

現請參閱第 12 圖，係顯示依據本發明另一實施例之底部封裝件 104 之局部剖面圖。本實施例之底部封裝件 104 與第 1 圖之底部封裝件 104 類似。然而，本實施例與第 1

圖實施例之差異在於將第 1 圖之插件 118 置換為第二裝置 1200。

一般來說，該第二裝置 1200 可藉由該領域習知的表面接置(surface mount)技術而電性連接至該第二基板 120。該第二裝置 1200 亦可藉由該領域習知的黏著劑附接至該第一裝置 114 或者附接於其上方，於此不在重述。於至少一個實施例中，該第二裝置 1200 係利用零圓角技術而附接至該第一裝置 114。

一般來說，該第二裝置 1200 可包含一或多個主動裝置、被動裝置或兩者之組合，垂直地堆疊或置於同一平面中。舉例來說，但不以此為限，該第二裝置 1200 可包含一個或多個半導體晶片或晶粒，用以傳送、接收、調變及／或改變電性訊號，如經堆疊之裝置、模組化裝置、特殊應用積體電路裝置、記憶體裝置、射頻裝置、類比裝置或上述各者之組合。再者，舉例來說但不以此為限，該第二裝置 1200 更包含一個或多個積體電路封裝件，用於傳送、接收、調變及／或改變電性訊號，如引腳型或無引腳型封裝件、內部堆疊模組封裝件、覆晶封裝件、模組化封裝件、特殊應用積體電路封裝件、射頻封裝件、類比封裝件、記憶體封裝件、堆疊晶粒封裝件或是上述各者之組合。

然而，應瞭解的是，該第二裝置 1200 涵蓋廣大類別的半導體晶片以及多種尺寸、範圍與功能應用之積體電路封裝組構，且所採用的晶片或封裝件組構類型僅受限於積體電路封裝件之設計規格。

此外，在此技術領域具有通常知識者將體認到，本實施例允許該第二裝置 1200 在黏附至該第二基板 120 前進行測試，進而於製造過程確保使用已知良好的晶粒或封裝件。如此一來確保最後成品包含已知良好的組合，而進改善該積體電路封裝系統 100 的製程良率。

現請參閱第 13 圖，係顯示依據本發明另一實施例之底部封裝件 104 之局部剖面圖。本實施例之底部封裝件 104 與第 1 圖之底部封裝件 104 類似。然而，本實施例與第 1 圖實施例之差異在於將第 1 圖之第一裝置 114 置換為一個或多個封裝件中系統裝置 1300(system-in-package device)及／或被動裝置 1302。

於至少一個實施例中，一個或多個封裝件中系統裝置 1300 可藉由該領域習知的表面接置技術而電性附接至該第一基板 106 之第一表面 108 及／或第二基板頂部表面 128，於此不再重述。在此技術領域具有通常知識者將體認到，該封裝件中系統裝置 1300 不僅提升第 1 圖之積體電路封裝系統 100 之功能整合，當電性附接至該第一基板 106 時，亦對該第二基板 120 提供機構支撐(mechanical support)。

此外，在此技術領域具有通常知識者將體認到，利用一個或多個封裝件中系統裝置 1300 可得到多種三維整合方式與封裝件內封裝件(package in package)的替代設計結構，同時保持該積體電路封裝系統 100 的輕巧外型(low profile)。舉例來說，該積體電路封裝系統 100 的垂直堆疊高度可藉由使用該封裝件中系統裝置 1300 而縮減，因為

該封裝件中系統裝置 1300 不是使用引線接合(wire bond)互連，典型上必須平移該第二基板 120 以容納引線接合迴路高度。

於至少一個實施例中，可自該互連 116 朝內於該第二基板頂部表面 128 上形成一個或多個該封裝件中系統裝置 1300。在此情況下，該導電柱 122 仍然自該互連 116 朝內置該第二基板頂部表面 128 之至少一部分上或其上方。

一般來說，該被動裝置 1302 可包含電阻器、電容器、電感器或上述各者之組合，但並不以此為限。於至少一個實施例中，該被動裝置 1302 可藉由該領域習知的表面接置技術而電性附接至該第一基板 106，且於此不再重述。

現請參閱第 14 圖，係顯示依據本發明另一實施例之底部封裝件 104 之局部剖面圖。本實施例之底部封裝件 104 與第 1 圖之底部封裝件 104 類似。然而，本實施例與第 1 圖實施例之差異在於將第 1 圖之第二基板 120 置換為內部堆疊模組 1400。

於至少一個實施例中，該內部堆疊模組 1400 可藉由該插件 118 而置於該第一裝置 114 上且附接至該第一裝置 114。在此情況下，該內部堆疊模組 1400 可反轉並藉由該互連 116 電性連接至該第一基板 106。如同第 1 圖之每個實施例，該導電柱 122 可電性連接至該內部堆疊模組 1400 之接合焊墊 126。

現請參閱第 15 圖，係顯示依據本發明另一實施例之底部封裝件 104 之局部剖面圖。本實施例之底部封裝件 104

與第 1 圖之底部封裝件 104 類似。然而，本實施例與第 1 圖實施例之差異在於將第 1 圖之第一裝置 114 置換為一個或多個覆晶裝置 1500 與一個或多個支撐結構 1502。

於至少一個實施例中，一個或多個覆晶裝置 1500 可藉由該領域習知的表面接置技術而電性附接至該第一基板 106 之第一表面 108，且於此不再重述。在此技術領域具有通常知識者將體認到，該覆晶裝置 1500 不僅提升第 1 圖之積體電路封裝系統 100 之功能整合，倘若必要時亦對該第二基板 120 提供機構支撐。

此外，在此技術領域具有通常知識者將體認到，利用一個或多個覆晶裝置 1500 可得到多種三維整合方式與封裝件內封裝件的替代設計結構，同時保持該積體電路封裝系統 100 的輕巧外型。舉例來說，該積體電路封裝系統 100 的垂直堆疊高度可藉由使用該覆晶裝置 1500 而縮減，因為該覆晶裝置 1500 不是使用引線接合互連，典型上必須平移該第二基板 120 以容納引線接合迴路高度。

該底部封裝件 104 亦可包含一個或多個支撐結構 1502，該等支撐結構 1502 係於該覆晶裝置 1500 外部且沿著該第二基板 120 週邊而形成。該支撐結構 1502 可對於該第二基板 120 提供額外支撐力或者完整地支撐該第二基板 120 (亦即該第二基板 120 並未接觸該覆晶裝置 1500)。於至少一個實施例中，該支撐結構 1502 可由導電材料所製成，該材料於該第一基板 106 與該第二基板 120 間提供附加的電性互連 (亦即除了該互連 116 外)。在另一實施例

中，該支撐結構 1502 可由非導電材料所製成。

現請參閱第 16 圖，係顯示依據本發明另一實施例之底部封裝件 104 之局部剖面圖。本實施例之底部封裝件 104 與第 1 圖之底部封裝件 104 類似。然而，本實施例與第 1 圖實施例之差異在於將第 1 圖之插件置替換為覆膜引腳插件 1600(lead-in-film interposer)。

由此實施例可知，該第一裝置 114 與第一基板 106 間的互連 116 可局部地由該覆膜引腳插件 1600 所密封。於至少一個實施例中，該覆膜引腳插件 1600 可包含非導電性黏著劑。在其他實施例中，其中該覆膜引腳插件 1600 包含黏著劑 B 階環氧樹脂(B-stage)類型材料之黏著劑或密封劑，該結構可稱作覆膜導線(wire-in-film)組構。該 B 階環氧樹脂類型材料係足夠柔軟而使得結合引線(bond wire)嵌入其中而不會造成引線偏移(wire sweep)問題且可回復至剛性狀態。在此技術領域具有通常知識者將體認到，該覆膜引腳插件 1600 可電性隔離及／或機構支撐該互連 116。

現請參閱第 17 圖，係顯示依據本發明另一實施例之積體電路封裝系統 100 之局部剖面圖。本實施例之積體電路封裝系統 100 與第 1 圖之積體電路封裝系統 100 類似。然而，本實施例與第 1 圖實施例之差異在於該接合焊墊 126 與該導電柱 122 間形成有介面 1700。於至少一個實施例中，該介面 1700 可稱為焊墊上焊接(solder on pad, SOP)技術。由本文中實施例可知，該介面 1700 係定義為形成於

兩個導電區域間之低電阻電性接觸。

一般來說，該介面 1700 可由包含金屬(metallic)和介金屬(inter-metallic)混合物之導電材料所形成。在此技術領域具有通常知識者將體認到，該介面 1700 可改善該接合焊墊 126 與該導電柱 122 間的黏著強度(adhesion strength)，同時由於該介面 1700 的柔軟特性而允許應力該頂部封裝件 102 釋放轉換。再者，在此技術領域具有通常知識者將體認到，因為該介面 1700 之回填特性(reflow characteristics)，該導電柱 122 在回填期間可輕易地對準於該介面 1700 上。

特別地，該介面 1700 與該導電柱 122 皆對於常見高密度封裝件要求增加封裝件間の間隙(stand-off)及封裝件間的細間距(finier pitch)I/O 數量之封裝問題提供了解決方案。舉例來說，該介面 1700 或該導電柱 122 任一者之高度皆可輕易調整，藉此提供設計者方便方法調節封裝件間所要求之間隙高度需求。此外，因為該介面 1700 解決了該間隙高度問題而無須較窄的互連，該介面 1700 與該導電柱 122 的組合允許更高密度的 I/O 數量。

現請參閱第 18 圖，係顯示依據本發明另一實施例之第二基板 120 在製造初始階段之局部剖面圖。在此製造階段，該介面 1700 可形成在位於第二基板頂部表面 128 上之接合焊墊 126 上或其上方。

現請參閱第 19 圖，係顯示依據本發明另一實施例包含該介面 1700 之底部封裝件 104 於製造階段期間的局部剖面

圖。本實施例之底部封裝件 104 與第 8 圖之底部封裝件 104 類似。然而，本實施例與第 8 圖實施例之差異在於該接合焊墊 126 與該導電柱 122 之間形成有介面 1700。

現請參閱第 20 圖，係顯示經由該插件 118 將該第二基板 120 結合至該第一裝置 114 後之第 19 圖之結構。本實施例之底部封裝件 104 及其形成方法係與第 9 圖之底部封裝件 104 類似。然而，本實施例與第 9 圖實施例之差異在於該接合焊墊 126 與該導電柱 122 之間形成有介面 1700。由此實施例可知，該導線架插件 800 之導電柱 122 可透過該介面 1700 電性連接至該接合焊墊 126。

現請參閱第 21 圖，係顯示於形成該密封材料 124 後之第 20 圖之結構。本實施例之底部封裝件 104 及其形成方法係與第 10 圖之底部封裝件 104 類似。然而，本實施例與第 10 圖實施例之差異在於該接合焊墊 126 與該導電柱 122 之間形成有介面 1700。

在此技術領域具有通常知識者將體認到，在藉由工具 1000 移除形成於該導電柱 122 上之密封材料 124 後，該底部封裝件 104 現已準備好併入第 17 圖之積體電路封裝系統 100 中。

現請參閱第 22 圖，係顯示依據本發明另一實施例之第二基板 120 於製造初始階段之局部剖面圖。在此製造階段，該第二基板 120 包含形成於該第二基板頂部表面 128 上或其上方之第一保護層 2200，該第二基板頂部表面 128 包含露出該接合焊墊 126 之開口 2202。舉例來說，該第一

保護層 2200 可包含介電材料。

現請參閱第 23 圖，係顯示於形成第一導電柱 2300 後之第 22 圖之結構。該第一導電柱 2300 可形成於第 22 圖之開口 2202 中之接合焊墊 126 上方或其上。在此技術領域具有通常知識者將體認到，可藉由例如第 5 圖之電鍍方法、第 6 圖之擠壓方法及／或第 7 圖之定位或滴注方法來形成該第一導電柱 2300。然而，該第一導電柱 2300 的形成並不限定於前述範例，且可藉由任何允許於該開口 2202 中形成低電阻電性互連之方法製作而成。

現請參閱第 24 圖，係顯示於形成第二保護層 2400 後之第 23 圖之結構。在此製造階段，該第二基板 120 現在包括形成於該第二基板頂部表面 128 上或其上方之第一保護層 2200、形成於該第一保護層 2200 中之第一導電柱 2300、以及形成於該第一保護層 2200 上或其上方之第二保護層 2400。該第二保護層 2400 已經處理而包含曝露出第一導電柱頂部表面 2404 之開口 2402。舉例來說，該第二保護層 2400 可包含介電材料。

現請參閱第 25 圖，係顯示於形成該介面 1700 後之第 24 圖之結構。該介面 1700 可形成於第 24 圖之開口 2402 中之第一導電柱頂部表面 2404 上方或其上。在此技術領域具有通常知識者將體認到，所沉積的介面 1700 量可隨著所欲之間隙高度而變化。如第 17 圖所示，該介面 1700 可改善黏著強度、應力轉移及對準。

現請參閱第 26 圖，係顯示於進一步處理後之第 25 圖

之結構。在此製造階段，第 25 圖之第一保護層 2200 與第二保護層 2400 皆可藉由該領域習知的製程而被移除，且於此不在重述。待移除該第一保護層 2200 與該第二保護層 2400 後，該第二基板上表面 128 現在包含形成於該接合焊墊 126 上方或其上之第一導電柱 2300 與形成於該第一導電柱 2300 上方或其上之介面 1700。

現請參閱第 27 圖，係顯示依據本發明另一實施例於製造階段期間包含該第一導電柱 2300 與該介面 1700 之底部封裝件 104 之局部剖面圖。本實施例之底部封裝件 104 及其形成方法係與第 8 圖之底部封裝件 104 類似。然而，本實施例與第 8 圖實施例之差異在於在該接合焊墊 126 上方或其上形成有第一導電柱 2300 以及在該第一導電柱 2300 上方或其上形成有介面 1700。由此實施例可知，該導線架插件 800 之導電柱 122 可透過該第一導電柱 2300 與該介面 1700 而電性連接至該接合焊墊 126。

現請參閱第 28 圖，係顯示在經由該插件 118 將該第二基板 120 結合至第一裝置 114 後之第 27 圖之結構。本實施例之底部封裝件 104 及其形成方法係與第 9 圖之底部封裝件 104 類似。然而，本實施例與第 9 圖實施例之差異在於該接合焊墊 126 與該導電柱 122 之間形成有第一導電柱 2300 及介面 1700。

現請參閱第 29 圖，係顯示在形成該密封材料 124 後之第 28 圖之結構。本實施例之底部封裝件 104 及其形成方法係與第 10 圖之底部封裝件 104 類似。然而，本實施例與第

10 圖實施例之差異在於該接合焊墊 126 與該導電柱 122 之間形成有第一導電柱 2300 及介面 1700。

在此技術領域具有通常知識者將體認到，在藉由該工具 1000 移除形成於該導電柱 122 上之密封材料 124 後，該底部封裝件 104 現已準備好併入第 17 圖之積體電路封裝系統 100 中。

現請參閱第 30 圖，係顯示本發明實施例中積體電路封裝系統 100 的製造方法 3000 之流程圖。該方法 3000 包含：在方塊 3002 中，設置底部封裝件，該底部封裝件包含位於第一基板上之第一裝置與位於該第一裝置上之第二基板；在方塊 3004 中，於該底部封裝件上形成密封材料，且於該第二基板上具有開口；以及在方塊 3006 中，於該開口中形成導電柱。

本發明所得到的方法、製程、設備、裝置、產品及／或系統都係直接的、具成本效益的、簡單不複雜的、具高度通用性的、準確的、靈敏的且有效的，而且藉由修改習知組件即可實施便利、有效率又經濟的製造、應用及利用。

應瞭解的是，本發明因而具有數種態樣。其中一種態樣係本發明可利用導電柱取代焊錫球而增加頂部封裝件與底部封裝件間的 I/O 引腳密度。

另一態樣係本發明可利用導電柱消除焊錫球短路的發生。

另一態樣係本發明利用導電柱防止頂部封裝件與底部封裝件之間焊錫球互連(如由於帶狀輔助鑄模方法)所發生

的鑄模溢料。

另一態樣係本發明利用介面與第一導電柱而允許調整間隙高度調整與細間距 I/O 數量。

另一態樣係本發明利用介面改善導電柱與接合焊墊間或者一個或多個導電柱間的黏著強度、應力轉移及對準。

而本發明另一個重要態樣是有價值地支援並推動降低成本、簡化系統、與增加效能的歷史潮流。

本發明的這些與其他有價值的態樣至少進一步將技術狀態推動至下一個層次。

雖然本發明已結合特定最佳實施例而描述，但應瞭解根據上述描述，對於本技術領域具有通常知識者而言，許多替代、修改、與變化是明顯的。因此，本發明意圖涵蓋所有落於申請專利範圍內的替代、修改、與變化形式。於說明書中提出或在圖式中顯示的內容都僅是用來說明而非用以限定本發明。

【圖式簡單說明】

第 1 圖係本發明第一實施例之積體電路封裝系統之局部剖面圖；

第 2 圖係依據本發明實施例之底部封裝件於製造階段之局部剖面圖；

第 3 圖係於密封材料沉積期間之第 2 圖之結構；

第 4 圖係於沉積密封材料後之第 3 圖之結構；

第 5 圖係依據本發明實施例於形成導電柱後之第 4 圖之結構之局部剖面圖；

第 6 圖係依據本發明另一實施例於形成導電柱後之第 4 圖之結構之局部剖面圖；

第 7 圖係依據本發明另一實施例於形成導電柱後之第 4 圖之結構之局部剖面圖；

第 8 圖係依據本發明另一實施例之底部封裝件於製造初始階段之局部剖面圖；

第 9 圖係於將第二基板結合至第一裝置後之第 8 圖之結構；

第 10 圖係於形成密封材料後之第 9 圖之結構；

第 11 圖係依據本發明另一實施例之底部封裝件之局部剖面圖；

第 12 圖係依據本發明另一實施例之底部封裝件之局部剖面圖；

第 13 圖係依據本發明另一實施例之底部封裝件之局部剖面圖；

第 14 圖係依據本發明另一實施例之底部封裝件之局部剖面圖；

第 15 圖係依據本發明另一實施例之底部封裝件之局部剖面圖；

第 16 圖係依據本發明另一實施例之底部封裝件之局部剖面視圖；

第 17 圖係依據本發明另一實施例之積體電路封裝系統之局部剖面圖；

第 18 圖係依據本發明另一實施例之第二基板於製造

初始階段之局部剖面圖；

第 19 圖係依據本發明另一實施例於製作階段期間包含介面之底部封裝件之局部剖面圖；

第 20 圖係於經由插件將第二基板結合至第一裝置後之第 19 圖之結構；

第 21 圖係於形成密封材料後之第 20 圖之結構；

第 22 圖係依據本發明另一實施例之第二基板於製造初始階段之局部剖面圖；

第 23 圖係於形成第一導電柱後之第 22 圖之結構；

第 24 圖係於形成第二保護層後之第 23 圖之結構；

第 25 圖係於形成介面後之第 24 圖之結構；

第 26 圖係於進一步處理後之第 25 圖之結構；

第 27 圖係依據本發明另一實施例於製造階段期間包含第一導電柱與介面之底部封裝件之局部剖面圖；

第 28 圖係於經由插件將第二基板結合至第一裝置後之第 27 圖之結構；

第 29 圖係於形成密封材料後之第 28 圖之結構；以及

第 30 圖係本發明實施例中積體電路封裝系統之製造方法之流程圖。

【主要元件符號說明】

100	積體電路封裝系統	102	頂部封裝件
104	底部封裝件	106	第一基板
108	第一表面	110	第二表面
112	外部端點	114	第一裝置

116	互連	118	插件
120	第二基板	122	導電柱
124	密封材料	126	接合焊墊
128	第二基板頂部表面	130	導電柱頂部表面
200	頂部鑄模槽	202	凸出部
400、2202、2402	開口	600	導電材料
602	工具	800	導線架插件
802	定位桿	804	導線架插件頂部表面
1000	工具	1100	屏蔽
1102	孔洞空間	1104	隙孔
1106	側壁	1200	第二裝置
1300	封裝件中系統裝置	1302	被動裝置
1400	內部堆疊模組	1500	覆晶裝置
1502	支撐結構	1600	覆膜引腳插件
1700	介面	2200	第一保護層
2300	第一導電柱	2400	第二保護層
2404	第一導電柱頂部表面	3000	方法
3002、3004、3006	方塊		

七、申請專利範圍：

1. 一種積體電路封裝系統之製造方法，包括：

設置位於第一基板上之第一裝置以及位於該第一裝置上之第二基板；

設置系統裝置於該第二基板上；

藉由包括於該第一裝置、該第一基板、該系統裝置及該第二基板之所有側邊上形成密封材料，以形成底部封裝件，且該密封材料於該第二基板上具有開口；以及於該開口中形成導電柱。

2. 如申請專利範圍第 1 項所述之方法，其中，於該開口中形成該導電柱係包含電鍍。

3. 如申請專利範圍第 1 項所述之方法，其中，於該開口中形成該導電柱係包含將導電材料擠壓進入該開口。

4. 如申請專利範圍第 1 項所述之方法，其中，於該開口中形成該導電柱係包含定位或滴注於該導電柱中。

5. 如申請專利範圍第 1 項所述之方法，其中，於該底部封裝件上形成該密封材料係包含利用具有對準於接合焊墊上之凸出部之頂部鑄模槽。

6. 一種積體電路封裝系統，包括：

位於第一基板上之第一裝置以及位於該第一裝置上之第二基板；

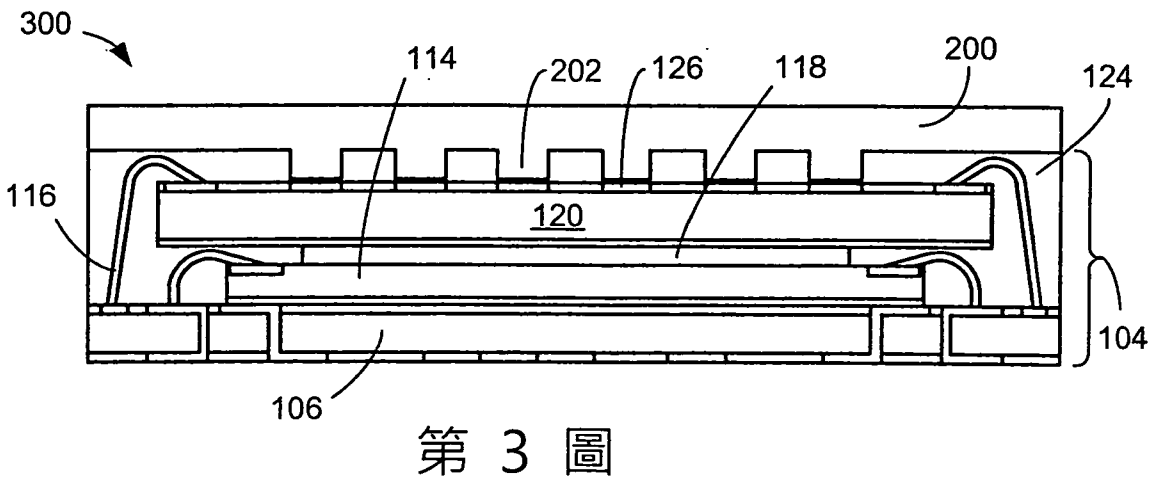
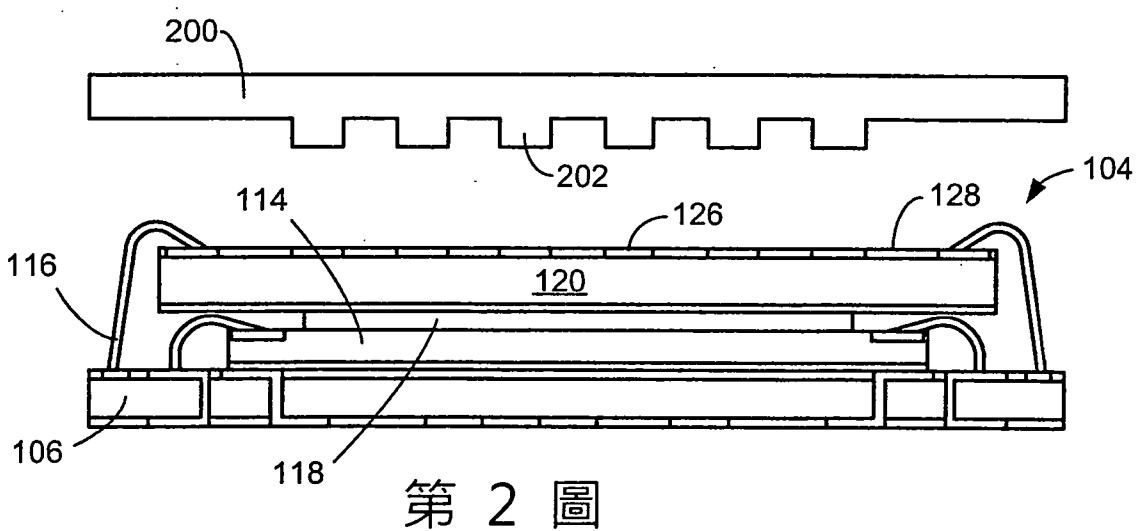
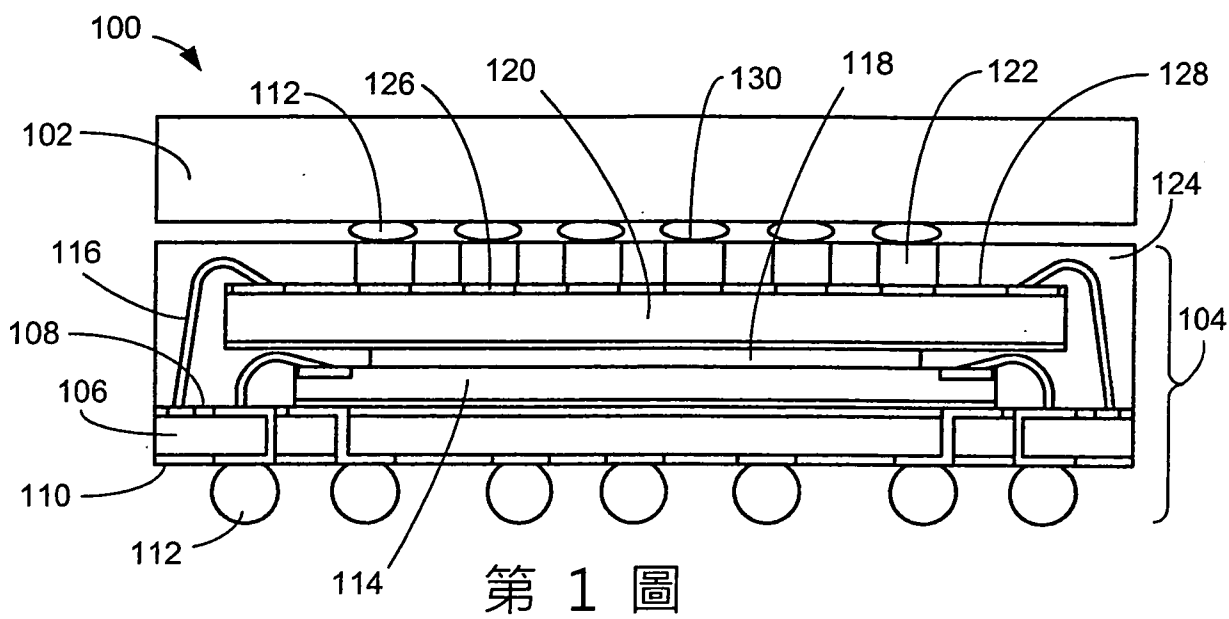
系統裝置，係設於該第二基板上；

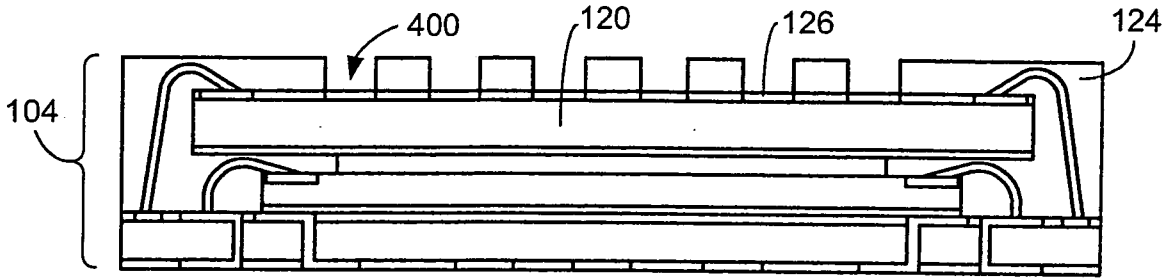
導線架插件，係於該第二基板上具有導電柱；以及底部封裝件，係藉由於該第一裝置、該第一基板、

該系統裝置及該第二基板之所有側邊上形成密封材料所形成，其中，該底部封裝件包含自該密封材料曝露的該導電柱。

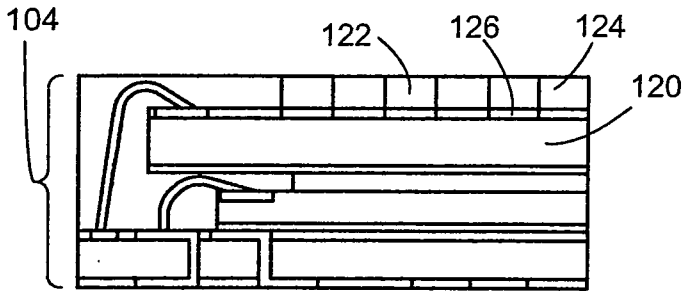
7. 如申請專利範圍第 6 項所述之系統，其中，該導線架插件係由導電材料與非導電材料所製成。
8. 如申請專利範圍第 6 項所述之系統，其中，該導線架插件係包括各該以定位桿互連之導電柱。
9. 如申請專利範圍第 6 項所述之系統，其中，該導線架插件將頂部封裝件電性互連至載體基板。
10. 如申請專利範圍第 6 項所述之系統，其中，該第一裝置與該第二基板係電性連接至該第一基板。

八、圖式：

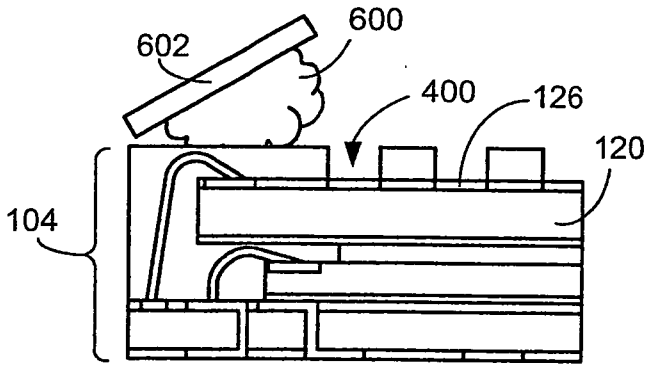




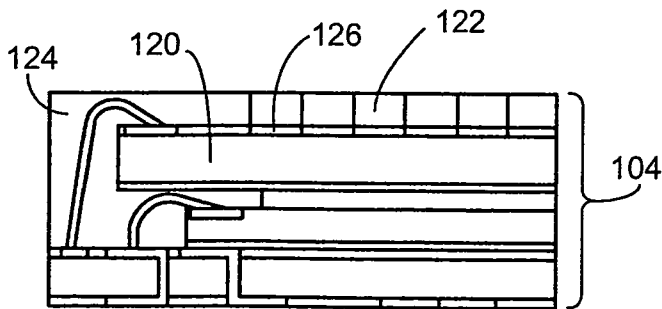
第 4 圖



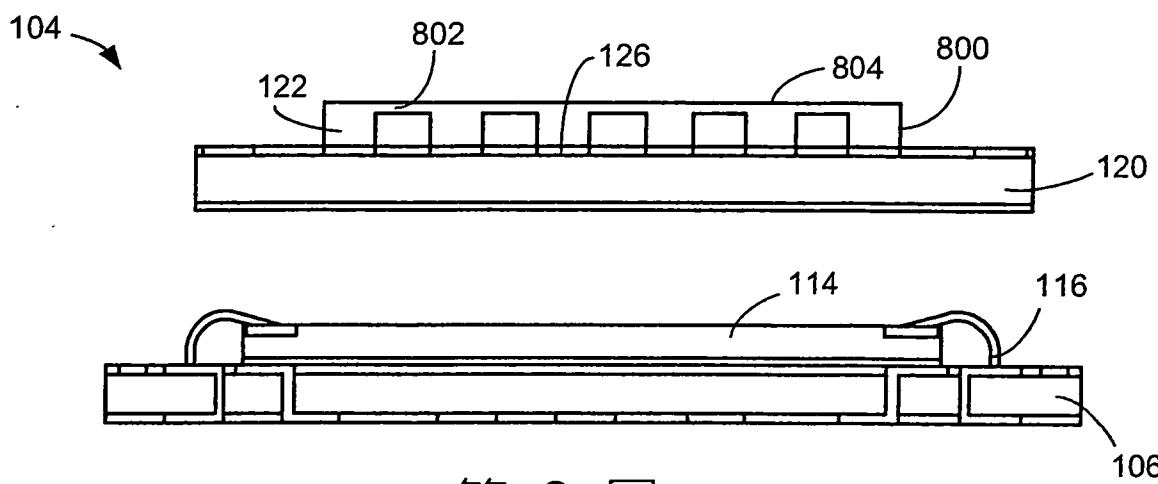
第 5 圖



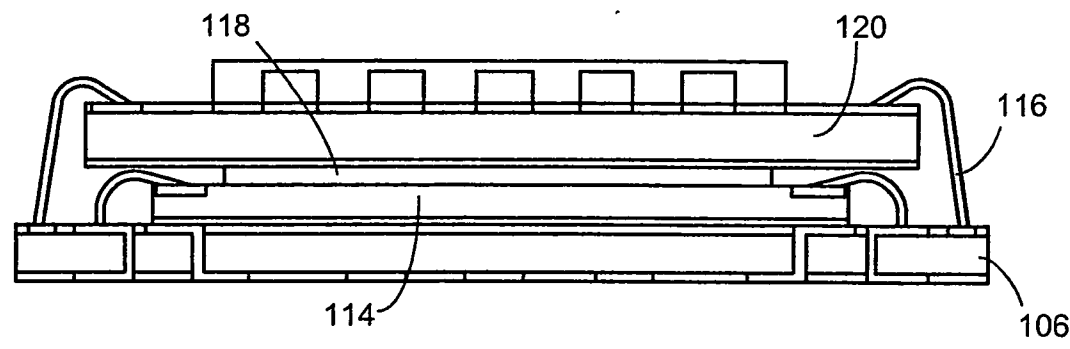
第 6 圖



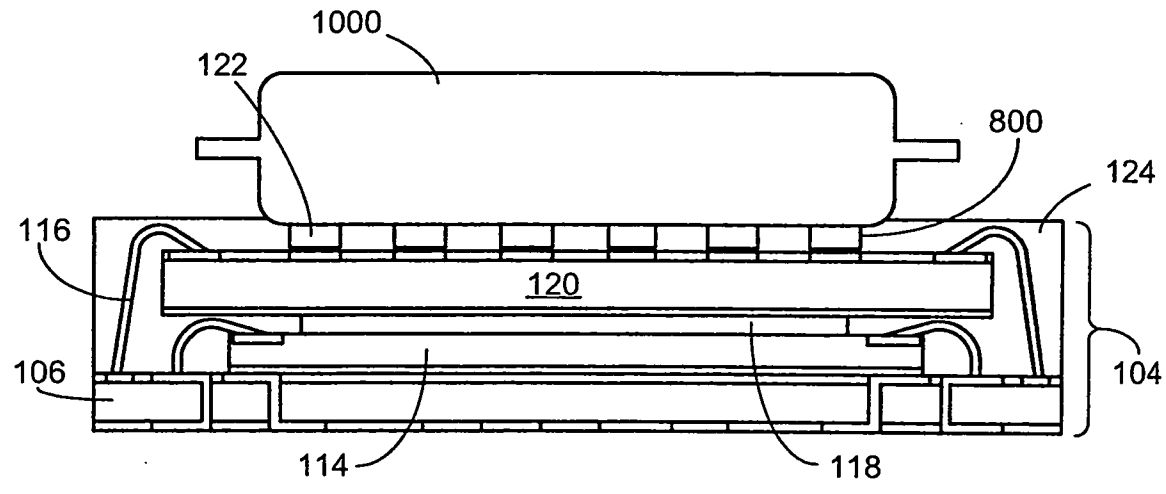
第 7 圖



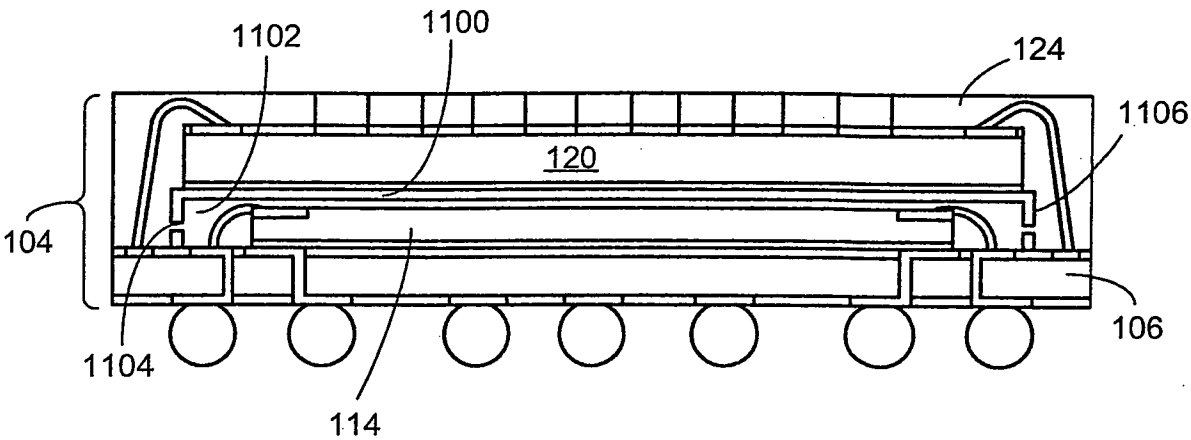
第 8 圖



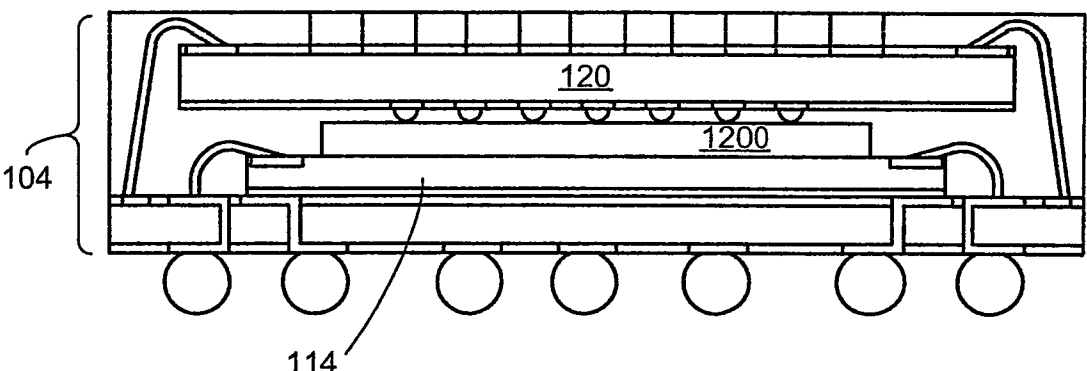
第 9 圖



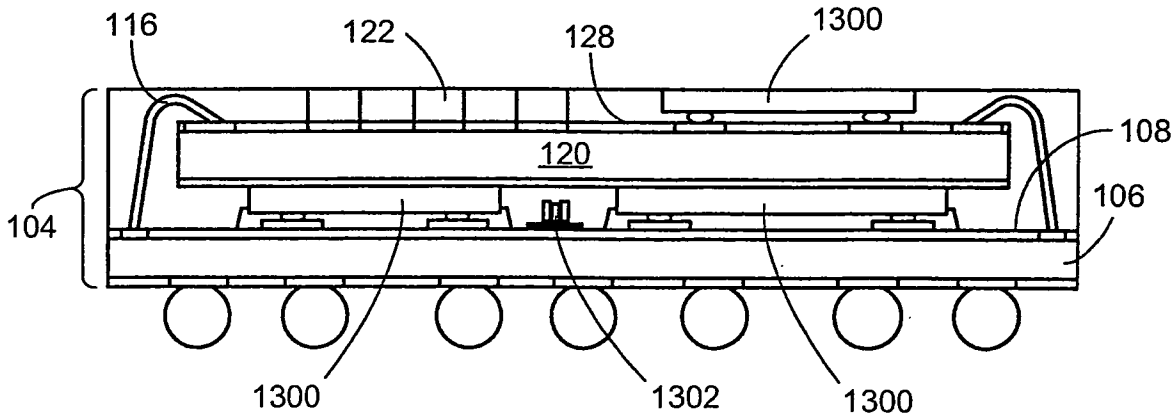
第 10 圖



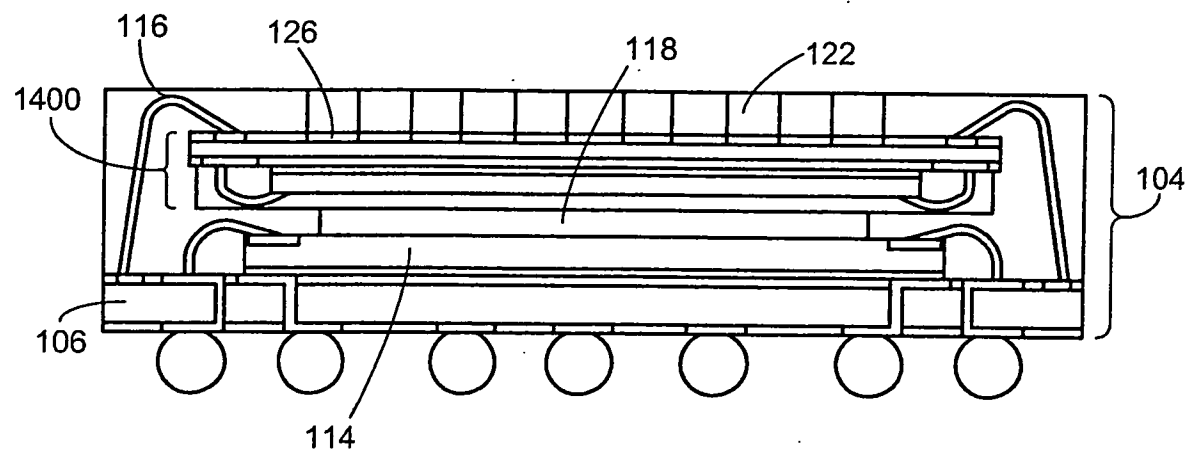
第 11 圖



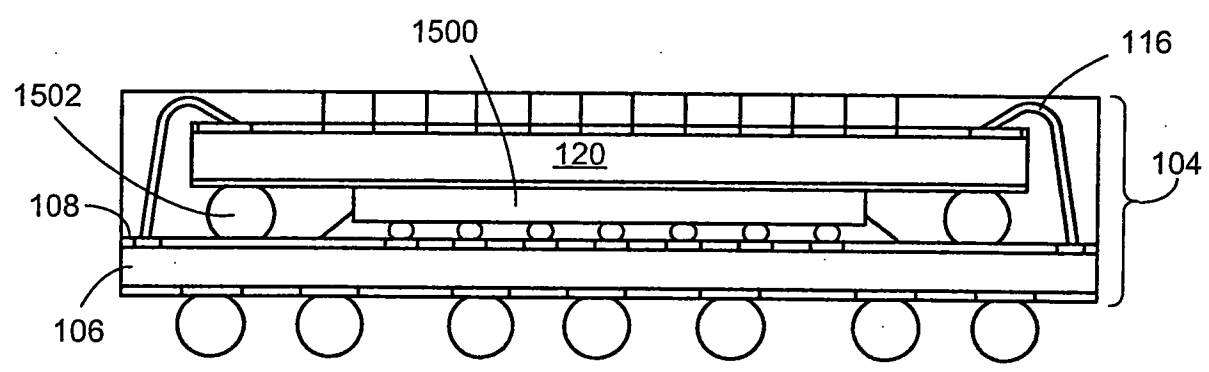
第 12 圖



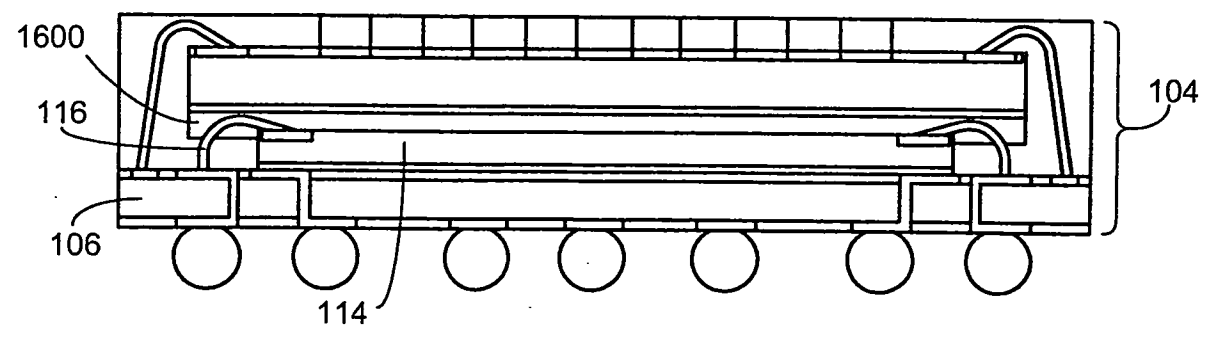
第 13 圖



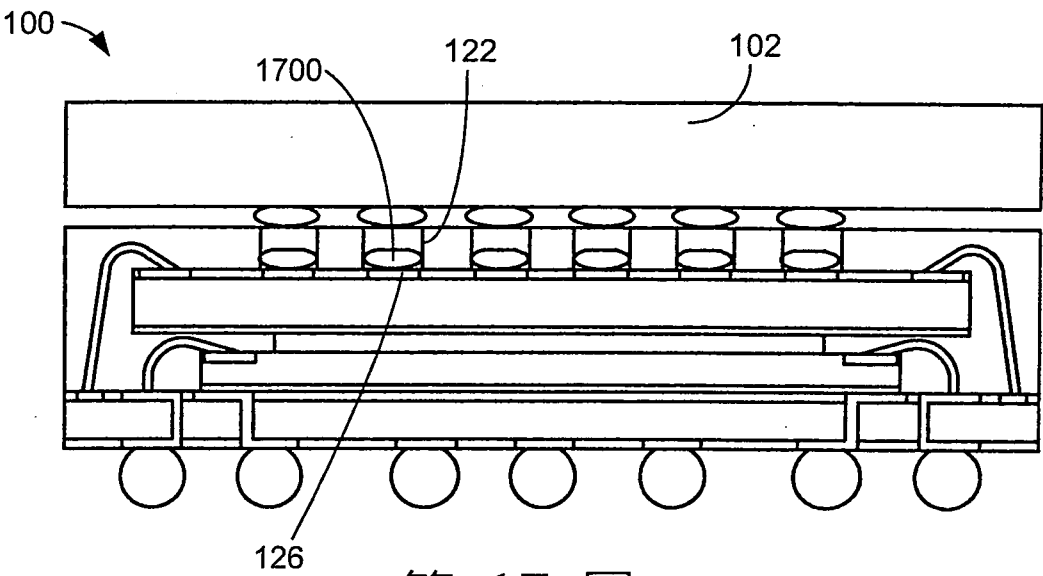
第 14 圖



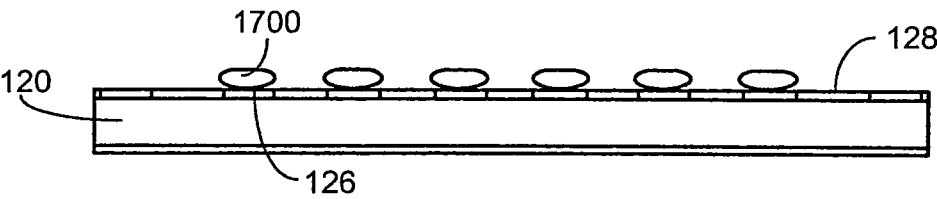
第 15 圖



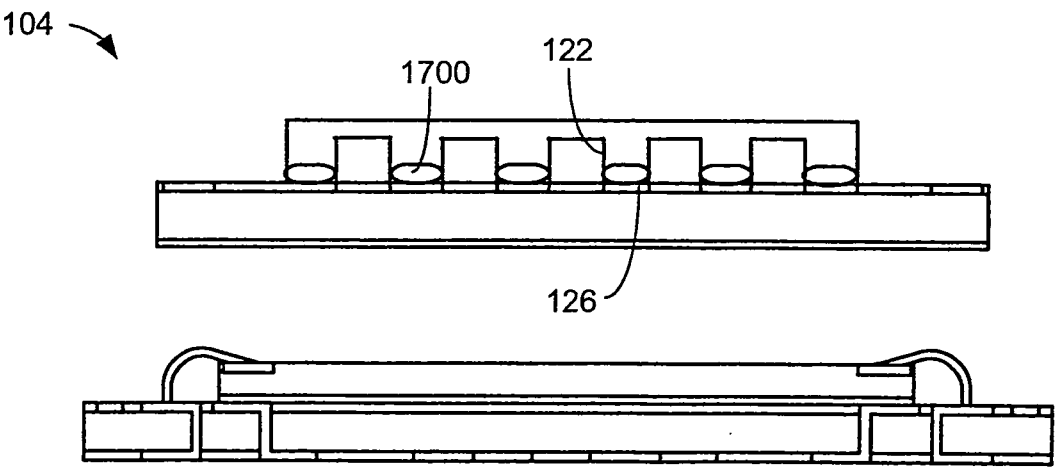
第 16 圖



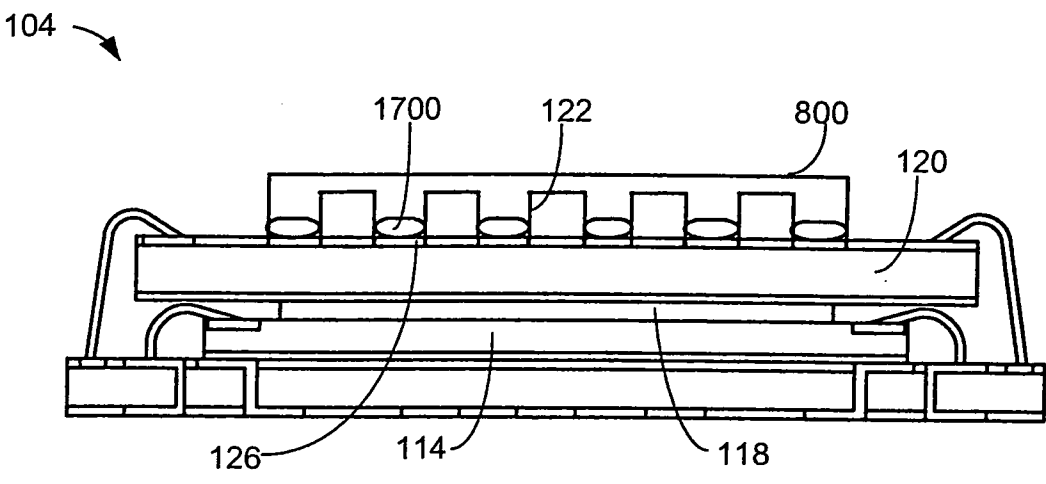
第 17 圖



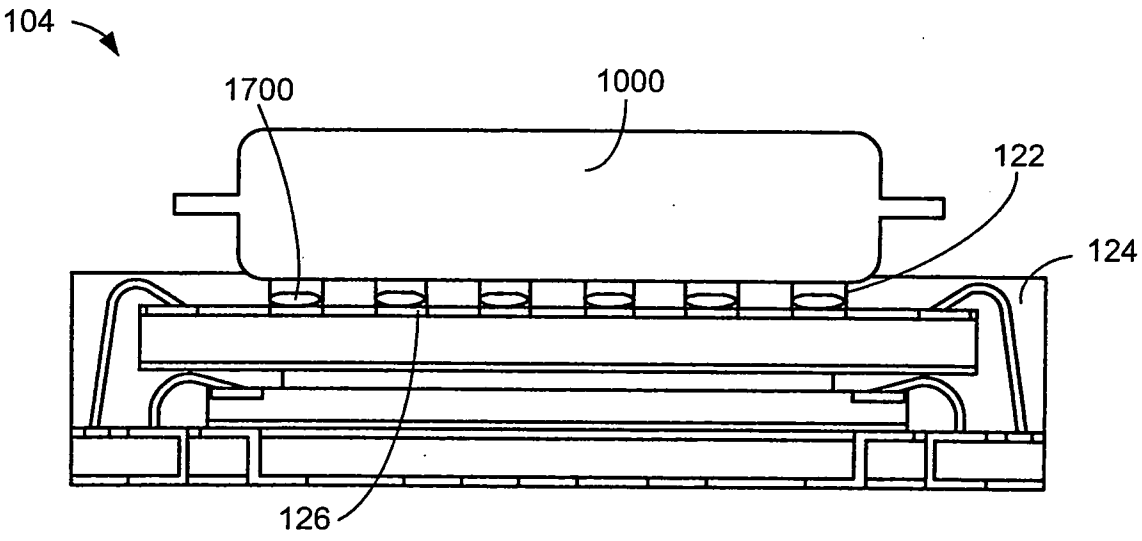
第 18 圖



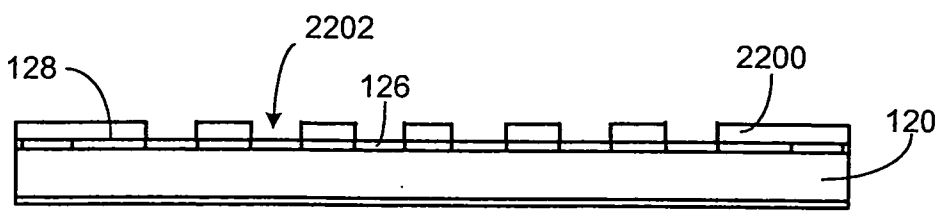
第 19 圖



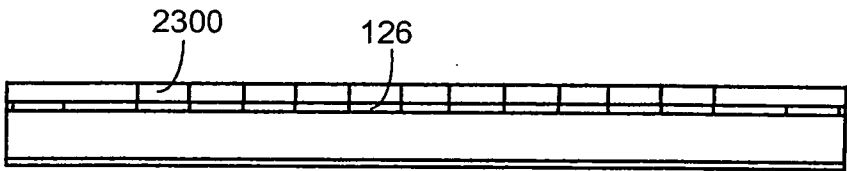
第 20 圖



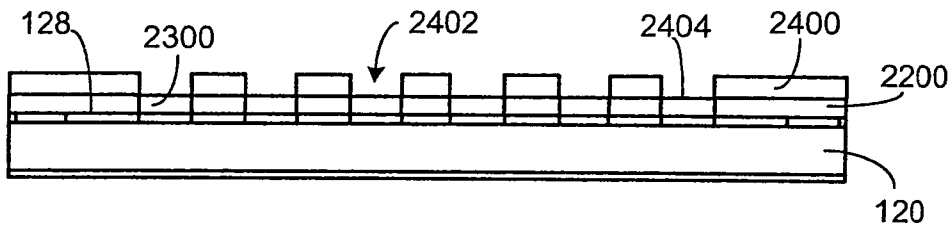
第 21 圖



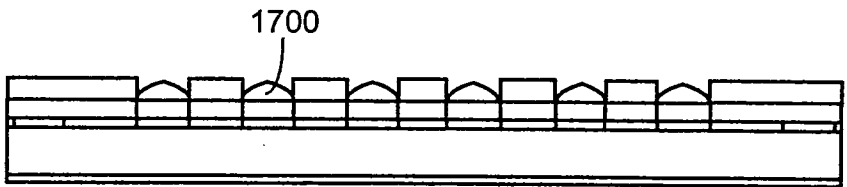
第 22 圖



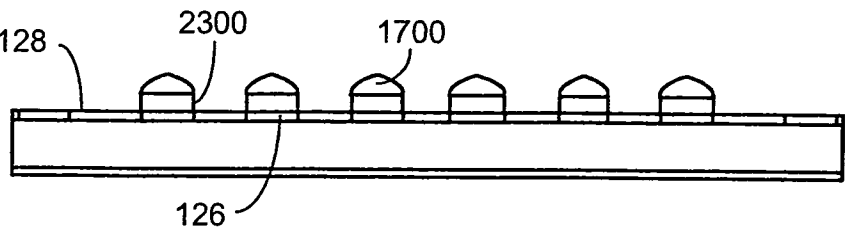
第 23 圖



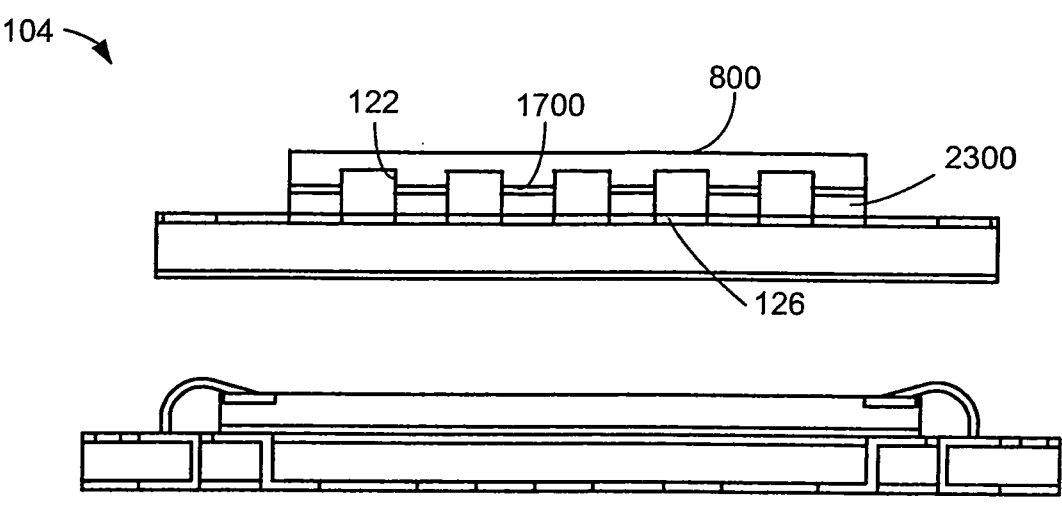
第 24 圖



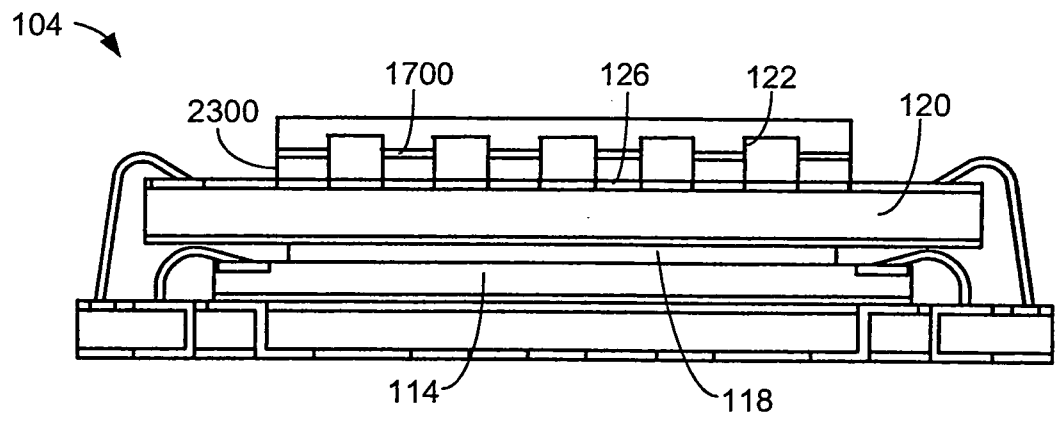
第 25 圖



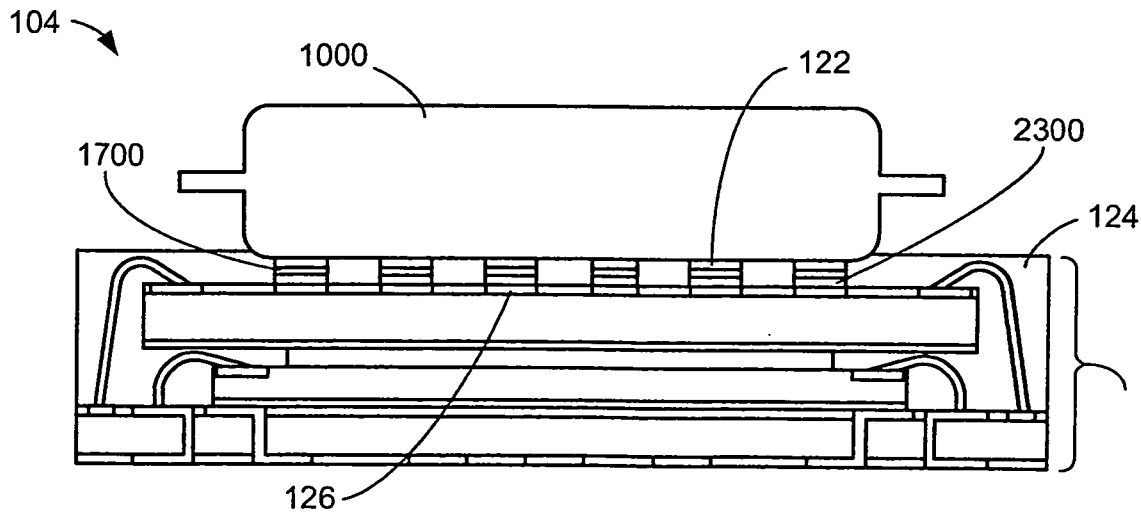
第 26 圖



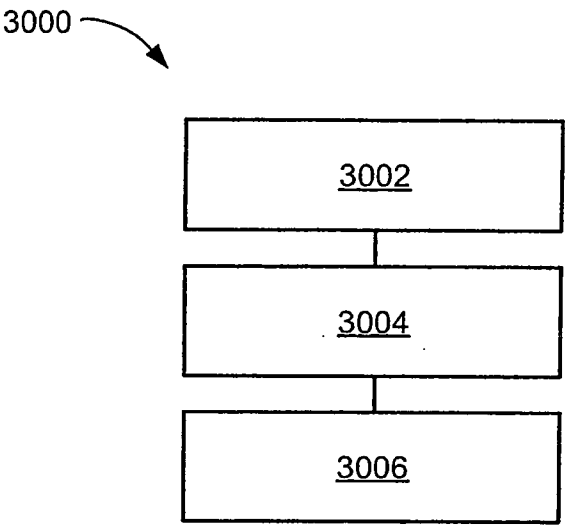
第 27 圖



第 28 圖



第 29 圖



第 30 圖