



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I607515 B

(45)公告日：中華民國 106 (2017) 年 12 月 01 日

(21)申請案號：103107566

(22)申請日：中華民國 103 (2014) 年 03 月 06 日

(51)Int. Cl. : H01L21/60 (2006.01)

H01L23/488 (2006.01)

(30)優先權：2013/03/08 美國

61/774,692

2014/02/28 美國

14/193,267

(71)申請人：史達晶片有限公司 (新加坡) STATS CHIPPAC, LTD. (SG)

新加坡

(72)發明人：林耀劍 LIN, YAOJIAN (SG)；包旭升 BAO, XU SHENG (SG)；陳康 CHEN, KANG (SG)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 2005/0236709A1

US 2006/0261451A1

US 2008/0128916A1

US 2009/0309212A1

審查人員：修宇鋒

申請專利範圍項數：15 項 圖式數：12 共 69 頁

(54)名稱

形成用於扇出嵌入式晶圓級球柵陣列中的電源／接地面的嵌入式導電層的半導體裝置和方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING EMBEDDED CONDUCTIVE LAYER FOR POWER/GROUND PLANES IN FO-EWLB

(57)摘要

一種半導體裝置具有一第一導電層以及一被設置成相鄰於該第一導電層的半導體晶粒。一囊封體被設置在該第一導電層與半導體晶粒上方。一絕緣層被形成在該囊封體、半導體晶粒、以及第一導電層上方。一第二導電層被形成在該絕緣層上方。該第一導電層的一第一部分被電連接至 V_{SS} 並且形成一接地面。該第一導電層的一第二部分被電連接至 V_{DD} 並且形成一電源面。該第一導電層、絕緣層、以及第二導電層構成一去耦電容器。一包含該第二導電層的一線路的微帶線被形成在該絕緣層與第一導電層上方。該第一導電層被提供在一嵌入式仿真晶粒、互連單元、或是模組式 PCB 單元的上方。

A semiconductor device has a first conductive layer and a semiconductor die disposed adjacent to the first conductive layer. An encapsulant is deposited over the first conductive layer and semiconductor die. An insulating layer is formed over the encapsulant, semiconductor die, and first conductive layer. A second conductive layer is formed over the insulating layer. A first portion of the first conductive layer is electrically connected V_{SS} and forms a ground plane. A second portion of the first conductive layer is electrically connected to V_{DD} and forms a power plane. The first conductive layer, insulating layer, and second conductive layer constitute a decoupling capacitor. A microstrip line including a trace of the second conductive layer is formed over the insulating layer and first conductive layer. The first conductive layer is provided on an embedded dummy die, interconnect unit, or modular PCB unit.

指定代表圖：



圖4

200 · · · 扇出嵌入式
晶圓級球柵陣列(Fo-
eWLB)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

形成用於扇出嵌入式晶圓級球柵陣列中的電源/接地面的嵌入式導電層的半導體裝置和方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING EMBEDDED CONDUCTIVE LAYER FOR POWER/GROUND PLANES IN FO-EWLB

【技術領域】

【0001】 本發明大體上和半導體裝置有關，且更明確地說，本發明係關於形成用以在扇出嵌入式晶圓級球柵陣列(Fan-Out Embedded Wafer-Level Ball grid array，Fo-eWLB)中提供電源/接地面的嵌入式導電層的半導體裝置和方法。

優先權之主張

【0002】 本申請案主張 2013 年 3 月 8 日所提申之美國臨時申請案第 61/774,692 號的利益，本文以引用的方式將此申請案併入。

【先前技術】

【0003】 在現代的電子產品中經常發現半導體裝置。半導體裝置會有不同數量與密度的電構件。離散式半導體裝置通常含有某一種類型的電構件，舉例來說，發光二極體(Light Emitting Diode，LED)、小訊號電晶體、電阻器、電容器、電感器、以及功率金屬氧化物半導體場效電晶體(Metal Oxide Semiconductor Field Effect Transistor，MOSFET)。積體式半導體裝置通常含有數百個至數百萬個電構件。積體式半導體裝置的範例包含微控制器、微處

理器、電荷耦合裝置(Charged-Coupled Device，CCD)、太陽能電池、以及數位微鏡裝置(Digital Micro-mirror Device，DMD)。

【0004】 半導體裝置會實施各式各樣的功能，例如，訊號處理、高速計算、傳送與接收電磁訊號、控制電子裝置、將太陽光轉換成電能、以及產生電視顯示器的視覺投影。在娛樂領域、通訊領域、電源轉換領域、網路領域、電腦領域、以及消費性產品領域中皆會發現半導體裝置。在軍事應用、航空、自動車、工業控制器、以及辦公室設備中同樣會發現半導體裝置。

【0005】 半導體裝置會利用半導體材料的電氣特性。半導體材料的結構使得可藉由施加電場或基極電流或是經由摻雜處理來操縱該材料的導電性。摻雜會將雜質引入至半導體材料之中，以便操縱及控制半導體裝置的導電性。

【0006】 半導體裝置含有主動式電氣結構與被動式電氣結構。主動式結構(其包含雙極電晶體與場效電晶體)會控制電流的流動。藉由改變摻雜程度以及施加電場或基極電流，電晶體便會提高或限制電流的流動。被動式結構(其包含電阻器、電容器、以及電感器)會創造用以實施各式各樣電氣功能所需要的電壓和電流之間的關係。該些被動式結構與主動式結構會被電連接以形成讓半導體裝置實施高速計算及其它實用功能的電路。

【0007】 半導體裝置通常會使用兩種複雜的製程來製造，也就是，前端製造以及後端製造，每一者皆可能涉及數百道步驟。前端製造涉及在一半導體晶圓的表面上形成複數個晶粒。每一個半導體晶粒通常相同並且含有藉由電連接主動式構件和被動式構件而形成的電路。後端製造涉及從已

完成的晶圓中單體化裁切個別的晶粒並且封裝該晶粒，用以提供結構性支撐以及環境隔離。本文中所使用的「半導體晶粒(semiconductor die)」一詞兼具單數和複數形式，且據此能夠表示單一半導體裝置以及多個半導體裝置兩者。

【0008】 半導體製造的其中一個目的係生產較小型的半導體裝置。較小型的裝置通常消耗較少的電源，具有較高的效能，並且能夠被更有效地生產。此外，較小型的半導體裝置還具有較小的覆蓋區，這係較小型末端產品所需要的。藉由改良前端製程能夠達成較小的半導體晶粒尺寸，從而導致具有較小尺寸以及較高密度之主動式構件和被動式構件的半導體晶粒。後端製程可以藉由改良電互連材料及封裝材料而導致具有較小覆蓋區的半導體裝置封裝。

【0009】 達成更小、更薄半導體裝置之目的的其中一種方式聚焦在 eWLB 技術。單一重新分配層嵌入式晶圓級球柵陣列封裝(1L eWLB)提供一種小型的薄半導體裝置，其具有高輸入/輸出(Input/Output, I/O)數並且能夠併入具有高繞線密度的半導體晶粒。在 1L eWLB 中，一囊封體會被形成圍繞一半導體晶粒並且單一重新分配層(Redistribution Layer, RDL)會被形成在該囊封體與半導體晶粒上方，用以進行電互連。該 RDL 充當用於在該半導體裝置內進行電互連的中間層，其包含該裝置裡面的半導體晶粒與該裝置外面的連接點之間的電互連。形成單一 RDL 會增加半導體裝置的 I/O 數，同時保持薄的封裝輪廓。然而，在 1L eWLB 中，電源線路、訊號線路、以及接地線路全部被設計在該單一 RDL 裡面，不同於分散在多個 RDL 中。形成該些電源網路、訊號網路、以及接地網路於單一 RDL 中，不需要專屬的

完整層來提供電源面與接地面。沒有專屬的電源與接地面，繞線設計作法會受到限制，因為電源線路以及接地線路必須被繞送跨越整個裝置，用以形成一有效的接地網路與電源分配網路(Power Distribution Network，PDN)。在單一 RDL 裡面形成接地網路與電源網路會消耗 RDL 裡面寶貴的面積資產並且限制可用於訊號線路的空間。此外，沒有專屬的接地面層，裝置內的靜電放電(ElectroStatic Discharge，ESD)保護會降低。最後，因為 1L eWLB 僅有單一導電層，也就是，RDL，所以，微帶線以及去耦電容器無法被形成在該裝置裡面。

【發明內容】

【0010】 本技術領域需要在半導體裝置裡面形成接地面與電源面，但不會增加封裝厚度。據此，於其中一實施例中，本發明係一種製造半導體裝置的方法，該方法包括下面步驟：提供一第一導電層；沉積一半導體晶粒相鄰於該第一導電層；沉積一囊封體在該第一導電層與半導體晶粒上方；以及形成一第二導電層於該第一導電層與半導體晶粒上方。

【0011】 於另一實施例中，本發明係一種製造半導體裝置的方法，其包括下面步驟：提供一第一導電層；沉積一半導體晶粒相鄰於該第一導電層；以及形成一第二導電層於該第一導電層與半導體晶粒上方。

【0012】 於另一實施例中，本發明係一種半導體裝置，其包括：一接地面；以及一被設置成相鄰於該接地面的半導體晶粒。一導電層會被形成在該接地面與半導體晶粒上方。

【0013】 於另一實施例中，本發明係一種半導體裝置，其包括：一第一導電層；以及一被設置成相鄰於該第一導電層的一半導體晶粒。一囊封體

會被沉積在該第一導電層與半導體晶粒上方。

【圖式簡單說明】

【0014】

圖 1 所示的係一印刷電路板(PCB)，在該 PCB 的表面裝設著不同類型的封裝；

圖 2a 至 2d 所示的係具有藉由切割道分離之複數個半導體晶粒的半導體晶圓；

圖 3a 至 3k 所示的係嵌入一導電層相鄰於一半導體晶粒的製程，用以在 Fo-eWLB 中提供接地面與電源面；

圖 4 所示的係一 Fo-eWLB，其包含一嵌入式導電層用以在該 Fo-eWLB 中提供接地面與電源面；

圖 5 所示的係一 Fo-eWLB，其包含一嵌入式導電層與一半導體晶粒，一接地面被形成在該半導體晶粒的一表面上方；

圖 6a 至 6b 所示的係形成一包含一導電層的仿真晶粒的製程；

圖 7a 至 7d 所示的係形成一 Fo-eWLB 的製程，其包含一被形成在一仿真晶粒上方的嵌入式導電層；

圖 8 所示的係一 Fo-eWLB，其包含一被形成在一仿真晶粒上方的嵌入式導電層；

圖 9 所示的係一 Fo-eWLB，其包含一嵌入式 3D 互連單元，用以在該 Fo-eWLB 之中提供接地面與電源面；

圖 10a 至 10c 所示的係形成模組式 PCB 單元的製程；

圖 11a 至 11h 所示的係在 Fo-eWLB 裡面嵌入模組式 PCB 單元的製程，

用以提供垂直互連以及一嵌入式導電層；以及

圖 12 所示的係一 Fo-eWLB，其包含一嵌入式 PCB 單元。

【實施方式】

【0015】 在下面的說明中參考圖式於一或更多個實施例中說明本發明，於該些圖式中，相同的符號代表相同或類似的元件。雖然本文以達成本發明之目的的最佳模式來說明本發明；不過，熟習本技術的人士便會明白，本說明希望涵蓋受到下面揭示內容及圖式支持的隨附申請專利範圍及該些申請專利範圍的均等範圍所定義的本發明的精神與範疇內可以併入的替代例、修正例、以及均等例。

【0016】 半導體裝置通常使用兩種複雜的製程來製造：前端製造和後端製造。前端製造涉及在一半導體晶圓的表面上形成複數個晶粒。該晶圓上的每一個晶粒皆含有主動式電構件和被動式電構件，它們會被電連接而形成功能性電路。主動式電構件(例如電晶體與二極體)能夠控制電流的流動。被動式電構件(例如電容器、電感器、以及電阻器)會創造用以實施電路功能所需要的電壓和電流之間的關係。

【0017】 被動式構件和主動式構件會藉由一連串的製程步驟被形成在該半導體晶圓的表面上方，該些製程步驟包含：摻雜、沉積、光微影術、蝕刻、以及平坦化。摻雜會藉由下面的技術將雜質引入至半導體材料之中，例如：離子植入或是熱擴散。摻雜製程會藉由響應於電場或基極電流來動態改變半導體材料導電性而修正主動式裝置中的半導體材料的導電性。電晶體含有不同類型及不同摻雜程度的多個區域，它們會在必要時被排列成用以在施加電場或基極下讓該電晶體提高或限制電流的流動。

【0018】 主動式構件和被動式構件係由具有不同電氣特性的多層材料構成。該些層能夠藉由各式各樣的沉積技術來形成，其部分取決於要被沉積的材料之類型。舉例來說，薄膜沉積能夠包含：化學氣相沉積(Cheical Vapor Deposition，CVD)製程、物理氣相沉積(Physical Vapor Deposition，PVD)製程、電解質電鍍製程、以及無電極電鍍製程。每一層通常都會被圖案化，以便形成主動式構件、被動式構件、或是構件之間的電連接線的一部分。

【0019】 後端製造係指將已完成的晶圓切割或單體化裁切成個別的晶粒，並且接著封裝該半導體晶粒，以達結構性支撐以及環境隔離的效果。為單體化裁切半導體晶粒，該晶圓會沿著該晶圓中被稱為切割道(saw street)或切割線(scribe)的非功能性區域被刻痕並且折斷。晶圓會利用雷射切割工具或鋸片來進行單體化裁切。經過單體化裁切之後，個別半導體晶粒便會被裝設至包含接針或接觸墊的封裝基板，以便和其它系統構件進行互連。被形成在該半導體晶粒上方的接觸墊接著會被連接至該封裝裡面的接觸墊。該些電連接線能夠利用焊料凸塊、短柱凸塊、導電膏、或是焊線來製成。一囊封體或是其它模製材料會被沉積在該封裝的上方，用以提供物理性支撐和電隔離。接著，已完成的封裝便會被插入一電氣系統之中並且讓其它系統構件可取用該半導體裝置的功能。

【0020】 圖 1 圖解電子裝置 50，其具有一晶片載體基板或是印刷電路板(Printed Circuit Board，PCB)52，在 PCB 52 的表面上裝設著複數個半導體封裝。電子裝置 50 會具有某一種類型的半導體封裝或是多種類型的半導體封裝，端視應用而定。為達解釋的目的，圖 1 中顯示不同類型的半導體封裝。

【0021】 電子裝置 50 能夠係單機型系統，其使用該些半導體封裝來實施一或更多項電功能。或者，電子裝置 50 亦能夠係一較大型系統中的子構件。舉例來說，電子裝置 50 能夠係蜂巢式電話、個人數位助理(Personal Digital Assistant, PDA)、數位錄像機(Digital Video Camera, DVC)、或是其它電子通信裝置的一部分。或者，電子裝置 50 能夠係圖形卡、網路介面卡、或是能夠被插入在電腦之中的其它訊號處理卡。該半導體封裝能夠包含：微處理器、記憶體、特定應用積體電路(Application Specific Integrated Circuits, ASIC)、邏輯電路、類比電路、射頻(Radio Frequency, RF)電路、離散式裝置、或是其它半導體晶粒或電構件。該些產品要被市場接受，微型化以及減輕重量相當重要。半導體裝置之間的距離可以縮短，以達更高密度的目的。

【0022】 在圖 1 中，PCB 52 提供一通用基板，用以達到結構性支撐以及電互連被裝設在該 PCB 上的半導體封裝。多條導體訊號線路 54 會利用下面製程被形成在 PCB 52 的一表面上方或是多層裡面：蒸發製程、電解質電鍍製程、無電極電鍍製程、網印製程、或是其它合宜的金屬沉積製程。訊號線路 54 會在該些半導體封裝、被裝設的構件、以及其它外部系統構件中的每一者之間提供電通訊。線路 54 還提供連接至每一個該些半導體封裝的電源連接線及接地連接線。

【0023】 於某些實施例中，一半導體裝置會有兩個封裝層。第一層封裝係一種用於以機械方式及電氣方式將該半導體晶粒附接至一中間載體的技術。第二層封裝則涉及以機械方式及電氣方式將該中間載體附接至該 PCB。於其它實施例中，一半導體裝置可以僅有該第一層封裝，其中，該晶粒係以機械方式及電氣方式直接被裝設至該 PCB。

【0024】 為達解釋的目的，圖中在 PCB 52 上顯示數種類型的第一層封裝，其包含焊線封裝 56 以及覆晶 58。除此之外，圖中還顯示被裝設在 PCB 52 上的數種類型第二層封裝，其包含：球柵陣列(Ball Grid Array，BGA)60；凸塊晶片載體(Bump Chip Carrier，BCC)62；平台格柵陣列(Land Grid Array，LGA)66；多晶片模組(Multi-Chip Module，MCM)68；方形扁平無導線封裝(Quad Flat Non-leaded package，QFN)70；方形扁平封裝72；嵌入式晶圓級球柵陣列(Embedded Wafer-Level Ball grid array，eWLB)74；以及晶圓級晶片尺寸封裝(Wafer Level Chip Scale Package，WLCSP)76。eWLB 74 係一種扇出晶圓級封裝(Fan-Out Wafer Level Package，Fo-WLP)，而 WLCSP 76 係一種扇入晶圓級封裝(Fan-In Wafer Level Package，Fi-WLP)。端視系統需求而定，被配置成具有第一層封裝樣式和第二層封裝樣式之任何組合的半導體封裝和其它電子構件所組成的任何組合皆能夠被連接至 PCB 52。於某些實施例中，電子裝置 50 包含單一附接半導體封裝；而其它實施例則會需要多個互連的封裝。藉由在單一基板上方組合一或更多個半導體封裝，製造商便能夠將事先製造的構件併入電子裝置和系統之中。因為該些半導體封裝包含精密的功能，所以，電子裝置能夠使用較便宜的構件及有效率的製程來製造。所產生的裝置比較不可能失效而且製造價格較低廉，從而降低消費者的成本。

【0025】 圖 2a 所示的係半導體晶圓 120，其具有基礎基板材料 122(例如，矽、鍺、砷化鎵、磷化銮、或是碳化矽)，用以達到結構性支撐的目的。複數個半導體晶粒或構件 124 會被形成在晶圓 120 上，藉由如上面所述之沒有作用的晶粒間晶圓區域或切割道 126 而被分離。切割道 126 提供削切區，

以便將半導體晶圓 120 單體化裁切成個別的半導體晶粒 124。於其中一實施例中，半導體晶圓 120 的寬度或直徑為 200 至 300 毫米(mm)。於另一實施例中，半導體晶圓 120 的寬度或直徑為 100 至 450 毫米(mm)。

【0026】 圖 2b 所示的係半導體晶圓 120 的一部分的剖視圖。每一個半導體晶粒 124 皆具有一背表面或非主動表面 128 以及含有類比電路或數位電路的主動表面 130，該些類比電路或數位電路會被施行為根據該晶粒的電氣設計與功能被形成在該晶粒裡面及電互連的主動式裝置、被動式裝置、導電層、以及介電層。舉例來說，該電路可以包含被形成在主動表面 130 裡面的一或更多個電晶體、二極體、以及其它電路元件，用以施行類比電路或數位電路，例如，數位訊號處理器(Digital Signal Processor, DSP)、ASIC、記憶體、或是其它訊號處理電路。半導體晶粒 124 可以還含有用於 RF 訊號處理的積體式被動裝置(Integrated Passive Device, IPD)，例如，電感器、電容器、以及電阻器。於其中一實施例中，半導體晶粒 124 為覆晶型半導體晶粒。

【0027】 一導電層 132 會使用 PVD、CVD、電解質電鍍、無電極電鍍製程、或是其它合宜的金屬沉積製程被形成在主動表面 130 的上方。導電層 132 能夠為下面所製成的一或更多層：鋁(Al)、銅(Cu)、錫(Sn)、鎳(Ni)、金(Au)、銀(Ag)、或是其它合宜的導電材料。導電層 132 的操作如同被電連接至主動表面 130 上之電路的接觸墊。導電層 132 會被形成為多個接觸墊，它們以並排的方式被設置在和半導體晶粒 124 的邊緣相隔第一距離處，如圖 2b 中所示。或者，導電層 132 會被形成為偏移在多列之中的多個接觸墊，俾使得第一列接觸墊被設置在和該晶粒的邊緣相隔第一距離處，而與該第

一列交錯的第二列接觸墊則被設置在和該晶粒的邊緣相隔第二距離處。

【0028】 半導體晶圓 120 會進行電氣測試與檢查，作為品質控制過程的一部分。手動視覺檢查及自動光學系統會被用來在半導體晶圓 120 上實施檢查。軟體會被使用在半導體晶圓 120 的自動光學分析中。視覺檢查方法可以運用諸如掃描電子顯微鏡、高強度光或紫外光、或是冶金顯微鏡的設備。半導體晶圓 120 的結構性特徵會被檢查，其包含：翹曲、厚度變異、表面微粒、不規則性、裂痕、脫層、以及變色。

【0029】 半導體晶粒 124 裡面的主動式構件和被動式構件會在晶圓級進行電氣效能與電路功能的測試。每一個半導體晶粒 124 係利用一探針 136 或是其它測試裝置來測試功能與電氣參數，如圖 2c 中所示。測試探針頭 136 包含複數個探針 138，探針 138 係被用來電接觸每一個半導體晶粒 124 上的節點或接觸墊 132 並且提供電氣刺激給該些接觸墊。半導體晶粒 124 會回應該些電氣刺激，該回應會被電腦測試系統 140 測量並且和預期的回應作比較，以便測試該半導體晶粒的功能。該些電氣測試可以包含電路功能、導線完整性、電阻率、連續性、可靠度、接面深度、ESD、RF 效能、驅動電流、臨界電流、漏電流、以及該構件類型特有的操作參數。半導體晶圓 120 的檢查與電氣測試可讓通過測試而被指定為已知良品晶粒(Known Good Die, KGD)的半導體晶粒 124 可用於半導體封裝中。

【0030】 在圖 2d 中，半導體晶圓 120 會利用鋸片或雷射削切工具 142 貫穿切割道 126 被單體化裁切成個別的半導體晶粒 124。個別的半導體晶粒 124 會被檢查與電氣測試，以便找出單體化裁切後的 KGD。

【0031】 圖 3a 至 3k 配合圖 1 圖解嵌入一導電層相鄰於一半導體晶粒

的製程，用以在 Fo-eWLB 中提供接地面與電源面。圖 3a 所示的係一含有犧牲基礎材料(例如，矽、聚合物、氧化鈹、玻璃、或是用於達到結構性支撐之目的的其它合宜低成本剛性材料)的載體或暫時性基板 160 的一部分的剖視圖。於其中一實施例中，載體 160 係一載體膠帶。一介面層或雙面膠帶 162 會被形成在載體 160 的上方，當作暫時性膠黏焊膜、蝕刻阻止層、或是熱脫模層。

【0032】 載體 160 會係一圓形或矩形平板(大於 300mm)，含有多個半導體晶粒 204。載體 160 的表面積可以大於半導體晶圓 120 的表面積。較大的載體會降低半導體封裝的製造成本，因為較多半導體晶粒能夠在較大的載體上被處理，因而降低單位成本。半導體封裝和處理設備係針對被處理的晶圓或載體的大小來進行設計與配置。

【0033】 為進一步降低製造成本，載體 160 的大小係以和半導體晶粒 124 的大小無關或是和半導體晶圓 120 的大小無關的方式被選擇。也就是，載體 160 具有固定或標準化大小，其能夠容納從一或更多個半導體晶圓 120 處單體化裁切下來之各種大小的半導體晶粒 124。於其中一實施例中，載體 160 為直徑 330mm 的圓形。於另一實施例中，載體 160 為寬度 560mm 且長度為 600mm 的矩形。半導體晶粒 124 可以有 10mm 乘 10mm 的面積，其係被放置在標準化載體 160 上。或者，半導體晶粒 124 可以有 20mm 乘 20mm 的面積，其係被放置在相同的標準化載體 160 上。據此，標準化載體 160 能夠應付任何大小的半導體晶粒 124，其允許後續的半導體處理設備以一共同載體為基準被標準化，也就是，和晶粒大小或外來晶圓大小無關。半導體封裝設備能夠利用一組共同的處理工具、設備、以及材料清單針對一標

準載體來進行設計與配置，以便處理來自任何外來晶圓大小的任何半導體晶粒大小。該共同或標準化載體 160 因減少或消弭以晶粒大小或外來晶圓大小為基礎之特殊半導體處理線的需求而降低製造成本和資本風險。藉由選擇用於來自所有半導體晶圓之任何大小半導體晶粒的預設載體大小，一種彈性的製造線便能夠被施行。

【0034】 在圖 3b 中，一導電層 164 會被形成在載體 160 與介面層 162 的上方。導電層 164 含有 Al、Cu、Sn、Ni、Au、Ag、Ti、W、或是其它合宜的導電材料。導電層 164 被形成在載體 160 與介面層 162 上成為一層疊的薄板或是一膠帶。導電層 164 會包含一經圖案化的導線框架、經圖案化的 Cu 箔、具有經圖案化 Cu 的有樹脂塗佈(RCC)的膠帶、或是具有經圖案化 Cu 的膠片。或者，導電層 164 會使用 PVD、CVD、電解質電鍍、無電極電鍍製程、或是其它合宜的金屬沉積製程被形成在載體 160 與介面層 162 上方。

【0035】 在圖 3c 中，舉例來說，圖 2d 中的半導體晶粒 124 會利用拾放操作被裝設至載體 160 和介面層 162，主動表面 130 配向成朝向載體 160。導電層 164 被設置在半導體晶粒 124 的一周圍區域中。或者，導電層 164 能夠在半導體晶粒 124 被裝設至載體 160 和介面層 162 之後被形成。圖 3d 顯示半導體晶粒 124 與導電層 164 被裝設至載體 160 成為重組或重新配置的晶圓 166。

【0036】 圖 3e 所示的係被裝設至介面層 162 與載體 160 的半導體晶粒 124 與導電層 164 的平面圖。導電層 164 包含三個部分 164a、164b、以及 164c。164a 至 164c 部分被設置成相鄰於半導體晶粒 124 的三個側表面。或者，導電層 164 可以包含被設置成相鄰於半導體晶粒 124 之兩個側表面的兩

個部分、被設置成圍繞半導體晶粒 124 之四個側表面的四個部分、或是被設置成相鄰於半導體晶粒 124 之其中一個側表面的兩個部分。任何數量及/或配置的導電層 164 皆可以被設置成相鄰於半導體晶粒 124，端視半導體封裝的繞線設計以及功能而定。

【0037】 在圖 3f 中，一囊封體或模製化合物 168 會利用焊膏印刷(paste printing)塗敷機、壓縮模製(compressive molding)塗敷機、轉印模製(transfer molding)塗敷機、液體囊封體模製塗敷機、真空層疊塗敷機、旋塗塗敷機、或是其它合宜的塗敷機被沉積在半導體晶粒 124、導電層 164a 至 164c、以及載體 160 的上方。囊封體 168 能夠為高分子合成材料，例如，具有填充劑的環氧樹脂、具有填充劑的環氧丙烯酸酯、或是具有適當填充劑的聚合物。囊封體 168 係非導體並且會為該半導體裝置提供環境保護，避免受到外部元素與污染物的破壞。囊封體 168 還保護半導體晶粒 124，避免因曝露於光中而受損。於其中一實施例中，一部分的囊封體 168 會在後續的背面研磨步驟中從囊封體 168 的表面 170 處被移除。該背面研磨操作會平坦化囊封體 168 的該表面並且縮減重組晶圓 166 的總厚度。和表面 170 反向的囊封體 168 的表面 172 被設置在載體 160 和介面層 162 的上方，俾使得囊封體 168 的表面 172 實質上和半導體晶粒 124 的主動表面 130 共面。

【0038】 在圖 3g 中，載體 160 和介面層 162 會藉由化學蝕刻、機械性剝除、化學機械性平坦化(Chemical Mechanical Planarization, CMP)、機械性研磨、熱烘烤、UV 光、雷射掃描、或是濕式脫除被移除。移除載體 160 與介面層 162 會露出囊封體 168 的表面 172、半導體晶粒 124 的主動表面 130、以及導電層 164a 至 164c。

【0039】 在圖 3h 中，一絕緣層或鈍化層 180 會利用下面方法被形成在囊封體 168 的表面 172、半導體晶粒 124 的主動表面 130、以及導電層 164a 至 164c 的上方：PVD、CVD、印刷、層疊、旋塗、噴塗、燒結、或是熱氧化。絕緣層 180 含有由下面所製成的一或更多層：二氧化矽(SiO_2)、氮化矽(Si_3N_4)、氮氧化矽(SiON)、五氧化二鉭(Ta_2O_5)、三氧化二鋁(Al_2O_3)、或是具有類似絕緣特性及結構特性的其它材料。一部分的絕緣層 180 會藉由雷射直接燒蝕(Laser Direction Ablation, LDA)、蝕刻、或是其它合宜的製程被移除，用以露出導電層 132 以及導電層 164a 至 164c 的一部分。

【0040】 在圖 3i 中，一導電層或 RDL 182 會使用諸如濺鍍、電解質電鍍、或是無電極電鍍的圖案化和金屬沉積製程被形成在絕緣層 180 的上方。導電層 182 能夠為由下面所製成的一或更多層：Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料。一部分的導電層 182 會被電連接至導電層 132。其它部分的導電層 182 則相依於半導體晶粒 124 的設計與功能而共電或是被電隔離。導電層 182 會電連接半導體晶粒 124 至嵌入式導電層 164a 至 164c。導電層 182 在該半導體封裝內提供訊號繞送以及電源連接與接地連接。

【0041】 在圖 3j 中，一絕緣層或鈍化層 184 會利用下面方法被形成在絕緣層 180 以及導電層 182 的上方：PVD、CVD、印刷、層疊、旋塗、噴塗、燒結、或是熱氧化。絕緣層 184 含有由下面所製成的一或更多層： SiO_2 、 Si_3N_4 、 SiON 、 Ta_2O_5 、 Al_2O_3 、或是具有類似絕緣特性及結構特性的其它材料。一部分的絕緣層 184 會藉由 LDA、蝕刻、或是其它合宜的製程被移除，用以露出導電層 182。

【0042】 在圖 3k 中，一導電凸塊材料會利用蒸發製程、電解質電鍍製程、無電極電鍍製程、丸滴製程、或是網印製程被沉積在導電層 182 的上方。該凸塊材料能夠為 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、以及它們的組合，其會有一非必要的助熔溶液。舉例來說，該凸塊材料能夠為 Sn/Pb 共熔合金、高鉛焊料、或是無鉛焊料。該凸塊材料會利用合宜的附著或焊接製程被焊接至導電層 182。於其中一實施例中，該凸塊材料會藉由將該材料加熱至該材料的熔點以上而被回焊，用以形成球體或凸塊 186。於某些應用中，凸塊 186 會被二次回焊，以便改良和導電層 182 的電接觸效果。於其中一實施例中，凸塊 186 會被形成在一凸塊下層金屬(Under Bump Metallization, UBM)層的上方。凸塊 186 亦能夠被壓縮焊接或熱壓縮焊接至導電層 182。凸塊 186 代表能夠被形成在導電層 182 上方的其中一種類型互連結構。該互連結構亦能夠使用焊線、導電膏、短柱凸塊、微凸塊、或是其它電互連線。

【0043】 導電層 164a 至 164c 會經由導電層 182 被電連接至凸塊 186，以便連接至一外部的正電壓終端(V_{DD})或負正電壓終端(V_{SS})。導電層 164a 會被連接至 V_{DD} 或被連接至 V_{SS} 。導電層 164b 會被連接至 V_{DD} 或被連接至 V_{SS} 。導電層 164c 會被連接至 V_{DD} 或被連接至 V_{SS} 。於其中一實施例中，導電層 164a 會被連接至 V_{DD} ，導電層 164b 會被連接至 V_{SS} ，以及導電層 164c 會被連接至 V_{SS} 。 V_{DD} 會被連接至導電層 164a、導電層 164b、及/或導電層 164c。 V_{SS} 會被連接至導電層 164a、導電層 164b、及/或導電層 164c。

【0044】 被連接至 V_{SS} 的導電層部分 164a 至 164c 會形成一接地面。被連接至 V_{DD} 的導電層部分 164a 至 164c 會形成一電源面。由導電層 164a 至

164c 所提供的接地面被設置在絕緣層 180 底下並且和導電層 182 的訊號線路電隔離。導電層 182 的電源線路被形成在半導體晶粒 124 以及由導電層 164a 至 164c 所提供的電源面之間。該些電源線路藉由連接至該電源面的任何部分而供應電源給半導體晶粒 124。該電源面(也就是,導電層 164a 至 164c)的位置以及該些電源線路的位置經過選擇以最小化線路長度。

【0045】 重組晶圓 166 會利用鋸片或雷射削切工具 188 貫穿囊封體 168 被單體化裁切成個別的 Fo-eWLB 200。圖 4 所示的係在單體化裁切之後的 Fo-eWLB 200。半導體晶粒 124 經由導電層 182 被電連接至凸塊 186，用以連接至外部裝置，舉例來說，PCB。導電層 164a 至 164c 被嵌入在半導體晶粒 124 的一周圍區域中的囊封體 168 之中。導電層 164a 至 164c 經由導電層 182 被電連接至凸塊 186，以便連接至一外部 V_{DD} 或 V_{SS} 。嵌入式導電層 164a 至 164c 會形成相鄰於半導體晶粒 124 的接地面與電源面。嵌入式導電層 164a 至 164c 提供接地面與電源面，而不需要在導電層 182 上方形成額外的 RDL。形成較少的 RDL 會提高封裝可靠度並且縮減 Fo-eWLB 200 的總厚度。

【0046】 形成一電源面相鄰於半導體晶粒 124 會提高繞線設計的靈活性。電源線路能夠被連接至該電源面的任何部分，而導電層 164a 至 164c 能夠被設置在需要 V_{DD} 連接的任何地方。提高繞線設計靈活性允許有最短的可能線路長度。縮減線路長度會創造更有效的 PDN 並且提高 Fo-eWLB 200 的速度與功能。

【0047】 由導電層 164a 至 164c 所提供的接地面係被設置在絕緣層 180 底下並且和導電層 182 的訊號線路電隔離。將絕緣層 180 以及導電層 182

的訊號線路設置在該接地面上方有助於跨越 Fo-eWLB 200 形成微帶線。微帶線傳遞微波頻率訊號並且允許微波構件(舉例來說，天線、耦合器、濾波器、功率分割器、…等)被併入在 Fo-eWLB 200 之中。形成一接地面也會提高 Fo-eWLB 200 內的 ESD 保護效果。

【0048】 嵌入式導電層 164a 至 164c 在 Fo-eWLB 200 內提供一額外的導電層。該額外導電層被用來形成一去耦電容器。該去耦電容器係藉由在絕緣層 180 上方的導電層 182 以及一部分的導電層 164a 至 164c 中設計一電源網路而被形成。於其中一實施例中，該電源網路(也就是，供應電源給半導體晶粒 124 的導電層 182 的線路)被設計成用以延伸在導電層 164c 上方，俾使得該電源網路、絕緣層 180、以及導電層 164c 形成該去耦電容器。將一去耦電容器併入在 Fo-eWLB 200 之中會降低電壓波動並且提高 Fo-eWLB 200 的電氣效能。

【0049】 導電層 164a 至 164c 被形成在載體 160 上成為一層疊的薄板或是一膠帶。在載體 160 上形成導電層 164a 至 164c 比形成額外的 RDL 更快速、更廉價、而且風險更低，形成額外的 RDL 需要複雜、受控性極高、昂貴、以及耗時的製造步驟。藉由形成導電層 164a 至 164c 相鄰於半導體晶粒 124 來提供電源面與接地面以及一額外的導電層會縮短製造時間、提高生產量、並且降低 Fo-eWLB 200 的總成本。嵌入式導電層 164a 至 164c 會提高 Fo-eWLB 200 的電氣效能與功能，而不會提高封裝厚度。

【0050】 圖 5 所示的係一類似於圖 4 中之 Fo-eWLB 200 的 Fo-eWLB 220。Fo-eWLB 220 包含一從類似於晶圓 120 的晶圓處所單體化裁切下來的半導體晶粒 224。半導體晶粒 224 具有一背表面或非主動表面 228 以及含有

類比電路或數位電路的主動表面 230，該些類比電路或數位電路會被施行為根據該晶粒的電氣設計與功能被形成在該晶粒裡面及電互連的主動式裝置、被動式裝置、導電層、以及介電層。舉例來說，該電路可以包含被形成在主動表面 230 裡面的一或更多個電晶體、二極體、以及其它電路元件，用以施行類比電路或數位電路，例如，DSP、ASIC、記憶體、或是其它訊號處理電路。半導體晶粒 224 可以還含有用於 RF 訊號處理的 IPD，例如，電感器、電容器、以及電阻器。

【0051】 一導電層 232 會使用 PVD、CVD、電解質電鍍、無電極電鍍製程、或是其它合宜的金屬沉積製程被形成在主動表面 230 的上方。導電層 232 能夠為下面所製成的一或更多層：Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料。導電層 232 的操作如同被電連接至主動表面 230 上之電路的接觸墊。導電層 232 會被形成為多個接觸墊，它們以並排的方式被設置在和半導體晶粒 224 的邊緣相隔第一距離處。或者，導電層 232 會被形成為偏移在多列之中的多個接觸墊，俾使得第一列接觸墊被設置在和該晶粒的邊緣相隔第一距離處，而與該第一列交錯的第二列接觸墊則被設置在和該晶粒的邊緣相隔第二距離處。

【0052】 一絕緣層或鈍化層 234 會利用下面方法被形成在半導體晶粒 224 的上方：PVD、CVD、印刷、層疊、旋塗、噴塗、燒結、或是熱氧化。絕緣層 234 含有由下面所製成的一或更多層：SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、或是具有類似絕緣特性及結構特性的其它材料。一部分的絕緣層 234 會藉由 LDA、蝕刻、或是其它合宜的製程被移除，用以露出導電層 232。

【0053】 一導電層 236 會使用 PVD、CVD、電解質電鍍、無電極電鍍

製程、或是其它合宜的金屬沉積製程被形成在絕緣層 234 的上方。導電層 236 能夠為下面所製成的一或更多層：Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料。導電層 236 會在晶圓級，也就是，在進行單體化裁切之前，被形成在半導體晶粒 224 的上方。導電層 236 會經由導電層 182 以及凸塊 186 被電連接至一外部 V_{ss} 。導電層 236 會在 Fo-eWLB 200 中形成一額外的接地面。

【0054】 圖 6a 至 6b 所示的係形成一包含一導電層的仿真晶粒的製程。圖 6a 所示的係半導體晶圓 240 的一部分的剖視圖，其具有基礎基板材料 242(例如，矽、鍺、砷化鎵、磷化銦、或是碳化矽)，用以達到結構性支撐的目的。複數個仿真晶粒 250 被形成在晶圓 240 上。仿真晶粒 250 藉由沒有作用的晶粒間晶圓區域或切割道 248 而被分離。切割道 248 提供削切區，以便將半導體晶圓 240 單體化裁切成個別的仿真晶粒 250。於其中一實施例中，半導體晶圓 240 的寬度或直徑為 200 至 300mm。於另一實施例中，半導體晶圓 240 的寬度或直徑為 100 至 450mm。

【0055】 每一個仿真晶粒 250 皆具有反向的表面 244 與 246。一導電層 252 會使用 PVD、CVD、電解質電鍍、無電極電鍍製程、或是其它合宜的金屬沉積製程被形成在表面 244 的上方。導電層 252 能夠為下面所製成的一或更多層：Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料。於其中一實施例中，導電層 252 為被電鍍的 Cu。

【0056】 在圖 6b 中，半導體晶圓 240 會利用鋸片或雷射切割工具 254 貫穿切割道 248 被單體化裁切成包含導電層 252 的個別仿真晶粒 250。仿真晶粒 250 能夠被單體化裁切成任何大小或形狀，端視併入仿真晶粒 250 的半

導體封裝的繞線設計與功能而定。

【0057】 圖 7a 至 7d 配合圖 1 顯示形成一 Fo-eWLB 的製程，其包含一被形成在一仿真晶粒上方的嵌入式導電層。圖 7a 所示的係一含有犧牲基礎材料(例如，矽、聚合物、氧化鈹、玻璃、或是用於達到結構性支撐之目的的其它合宜低成本剛性材料)的載體或暫時性基板 260(類似於圖 3a 中的載體 160)的一部分的剖視圖。於其中一實施例中，載體 260 係一載體膠帶。一介面層或雙面膠帶 262 會被形成在載體 260 的上方，當作暫時性膠黏焊膜、蝕刻阻止層、或是熱脫模層。

【0058】 圖 2d 中的半導體晶粒 124 以及圖 6b 中的仿真晶粒 250a 至 250c 會利用拾放操作被裝設至介面層 262 與載體 260，半導體晶粒 124 的主動表面 130 以及仿真晶粒 250a 至 250c 的導電層 252a 至 252c 配向成朝向載體 260。於其中一實施例中，一接地面層(類似於圖 5 中的導電層 236)會被形成在半導體晶粒 124 的表面 130 上方。

【0059】 圖 7b 顯示半導體晶粒 124 和仿真晶粒 250a 至 250c 被設置在載體 260 上方成為重組或重新配置的晶圓 266。仿真晶粒 250a 至 250c 被設置成圍繞半導體晶粒 124 的側表面，類似於圖 3e 中的導電層 164a、164b、以及 164c。或者，仿真晶粒 250a 至 250c 可以被設置成相鄰於半導體晶粒 124 的其中一個側表面、相鄰於半導體晶粒 124 的兩個側表面、或是圍繞半導體晶粒 124 的所有側表面。任何數量及/或配置的仿真晶粒 250 皆可以被設置成相鄰於半導體晶粒 124，端視半導體封裝的繞線設計以及功能而定。

【0060】 一囊封體或模製化合物 268 會利用焊膏印刷塗敷機、壓縮模製塗敷機、轉印模製塗敷機、液體囊封體模製塗敷機、真空層疊塗敷機、

旋塗塗敷機、或是其它合宜的塗敷機被沉積在半導體晶粒 124、仿真晶粒 250a 至 250c、以及載體 260 的上方。囊封體 268 能夠為高分子合成材料，例如，具有填充劑的環氧樹脂、具有填充劑的環氧丙烯酸酯、或是具有適當填充劑的聚合物。囊封體 268 係非導體並且會為該半導體裝置提供環境保護，避免受到外部元素與污染物的破壞。囊封體 268 還保護半導體晶粒 124，避免因曝露於光中而受損。於其中一實施例中，一部分的囊封體 268 會在後續的背面研磨步驟中從囊封體 268 的表面 270 處被移除。該背面研磨操作會平坦化囊封體 268 的該表面並且縮減重組晶圓 266 的總厚度。和表面 270 反向的囊封體 268 的表面 272 被設置在載體 260 和介面層 262 的上方，俾使得囊封體 268 的表面 272 實質上和半導體晶粒 124 的主動表面 130 以及仿真晶粒 250 的導電層 252 共面。

【0061】 在圖 7c 中，載體 160 與介面層 262 會藉由化學蝕刻、機械性剝除、CMP、機械性研磨、熱烘烤、UV 光、雷射掃描、或是濕式脫除被移除。移除載體 260 與介面層 262 會露出囊封體 268 的表面 272、半導體晶粒 124 的主動表面 130、以及仿真晶粒 250a 至 250c 的導電層 252a 至 252c。

【0062】 一絕緣層或鈍化層 280 會利用下面方法被形成在囊封體 268 的表面 272、半導體晶粒 124 的主動表面 130、以及仿真晶粒 250a 至 250c 的導電層 252a 至 252c 的上方：PVD、CVD、印刷、層疊、旋塗、噴塗、燒結、或是熱氧化。絕緣層 280 含有由下面所製成的一或更多層： SiO_2 、 Si_3N_4 、 SiON 、 Ta_2O_5 、 Al_2O_3 、或是具有類似絕緣特性及結構特性的其它材料。一部分的絕緣層 280 會藉由 LDA、蝕刻、或是其它合宜的製程被移除，用以露出導電層 132 以及導電層 252a 至 252c。

【0063】 一導電層或 RDL 282 會使用諸如濺鍍、電解質電鍍、或是無電極電鍍的圖案化和金屬沉積製程被形成在絕緣層 280 的上方。導電層 282 能夠為由下面所製成的一或更多層：Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料。一部分的導電層 282 會被電連接至導電層 132。其它部分的導電層 282 則相依於半導體晶粒 124 的設計與功能而共電或是被電隔離。導電層 282 會電連接半導體晶粒 124 至導電層 252a 至 252c。導電層 282 在該半導體封裝內提供訊號繞送以及電源連接與接地連接。

【0064】 一絕緣層或鈍化層 284 會利用下面方法被形成在絕緣層 280 以及導電層 282 的上方：PVD、CVD、印刷、層疊、旋塗、噴塗、燒結、或是熱氧化。絕緣層 284 含有由下面所製成的一或更多層：SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、或是具有類似絕緣特性及結構特性的其它材料。一部分的絕緣層 284 會藉由 LDA、蝕刻、或是其它合宜的製程被移除，用以露出導電層 282。

【0065】 在圖 7d 中，一導電凸塊材料會利用蒸發製程、電解質電鍍製程、無電極電鍍製程、丸滴製程、或是網印製程被沉積在導電層 282 的上方。該凸塊材料能夠為 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、以及它們的組合，其會有一非必要的助熔溶液。舉例來說，該凸塊材料能夠為 Sn/Pb 共熔合金、高鉛焊料、或是無鉛焊料。該凸塊材料會利用合宜的附著或焊接製程被焊接至導電層 282。於其中一實施例中，該凸塊材料會藉由將該材料加熱至該材料的熔點以上而被回焊，用以形成球體或凸塊 286。於某些應用中，凸塊 286 會被二次回焊，以便改良和導電層 282 的電接觸效果。於其中一實施例中，凸塊 286 會被形成在一 UBM 層的上方。凸塊 286 亦能

夠被壓縮焊接或熱壓縮焊接至導電層 282。凸塊 286 代表能夠被形成在導電層 282 上方的其中一種類型互連結構。該互連結構亦能夠使用焊線、導電膏、短柱凸塊、微凸塊、或是其它電互連線。

【0066】 導電層 252a 至 252c 會經由導電層 282 被電連接至凸塊 286，以便連接至一外部的 V_{DD} 或 V_{SS} 。導電層 264a 會被連接至 V_{DD} 或被連接至 V_{SS} 。導電層 252c 會被連接至 V_{DD} 或被連接至 V_{SS} 。於其中一實施例中，導電層 252a 會被連接至 V_{DD} ，以及導電層 252c 會被連接至 V_{SS} 。 V_{DD} 會被連接至導電層 252a 及/或導電層 252c。 V_{SS} 會被連接至導電層 252a 及/或導電層 252c。

【0067】 被連接至 V_{SS} 的導電層 252a 至 252c 會形成一接地面。被連接至 V_{DD} 的導電層 252a 至 252c 會形成一電源面。由導電層 252a 至 252c 所提供的接地面被設置在絕緣層 280 底下並且和導電層 282 的訊號線路電隔離。導電層 282 的電源線路被形成在半導體晶粒 124 以及由導電層 252a 至 252c 所提供的電源面之間。該些電源線路藉由連接至該電源面的任何部分而供應電源給半導體晶粒 124。該電源面(也就是，被連接至 V_{DD} 的導電層 252a 至 252c)的位置以及該些電源線路的位置經過選擇以最小化線路長度。

【0068】 重組晶圓 266 會利用鋸片或雷射削切工具 288 貫穿囊封體 268 被單體化裁切成個別的 Fo-eWLB 300。圖 8 所示的係在單體化裁切之後的 Fo-eWLB 300。半導體晶粒 124 經由導電層 282 被電連接至凸塊 286，用以連接至外部裝置，舉例來說，PCB。仿真晶粒 250a 至 250c 被嵌入在半導體晶粒 124 的一周圍區域中的囊封體 268 之中。導電層 252a 至 252c 經由導電層 282 被電連接至凸塊 286，以便連接至一外部 V_{SS} 或 V_{DD} 。導電層 252a 至 252c 會形成相鄰於半導體晶粒 124 的接地面與電源面。嵌入式仿真晶粒

250a 至 250c 以及導電層 252a 至 252c 提供接地面與電源面，而不需要在導電層 282 上方形成額外的 RDL。形成較少的 RDL 會提高封裝可靠度並且縮減 Fo-eWLB 300 的總厚度。

【0069】 藉由設置一仿真晶粒相鄰於半導體晶粒 124 來形成一電源面會提高繞線設計的靈活性。仿真晶粒 250a 至 250c 能夠被設置在需要電源連接的任何地方並且電源線路能夠被連接至導電層 252a 至 252c 的任何部分。提高繞線設計靈活性允許有最短的可能線路長度。縮減線路長度會創造更有效的 PDN 並且提高 Fo-eWLB 300 的速度與功能。

【0070】 由導電層 252a 至 252c 所提供的接地面係被設置在絕緣層 280 底下並且和導電層 282 的訊號線路電隔離。將絕緣層 280 以及導電層 282 的訊號線路設置在該接地面上方有助於跨越 Fo-eWLB 300 形成微帶線。微帶線傳遞微波頻率訊號並且允許微波構件(舉例來說，天線、耦合器、濾波器、功率分割器、…等)被併入在 Fo-eWLB 300 之中。形成一接地面也會提高 Fo-eWLB 300 內的 ESD 保護效果。

【0071】 嵌入式導電層 250a 至 250c 在 Fo-eWLB 300 內提供一額外的導電層。該額外導電層被用來形成一去耦電容器。該去耦電容器係藉由在絕緣層 280 上方的導電層 282 以及一部分的導電層 252a 至 252c 中設計一電源網路而被形成。於其中一實施例中，該電源網路(也就是，供應電源給半導體晶粒 124 的導電層 282 的線路)被設計成用以延伸在導電層 252c 上方，俾使得該電源網路、絕緣層 280、以及導電層 252c 形成該去耦電容器。將一去耦電容器併入在 Fo-eWLB 300 之中會降低電壓波動並且提高 Fo-eWLB 300 的電氣效能。

【0072】 導電層 252a 至 252c 在晶圓級，也就是，在進行晶圓 240 的單體化裁切之前，被形成在仿真晶粒 250a 至 250c 的上方。導電層 252a 至 252c 能夠被形成以及仿真晶粒 250a 至 250c 能夠被單體化裁切成任何形狀或大小，端視半導體晶粒 124 以及 Fo-eWLB 300 的設計與繞線需求而定。仿真晶粒 250a 至 250c 利用一種拾放方法被裝設至載體 260。利用導電層 252a 至 252c 裝設仿真晶粒 250a 至 250c 至載體 260 比形成額外的 RDL 更快速、更廉價、而且風險更低，形成額外的 RDL 需要複雜、受控性極高、昂貴、以及耗時的製造步驟。藉由嵌入仿真晶粒 250a 至 250c 來提供一額外的導電層以及接地面與電源面會縮短製造時間、提高生產量、並且降低 Fo-eWLB 300 的總成本。嵌入式仿真晶粒 250a 至 250c 會提高 Fo-eWLB 300 的電氣效能與功能，而不會提高封裝厚度。

【0073】 圖 9 所示的係一 Fo-eWLB 310，其包含半導體晶粒 124 以及嵌入式三維(3D)互連單元或是中介片 312。互連單元 312 包含絕緣層 314、318、322 以及導電層 316、320、324。於其中一實施例中，互連單元 312 含有由膠片、FR-4、FR-1、CEM-1、或是 CEM-3 所組成的一或更多個層疊層，其會結合酚性棉紙、環氧樹脂、樹脂、織狀玻璃、毛玻璃、聚酯、以及其它強化纖維或織物。互連單元 312 亦能夠為一包含一主動表面的多層撓性層疊板、陶瓷、銅箔、玻璃、或是半導體晶圓，該主動表面含有一或更多個電晶體、二極體、以及其它電路元件，用以施行類比電路或數位電路。

【0074】 互連單元 312 的絕緣層 314、318、以及 322 係使用 PVD、CVD、印刷、層疊、旋塗、噴塗、燒結、或是熱氧化而形成。絕緣層 314、318、以及 322 含有由下面所製成的一或更多層： SiO_2 、 Si_3N_4 、 SiON 、 Ta_2O_5 、

Al₂O₃、或是具有類似絕緣特性及結構特性的其它材料。互連單元 312 的導電層 316、320、以及 324 係使用諸如濺鍍、電解質電鍍、以及無電極電鍍的圖案化和金屬沉積製程而形成。導電層 316、320、以及 324 能夠為由下面所製成的一或更多層：Al、Cu、Sn、Ni、Au、Ag、Ti、W、或是其它合宜的導電材料。導電層 316、320、以及 324 包含橫向 RDL 以及垂直導電穿孔並且經由 Fo-eWLB 310 提供電互連。導電層 316 的 316a 部分以及導電層 324 的 324a 部分會經由導電層 320 的 320a 部分被電連接。導電層 316 的 316b 部分以及導電層 324 的 324b 部分會經由導電層 320 的 320b 部分被電連接。其中一個部分 316a 會被電連接至一外部的 V_{ss}並且在 Fo-eWLB 310 中形成一接地面層。另一個部分 316a 會被電連接至一外部的 V_{DD}並且在 Fo-eWLB 310 中形成一電源面層。導電層 316、320、以及 324 的其它部分可以相依於 Fo-eWLB 310 的繞線設計與功能而共電或是被電隔離。

【0075】 互連單元 312 被設置成圍繞半導體晶粒 124 的三個側表面，類似於圖 3e 中的導電層 164a、164b、以及 164c。或者，互連單元 312 可以被設置成相鄰於半導體晶粒 124 的其中一個側表面、相鄰於半導體晶粒 124 的兩個側表面、或是圍繞半導體晶粒 124 的所有四個側表面。任何數量及/或配置的互連單元 312 皆可以被設置成相鄰於半導體晶粒 124，端視 Fo-eWLB 310 的繞線設計以及功能而定。於其中一實施例中，一接地面層(類似於圖 5 中的導電層 236)為被形成在半導體晶粒 124 的表面 130 上方。

【0076】 一囊封體或模製化合物 328 會利用焊膏印刷塗敷機、壓縮模製塗敷機、轉印模製塗敷機、液體囊封體模製塗敷機、真空層疊塗敷機、旋塗塗敷機、或是其它合宜的塗敷機被沉積在半導體晶粒 124 以及互連單

元 312 的上方。囊封體 328 能夠為高分子合成材料，例如，具有填充劑的環氧樹脂、具有填充劑的環氧丙烯酸酯、或是具有適當填充劑的聚合物。囊封體 328 係非導體並且會為該半導體裝置提供環境保護，避免受到外部元素與污染物的破壞。囊封體 328 還保護半導體晶粒 124，避免因曝露於光中而受損。於其中一實施例中，一部分的囊封體 328 會在後續的背面研磨步驟中從囊封體 328 的表面 330 處被移除。該背面研磨操作會平坦化囊封體 328 的該表面並且縮減 Fo-eWLB 310 的總厚度。和表面 330 反向的囊封體 328 的表面 332 實質上和半導體晶粒 124 的主動表面 130 共面。

【0077】 複數個開口 333 被形成在囊封體 328 的表面 330 中。開口 333 係藉由 LDA、蝕刻、或是其它合宜的製程而形成。開口 333 會露出導電層 324 的一部分，充當接觸墊並且促成 Fo-eWLB 310 與被堆疊在 Fo-eWLB 310 上方的半導體晶粒或構件之間的電互連。開口 333a 露出接地墊以及電源墊。接地墊為導電層 324 中被耦合至導電層 316 之接地面部分 316a 的部分。電源墊為導電層 324 中被耦合至導電層 316 之電源面部分 316a 的部分。開口 333b 露出訊號墊。訊號墊為導電層 324 中促成 Fo-eWLB 310 與被設置在 Fo-eWLB 310 上方的半導體晶粒或構件之間的訊號繞送與通訊的部分。

【0078】 一絕緣層或鈍化層 334 會利用下面方法被形成在囊封體 328 的表面 332、半導體晶粒 124 的主動表面 130、以及互連單元 312 的絕緣層 314 與導電層 316 的上方：PVD、CVD、印刷、層疊、旋塗、噴塗、燒結、或是熱氧化。絕緣層 334 含有由下面所製成的一或更多層：SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、或是具有類似絕緣特性及結構特性的其它材料。一部分的絕緣層 334 會藉由 LDA、蝕刻、或是其它合宜的製程被移除，用以

露出導電層 132 以及導電層 316。

【0079】 一導電層或 RDL 336 會使用諸如濺鍍、電解質電鍍、或是無電極電鍍的圖案化和金屬沉積製程被形成在絕緣層 334 的上方。導電層 336 能夠為由下面所製成的一或更多層：Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料。一部分的導電層 336 會被電連接至導電層 132。一部分的導電層 336 會被電連接至互連單元 312 的 316a 部分。一部分的導電層 336 會被電連接至導電層 316 的 316b 部分。其它部分的導電層 336 則相依於半導體晶粒 124 的設計與功能而共電或是被電隔離。導電層 336 會在 Fo-eWLB 310 內提供訊號繞送以及電源連接與接地連接。

【0080】 一絕緣層或鈍化層 338 會利用下面方法被形成在絕緣層 334 以及導電層 336 的上方：PVD、CVD、印刷、層疊、旋塗、噴塗、燒結、或是熱氧化。絕緣層 338 含有由下面所製成的一或更多層：SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、或是具有類似絕緣特性及結構特性的其它材料。一部分的絕緣層 338 會藉由 LDA、蝕刻、或是其它合宜的製程被移除，用以露出導電層 336。

【0081】 一導電凸塊材料會利用蒸發製程、電解質電鍍製程、無電極電鍍製程、丸滴製程、或是網印製程被沉積在導電層 336 的上方。該凸塊材料能夠為 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、以及它們的組合，其會有一非必要的助熔溶液。舉例來說，該凸塊材料能夠為 Sn/Pb 共熔合金、高鉛焊料、或是無鉛焊料。該凸塊材料會利用合宜的附著或焊接製程被焊接至導電層 336。於其中一實施例中，該凸塊材料會藉由將該材料加熱至該材料的熔點以上而被回焊，用以形成球體或凸塊 340。於某些應用中，

凸塊 340 會被二次回焊，以便改良和導電層 336 的電接觸效果。於其中一實施例中，凸塊 340 會被形成在一 UBM 層的上方。凸塊 340 亦能夠被壓縮焊接或熱壓縮焊接至導電層 336。凸塊 340 代表能夠被形成在導電層 336 上方的其中一種類型互連結構。該互連結構亦能夠使用焊線、導電膏、短柱凸塊、微凸塊、或是其它電互連線。

【0082】 互連單元 312 的導電層 316a 會經由導電層 336 被電連接至凸塊 340，以便連接至一外部 V_{ss} 或 V_{DD} 。每一個導電層 316a 會被連接至 V_{ss} 或被連接至 V_{DD} 。 V_{ss} 可被連接至任何導電層 316a。 V_{DD} 可被連接至任何導電層 316a。被連接至 V_{ss} 的導電層 316a 會在 Fo-eWLB 310 中形成一接地面。被連接至 V_{DD} 的導電層 316a 會在 Fo-eWLB 310 中形成一電源面。接地面 316a 與電源面 316a 電隔離。

【0083】 由互連單元 312 所提供的接地面被設置在絕緣層 334 底下並且和導電層 336 的訊號線路電隔離。導電層 336 的電源線路被形成在半導體晶粒 124 以及由導電層 316a 所提供的電源面之間。該些電源線路會被形成在半導體晶粒 124 以及該電源面(也就是，被連接至 V_{DD} 的任何導電層 316a)的任何部分之間。互連單元 312 的位置、該電源面的位置、以及該些電源線路的位置經過選擇以最小化線路長度。

【0084】 半導體晶粒 124 經由導電層 336 被電連接至凸塊 340，用以連接至外部裝置，舉例來說，PCB。互連單元 312 被嵌入在半導體晶粒 124 的一周圍區域中的囊封體 328 之中。互連單元 312 被電連接至導電層 336 並且提供訊號連接、電源連接、以及接地連接通往被設置在 Fo-eWLB 310 上方的半導體晶粒或構件。導電層 316a 經由導電層 336 被電連接至凸塊 340，

以便連接至一外部 V_{ss} 或 V_{DD} 。導電層 316a 會相鄰於半導體晶粒 124 形成接地面與電源面。嵌入式互連單元 312 提供接地面與電源面，而不需要在導電層 336 上方形成額外的 RDL。形成較少的 RDL 會提高封裝可靠度並且縮減 Fo-eWLB 310 的總厚度。

【0085】 藉由設置互連單元 312 相鄰於半導體晶粒 124 來形成一電源面會提高繞線設計的靈活性。互連單元 312 能夠被設置在需要電源面的任何地方並且導電層 336 的電源線路能夠連接至電源面(也就是，被連接至 V_{DD} 的任何導電層 316) 的任何部分。提高繞線設計靈活性允許有最短的可能線路長度。縮減線路長度會創造更有效的 PDN 並且提高 Fo-eWLB 310 的速度與功能。

【0086】 由導電層 316a 所提供的接地面係被設置在絕緣層 334 底下並且和導電層 336 的訊號線路電隔離。將絕緣層 334 以及導電層 336 的訊號線路設置在該接地面上方有助於跨越 Fo-eWLB 310 形成微帶線。微帶線傳遞微波頻率訊號並且允許微波構件(舉例來說，天線、耦合器、濾波器、功率分割器、...等)被併入在 Fo-eWLB 310 之中。形成一接地面也會提高 Fo-eWLB 310 內的 ESD 保護效果。

【0087】 嵌入式導電層 312 在 Fo-eWLB 310 內提供一額外的導電層。該額外導電層被用來形成一去耦電容器。該去耦電容器係藉由在絕緣層 334 上方的導電層 336 以及一部分的導電層 316a 中設計一電源網路而被形成。於其中一實施例中，該電源網路(也就是，供應電源給半導體晶粒 124 的導電層 336 的一部分)被設計成用以延伸在一接地面部分 316a 上方，俾使得該電源面、絕緣層 334、以及接地面 316a 形成該去耦電容器。將一去耦電容

器併入在 Fo-eWLB 310 之中會降低電壓波動並且提高 Fo-eWLB 310 的電氣效能。

【0088】 互連單元 312 促成 Fo-eWLB 310 與被設置在 Fo-eWLB 310 上方的半導體晶粒或構件之間的電通訊與訊號繞送。開口 333b 露出導電層 324 的訊號墊部分 324b。324b 部分被電連接至導電層 320 的 320b 部分以及導電層 316 的 316b 部分。324b、320b、以及 316b 部分被設計成用以在導電層 336 與被設置在 Fo-eWLB 310 上方的半導體晶粒或構件之間繞送訊號。互連單元 312 還為被電耦合至 Fo-eWLB 310 的半導體晶粒或構件提供接地面連接與電源面連接。

【0089】 互連單元 312 為事先形成的單元，其能夠利用拾放方法被裝設至一載體，類似於圖 7a 中的載體 260。互連單元 312 在沉積囊封體 328 之前被設置在該載體的上方並且相鄰於半導體晶粒 124。嵌入事先形成的互連單元 312 比形成額外的 RDL 更快速、更廉價、而且風險更低，形成額外的 RDL 需要複雜、受控性極高、昂貴、以及耗時的製造步驟。藉由嵌入互連單元 312 來提供一額外的導電層會縮短製造時間、提高生產量、並且降低 Fo-eWLB 310 的總成本。嵌入式互連單元 312 會提高 Fo-eWLB 310 的電氣效能與功能，而不會提高封裝厚度。

【0090】 圖 10a 至 10c 所示的係形成模組式 PCB 單元的製程。圖 10a 所示的係一核心基板 350 的一部分的剖視圖。核心基板 350 包含由聚四氟乙烯膠片、FR-4、FR-1、CEM-1、或是 CEM-3 所組成的一或更多個層疊層，其會結合酚性棉紙、環氧樹脂、樹脂、織狀玻璃、毛玻璃、聚酯、以及其它強化纖維或織物。或者，核心基板 350 包含一或更多個絕緣層或鈍化層。

核心基板 350 有反向的表面 352 與 354。

【0091】 複數個直通穿孔會利用雷射鑽鑿、機械鑽鑿、深反應離子蝕刻(Deep Reactive Ion Etching, DRIE)、或是其它合宜的製程被形成貫穿核心基板 350。該些直通穿孔會從表面 352 至表面 354 完全延伸貫穿核心基板 350。該些直通穿孔會利用 PVD、CVD、電解質電鍍製程、無電極電鍍製程、或是其它合宜的金屬沉積製程被 Al、Cu、Sn、Ni、Au、Ag、Ti、W、或是其它合宜的導電材料填充，用以形成 Z 方向垂直互連結構或導電穿孔 356。或者，一導電層會利用 PVD、CVD、電解質電鍍製程、無電極電鍍製程、或是其它合宜的金屬沉積製程被形成在該些直通穿孔的側壁上方，而且該些直通穿孔的一中央部分會被一導電的填充材料(舉例來說，Cu 膏)或是一絕緣的填充材料(舉例來說，聚合物塞材)填充。

【0092】 一導電層 358 會利用 PVD、CVD、電解質電鍍製程、無電極電鍍製程、或是其它合宜的金屬沉積製程被形成在核心基板 350 的表面 352 以及垂直互連結構 356 上方。導電層 358 包含由下面所製成的一或更多層：Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料。導電層 358 的 358a 部分的操作如同接觸墊並且被電連接至垂直互連結構 356。導電層 358 還包含 358b 部分。358a 部分與 358b 部分可以相依於半導體封裝的繞線設計與功能而共電或是被電隔離。

【0093】 一絕緣層或鈍化層 360 會利用下面方法被形成在核心基板 350 的表面 352 以及導電層 358a 至 358b 的上方：PVD、CVD、印刷、旋塗、噴塗、狹縫式塗佈(slit coating)、滾塗、層疊、燒結、或是熱氧化。絕緣層 360 包含由下面所製成的一或更多層：SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、

或是具有類似絕緣特性與結構特性的其它材料。於其中一實施例中，絕緣層 360 爲一焊接遮罩。一部分的絕緣層 360 會藉由 LDA、蝕刻、或是其它合宜的製程被移除，用以形成開口 366。開口 366 會露出導電層 358。開口 366a 會露出導電層 358 的 358a 部分。開口 366b 會露出導電層 358 的 358b 部分。

【0094】 一導電層 362 會利用 PVD、CVD、電解質電鍍製程、無電極電鍍製程、或是其它合宜的金屬沉積製程被形成在核心基板 350 的表面 354 上方。導電層 362 包含由下面所製成的一或更多層：Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料。導電層 362 的一部分的操作如同被電連接至垂直互連結構 356 的接觸墊。導電層 362 的其它部分會相依於半導體封裝的設計與功能而共電或是被電隔離。或者，垂直互連結構 356 係在形成導電層 358 及/或導電層 362 之後被形成貫穿核心基板 350。

【0095】 一絕緣層或鈍化層 364 會利用下面方法被形成在核心基板 350 的表面 354 以及導電層 362 的上方：PVD、CVD、印刷、旋塗、噴塗、狹縫式塗佈、滾塗、層疊、燒結、或是熱氧化。絕緣層 364 包含由下面所製成的一或更多層：SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、或是具有類似絕緣特性與結構特性的其它材料。於其中一實施例中，絕緣層 364 爲一焊接遮罩。一部分的絕緣層 364 會藉由 LDA、蝕刻、或是其它合宜的製程被移除，用以形成開口 367 並且露出導電層 362。

【0096】 具有垂直互連結構 356 以及導電層 358 與 362 的核心基板 350 會構成一或更多個 PCB 單元。圖 10b 所示的係被組織在 PCB 單元或條狀體 368 與 370 之中的核心基板 350 的平面圖。PCB 單元 368 與 370 含有多列垂

直互連結構 356 延伸在該 PCB 單元的反向表面之間。PCB 單元 368 與 370 被配置成用以整合成堆疊式或封裝上封裝(Package-on-Package, PoP)半導體裝置。PCB 單元 368 與 370 會促成堆疊式半導體裝置之間的電互連。PCB 單元 368 與 370 的大小能夠相依於最終裝置配置而不同。圖 10b 中所示的 PCB 單元 368 與 370 雖然包含方形或矩形覆蓋區；替代地，PCB 單元 368 與 370 亦能夠包含十字形(+)、有角度的形狀或「L 形狀」、圓形、橢圓形、六角形、八角形、星形、或是任何幾何形狀的覆蓋區。圖 10c 所示的係利用鋸片或雷射削切工具 372 被單體化裁切成個別 PCB 單元 368 與 370 的核心基板 350。

【0097】 圖 11a 至 11h 配合圖 1 顯示一種形成包含一嵌入式 PCB 單元的 Fo-eWLB 的製程。圖 11a 所示的係一含有犧牲基礎材料(例如，矽、聚合物、氧化鈹、玻璃、或是用於達到結構性支撐之目的的其它合宜低成本剛性材料)載體或暫時性基板 380 的一部分的剖視圖。於其中一實施例中，載體 380 係一載體膠帶。一介面層或雙面膠帶 382 會被形成在載體 380 的上方，當作暫時性膠黏焊膜、蝕刻阻止層、或是熱脫模層。

【0098】 圖 10c 中的 PCB 單元 368 與 370 會利用拾放操作被裝設至介面層 382 與載體 380，導電層 358a 至 358b 配向成朝向載體 380。於其中一實施例中，導電層 358 及/或導電層 362 包含電隔離的仿真部分。該些仿真部分有助於 PCB 單元 368 與 370 的對齊，並且縮短總拾放時間。該些仿真部分還會提高絕緣層 360 與 364 的平坦化。經提高的平坦化會改良載體 380 與介面層 382 上的 PCB 單元 368 與 370 的黏著性。該些仿真部分會防止該些 PCB 單元在載體 380 上移動或飛馳。PCB 單元 368 與 370 可以被按壓至

介面層 382 之中，俾使得絕緣層 360 被設置在該介面層之中。

【0099】 圖 2d 中的半導體晶粒 124 會利用拾放操作被裝設至介面層 382 與載體 380，主動表面 130 配向成朝向該載體。PCB 單元 368 與 370 被設置在半導體晶粒 124 的一周圍區域中。或者，PCB 單元 368 與 370 會在裝設半導體晶粒 124 之後被設置在載體 380 上方。圖 11b 顯示半導體晶粒 124 以及 PCB 單元 368 與 370 被設置在載體 380 上成為重組或重新配置的晶圓 384。於其中一實施例中，一接地面層(類似於圖 5 中的導電層 236)被形成在半導體晶粒 124 的表面 130 上方。

【0100】 圖 11c 所示的係重組晶圓 384 的一部分的平面圖。PCB 單元 368 與 370 以及半導體晶粒 124 被裝設在介面層 382 上方。PCB 單元 368 與 370 以交互鎖扣的圖案被設置成圍繞半導體晶粒 124。開口 367 露出多列的接觸墊 362。接觸墊 362 被電連接至垂直互連結構 356。垂直互連結構 356 在 PCB 單元 368 與 370 的反向表面 352 與 354 之間提供電互連。複數條切割道會以半導體晶粒 124 為基準而對齊。切割道 386 延伸跨越 PCB 單元 368 與 370。當重組晶圓 384 沿著切割道 386 被單體化裁切時，每一個半導體晶粒 124 會有複數個垂直互連結構 356 以及複數個導電層 358b 被設置成圍繞半導體晶粒 124 或是被設置在半導體晶粒 124 的一周圍區域中。圖中所示的 PCB 單元 368 與 370 雖然有交互鎖扣的方形與矩形覆蓋區；但是，被設置成圍繞半導體晶粒 124 的該些 PCB 單元亦能夠有十字形(+)、有角度的形狀或「L 形狀」、圓形或橢圓形、六角形、八角形、星形、或是任何幾何形狀的覆蓋區。或者，PCB 單元 368 及/或 PCB 單元 370 可以被設置成相鄰於半導體晶粒 124 的其中一個、兩個、或是三個側表面。於其中一實施例中，該

PCB 單元為單一單元或薄板，而半導體晶粒 124 被設置在貫穿或擊穿該 PCB 單元的開口中。任何數量及/或配置的 PCB 單元皆可以被設置成相鄰於半導體晶粒 124，端視半導體封裝的繞線設計以及功能而定。

【0101】 在圖 11d 中，一囊封體或模製化合物 388 會利用焊膏印刷塗敷機、壓縮模製塗敷機、轉印模製塗敷機、液體囊封體模製塗敷機、真空層疊塗敷機、旋塗塗敷機、或是其它合宜的塗敷機被沉積在半導體晶粒 124、PCB 單元 368 與 370、以及載體 380 的上方。囊封體 388 能夠為高分子合成材料，例如，具有填充劑的環氧樹脂、具有填充劑的環氧丙烯酸酯、或是具有適當填充劑的聚合物。囊封體 388 係非導體並且會為該半導體裝置提供環境保護，避免受到外部元素與污染物的破壞。囊封體 388 還保護半導體晶粒 124，避免因曝露於光中而受損。囊封體 388 有反向的表面 390 與 392。囊封體 388 的表面 392 實質上和半導體晶粒 124 的主動表面 130 共面。

【0102】 在圖 11e 中，一部分的囊封體 388 會利用研磨機 394 在背面研磨操作中從表面 390 處被移除。該背面研磨操作會從半導體晶粒 124 的表面 128 上方移除囊封體 388 並且縮減重組晶圓 384 的厚度。囊封體 388 會殘留在 PCB 單元 368 與 370 上方。囊封體 388 的表面 396 和半導體晶粒 124 的表面 128 共面。於其中一實施例中，一部分的半導體晶粒 124 會在該背面研磨操作期間從背表面 128 處被移除，用以進一步薄化重組晶圓 384。

【0103】 在圖 11f 中，複數個開口 398 被形成在囊封體 388 的表面 396 中。開口 398 包含一垂直或傾斜的側壁並且從囊封體 388 的表面 396 處延伸至垂直互連單元 368 與 370 的接觸墊 362。開口 398 係利用雷射 400 藉由 LDA

來形成。或者，開口 398 係藉由蝕刻或其它合宜的製程所形成。開口 398 被配置成用以在半導體晶粒 124 以及被堆疊在半導體晶粒 124 上方的半導體晶粒或裝置(舉例來說，記憶體裝置、被動式裝置、表面聲波濾波器、電感器、天線、…等)之間提供 3D 電互連。於其中一實施例中，會對已露出的導電層 362 塗敷拋光膜(例如，Cu 有機保焊膜(Organic Solderability Preservative, OSP))，用以防止 Cu 氧化。

【0104】 在圖 11g 中，載體 380 與介面層 382 會藉由化學蝕刻、機械性剝除、CMP、機械性研磨、熱烘烤、UV 光、雷射掃描、或是濕式脫除被移除。移除載體 380 與介面層 382 會露出囊封體 388 的表面 392、半導體晶粒 124 的主動表面 130、以及 PCB 單元 368 與 370 的絕緣層 360 與導電層 358a 至 358b。

【0105】 一絕緣層或鈍化層 402 會利用下面方法被形成在囊封體 388 的表面 392、半導體晶粒 124 的主動表面 130、以及 PCB 單元 368 與 370 的上方：PVD、CVD、印刷、層疊、旋塗、噴塗、燒結、或是熱氧化。絕緣層 402 含有由下面所製成的一或更多層：SiO₂、Si₃N₄、SiON、Ta₂O₅、Al₂O₃、或是具有類似絕緣特性及結構特性的其它材料。一部分的絕緣層 402 會藉由 LDA、蝕刻、或是其它合宜的製程被移除，用以露出導電層 132 以及導電層 358a 至 358b。

【0106】 一導電層或 RDL 404 會使用諸如濺鍍、電解質電鍍、或是無電極電鍍的圖案化和金屬沉積製程被形成在絕緣層 402 的上方。導電層 404 能夠為由下面所製成的一或更多層：Al、Cu、Sn、Ni、Au、Ag、或是其它合宜的導電材料。一部分的導電層 404 會被電連接至導電層 132。一部

分的導電層 404 會被電連接至 PCB 單元 368 與 370 的導電層 358b。一部分的導電層 404 會被電連接至 PCB 單元 368 與 370 的導電層 358a。其它部分的導電層 404 則相依於半導體晶粒 124 的設計與功能而共電或是被電隔離。導電層 404 在該半導體封裝內提供訊號繞送以及電源連接與接地連接。

【0107】 一絕緣層或鈍化層 406 會利用下面方法被形成在絕緣層 402 以及導電層 404 的上方：PVD、CVD、印刷、層疊、旋塗、噴塗、燒結、或是熱氧化。絕緣層 406 含有由下面所製成的一或更多層： SiO_2 、 Si_3N_4 、 SiON 、 Ta_2O_5 、 Al_2O_3 、或是具有類似絕緣特性及結構特性的其它材料。於其中一實施例中，絕緣層 406 為一焊接遮罩。一部分的絕緣層 406 會藉由 LDA、蝕刻、或是其它合宜的製程被移除，用以露出導電層 404。

【0108】 在圖 11h 中，一導電凸塊材料會利用蒸發製程、電解質電鍍製程、無電極電鍍製程、丸滴製程、或是網印製程被沉積在導電層 404 的上方。該凸塊材料能夠為 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、以及它們的組合，其會有一非必要的助熔溶液。舉例來說，該凸塊材料能夠為 Sn/Pb 共熔合金、高鉛焊料、或是無鉛焊料。該凸塊材料會利用合宜的附著或焊接製程被焊接至導電層 404。於其中一實施例中，該凸塊材料會藉由將該材料加熱至該材料的熔點以上而被回焊，用以形成球體或凸塊 408。於某些應用中，凸塊 408 會被二次回焊，以便改良和導電層 404 的電接觸效果。於其中一實施例中，凸塊 408 會被形成在一 UBM 層的上方。凸塊 408 亦能夠被壓縮焊接或熱壓縮焊接至導電層 404。凸塊 408 代表能夠被形成在導電層 404 上方的其中一種類型互連結構。該互連結構亦能夠使用焊線、導電膏、短柱凸塊、微凸塊、或是其它電互連線。

【0109】 PCB 單元 368 與 370 的導電層 358b 會經由導電層 404 被電連接至凸塊 408，以便連接至一外部 V_{ss} 或 V_{DD} 。每一個導電層 358b 會被連接至 V_{ss} 或被連接至 V_{DD} 。 V_{ss} 可被連接至任何導電層 358b。 V_{DD} 可被連接至任何導電層 358b。被連接至 V_{ss} 的導電層 358b 會形成一接地面。被連接至 V_{DD} 的導電層 358b 會形成一電源面。接地面 358b 與電源面 358b 電隔離。

【0110】 由 PCB 單元 368 與 370 所提供的接地面被設置在絕緣層 402 底下並且和導電層 404 的訊號線路電隔離。導電層 404 的電源線路藉由連接該電源面而供應電源給半導體晶粒 124。該些電源線路能夠被形成在半導體晶粒 124 以及該電源面(也就是，被連接至 V_{DD} 的任何導電層 358b)的任何部分之間。PCB 單元 368 與 370 的位置、該電源面的位置、以及該些電源線路的位置經過選擇以最小化線路長度。

【0111】 重組晶圓 384 會利用鋸片或雷射削切工具 409 貫穿囊封體 388 以及 PCB 單元 368 與 370 的切割道 386 被單體化裁切成個別的 Fo-eWLB 410。圖 12 所示的係在單體化裁切之後的 Fo-eWLB 410。半導體晶粒 124 經由導電層 404 被電連接至凸塊 408，用以連接至外部裝置，舉例來說，PCB。PCB 單元 368 與 370 被嵌入在半導體晶粒 124 的一周圍區域中的囊封體 388 之中。半導體晶粒 124 經由導電層 404 被電連接至 PCB 單元 368 與 370 的導電層 358a 至 358b。PCB 單元 368 與 370 的導電層 358b 經由導電層 404 被電連接至凸塊 408，以便連接至一外部 V_{DD} 或 V_{ss} 。導電層 358b 提供相鄰於半導體晶粒 124 的接地面與電源面。嵌入式 PCB 單元 368 與 370 形成接地面與電源面，而不需要在導電層 404 上方形成額外的 RDL。形成較少的 RDL 會提高封裝可靠度並且縮減 Fo-eWLB 410 的總厚度。

【0112】 藉由設置 PCB 單元 368 與 370 相鄰於半導體晶粒 124 來形成一電源面會提高繞線設計的靈活性。PCB 單元 368 與 370 能夠被設置在需要電源面的任何地方並且導電層 404 的電源線路能夠連接至電源面(也就是，被連接至 V_{DD} 的任何導電層 358b)的任何部分。提高繞線設計靈活性允許有最短的可能線路長度。縮減線路長度會創造更有效的 PDN 並且提高 Fo-eWLB 410 的速度與功能。

【0113】 由導電層 358b 所提供的接地面係被設置在絕緣層 402 底下並且和導電層 404 的訊號線路電隔離。將絕緣層 402 以及導電層 404 的訊號線路設置在該接地面上方有助於跨越 Fo-eWLB 410 形成微帶線。微帶線傳遞微波頻率訊號並且允許微波構件(舉例來說，天線、耦合器、濾波器、功率分割器、…等)被併入在 Fo-eWLB 410 之中。形成一接地面也會提高 Fo-eWLB 410 內的 ESD 保護效果。

【0114】 PCB 單元 368 與 370 的導電層 358b 在 Fo-eWLB 410 內提供一額外的導電層。該額外導電層被用來形成一去耦電容器。該去耦電容器係藉由在絕緣層 402 上方的導電層 404 以及一部分的導電層 358b 中設計一電源網路而被形成。於其中一實施例中，該電源網路(也就是，供應電源給半導體晶粒 124 的導電層 404 的一部分)被設計成用以延伸在一接地面部分 358b 上方，俾使得該電源面、絕緣層 402、以及接地面 358b 形成該去耦電容器。將一去耦電容器併入在 Fo-eWLB 410 之中會降低電壓波動並且提高 Fo-eWLB 410 的電氣效能。

【0115】 PCB 單元 368 與 370 促成被裝設在 Fo-eWLB 410 上方的半導體晶粒或構件的電互連。開口 398 露出導電層 362，用以為被設置在 Fo-eWLB

410 上方的半導體晶粒或構件提供訊號互連、接地互連、以及電源互連。PCB 單元 368 與 370 為能夠被併入各式各樣半導體封裝之中的模組式、事先製作的單元。PCB 單元 368 與 370 係利用一拾放方法被裝設至載體 380。利用事先製作的 PCB 單元 368 與 370 形成一額外的導電層以及電源面與接地面比形成額外的 RDL 更快速、更廉價、而且風險更低，形成額外的 RDL 需要複雜、受控性極高、昂貴、以及耗時的製造步驟。嵌入 PCB 單元 368 與 370 會縮短製造時間、提高生產量、並且降低 Fo-eWLB 410 的總成本。嵌入式 PCB 單元 368 與 370 會提高 Fo-eWLB 410 的電氣效能與功能，而不會提高封裝厚度。

【0116】 本文雖然已經詳細解釋本發明的一或更多個實施例；但是，熟習的技術人員便會明白，可以對這些實施例進行修正與更動，其並不會脫離如後面的申請專利範圍之中所提出之本發明的範疇。

【符號說明】

【0117】

- 50 電子裝置
- 52 印刷電路板(PCB)
- 54 訊號線路
- 56 焊線封裝
- 58 覆晶
- 60 球柵陣列(BGA)
- 62 凸塊晶片載體(BCC)
- 66 平台格柵陣列(LGA)

68	多晶片模組(MCM)
70	方形扁平無導線封裝(QFN)
72	方形扁平封裝
74	嵌入式晶圓級球柵陣列(eWLB)
76	晶圓級晶片尺寸封裝(WLCSP)
120	半導體晶圓
122	基礎基板材料
124	半導體晶粒或構件
126	切割道
128	背表面或非主動表面
130	主動表面
132	導電層
136	測試探針頭
138	探針
140	電腦測試系統
142	鋸片或雷射削切工具
160	載體或暫時性基板
162	介面層或雙面膠帶
164	導電層
164a	部分導電層
164b	部分導電層
164c	部分導電層

166	重組或重新配置的晶圓
168	囊封體或模製化合物
170	表面
172	表面
180	絕緣層或鈍化層
182	導電層或重新分配層(RDL)
184	絕緣層或鈍化層
186	球體或凸塊
188	鋸片或雷射削切工具
200	扇出嵌入式晶圓級球柵陣列(Fo-eWLB)
220	扇出嵌入式晶圓級球柵陣列(Fo-eWLB)
224	半導體晶粒
228	背表面或非主動表面
230	主動表面
232	導電層
234	絕緣層或鈍化層
236	導電層
240	半導體晶圓
242	基礎基板材料
244	表面
246	表面
248	切割道

250	仿真晶粒
250a	仿真晶粒
250c	仿真晶粒
252	導電層
252a	導電層
252c	導電層
260	載體或暫時性基板
262	介面層或雙面膠帶
266	重組或重新配置的晶圓
268	囊封體或模製化合物
270	表面
272	表面
280	絕緣層或鈍化層
282	導電層或重新分配層(RDL)
284	絕緣層或鈍化層
286	球體或凸塊
288	鋸片或雷射削切工具
300	扇出嵌入式晶圓級球柵陣列(Fo-eWLB)
310	扇出嵌入式晶圓級球柵陣列(Fo-eWLB)
312	嵌入式三維(3D)互連單元或是中介片
314	絕緣層
316a	部分導電層

- 316b 部分導電層
- 318 絕緣層
- 320a 部分導電層
- 320b 部分導電層
- 322 絕緣層
- 324a 部分導電層
- 324b 部分導電層
- 328 囊封體或模製化合物
- 330 表面
- 332 表面
- 333a 開口
- 333b 開口
- 334 絕緣層或鈍化層
- 336 導電層或重新分配層(RDL)
- 338 絕緣層或鈍化層
- 340 球體或凸塊
- 350 核心基板
- 352 表面
- 354 表面
- 356 Z 方向垂直互連結構或導電穿孔
- 358a 部分導電層
- 358b 部分導電層

360	絕緣層或鈍化層
362	導電層
364	絕緣層或鈍化層
366a	開口
366b	開口
367	開口
368	PCB 單元或條狀體
370	PCB 單元或條狀體
372	鋸片或雷射削切工具
380	載體或暫時性基板
382	介面層或雙面膠帶
384	重組或重新配置的晶圓
386	切割道
388	囊封體或模製化合物
390	表面
392	表面
394	研磨機
396	表面
398	開口
400	雷射
402	絕緣層或鈍化層
404	導電層或重新分配層(RDL)

- 406 絕緣層或鈍化層
- 408 球體或凸塊
- 409 鋸片或雷射削切工具
- 410 扇出嵌入式晶圓級球柵陣列(Fo-eWLB)

發明摘要

※ 申請案號：103107566

※ 申請日：103/03/06

※IPC 分類：H01L 21/60 (2006.01)
H01L 23/488 (2006.01)

【發明名稱】(中文/英文)

形成用於扇出嵌入式晶圓級球柵陣列中的電源/接地面的嵌入式導電層的半導體裝置和方法

SEMICONDUCTOR DEVICE AND METHOD OF FORMING EMBEDDED CONDUCTIVE LAYER FOR POWER/GROUND PLANES IN FO-EWLB

【中文】

一種半導體裝置具有一第一導電層以及一被設置成相鄰於該第一導電層的半導體晶粒。一囊封體被設置在該第一導電層與半導體晶粒上方。一絕緣層被形成在該囊封體、半導體晶粒、以及第一導電層上方。一第二導電層被形成在該絕緣層上方。該第一導電層的一第一部分被電連接至 V_{SS} 並且形成一接地面。該第一導電層的一第二部分被電連接至 V_{DD} 並且形成一電源面。該第一導電層、絕緣層、以及第二導電層構成一去耦電容器。一包含該第二導電層的一線路的微帶線被形成在該絕緣層與第一導電層上方。該第一導電層被提供在一嵌入式仿真晶粒、互連單元、或是模組式 PCB 單元的上方。

【英文】

A semiconductor device has a first conductive layer and a semiconductor die disposed adjacent to the first conductive layer. An encapsulant is deposited over the

first conductive layer and semiconductor die. An insulating layer is formed over the encapsulant, semiconductor die, and first conductive layer. A second conductive layer is formed over the insulating layer. A first portion of the first conductive layer is electrically connected V_{ss} and forms a ground plane. A second portion of the first conductive layer is electrically connected to V_{DD} and forms a power plane. The first conductive layer, insulating layer, and second conductive layer constitute a decoupling capacitor. A microstrip line including a trace of the second conductive layer is formed over the insulating layer and first conductive layer. The first conductive layer is provided on an embedded dummy die, interconnect unit, or modular PCB unit.

圖式

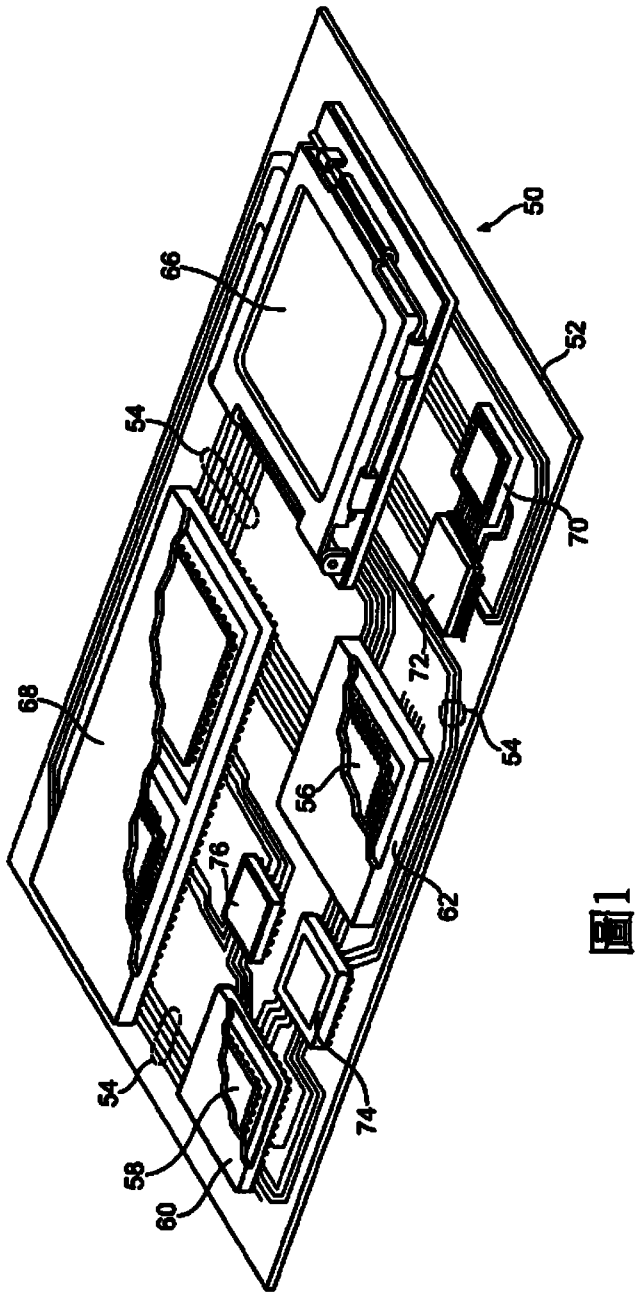


圖1

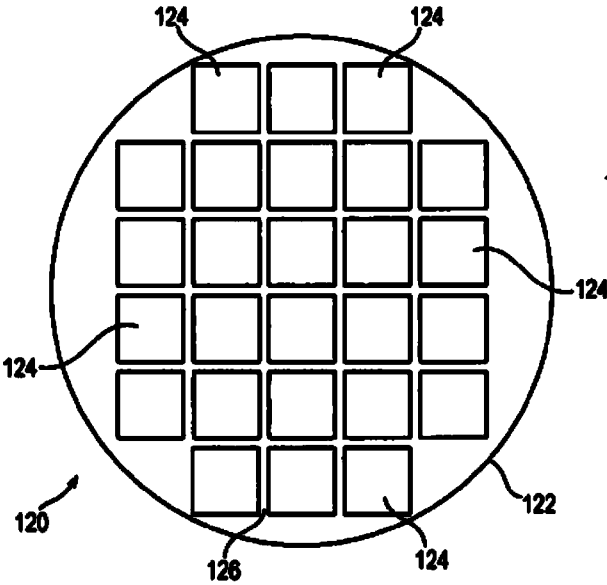


圖2a

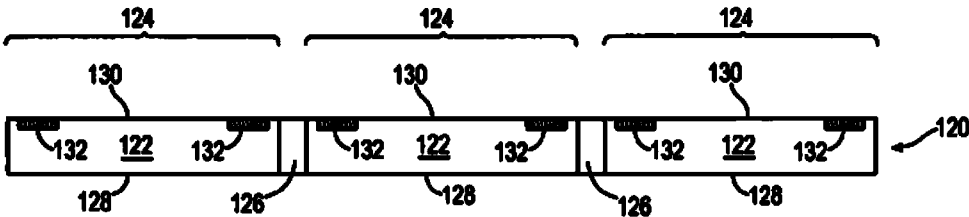


圖2b

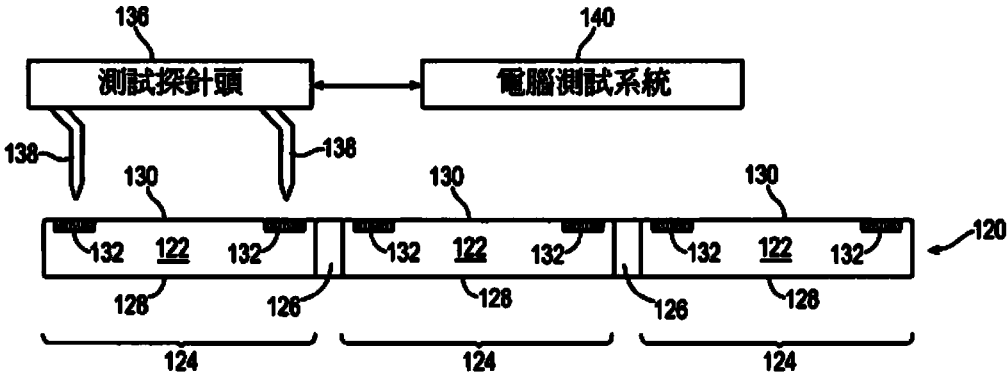


圖2c

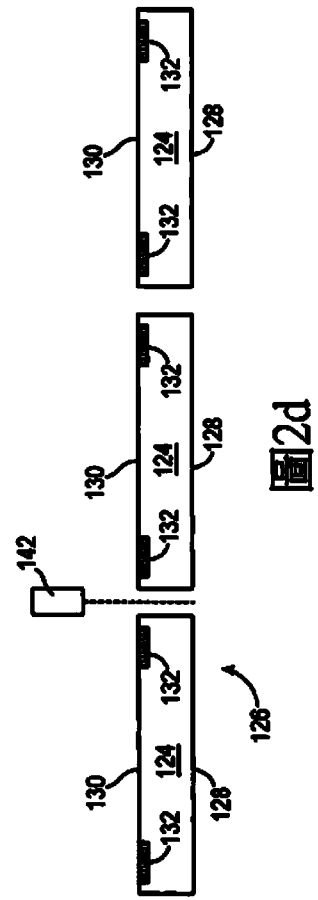


圖2d

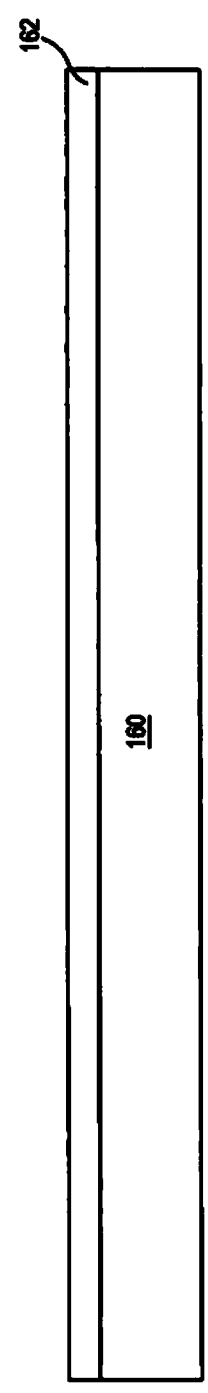


圖3a

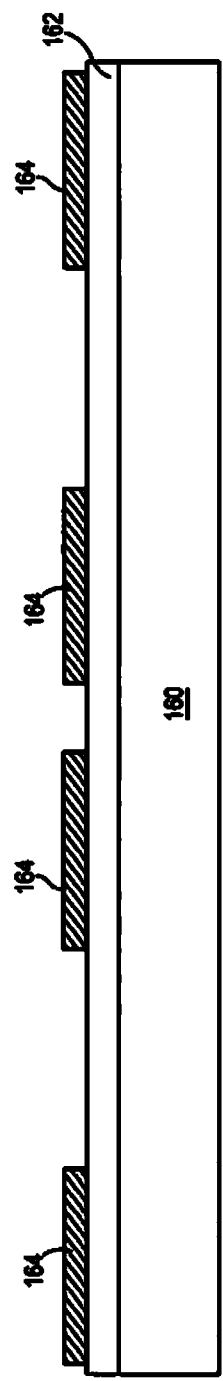


圖 3b

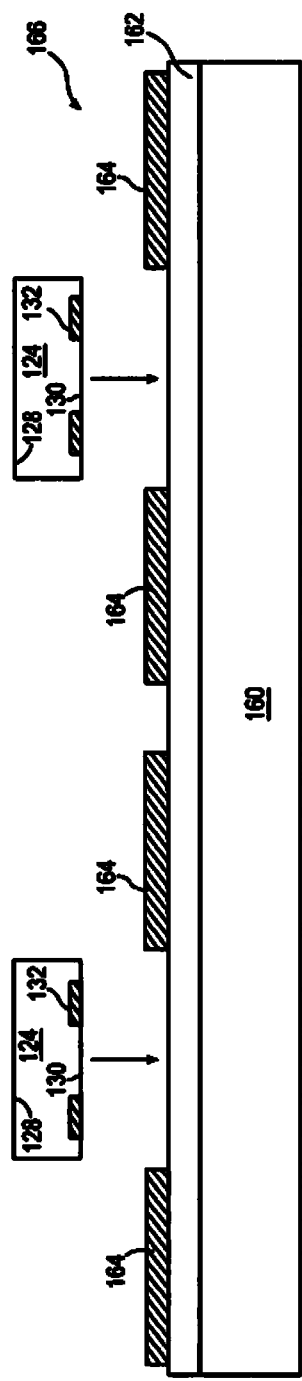


圖 3c

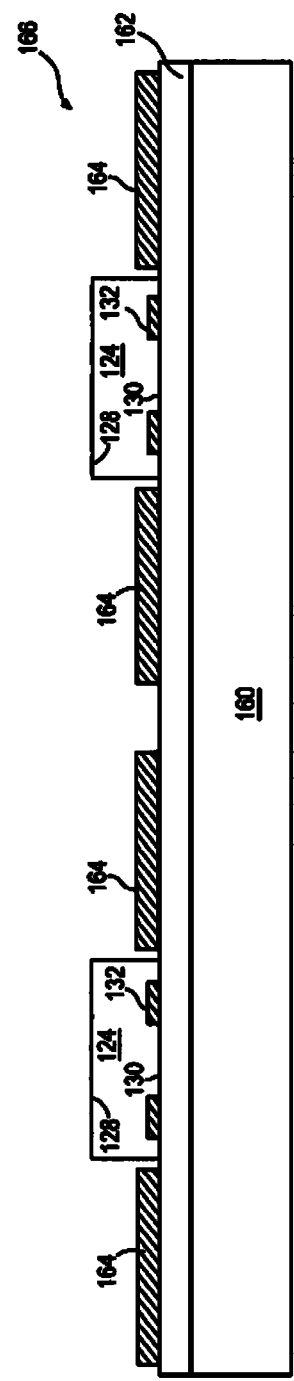
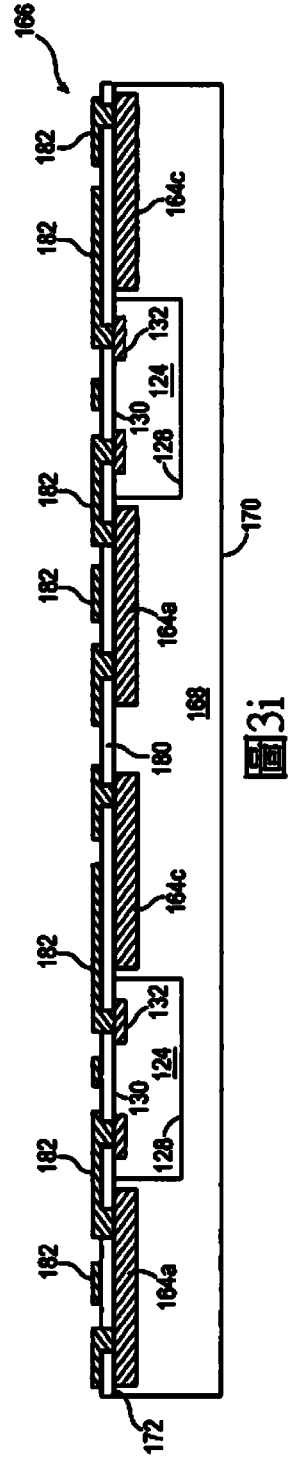
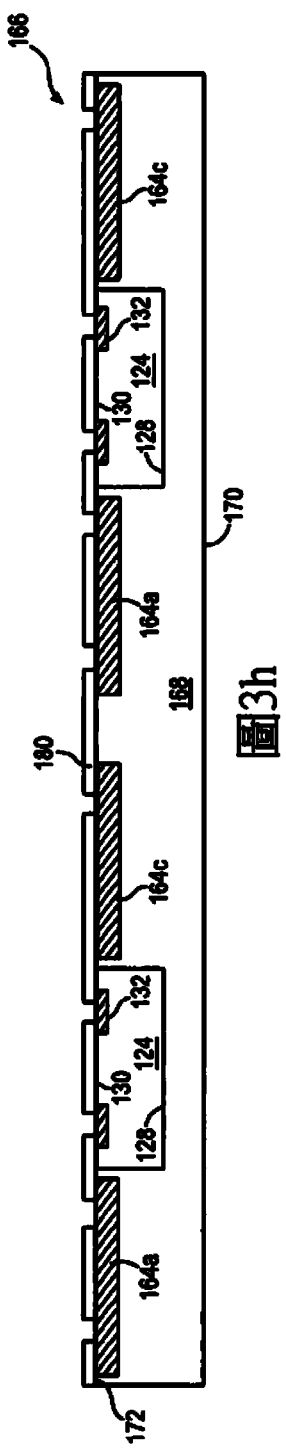
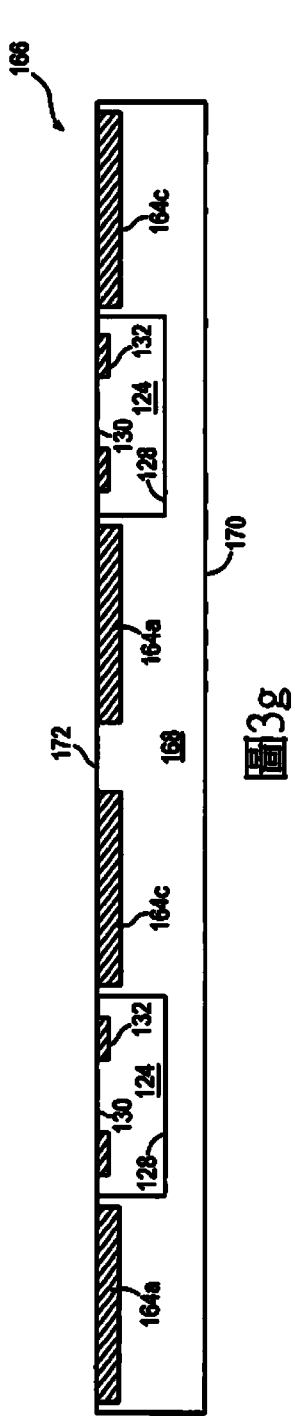


圖 3d



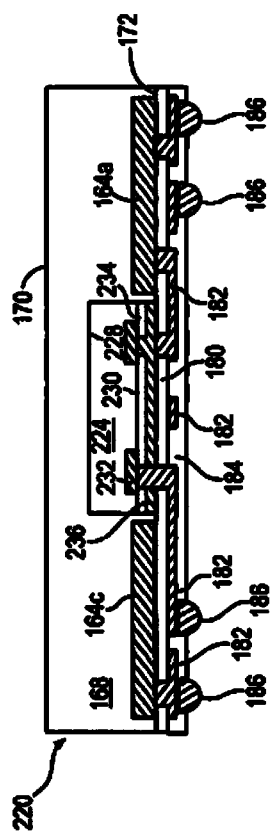


圖 5

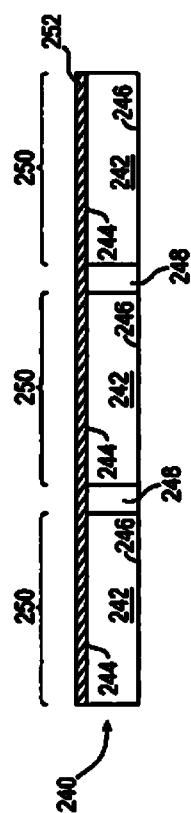


圖 6a

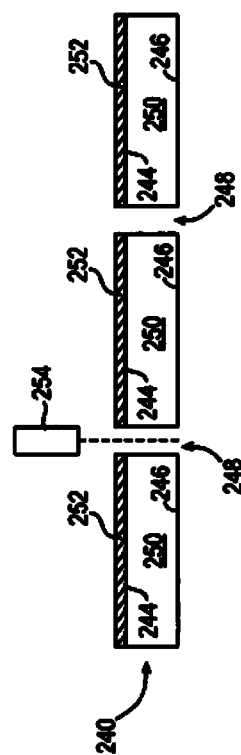


圖 96

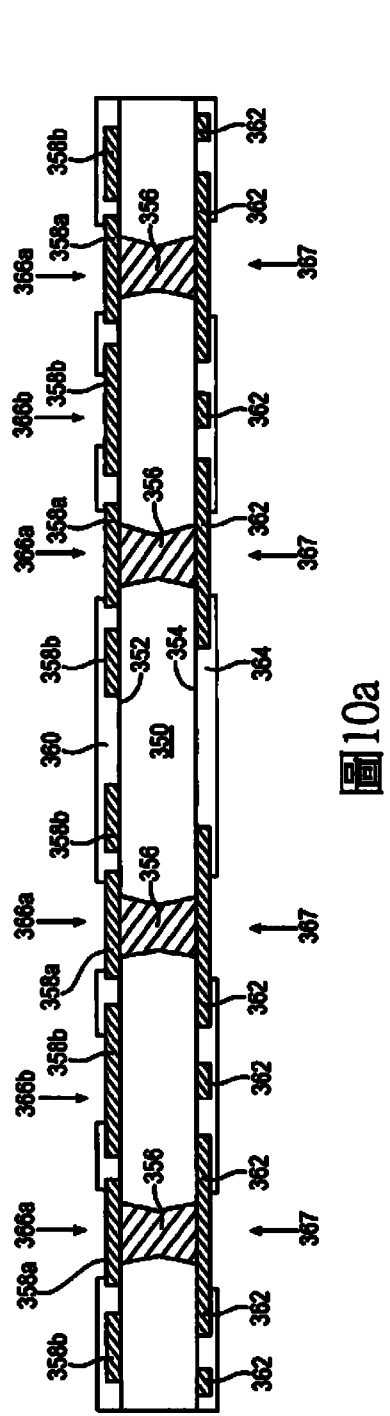


圖10a

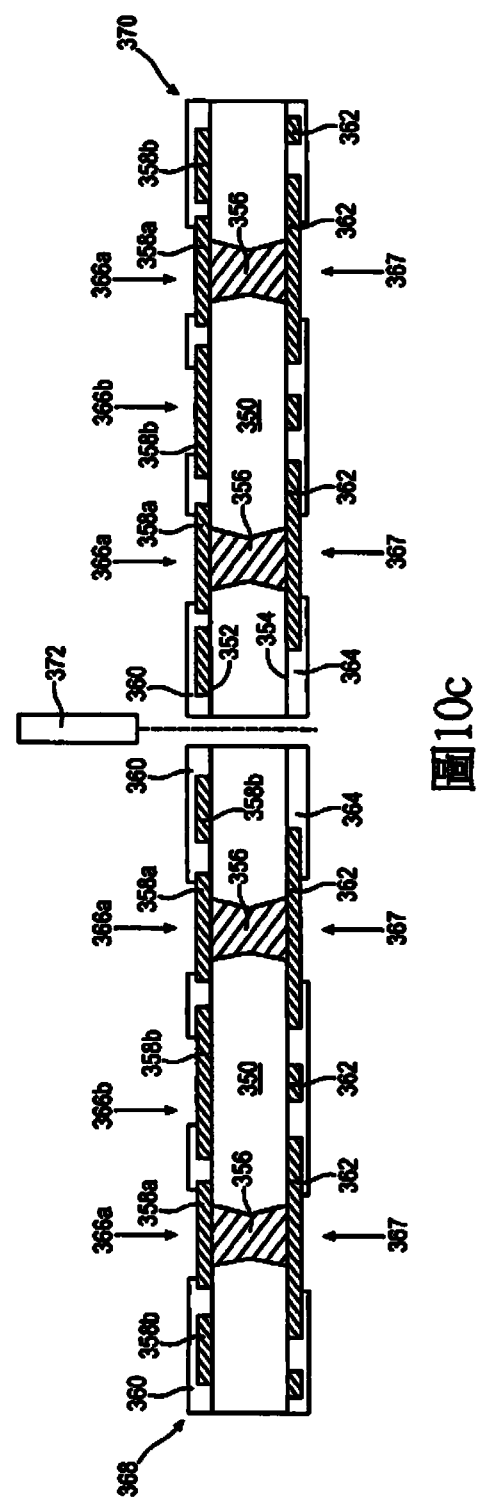


圖10c

【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

- 124 半導體晶粒或構件
- 128 背表面或非主動表面
- 130 主動表面
- 132 導電層
- 164a 部分導電層
- 164c 部分導電層
- 168 囊封體或模製化合物
- 170 表面
- 172 表面
- 180 絕緣層或鈍化層
- 182 導電層或重新分配層(RDL)
- 184 絕緣層或鈍化層
- 186 球體或凸塊
- 200 扇出嵌入式晶圓級球柵陣列(Fo-cWLB)

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1.一種製造半導體裝置的方法，其包括：

提供第一半導體晶粒；

設置接地面以相鄰於該第一半導體晶粒的側表面，其中該接地面持續地沿著該第一半導體晶粒的主動表面延伸；

沉積囊封體在該接地面與該第一半導體晶粒上方；以及

形成導電層於該接地面上方並且電連接至該第一半導體晶粒。

2.根據申請專利範圍第 1 項的方法，其中：

該接地面的第一部分被耦合至負電壓終端(V_{SS})；以及

該接地面的第二部分被耦合至正電壓終端(V_{DD})。

3.根據申請專利範圍第 1 項的方法，其進一步包含：

形成絕緣層於該接地面與該第一半導體晶粒上方；以及

形成去耦電容器，其包含該接地面、該絕緣層以及該導電層。

4.根據申請專利範圍第 1 項的方法，其進一步包含：

提供仿真晶粒；以及

形成該接地面於該仿真晶粒上方。

5.根據申請專利範圍第 1 項的方法，其進一步包含設置第二半導體晶粒於該接地面上方。

6.一種製造半導體裝置的方法，其包括：

提供半導體晶粒；

持續地沿著該半導體晶粒的主要表面設置接地面；以及

形成導電層於該接地面與該半導體晶粒上方。

7.根據申請專利範圍第 6 項的方法，其中，該接地面被耦合至負電壓終端(V_{ss})。

8.根據申請專利範圍第 6 項的方法，其進一步包含：

提供基板，其包含被形成貫穿該基板的複數個垂直互連結構；以及
形成該接地面於該基板上方。

9.根據申請專利範圍第 6 項的方法，其進一步包含：

形成絕緣層於該接地面與該半導體晶粒上方；以及
形成微帶線於該絕緣層上方。

10.根據申請專利範圍第 6 項的方法，其中，該接地面包含經圖案化的導線框架、經圖案化的銅箔、含有經圖案化的銅之有樹脂塗佈的膠帶或是含有經圖案化的銅之膠片。

11.一種半導體裝置，其包括：

接地面；

半導體晶粒，其被設置成相鄰於該接地面，其中該接地面持續地沿著該半導體晶粒的主要表面延伸；以及

導電層，其被形成在該接地面與該半導體晶粒上方。

12.根據申請專利範圍第 11 項的半導體裝置，其進一步包含基板，其包括被形成貫穿該基板的複數個垂直互連結構，其被設置成相鄰於該半導體晶粒。

13.根據申請專利範圍第 11 項的半導體裝置，其進一步包含電源面，其被設置成相鄰於該半導體晶粒。

14.根據申請專利範圍第 11 項的半導體裝置，其進一步包含仿真晶粒，

其被設置成相鄰於該半導體晶粒，其中，該接地面被形成在該仿真晶粒上方。

15.根據申請專利範圍第 11 項的半導體裝置，其進一步包含：

絕緣層，其被設置在該接地面與導電層之間；以及

去耦電容器，其包括該接地面、該絕緣層、以及該導電層。