



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I667188 B

(45)公告日：中華民國 108 (2019) 年 08 月 01 日

(21)申請案號：104129131

(22)申請日：中華民國 104 (2015) 年 09 月 03 日

(51)Int. Cl. : **B81B7/00 (2006.01)****B81C1/00 (2006.01)**

(30)優先權：2014/09/04 美國

14/477,451

(71)申請人：美商伊凡聖斯股份有限公司(美國) INVENSENSE, INC. (US)

美國

(72)發明人：達奈門 麥可 J DANEMAN, MICHAEL J. (US) ; 亞薩德拉吉 法利柏

ASSADERAGHI, FARIBORZ (US)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

CN 101077767A

US 2006/0151880A

審查人員：黃孝怡

申請專利範圍項數：25 項 圖式數：7 共 37 頁

(54)名稱

免除集積式互補金屬氧化物半導體 (CMOS) 及微機電 (MEMS) 裝置的化學防護

RELEASE CHEMICAL PROTECTION FOR INTEGRATED COMPLEMENTARY METAL-OXIDE-SEMICONDUCTOR (CMOS) AND MICRO-ELECTRO-MECHANICAL (MEMS) DEVICES

(57)摘要

本發明提供系統及方法，其保護 CMOS 層免於暴露於釋放化學物質。該釋放化學物質被用於釋放與 CMOS 晶圓集積的微機電(MEMS)裝置。在互補金屬氧化物半導體(CMOS)晶圓中創建的鈍化開口的側壁暴露出該 CMOS 晶圓的介電層，其可能在與釋放化學物質接觸時而受到損傷。在一個態樣中，為了保護 CMOS 晶圓以及避免介電層的暴露，該鈍化開口的側壁可以用對該釋放化學物質具有抗性的金屬阻障層覆蓋。額外地或可選地，絕緣阻障層可以沉積在 CMOS 晶圓的表面上，以保護鈍化層免於暴露於釋放化學物質。

Systems and methods that protect CMOS layers from exposure to a release chemical are provided. The release chemical is utilized to release a micro-electro-mechanical (MEMS) device integrated with the CMOS wafer. Sidewalls of passivation openings created in a complementary metal-oxide-semiconductor (CMOS) wafer expose a dielectric layer of the CMOS wafer that can be damaged on contact with the release chemical. In one aspect, to protect the CMOS wafer and prevent exposure of the dielectric layer, the sidewalls of the passivation openings can be covered with a metal barrier layer that is resistant to the release chemical. Additionally or optionally, an insulating barrier layer can be deposited on the surface of the CMOS wafer to protect a passivation layer from exposure to the release chemical.

指定代表圖：

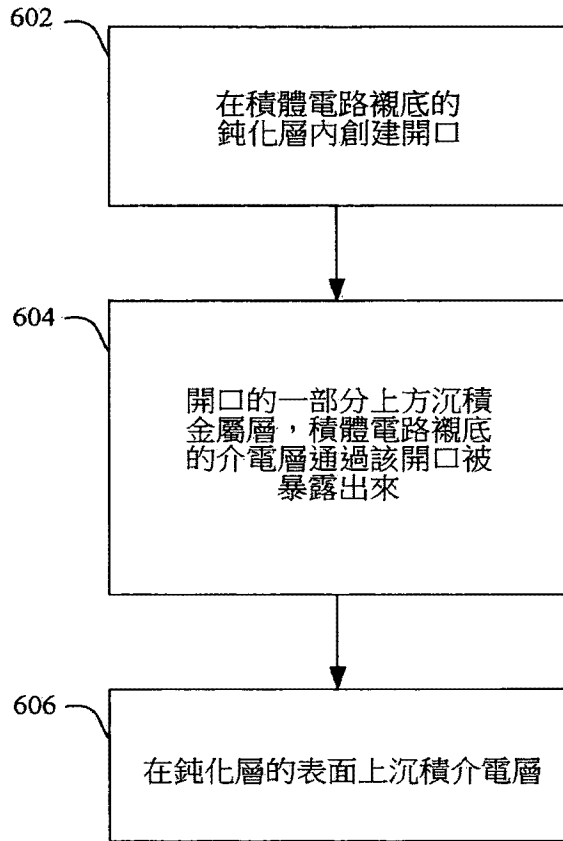
符號簡單說明：

600 . . . 方法

602、604、

606 . . . 步驟

600



第6圖

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

免除集積式互補金屬氧化物半導體(CMOS)及微機電(MEMS)裝置的化學防護

RELEASE CHEMICAL PROTECTION FOR INTEGRATED
COMPLEMENTARY METAL-OXIDE-SEMICONDUCTOR
(CMOS) AND MICRO-ELECTRO-MECHANICAL (MEMS)
DEVICES

【技術領域】

【0001】 本申請涉及集積互補型金屬氧化物半導體(CMOS)和微機電(MEMS)裝置，例如，涉及用於集積CMOS-MEMS裝置的釋放化學物質保護。

【先前技術】

【0002】 微機電系統(MEMS)是一種廣泛使用的技術，其得以將微電子電路和機械結構二者整合在同一晶片上，而顯著地降低製造成本和晶片的尺寸。在一般的情況下，MEMS裝置使用表面微加工技術來製造，其中，該裝置的結構部件與犧牲材料層結合。接著，該犧牲材料通過使用不與結構材料發生反應的化學蝕刻劑移除，而留下可移動的結構部件。一般來說，使用犧牲氧化物的MEMS工藝非常適用於通過在製造過程中機械地支撐此類設備和釋放犧牲層作為在過程中的最後一步而製造出易碎的結構，如薄膜或低剛性的機械裝置。最廣泛使用的表面微加工技

術系使用二氧化矽 (SiO_2) 作為犧牲材料和氫氟酸 (HF) 作為化學蝕刻劑。

【0003】 對於與 CMOS 晶圓集積的 MEMS 結構，由於在 MEMS 釋放時暴露於氫氟酸基 (HF-based) 的化學蝕刻劑，所以該 CMOS 晶圓是容易受到損害的。此外，習知的 CMOS 晶片在其金屬間電介質和鈍化堆疊中含有氧化矽，其在暴露於 HF 時會快速地被蝕刻。具體來說，用於暴露金屬焊墊以接合 CMOS 晶圓到 MEMS 結構的 CMOS 晶圓上的鈍化開口會暴露出晶圓的氧化矽，使得在製造集積 CMOS-MEMS 裝置時，令晶圓不適用於暴露於 HF。

【發明內容】

【0004】 下文是本說明書的簡化摘要，以提供對本說明書的一些態樣的基本理解。此摘要不是本申請的廣泛的概觀。它並非旨在標識說明書的關鍵或重要元素，也不是描繪任何說明書的實施例的任何特定範圍，或申請專利範圍的任何範圍。其唯一目的在於以簡化形式呈現本說明書的一些概念，而作為在稍後會提到的實施方式的序言。

【0005】 本文描述的系統和方法，在其一個或多個實施例中，涉及一種集積互補型金屬氧化物半導體 (CMOS) 和微機電 (MEMS) 裝置，其防止在釋放 MEMS 結構時對 CMOS 層的損壞。在一個態樣中，該系統涉及積體電路襯底 (例如 CMOS 層)，其包括具有側壁的鈍化開口，該側壁暴露出積體電路襯底的介電層。此外，金屬阻障層沉積在側壁上，該金屬阻障層防止介電層暴露於可用來釋放與積

體電路襯底集積的 MEMS 結構的釋放化學物質。

【0006】 本申請所公開的一個態樣涉及一種方法，其包括於積體電路襯底的鈍化層中創建開口，其中，該開口的側壁暴露出該積體電路襯底的介電層。另外，該方法包括沉積金屬層在側壁上，以保護介電層免於受到可用來釋放與積體電路襯底集積的 MEMS 裝置的釋放化學物質侵襲。此外，本申請的另一個態樣涉及一種包括有 CMOS 晶圓的集積 CMOS-MEMS 裝置以及一種與 CMOS 晶圓集積的 MEMS 裝置。另外，MEMS 裝置包括犧牲層，該犧牲層可經由使用釋放化學物質而移除。此外，CMOS 晶圓包括具有開口的鈍化層以及阻障材料，該鈍化層的開口具有暴露出 CMOS 晶圓的介電層的側壁，該阻障材料具有對釋放化學物質有抗性的金屬，該阻障材料覆蓋該側壁。

【0007】 下面的描述和附圖闡述本說明書的某些說明性的態樣。然而，這些態樣僅表示本說明書中的原理可被採用的各種方式中的一部分。由以下的詳細說明配合參考附圖，本申請的其它優點和新穎特徵將變得清楚明白。

【圖式簡單說明】

【0008】 在參詳以下詳細的說明並結合附圖後，本申請的各種態樣、實施例、目的、和優點將是顯而易見的，其中，相同的附圖標記在全文中系指相同的部件，且其中：

【0009】 第 1 圖示出示例的互補金屬氧化物半導體 (CMOS) 晶圓，其對釋放化學物質有抗性；

【0010】 第 2 圖示出一個示例的 CMOS 晶圓，其包括

受到保護而免於暴露於釋放化學物質的鈍化層；

【0011】 第 3A 圖及第 3B 圖示出在製造的不同階段的示例集積 CMOS 和微機電(MEMS)裝置；

【0012】 第 4A 圖及第 4B 圖示出在製造的不同階段期間於 CMOS 裝置的金屬化堆疊中集積的示例 MEMS 結構；

【0013】 第 5 圖示出用於感測聲音信號的示例性系統；

【0014】 第 6 圖示出用於沉積保護層於集積 CMOS-MEMS 裝置內的示例性方法；以及

【0015】 第 7 圖示出用於保護集積 CMOS-MEMS 裝置的介電層的示例性方法。

【實施方式】

【0016】 現在將參照附圖描述一個或多個實施例，其中，相同的附圖標記在全文中用以指稱相同的組件。在以下說明中，出於解釋的目的，眾多具體的細節被闡述以使各種實施例能被徹底理解。然而，顯而易見的，各種實施例可以沒有這些具體細節而實踐，例如，不應用於任何特定的網絡環境或標準。在其它示例中，公知的結構和設備系以方塊圖的形式示出中，以使用額外的細節描述實施例。

【0017】 本文所公開的系統和方法，在一個或多個態樣中提供了用於集積互補金屬氧化物半導體(CMOS)和微機電(MEMS)裝置的釋放化學物質保護。本申請的主題將

參考附圖來描述，其中，相同的附圖標記在全文中用以指稱相同的組件。在以下描述中，出於解釋的目的，許多具體的細節被闡述以使本主題的創新性能被徹底理解。然而，本主題可以在沒有這些具體細節下實行。

【0018】 如本申請中所使用的，術語“或”旨在表示包容性的“或”而不是排他性的“或”。也就是說，除非另有指定，或從上下文可以清楚瞭解，“X 使用 A 或 B”旨在表示任何自然的包容性的排列。也就是說，如果 X 使用 A；X 使用 B；或 X 同時使用 A 和 B，則“X 使用 A 或 B”能滿足任何上述例子。此外，冠詞“一”和“一個”用在本申請和所附申請專利範圍中一般應被解釋為表示“一或多個”，除非另有指定，或從上下文中明確得知其所指為單數形式。此外，“耦接”一詞在本文中用來指直接或間接的電氣或機械耦合。此外，詞語“示例”和/或“示例性”在本文中用於表示充當實例，例子或說明。本文中描述為“示例”和/或“示例性”的任何態樣或設計並不一定要被解釋為優於或勝過其它態樣或設計。相反地，示例性的詞彙的使用旨在以具體方式呈現概念。

【0019】 首先，參考第 1 圖，其中示出一個示例互補金屬氧化物半導體(CMOS)晶圓 100，其能抵抗釋放化學物質。在一個示例中，CMOS 晶圓 100 可以用於各種應用，例如，但不限於，音頻感測器、無線裝置、工業系統、汽車系統、機器人、電信、安全、醫療裝置等。一般來說，CMOS 晶圓 100 包括襯底 102、介電層 104(例如氧化矽

(SiO₂)、鈍化層 106(例如氮化矽)、和金屬焊墊 108。作為一個示例，鈍化層 106 包括薄膜塗層(例如氮化矽的薄膜塗層)，該薄膜塗層可以使用電漿增強化學氣相沉積(PECVD)來沉積在 CMOS 晶圓 100 的層上。鈍化層 106 保護 CMOS 層免於濕氣和/或外部的污染、容許散熱、增加耐磨性、和/或增加電絕緣。在通常情況下，鈍化開口(110a、110b)被創建於該鈍化層 106 內，例如，用以暴露金屬焊墊 108 而利用共晶接合、金屬壓縮接合、熔合接合、銅對銅接合(copper-to-copper)等以用於接合到微機電(MEMS)裝置(未示出)。在另一示例中，鈍化開口(110a、110b)可創建在鈍化層 106 內，以暴露出線接合墊(wire-bond pad)，以利於封裝 CMOS 晶圓 100 和/或暴露出探針墊片。介電層 104 是經由鈍化開口(110a、110b)的側壁(垂直立面(vertical facade))112 暴露出來。如果 CMOS 晶圓 100 暴露於釋放化學物質(例如，氫氟酸)(該釋放化學物質用於 MEMS 結構自犧牲層(未示出)的釋放蝕刻)，則該釋放化學物質可以與介電層 104 發生反應，導致對 CMOS 晶圓 100 的實質性損害。

【0020】 在一個態樣中，為了保護介電層 104 免於暴露於釋放化學物質，主阻障層 114 可以被沉積以覆蓋側壁 112。此外，所述主阻障層 114 可以包括一種或多種能夠抵抗特定釋放化學物質的金屬。例如，如果氫氟酸(HF)被使用作為釋放化學物質，則可以使用能夠抵抗 HF 的金屬，例如，但不限於，鈦、氮化鈦、鋁、或鋁-銅(Aluminum-Copper)等。在一個態樣中，所述主阻障層 114 可以是非脆性(non-

brittle)和/或柔性的，使其在處理期間所施加的機械和/或熱應力下不會碎裂。可用各種工藝沉積該主阻障層 114，例如，但不限於，濺射、蒸發、電漿增強化學氣相沉積(PECVD)、低壓化學氣相沉積(CVD)、原子層沉積等。該主阻障層 114 的厚度可以根據使用的金屬的性質而變化，且通常具有足夠厚度而不是多孔的。舉例而言，當暴露於釋放化學物質時，如果所用的金屬被緩慢侵蝕(例如該金屬並非完全地耐受該釋放化學物質，而有一個緩慢的蝕刻速率)，則該主阻障層 114 的厚度應足以渡過該釋放工藝而未被完全地侵蝕。一般而言，主阻障層 114 的厚度範圍可以從(但不限於)100 埃(angstrom)到 5 微米。

【0021】 第 2 圖示意示例性的 CMOS 晶圓 200，其包括受到保護免於暴露在釋放化學物質中的鈍化層 106。在一態樣中，輔助阻障層 202 可以沉積在鈍化層 106 上用於保護以阻止/抵抗釋放化學物質(例如，HF)。值得注意的是，襯底 102、介電層 104、鈍化層 106、金屬焊墊 108、鈍化開口(110a、110b)以及主阻障層 114 可包括如針對裝置 100 所充分描述的功能性。

【0022】 在一態樣中，所述輔助阻障層 202 是遍佈在大部分的晶圓 200 上的絕緣層。作為例子，所述輔助阻障層 202 可以包括，但不限於，對於釋放化學物質具有抗性(或部分抗性)的介電材料。所述輔助阻障層 202 可以具有大部分任何的臺階覆蓋(step coverage)，而不一定要變得強韌來抵抗鈍化開口(110a、110b)上的破裂。因此，可以利用

各種廣泛的絕緣材料。在一態樣中，可以使用各種工藝來沉積輔助阻障層 202，例如，但不限於，濺鍍、蒸發、電漿輔助化學氣相沉積、低壓化學氣相沉積、增強化學氣相沉積、原子層沉積等。輔助阻障層 202 的厚度可以根據使用的介電質的特性而有所不同，並且通常具有足夠厚度而非多孔的。舉例而言，當暴露於釋放化學物質時，如果所用的金屬被緩慢侵蝕(例如該金屬並非完全地耐受該釋放化學物質，而有一個緩慢的蝕刻速率)，則該輔助阻障層 202 的厚度應足以渡過該釋放工藝而未被完全地侵蝕。在一態樣中，所述輔助阻障層 202 是可選層。例如，如果鈍化層 106 對釋放化學物質有抗性，則可以不使用輔助阻障層 202。

【0023】 根據說明書的一態樣，第 3A 和 3B 圖示意在製造的不同階段期間的示例性集積 CMOS-MEMS 裝置。在一態樣中，CMOS-MEMS 集積可以改善 MEMS 結構 302 的性能，並允許更小的封裝，從而減少封裝和/或儀器的成本。MEMS 過程利用犧牲層 304 以產生脆弱的 MEMS 結構 302(例如，可移動結構)，例如，但不限於，薄膜或低剛度的機械裝置。此外，在製造工藝中犧牲層 304 機械性地支撐此種 MEMS 結構 302，在這之後藉由使用釋放化學物質作為工藝中的最後步驟而釋放犧牲層 304。然而，因為 CMOS 層通常在暴露於釋放化學物質後無法留存，所以將此種結構 302 集積在晶圓等級的 CMOS 是具有挑戰性的。為了將 MEMS 結構 302 集積於 CMOS 層，可以創建鈍化開

口(110a、100b)以暴露出可以被接合至 MEMS 結構 302(例如，透過共晶接合)的金屬焊墊 108。鈍化開口(110a、100b)的創建暴露出 CMOS(經由側壁)的介電層 104。而且，釋放化學物質能與 CMOS 的介電層 104 發生反應，導致對 CMOS 結構產生重大損害。

【0024】 根據一態樣，爲了防止介電層 104 暴露於釋放化學物質，脆弱的鈍化開口(110a、110b)可以用主阻障層 114(完全或部分地)覆蓋(可選地，脆弱的鈍化層 106 可以用輔助阻障層 202 覆蓋)。因此，CMOS-MEMS 裝置可製成對於 MEMS 釋放化學物質來說是強韌的，其允許使用犧牲氧化物結構來製造集積 CMOS-MEMS 裝置。值得注意的是，襯底 102、介電層 104、鈍化層 106、金屬焊墊 108、鈍化開口(110a、110b)，主阻障層 114 和輔助阻障層可包括如針對裝置 100 和 200 所充分描述的功能性。

【0025】 現在參考第 3A 圖，其示意在所述 MEMS 釋放過程之前的示例性集積 CMOS-MEMS 裝置 300。作爲例子，MEMS 結構可以包括多晶矽或多晶矽鍺，且犧牲層 304 可包括氧化矽層(SiO_2)。犧牲層 304 可以通過使集積 CMOS-MEMS 裝置 300 暴露於例如但不限於液態氟化氫(HF)和/或氣態氟化氫(VHF)的釋放化學物質中而被除去。在實例中，如果要實施的是濕式化學蝕刻工藝，則液態氟化氫和水的混合物或緩衝氟化氫與甘油的混合物可被用作爲釋放化學物質。通常，當被釋放的濕式蝕刻結構乾燥時，若能通過利用氣態氟化氫(VHF)進行乾式化學蝕刻工藝，則

可避免靜摩擦可能出現的問題。

【0026】 第 3B 圖示意在 MEMS 釋放過程之後的示例性集積 CMOS-MEMS 裝置 350。此外，當 CMOS-MEMS 裝置 300 被暴露於釋放化學物質時，犧牲層 304 被去除，留下 CMOS-MEMS 裝置 350。在一態樣中，所述主阻障層 114 保護介電層 104，防止介電層 104 透過鈍化開口(110a、110b)的側壁而被暴露於釋放化學物質。此外(或可選地)，所述輔助阻障層 202 保護鈍化層 106，並防止鈍化層 106 暴露於釋放化學物質。因此，釋放化學物質不會損壞 CMOS 層。值得注意的是，所述主阻擋層 114 和輔助阻障層 202 對於釋放化學物質具有抗性和/或可以慢性蝕刻速率來與釋放化學物質反應。此外，所述主阻障層 114 可以包括對於釋放化學物質具有抗性(例如，部分地或完全地)的幾乎任何金屬，而輔助阻障層 202 可以包括對於釋放化學物質具有抗性(例如，部分地或完全地)的幾乎任何介電材料。

【0027】 參考第 4A 圖和第 4B 圖，根據本說明書的一態樣示意一種示例性 MEMS 結構，其被集積於不同製造階段期間的 CMOS 裝置(400、450)的金屬化堆疊層內。根據一態樣，該 MEMS 結構 402 可從 CMOS 晶圓的 CMOS 金屬層(或金屬和介電層的組合)來創建。通常，在 CMOS 晶圓製造後，通過將 CMOS 裝置 400 暴露於穿過形成在鈍化層 106 中的釋放孔(404a、404b)的氣態氟化氫(VHF)，可釋放 MEMS 結構 402。值得注意的是，襯底 102、介電層 104、鈍化層 106、金屬焊墊 108、鈍化開口(110a、110b)以及主

阻障層 114 可包括如針對裝置 100-350 所充分描述的功能性。雖然未在第 4A 圖和第 4B 圖中示出，但鈍化層 106 可以被輔助阻障層(例如，輔助阻障層 202)所覆蓋和保護。

【0028】 在一示例情形中，鈍化開口(110a、110b)可以在對 MEMS 結構 402 釋放之後創建，以防止介電層 104 從鈍化開口(110a、110b)的側壁露出。在這種情況下，在所述 MEMS 釋放後，所述釋放孔(404a、404b)可在金屬焊墊 108 被暴露之前通過沉積另一層於所述釋放孔(404a、404b)上方而被密封。然而，如果 MEMS 結構 402 需要被暴露於一環境(例如，在壓力、化學物質、及/或聲音傳感器的情況下)中，金屬焊墊 108 則會因為基於通過釋放孔(404a、404b)損壞 MEMS 結構 402 的風險而在所述釋放之後不能被展現出來。因此，爲了在 MEMS 釋放之前展現出金屬焊墊 108，所述主阻障層 114 可以沉積在鈍化開口(110a、110b)的至少一部分上方，使得暴露出介電層 104 的側壁被主阻障層 114 覆蓋。作爲示例，所述主阻障層 114 可以包括對於氣態氟化氫(VHF)有抗性(例如，部分地或完全地)的幾乎任何金屬或組合。

【0029】 第 4A 圖描繪在 MEMS 釋放工藝之前被集積於 CMOS 裝置 400 內的示例性 MEMS 結構 402。釋放孔(404a、404b)被創建在鈍化層 106 中，氣態氟化氫(VHF)便穿過釋放孔(404a、404b)來蝕刻所述 MEMS 結構 402。通過鈍化開口(110a、110b)的側壁而露出的介電層 104 便受到所述主阻障層 114 保護而免受氣態氟化氫(VHF)侵襲。第 4B

圖描繪在 MEMS 釋放過程後被集積於 CMOS 裝置 450 內的示例性 MEMS 結構 402。此外，在暴露於釋放化學物質之後，犧牲材料(例如，介電層 104 的部分)被移除，留下被釋放的 MEMS 結構 402。因此，釋放化學物質不會損害 CMOS 層。值得注意的是，所述主阻擋層 114(及/或輔助阻擋層 202)對於釋放化學物質具有抗性及/或可以慢蝕刻速率來與釋放化學物質反應。

【0030】 第 5 圖示意用於感測根據本申請一態樣的聲音信號的示例性系統 500。系統 500 說明的是此處所公開的集積 CMOS-MEMS 裝置的一個示例性應用。然而，應該注意的是，本說明書並不限於在此公開的麥克風/傳感器應用和態樣，而可以使用於不同應用的各種積體電路。在一態樣中，系統 500 可以被用在各種應用中，例如，但不限於，通信設備、醫療應用、安全系統、生物識別系統(例如，指紋傳感器和/或運動/手勢識別傳感器)、工業自動化系統、消費電子設備、機器人等。在一態樣中，系統 500 可包括有利於聲音感測的感測組件 502。此外，感測組件 502 可以包括具有二維(或一維)陣列 506 的聲音傳感器 508 的矽晶圓 504，例如，集積 CMOS-MEMS 裝置 350 和/或 450。作為例子，聲音傳感器 508 可包括在製造過程中由犧牲層(304、104)所支持的薄 MEMS 膜(302、402)。在製造過程結束時，所述犧牲層(304、104)是通過暴露於釋放化學物質(例如，HF，VHF)而被移除。在移除過程中，利用覆蓋側壁的主阻障層 114 來保護從鈍化開口的側壁露出的 CMOS 層。

額外地或可選地，通過利用覆蓋該鈍化層 106 的頂部表面的該輔助阻擋層 202 來保護 CMOS 的鈍化層 106 而免受釋放化學物質侵襲。

【0031】 由於所述 MEMS 膜(302、402)的運動可被用於產生相應的電子信號，因此，所述 MEMS 膜(302、402)基於傳入的聲音信號和電容的變化而振動。處理組件 510 可以進一步處理電子信號。例如，電子信號可被數字化並存儲在數據存儲件 512 中。在另一例子中，電子信號可被發送到其它設備和/或透過揚聲器播放。

【0032】 值得注意的是，處理組件 510 及/或數據存儲件 512 可以是經由幾乎任何的有線和/或無線通信網絡而本地和/或遠程地耦合到感測組件 502。另外，應注意，該處理組件 510 可包括組構成賦予系統 500 至少一部份功能性的一或多個處理器。為此目的，所述一或多個處理器能夠執行存儲在例如易失性存儲器和/或非易失性存儲器的存儲器中的代碼指令。通過說明的方式，而非限制，非易失性存儲器可以包括唯讀存儲器(ROM)、可編程唯讀存儲器(PROM)、電性可編程唯讀存儲器(EPROM)、電性可擦除唯讀存儲器(EEPROM)或閃存。易失性存儲器可以包括隨機存取存儲器(RAM)，其充當外部高速緩衝存儲器。通過說明而非限制的方式，隨機存取存儲器有許多形式，如靜態隨機存取存儲器(SRAM)、動態隨機存取存儲器(DRAM)、同步動態隨機存取存儲器(SDRAM)、雙數據速率動態隨機存取存儲器(DDRSDRAM)、增強型動態隨機存取存儲器

(ESDRAM)、同步鏈路可用動態隨機存取存儲器(SLDRAM)和直接 Rambus 動態隨機存取存儲器(DRRAM)。題述系統和方法的存儲器(例如，數據存儲件、數據庫)旨在包括，但不限於，這些和任何其它合適類型的存儲器。

【0033】 如同在本說明書所用，術語“處理器”可以指基本上任何計算處理單元或裝置，包括，但不限於，單核處理器、具有多線程軟體執行能力的單處理器、多核處理器、具有軟體多線程執行能力的多核處理器、具有硬體多線程技術的多核處理器、並行平臺(parallel platform)、與具有分佈式共享存儲器的並行平臺。此外，處理器可指積體電路、專用積體電路(ASIC)、數位信號處理器(DSP)、現場可編程門陣列(FPGA)、可編程邏輯控制器(PLC)、複雜可編程邏輯裝置(CPLD)、離散柵極或電晶體邏輯、離散硬體組件、或被設計成執行本文中所描述的功能的任何組合。處理器可以利用奈米級體系結構，例如，但不限於，以分子和量子點為基礎的電晶體、開關和柵極，以便優化空間的使用或增強用戶設備的性能。處理器也可以實現為計算處理單元的組合。

【0034】 值得注意的是，裝置 100-450 和/或系統 500 的設計可以包括不同的材料選擇、拓撲等，以實現在集積 CMOS-MEMS 裝置的 MEMS 結構的釋放期間對 CMOS 層有效的保護。此外，應當注意，設備 100-450 和/或系統 500 可以包括幾乎任何組件和任何合適值的電路組件，以執行本申請的實施方案。另外，應注意，設備 100-450 可包括

更少或更多的層和/或用於各層的設計。此外，可以理解的是，設備 100-450 和/或系統 500 的組件可以在一或多個積體電路(IC)晶片中實現。

【0035】 第 6-7 圖示意出根據所公開主題的方法和/或流程圖。爲了說明簡化，將方法描繪和描述爲一系列動作。但應理解並瞭解，本申請不受所示動作和/或動作次序的限制，例如一些動作可以按各種順序和/或同時發生，並且此處所未呈現和描述的其它動作。此外，並非所有示意動作都是實現本申請的方法所必需的。此外，經由狀態圖或事件，這些方法可替代地表示爲一系列相互關聯狀態。此外，應進一步理解，這些在下文和整個說明書中所公開的方法能夠被存儲在製造品上，以便運輸和傳送這些方法到計算機。在本文中所用的術語“製造品”意在涵蓋可從任何計算機可讀設備或計算機可讀存儲/通信媒體訪問的計算機程序。

【0036】 第 6 圖示出用於在根據題述公開的一態樣中的集積 CMOS-MEMS 裝置內沉積保護層的示例性方法 600。具體而言，方法 600 得以在製造期間釋放 MEMS 結構而不會讓 CMOS 晶圓受到損壞。在 602 處，可以在積體電路襯底(例如，CMOS 晶圓)的鈍化層內創建開口。舉例來說，所述鈍化層可包括薄膜塗層(例如，氮化矽)，其可在鈍化處理(例如，使用電漿輔助化學氣相沉積(PECVD))期間沉積在積體電路襯底的層上。鈍化層保護積體電路襯底免於濕氣和/或外部污染，從而得以散熱、增加耐磨性和/或

增加電絕緣。在一態樣中，例如，在接合(通過共晶接合、金屬壓縮接合、熔合接合、陽極接合、銅-對-銅接合等等)到 MEMS 裝置期間，可在鈍化層內創建鈍化開口來暴露積體電路襯底的金屬板，用以暴露探針墊、和/或用以暴露線接合墊來促進封裝等。

【0037】 在 604，金屬層可以被沉積在開口的一部分上方，積體電路襯底(例如氧化物層)的介電層通過該開口被暴露出來。舉例來說，該金屬層可被沉積在整個開口上方，然後圖案化以留下僅在暴露該介電層的開口的側壁(例如，垂直外牆)上方的金屬層。此外，該金屬層可通過各種沉積工藝來沉積，例如，但不限於，濺射、蒸發、原子層沉積、增強化學氣相沉積和/或低壓化學氣相沉積等。在一態樣中，該金屬層可包括大多數任何金屬或組合或非脆性和/或柔性的金屬，以避免在開口的角落裂開(例如，在處理期間所施加的機械和/或熱應力下)，例如，但不限於，鋁、鋁-銅、鈦、和/或氮化鈦等。此外，該金屬或組合可以是對於用於釋放集積具有電路襯底的 MEMS 結構的釋放化學物質具有抗性(或部分抗性)的金屬。

【0038】 在 606，介電層可沉積在鈍化層的表面上。介電層可以是覆蓋大部分的 CMOS 晶圓以禁止釋放化學物質與 CMOS 晶圓反應的絕緣層。作為例子，介電層可包括幾乎任何對釋放化學物質有抗性的介電材料。在一態樣中，可用各種工藝來沉積介電層，例如，但不限於，濺射、蒸發、電漿輔助化學氣相沉積(PECVD)、低壓化學氣相沉

積、原子層沉積等。根據一態樣，金屬層和/或介電層的厚度可根據所使用的材料的特性而有所不同，並且通常具有充足厚度而不是多孔的。例如，如果所使用的材料在暴露於釋放化學物質時被緩慢地侵蝕，則金屬層和/或介電層的厚度會被保持足夠厚來渡過釋放工藝，而不是完全被侵蝕。在一態樣中，介電層是可以使用的可選層，例如，如果鈍化層是對於釋放化學物質沒有抗性的時候。

【0039】 第 7 圖示意用於保護根據本申請的一態樣的集積 CMOS-MEMS 裝置的介電層的示例性方法 700。在 702，可以通過金屬層覆蓋側壁來防止介電層經由集積 CMOS-MEMS 裝置的鈍化開口的側壁露出。作為例子，該金屬層可以各種沉積工藝沉積，例如，但不限於，濺射、蒸發、原子層沉積、增強化學氣相沉積和/或低壓化學氣相沉積等。在一態樣中，該金屬層可包括幾乎任何金屬或組合或對於用於釋放 CMOS-MEMS 裝置的 MEMS 結構的釋放化學物質有抗性的金屬。作為例子，該金屬層可以包括鋁、鋁-銅、鈦、和/或氮化鈦等

【0040】 在 704 中，MEMS 結構可以通過將 CMOS-MEMS 裝置暴露於釋放化學物質(例如，HF、VHF 等)而被釋放。釋放化學物質移除犧牲層，留下可移動的 MEMS 結構。在一態樣中，金屬層保護介電層，防止介電層通過鈍化開口的側壁而被暴露於釋放化學物質。因此，釋放化學物質不會損害 CMOS 層。

【0041】 以上所描述的包括本申請的例子。當然，

不可能爲了描述本申請而描述到組件或方法的每個可想到的組合，但是，應當理解的，本申請的許多進一步的組合和排列是可能的。因此，所要求保護的主題旨在涵蓋這些所有變化、修改和落入所附申請專利範圍的精神和範圍內的變化。

【0042】 尤其，對於由上述組件、裝置、系統等所執行的各種功能而言，即使結構上不等效於本文所公開用來執行本申請的示例性態樣所示的功能的結構，用來形容這些組件的術語(包括提及的“手段”)旨在對應於(除非另外指出)對於其中執行所述組件(例如，功能性均等物)的指定功能的任何組件。

【0043】 已經針對若干組件之間的相互作用描述上述系統和/或組件。可以理解到，這樣的系統和/或組件可以包括那些組件或指定的子組件、某些指定的組件或子組件、和/或附加的組件，以及基於上述組件的各種置換和組合。子組件也可以被實現爲以通信方式耦合至其它組件的組件，而非被包含在母組件(等級)內的組件。另外，應注意的是，一或多個組件可被組合成單個組件以提供聚合功能或被分成若干單獨的子組件，並且任何一或多個中間層，可以被設置成以通信方式耦合到這樣的子組件中以便提供集積功能。本文描述的任何組件也可以與本文中未具體描述的一或多種其它組件相互作用。

【0044】 另外，儘管本申請的特定特徵可能僅相對於若干實作中的其中一個而被公開，但這樣的特徵可以依

需要而與其它實作的一或多個其它特徵組合，而且有利於任何給定或特定的應用程序。此外，就本說明書或申請專利範圍中所使用的術語“包括”、“包括”、“具有”、“包含”、其變體，以及其它類似的詞語而言，這些術語意旨為包含的意義，其近於術語“包括”，作為開放的過渡詞，而不具有排除任何附加或其它元素的意思。

【符號說明】

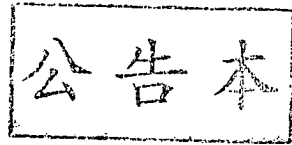
【0045】

● 100	CMOS 晶圓
102	襯底
104	介電層
106	鈍化層
108	金屬焊墊
110a、110b	鈍化開口
112	側壁
● 114	主阻障層
200	CMOS 晶圓
202	輔助阻障層
300	CMOS-MEMS 裝置
302	MEMS 結構
304	犧牲層
350	集積 CMOS-MEMS 裝置
400	CMOS 裝置
402	MEMS 結構

404a、404b	釋放孔
450	CMOS 裝置
500	系統
502	感測組件
504	矽晶圓
506	陣列
508	聲音傳感器
510	處理組件
512	數據存儲件
600、700	方法
602、604、606、702、704	步驟

I667188

發明摘要



※ 申請案號：104129131

※ 申請日：104.9.13

※ IPC 分類： B81B 7/00 (2006.1)
B81C 1/00 (2006.1)

【發明名稱】(中文/英文)

免除集積式互補金屬氧化物半導體 (CMOS) 及微機電 (MEMS) 裝置的化學防護

RELEASE CHEMICAL PROTECTION FOR INTEGRATED
COMPLEMENTARY METAL-OXIDE-SEMICONDUCTOR
(CMOS) AND MICRO-ELECTRO-MECHANICAL (MEMS)
DEVICES

【中文】

本發明提供系統及方法，其保護 CMOS 層免於暴露於釋放化學物質。該釋放化學物質被用於釋放與 CMOS 晶圓集積的微機電 (MEMS) 裝置。在互補金屬氧化物半導體 (CMOS) 晶圓中創建的鈍化開口的側壁暴露出該 CMOS 晶圓的介電層，其可能在與釋放化學物質接觸時而受到損傷。在一個態樣中，為了保護 CMOS 晶圓以及避免介電層的暴露，該鈍化開口的側壁可以用對該釋放化學物質具有抗性的金屬阻障層覆蓋。額外地或可選地，絕緣阻障層可以沉積在 CMOS 晶圓的表面上，以保護鈍化層免於暴露於釋放化學物質。

【英文】

Systems and methods that protect CMOS layers from exposure to a release chemical are provided. The release chemical is utilized to release a micro-electro-mechanical (MEMS) device integrated with the CMOS wafer. Sidewalls of passivation openings created in a complementary metal-oxide-semiconductor (CMOS) wafer expose a dielectric layer of the CMOS wafer that can be damaged on contact with the release chemical. In one aspect, to protect the CMOS wafer and prevent exposure of the dielectric layer, the sidewalls of the passivation openings can be covered with a metal barrier layer that is resistant to the release chemical. Additionally or optionally, an insulating barrier layer can be deposited on the surface of the CMOS wafer to protect a passivation layer from exposure to the release chemical.

【代表圖】

【本案指定代表圖】：第（ 6 ）圖。

【本代表圖之符號簡單說明】：

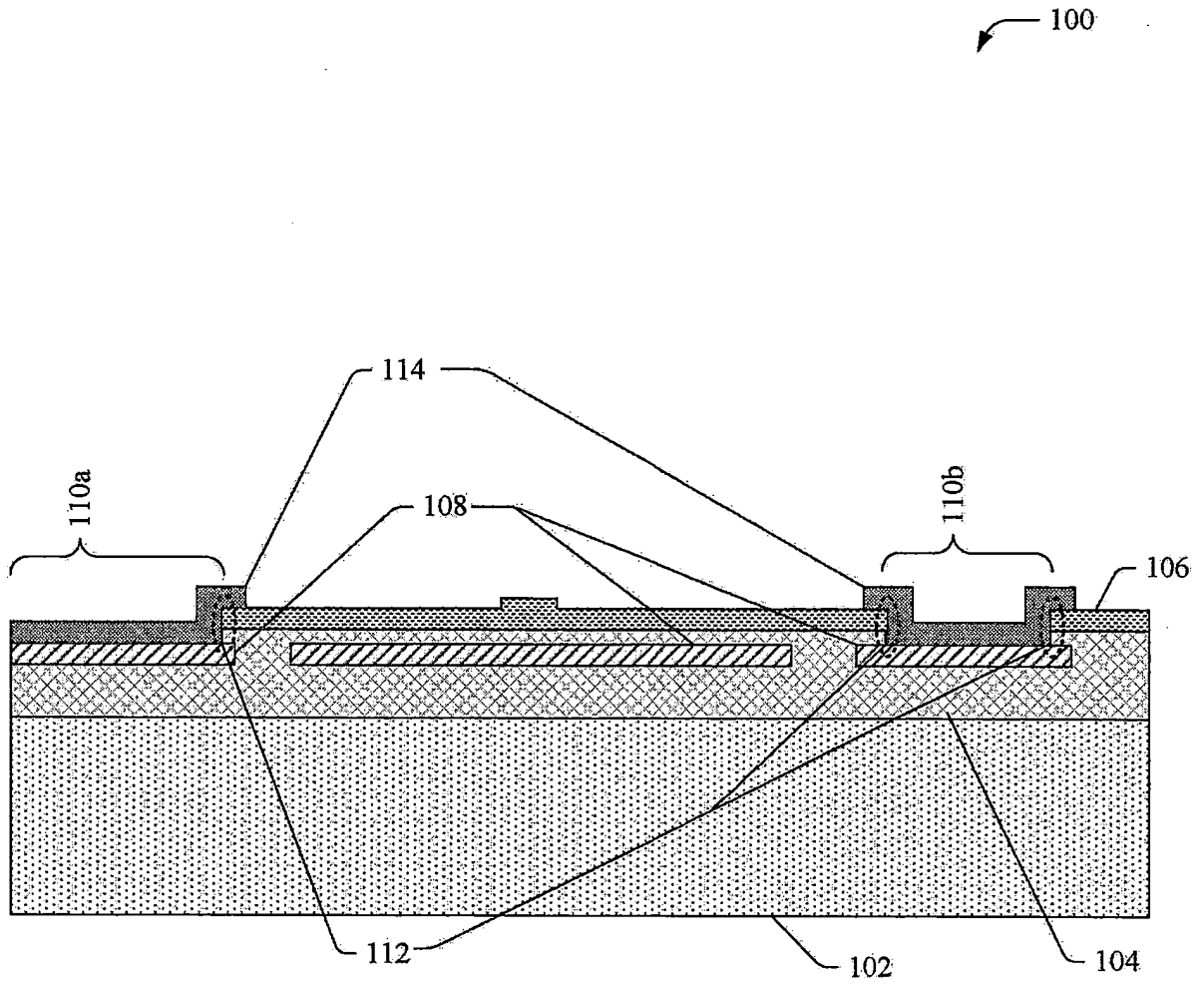
600 方法

602、604、606 步驟

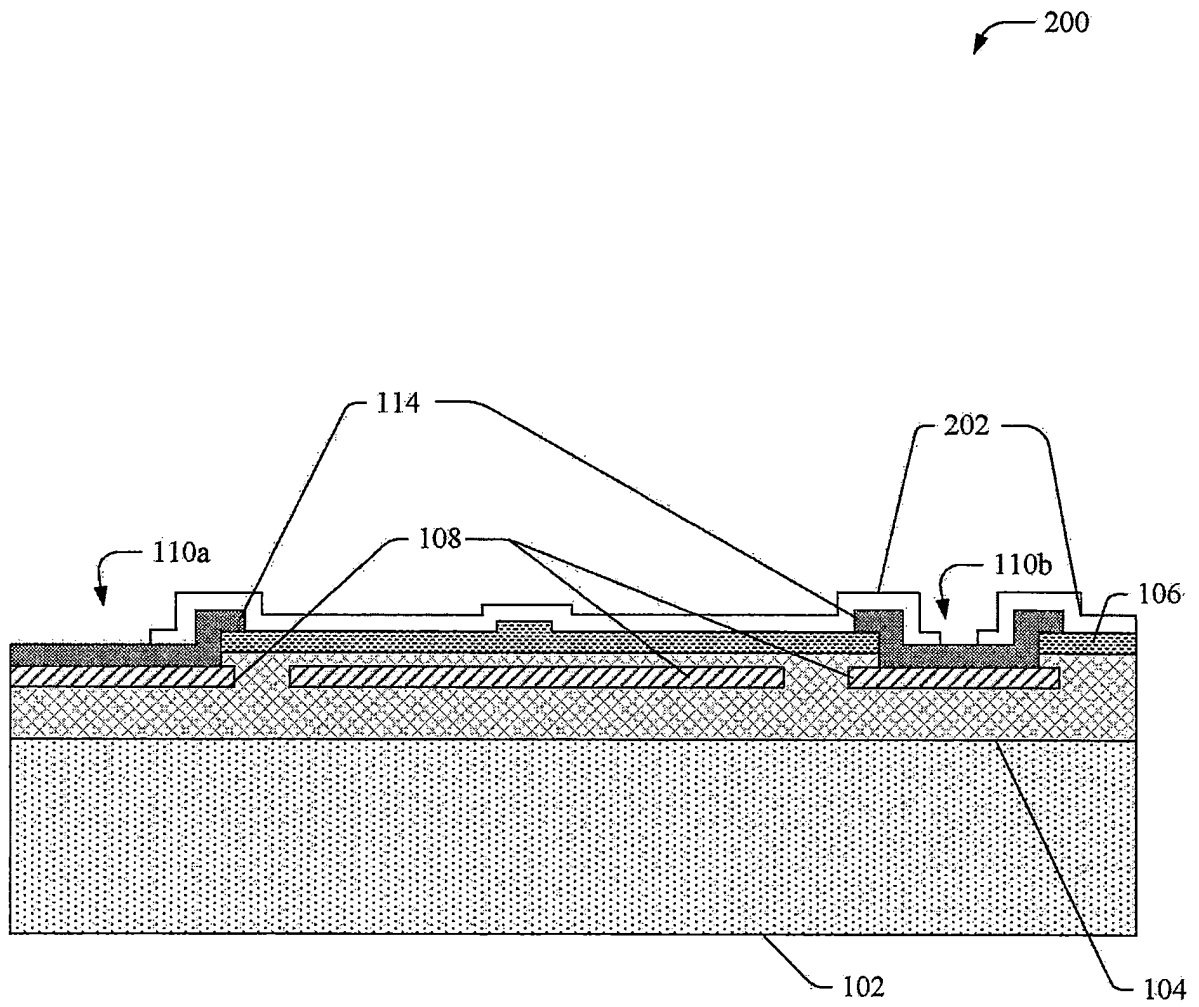
【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式。

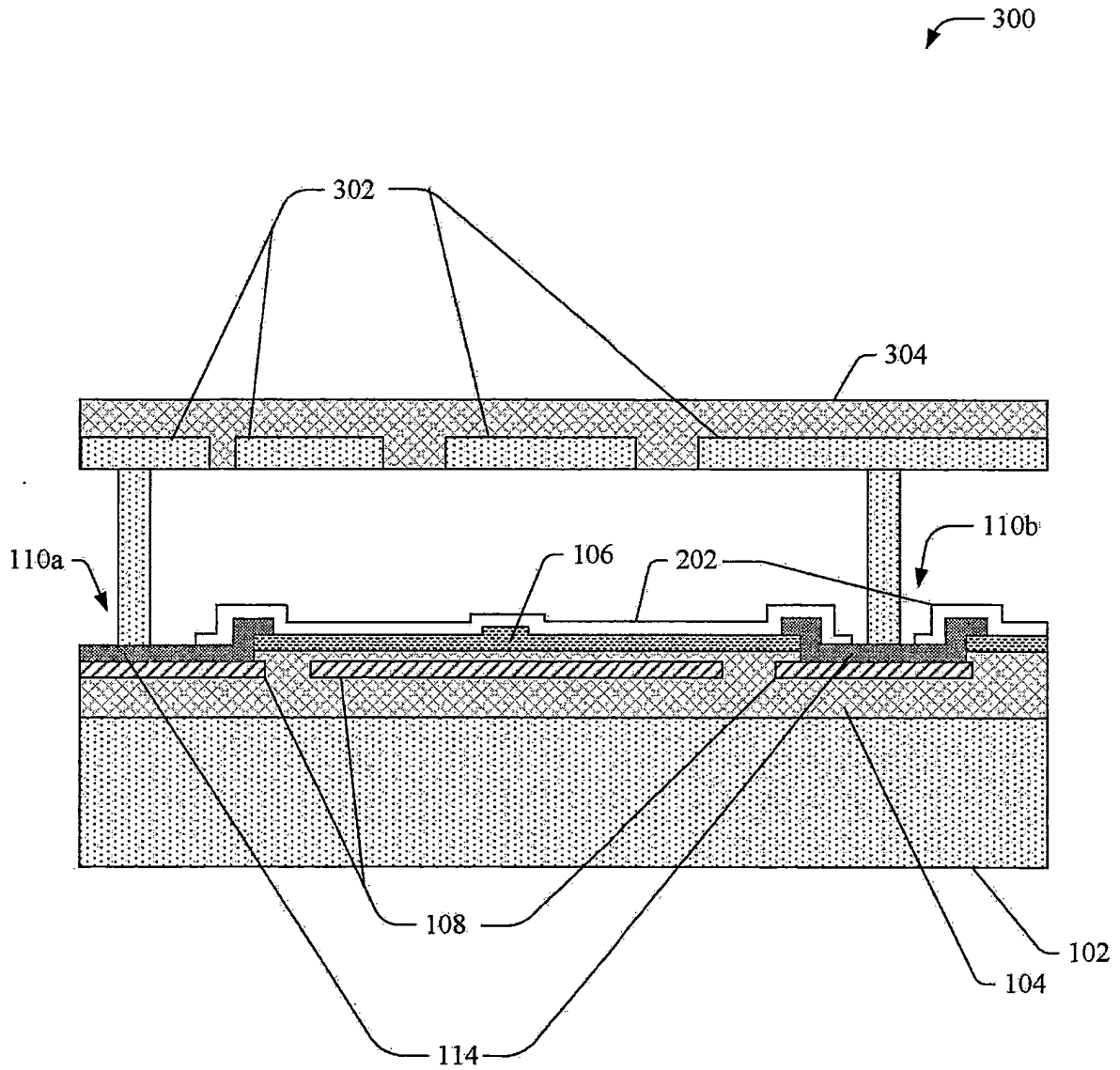
圖式



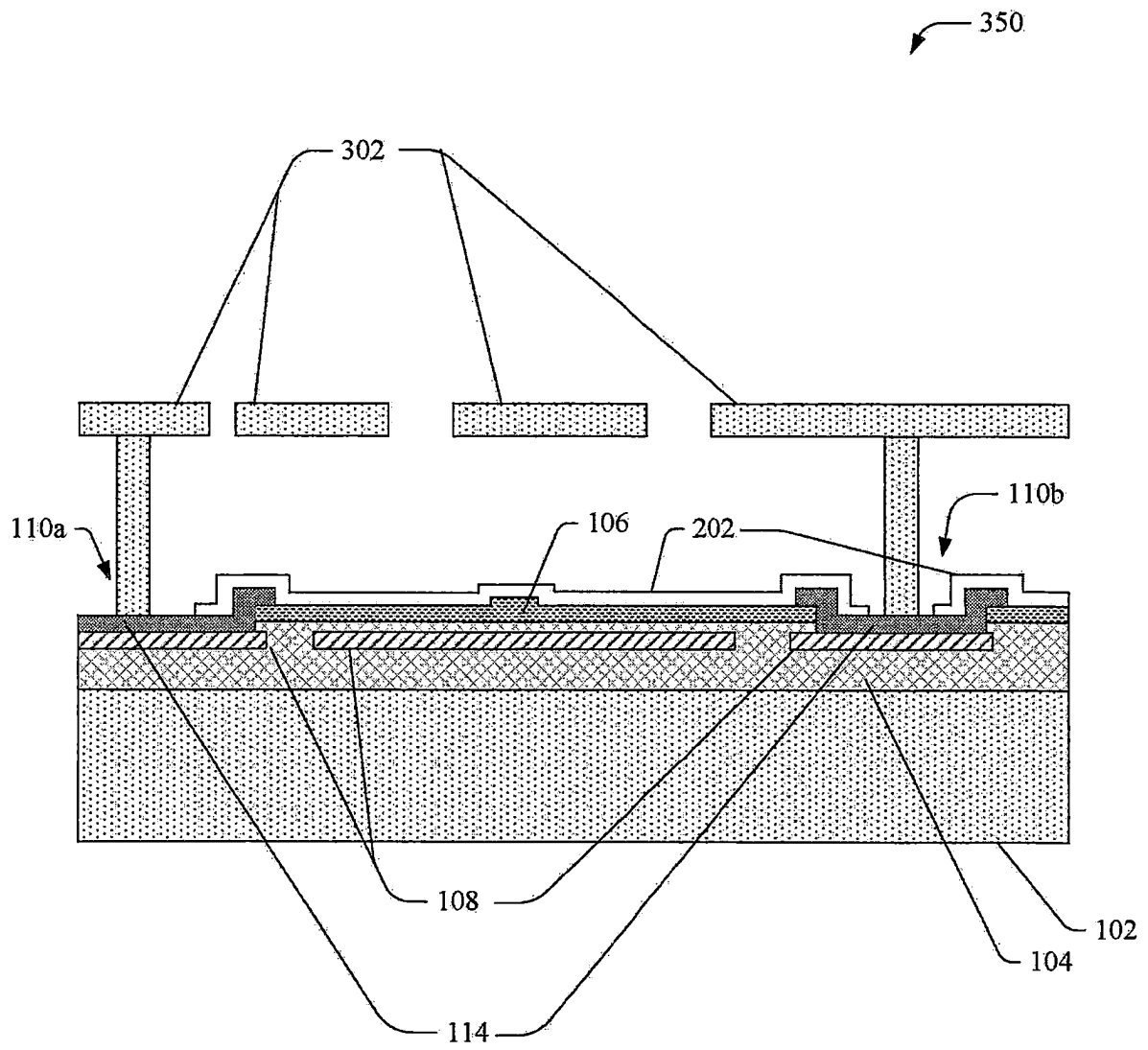
第1圖



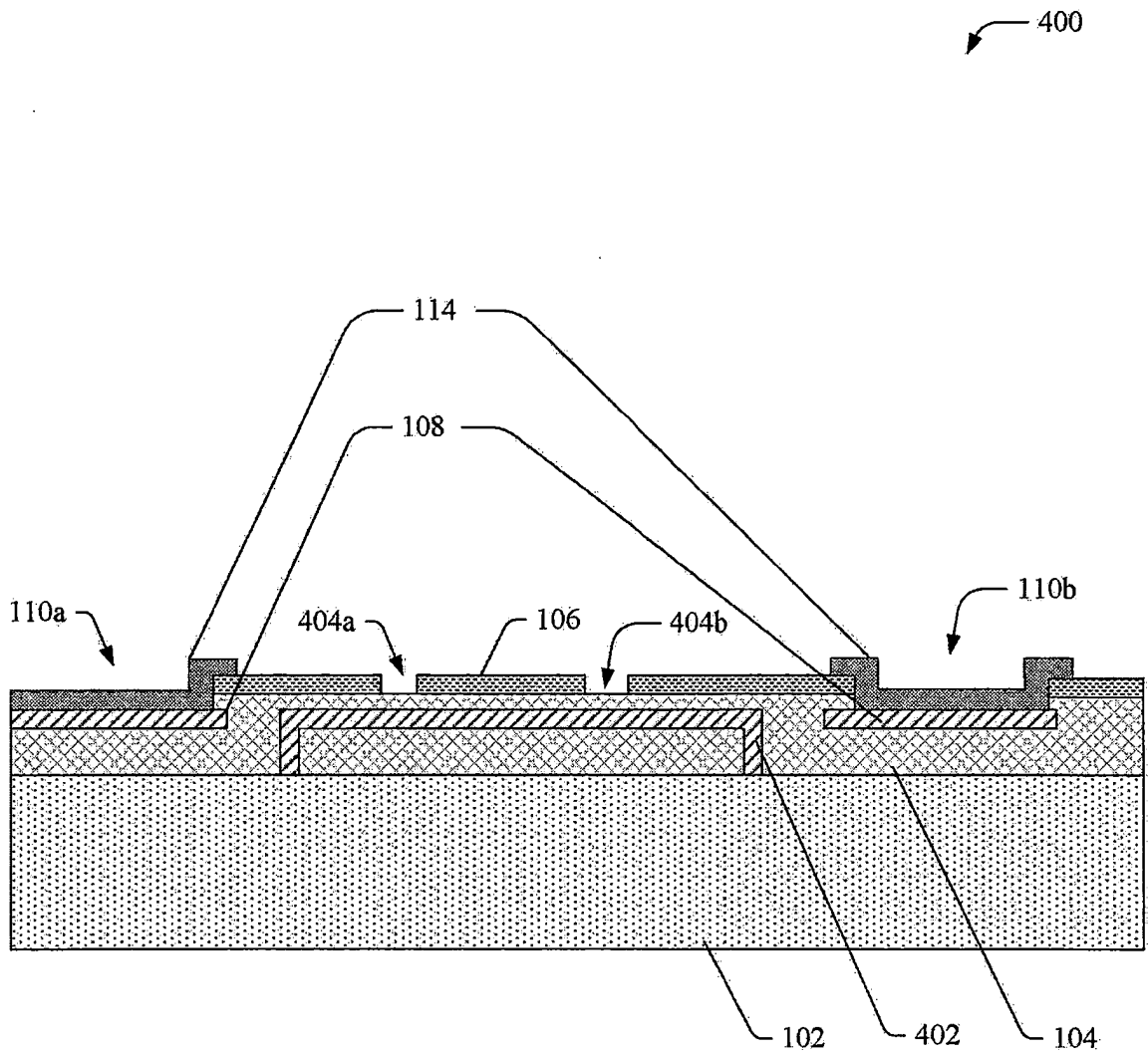
第2圖



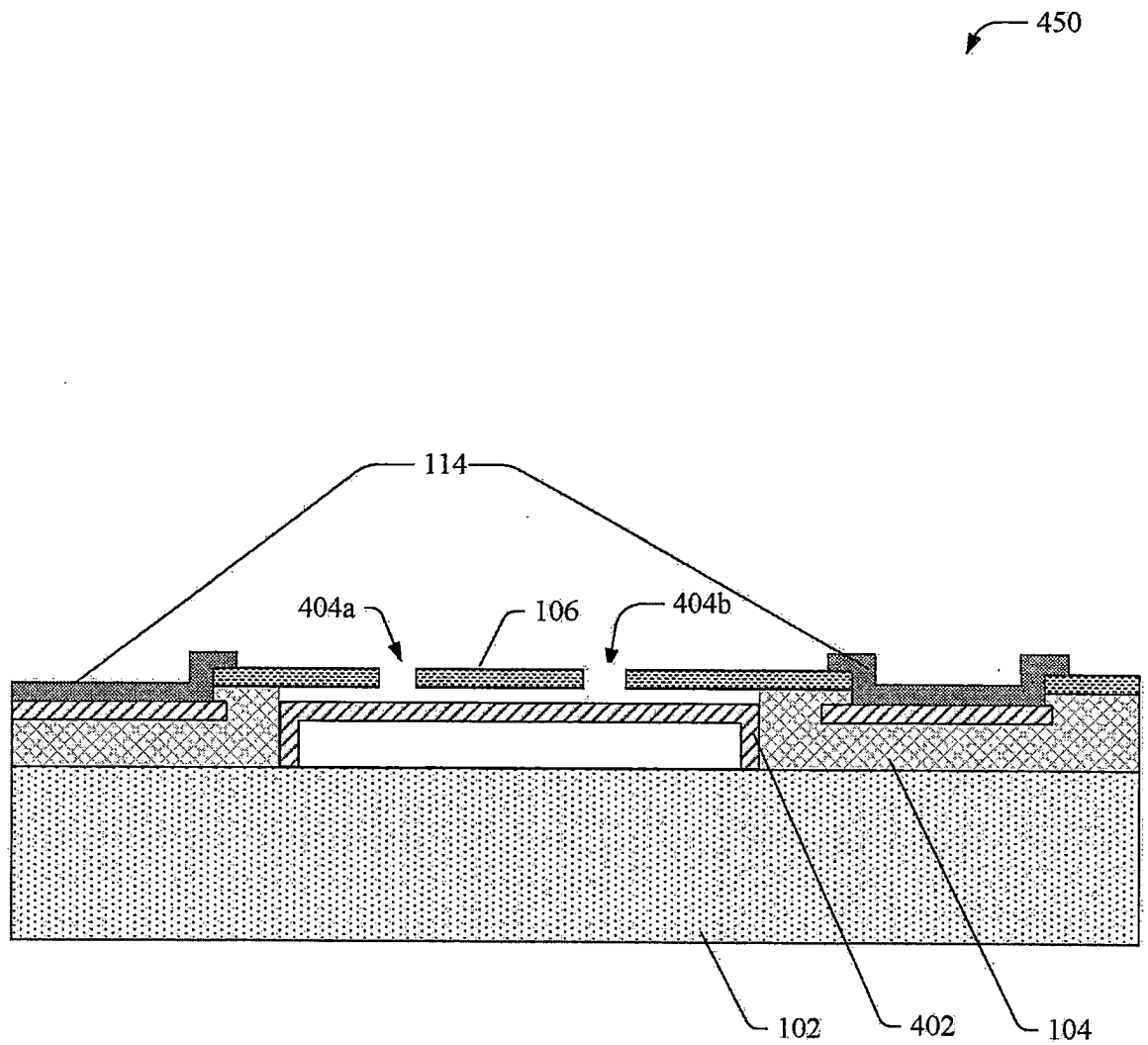
第3A圖



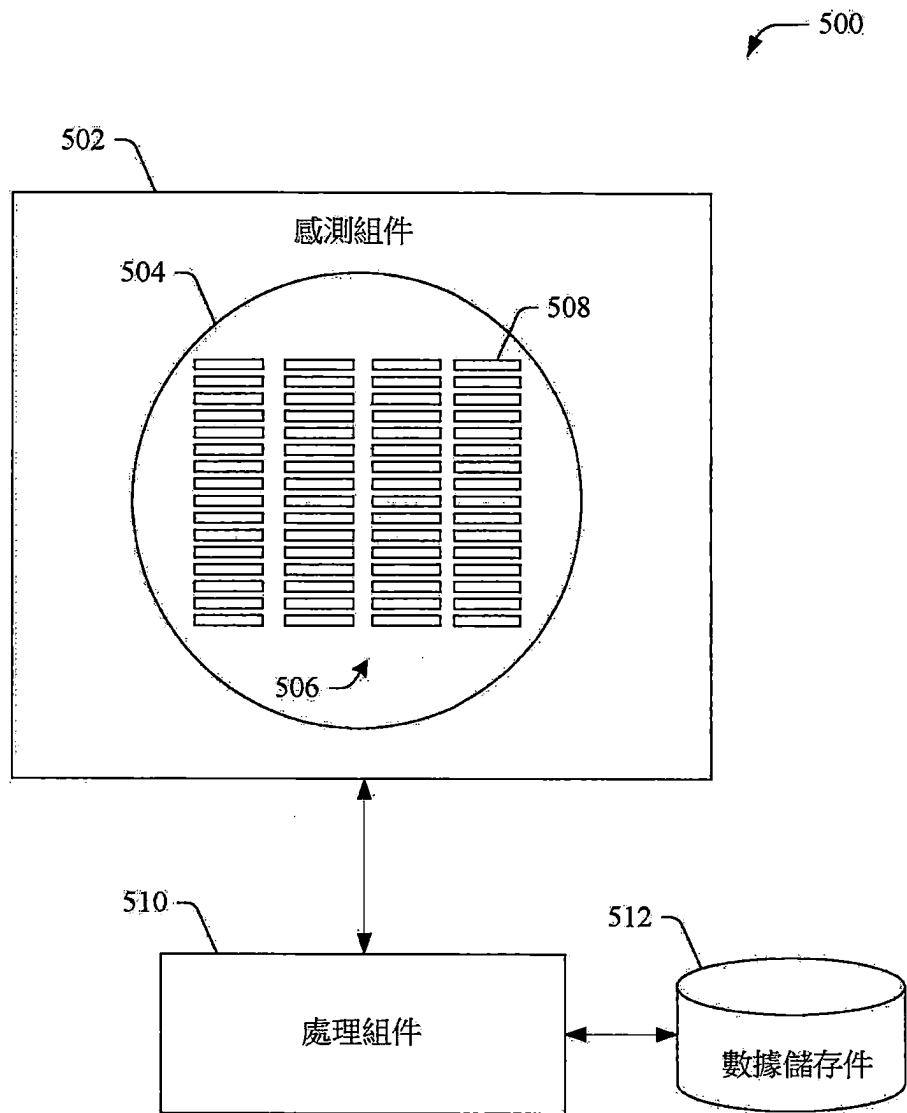
第3B圖



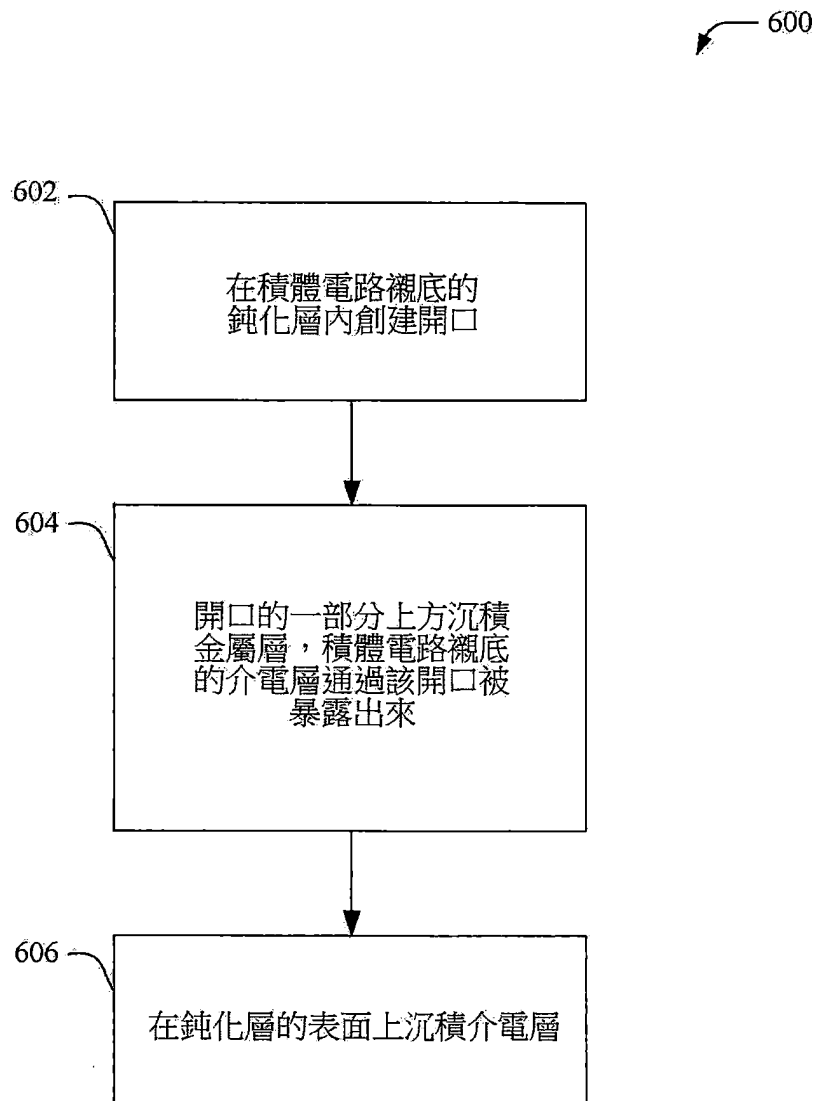
第4A圖



第4B圖

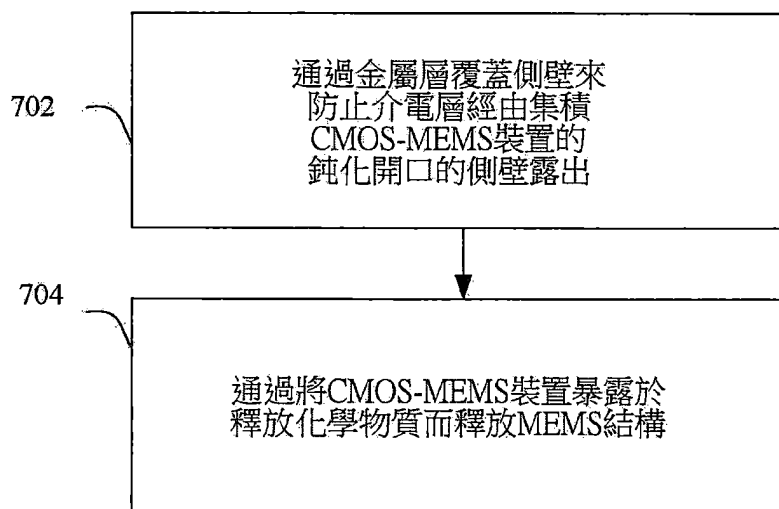


第5圖



第6圖

700



第7圖

申請專利範圍

1. 一種半導體裝置，包括：

積體電路襯底，其包括鈍化開口，該鈍化開口具有側壁，該側壁暴露該積體電路襯底的介電層的一部分；

第一阻障層，其沉積在該側壁上，該第一阻障層防止該介電層暴露於可用以釋放與該積體電路襯底集積的微機電(MEMS)裝置的釋放化學物質，其中，該第一阻障層包括金屬；以及

第二阻障層，其包括電絕緣層，該第二阻障層設置在該第一阻障層之覆蓋該介電層之暴露的該部分的一部分正上方，其中，該第二阻障層至少對該釋放化學物質有部分抗性，並且其中，該第一阻障層設置在該第二阻障層與該介電層之間。

2. 如申請專利範圍第 1 項所述的半導體裝置，其中，該鈍化開口暴露出該積體電路襯底的金屬焊墊。
3. 如申請專利範圍第 2 項所述的半導體裝置，其中，該鈍化開口有利於經由該金屬焊墊而將該積體電路襯底接合至該 MEMS 裝置的接合，其中，該接合包括共晶接合、金屬壓縮接合、熔合接合、陽極接合或銅對銅接合中的至少一者。
4. 如申請專利範圍第 2 項所述的半導體裝置，其中，該鈍化開口暴露出線接合墊以利於封裝該半導體裝置。
5. 如申請專利範圍第 2 項所述的半導體裝置，其中，該

- 鈍化開口暴露出探針墊。
6. 如申請專利範圍第 1 項所述的半導體裝置，其中，該積體電路襯底包括互補金屬氧化物半導體(CMOS)層。
 7. 如申請專利範圍第 1 項所述的半導體裝置，其中，該第一阻障層是由鋁、鋁-銅、鈦、或氮化鈦中的至少一者所製成。
 8. 如申請專利範圍第 1 項所述的半導體裝置，其中，該釋放化學物質包括氣相氫氟酸或液相氫氟酸中的至少一者。
 9. 如申請專利範圍第 1 項所述的半導體裝置，其中，該第一阻障層係經由濺射、蒸發、原子層沉積、電漿增強化學氣相沉積、或低壓化學氣相沉積工藝中的至少一者而沉積在該側壁上。
 10. 如申請專利範圍第 1 項所述的半導體裝置，其中該 MEMS 裝置是製於該積體電路襯底內。
 11. 如申請專利範圍第 1 項所述的半導體裝置，其中，該第二阻障層係沉積在該積體電路襯底的表面上，用以保護該表面免受該釋放化學物質侵襲。
 12. 如申請專利範圍第 1 項所述的半導體裝置，其中，該第二阻障層包括介電材料。
 13. 如申請專利範圍第 1 項所述的半導體裝置，其中，該介電層包括氧化矽層或氮化矽層中的至少一者。
 14. 一種製造半導體裝置的方法，包括：

在積體電路襯底的鈍化層中創建開口，其中，該

開口的側壁暴露出該積體電路襯底的介電層的一部分；

沉積第一阻障層於該側壁上，以保護該介電層免受釋放化學物質侵襲，該釋放化學物質可被用以釋放與該積體電路襯底集積的微機電(MEMS)裝置，其中，該第一阻障層包括金屬；以及

沉積第二阻障層，該第二阻障層包括電絕緣層，該第二阻障層設置在該第一阻障層之覆蓋該介電層之暴露的該部分的一部分正上方，其中，該第二阻障層至少對該釋放化學物質有抗性，並且其中，該第一阻障層係設置在該第二阻障層與該介電層之間。

15. 如申請專利範圍第 14 項所述的方法，其中，該沉積包括沉積該金屬於該積體電路襯底上，以及圖案化該金屬，以留下該金屬的一部分，該部分在該側壁上形成該第一阻障層。
16. 如申請專利範圍第 15 項所述的方法，其中，沉積該金屬包括沉積鋁、鋁-銅、鈦、或氮化鈦中的至少一者。
17. 如申請專利範圍第 14 項所述的方法，還包括：

將與該積體電路襯底集積的該 MEMS 裝置暴露於該釋放化學物質，其中，該暴露有利於移除該 MEMS 裝置的犧牲層。

18. 如申請專利範圍第 17 項的方法，其中，該暴露包括使該 MEMS 裝置暴露於氣相氫氟酸或液相氫氟酸中的至少一者。

19. 如申請專利範圍第 14 項的方法，其中，創建該開口包括暴露該積體電路襯底的金屬焊墊。
20. 如申請專利範圍第 19 項所述的方法，還包括：
在創建該開口後，利用該金屬焊墊將該積體電路襯底接合至該 MEMS 裝置。
21. 如申請專利範圍第 20 項的方法，其中，該接合包括利用共晶接合、金屬壓縮接合、熔合接合、陽極接合、或銅對銅接合中的至少一者，而將該積體電路襯底接合至該 MEMS 裝置。
22. 如申請專利範圍第 14 項的方法，其中，該沉積包括基於濺射、蒸發、原子層沉積、電漿增強化學氣相沉積、或低壓化學氣相沉積工藝中的至少一者來沉積該第一阻障層。
23. 如申請專利範圍第 14 項的方法，其中，該第二阻障層係沉積於該積體電路襯底的表面上，以保護該表面免受該釋放化學物質侵襲。
24. 如申請專利範圍第 14 項的方法，其中，沉積該第二阻障層包括沉積介電材料。
25. 一種集積裝置，包括：
互補金屬氧化物半導體(CMOS)晶圓；以及
微機電(MEMS)裝置，其與該 CMOS 晶圓集積，
其中，該 MEMS 裝置包括犧牲層，該犧牲層可通過使用釋放化學物質而被移除，以及
其中，該 CMOS 晶圓包括鈍化層與阻障材料，該

鈍化層具有開口，該開口具有暴露該 CMOS 晶圓的介電層的側壁，該阻障材料包括對該釋放化學物質有抗性的金屬，該阻障材料覆蓋該側壁。