



SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

する。開閉トランジスタは、電流回路(1a), (1b)とコンデンサ(C1), (C2)との間に接続され、コンデンサ(C1), (C2)の電圧に応じて、電流回路(1a), (1b)とコンデンサ(C1), (C2)との間を開閉する。信号出力トランジスタ(M5), (M6)は、電流回路(1a), (1b)と開閉トランジスタ(M2), (M4)との間にゲートが接続され、充電電流に応じて、信号をフリップフロップ(2)に出力する。フリップフロップ(2)は、信号に応じて、放電トランジスタ(M1), (M3)を交互に駆動する。

明 細 書

電流制御発振器

技術分野

[0001] 本発明は電流制御発振器に関し、特に制御電流によって発振周波数に変化する電流制御発振器に関する。

背景技術

[0002] 電流や電圧によって制御される発振器は、データ通信システムの基本的な部分であるクロック復元や、ビット同期ブロックにおけるPLL (Phase Locked Loop) で広く利用されている。このような発振器に、二重コンデンサを利用した電流制御発振器、電圧制御発振器がある(例えば、非特許文献1, 2、特許文献1参照)。

[0003] 図9は、従来の二重コンデンサによる電流制御発振器の回路図である。図に示すように電流制御発振器は、PMOSのトランジスタM101, M103, M105〜M107、NMOSのトランジスタM102, M104、コンデンサC101, C102、電流源I101、コンパレータ101, 102、およびRSのフリップフロップ103を有している。

[0004] トランジスタM101, M102, M106とコンデンサC101とで1つの遅延回路を構成し、トランジスタM103, M104, M107とコンデンサC102とで1つの遅延回路を構成している。各遅延回路のコンデンサC101, C102が、交互に充放電を行うことによって、発振信号を発生する。

[0005] トランジスタM105, M106, M107は、カレントミラー回路を構成している。このカレントミラー回路は、電流源I101の電流を、トランジスタM106, M107へ折り返している。

[0006] 遅延回路を構成しているトランジスタM101, M102は、ゲートにL状態の信号が入力されると、トランジスタM101がオンし、トランジスタM102がオフする。これにより、コンデンサC101には、トランジスタM106からの電流(電荷)が充電されることになる。また、トランジスタM101, M102は、ゲートにH状態の信号が入力されると、トランジスタM101がオフし、トランジスタM102がオンする。これにより、コンデンサC101は、電圧V_{ss}(電圧V_{dd}の電源のグランド電圧)のノードにショートされ、充電していた

電荷を放電する。もう1つの遅延回路を構成しているトランジスタM103, M104およびコンデンサC102も、上記のトランジスタM101, M102およびコンデンサC101と同様に、トランジスタM107から流れる電流を充放電する。

- [0007] コンデンサC101, C102の電圧は、コンパレータ101, 102に入力される。コンパレータ101, 102は、基準電圧Vrefが入力されており、この基準電圧VrefとコンデンサC101, C102の電圧を比較し、比較結果をフリップフロップ103へ出力する。例えば、コンパレータ101, 102は、コンデンサC101, C102の電圧が基準電圧Vrefより大きくなると、H状態の信号を出力する。
- [0008] フリップフロップ103のS端子には、コンパレータ101からの信号が入力され、R端子には、コンパレータ102からの信号が入力される。フリップフロップ103は、S端子に入力される信号がH状態になると、Q端子からH状態の信号を出力する。すなわち、フリップフロップ103は、コンデンサC101に電荷が充電され、コンデンサC101の電圧が基準電圧Vrefを超えると、Q端子からH状態の信号を出力する。Q端子から出力されるH状態の信号は、トランジスタM101, M102のゲートに出力される。これによって、トランジスタM102がオンし、コンデンサC101の電荷が放電される。
- [0009] 一方、フリップフロップ103のXQ端子からは、S端子に入力されるH状態の信号により、L状態の信号が出力される。これによって、トランジスタM103がオンし、コンデンサC102に電荷が充電される。コンデンサC102の電圧が充電によって基準電圧Vrefを超えると、コンパレータ102からH状態の信号が出力される。フリップフロップ103は、R端子にH状態の信号が入力されることにより、Q端子からL状態、XQ端子からH状態の信号を出力する。これによって、今度はコンデンサC101に電荷が充電され、コンデンサC102が放電を行う。
- [0010] このように、コンデンサC101, C102が交互の充放電を繰り返すことにより、図に示すノードN101, N102から発振信号が得られる。また、電流源I101の電流量を制御することにより、コンデンサC101, C102の充電速度を変えることができ、発振信号の周波数を変えることができる。
- [0011] 図10は、コンデンサの充放電を説明する図である。図に示す波形W101, W102は、コンデンサC101(ノードN101)の電圧の変化を示している。波形W103, W10

4は、コンデンサC102(ノードN102)の電圧の変化を示している。

[0012] 波形W101に示すように、コンデンサC101は、トランジスタM106からの電流により、電圧が上昇する。そして、コンデンサC101の電圧がコンパレータ101に入力されている基準電圧Vrefに達すると、波形W102に示すように電荷の放電が行われ、波形W103に示すように、コンデンサC102の電荷の充電が行われる。充電によってコンデンサC102の電圧が基準電圧Vrefに達すると、波形W104に示すように電荷の放電が行われる。このように、コンデンサC101, C102が充放電を繰り返すことにより、発振信号が得られる。

[0013] ところで、図に示す電流制御発振器の周期Tは、次の式(1)で示される。

$$T=2(C * V_{ref} / I_c + T_d) \dots (1)$$

ここで、CはコンデンサC101, C102の容量、IcはコンデンサC101, C102に流れる電流、Tdはコンパレータ101, 102による遅れ時間(電圧比較をするのに生じる時間)である。従って、発振信号の周波数fは、次の式(2)で示される。

[0014] $f = I_c / 2 * (C * V_{ref} + T_d * I_c) \dots (2)$

図11は、コンデンサに充電される電流と発振信号の周波数の関係を示した図である。図の波形W111は、電流源I101の電流と周波数の理想の関係を示している。波形W112は、電流源I101の電流と周波数の実際の関係を示している。波形W111に示すように、電流源I101の電流を増加させると、それに比例して発振信号の周波数が増加するのが望ましい。

[0015] 式(2)の分子のIcにより、電流源I101の電流を増加させると、周波数も大きくなる。しかし、分母にもIcが存在するため、波形W112に示すように非線形となる。すなわち、コンパレータ101, 102の遅れによる時間Tdによって、電流と周波数の関係は非線形となる。そのため、電流源I101の電流を増加しても、周波数の高域が伸びず、周波数レンジが狭くなってしまう。なお、コンパレータ101, 102の遅れは、コンパレータ101, 102自身が持つ遅れと、入力段に接続されているトランジスタM101～M104の寄生容量、コンデンサC101, C102の容量によって生じる遅れとがある。

非特許文献1:M. Flynn, and S. Lidholm, "A 1.2-um CMOS Current-Controlled Oscillator," In IEEE Journal of Solid State Circuits, Vol. 27, No. 7, pp. 982-987,

July 1992.

非特許文献2:M. Banu, "MOS oscillators with multi-decade tuning range and gigahertz maximum speed," IEEE J. Solid-State Circuits, vol. 23, pp. 1386-1393, Dec. 1988.

特許文献1:特開平8-265108号公報

発明の開示

発明が解決しようとする課題

[0016] このように、コンパレータ101, 102の遅れによって、発振信号の周波数レンジが狭いという問題点があった。

また、コンパレータ101, 102の比較を速くして周波数レンジを広くしようとすると、消費電力が大きくなるという問題点があった。

[0017] 本発明はこのような点に鑑みてなされたものであり、消費電力を大きくすることなく、発振信号の周波数レンジを広くすることができる電流制御発振器を提供することを目的とする。

課題を解決するための手段

[0018] 本発明では上記問題を解決するために、図1に示すような制御電流によって発振周波数が増減する電流制御発振器において、制御電流に基づく充電電流を出力する2つの電流回路1a, 1bと、電流回路1a, 1bに対応して設けられ、充電電流が供給されるコンデンサC1, C2と、コンデンサC1, C2に対応して設けられ、コンデンサC1, C2の電荷を放電する放電トランジスタM1, M3と、電流回路1a, 1bとコンデンサC1, C2との間に接続され、コンデンサC1, C2の電圧に応じて、電流回路1a, 1bとコンデンサC1, C2との間を開閉する開閉トランジスタM2, M4と、電流回路1a, 1bに対応して設けられ、電流回路1a, 1bから開閉トランジスタM2, M4に出力される充電電流に応じて、信号を出力する信号出力トランジスタM5, M6と、信号に応じて、放電トランジスタM1, M3を交互に駆動するフリップフロップ2と、を有することを特徴とする電流制御発振器が提供される。

[0019] このような電流制御発振器によれば、充放電を行うコンデンサC1, C2の電圧に応じて、開閉トランジスタM2, M4が電流回路1a, 1bとコンデンサC1, C2との間を開

閉する。そして、信号出力トランジスタM5, M6は、コンデンサC1, C2と電流回路1a, 1bとの間が切り離されると、充電電流によって直ちに信号をフリップフロップ2に出力する。これにより、信号の遅れが解消される。また、コンパレータを用いずに、コンデンサC1, C2の電圧に応じた信号をフリップフロップ2に出力する。

[0020] また、本発明では上記課題を解決するために、制御電流によって発振周波数が変化する電流制御発振器において、制御電流に基づく充電電流を出力する電流回路と、充電電流が供給されるコンデンサと、コンデンサの電荷を放電する放電トランジスタと、電流回路とコンデンサとの間に接続され、コンデンサの電圧に応じて、電流回路とコンデンサとの間を開閉する開閉トランジスタと、を有する遅延回路と、電流回路から開閉トランジスタに出力される充電電流に応じて、信号を出力する信号出力トランジスタと、を有することを特徴とする電流制御発振器が提供される。

[0021] このような電流制御発振器によれば、遅延回路の充電電流が供給されるコンデンサと充電電流を供給する電流回路との間に、コンデンサの電圧に応じて、電流回路とコンデンサとの間を開閉する開閉トランジスタを設けるようにした。そして、電流回路から開閉トランジスタに出力される充電電流に応じて、信号を出力する信号出力トランジスタを設けるようにした。これによって、信号の遅れが解消される。また、コンパレータを用いずに、コンデンサの電圧に応じた信号を出力する。

発明の効果

[0022] 本発明の電流制御発振器では、充放電を行うコンデンサの電圧に応じて、電流回路とコンデンサとを切り離し、信号出力トランジスタが充電電流に応じて直ちに信号を出力するようにした。これによって、コンデンサによる信号の遅れが解消され、また、コンパレータを用いずに、信号出力トランジスタによって信号をフリップフロップに出力するので、消費電力を増加させることなく、周波数レンジを広くすることができる。

[0023] また、本発明の電流制御発振器では、遅延回路を、充放電を行うコンデンサの電圧に応じて、電流回路とコンデンサとを切り離すように構成し、信号出力トランジスタが充電電流に応じて直ちに信号を出力するようにした。これによって、コンデンサによる信号の遅れが解消され、また、コンパレータを用いずに、信号出力トランジスタによって信号をフリップフロップに出力するので、消費電力を増加させることなく、周波数

レンジを広くすることができる。

[0024] 本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

- [0025] [図1]電流制御発振器の概要を示した図である。
[図2]第1の実施の形態に係る電流制御発振器の回路図である。
[図3]図2の遅延回路の回路図である。
[図4]電流制御発振器の各部の電圧変化を示した図である。
[図5]フリップフロップの回路図である。
[図6]図5のNAND回路の詳細な回路図である。
[図7]図2の電流制御発振器における制御電流と発振信号の周波数の関係を示した図である。
[図8]第2の実施の形態に係る電流制御発振器の回路図である。
[図9]従来の二重コンデンサによる電流制御発振器の回路図である。
[図10]コンデンサの充放電を説明する図である。
[図11]コンデンサに充電される電流と発振信号の周波数の関係を示した図である。

発明を実施するための最良の形態

[0026] 以下、本発明の原理を図面を参照して詳細に説明する。

図1は、電流制御発振器の概要を示した図である。図に示すように電流制御発振器は、NMOSの放電トランジスタM1、M3、NMOSの開閉トランジスタM2、M4、NMOSの信号出力トランジスタM5、M6、PMOSのトランジスタM7、M8、電流源I1、電流回路1a、1b、およびフリップフロップ2を有している。

[0027] 電流回路1a、1bは、電流源I1の制御電流に基づいて、充電電流を出力する。コンデンサC1、C2は、電流回路1a、1bに対応して設けられ、電流回路1a、1bから充電電流が供給される。放電トランジスタM1、M3は、コンデンサC1、C2に対応して設けられ、コンデンサC1、C2に充電されている電荷を放電する。

[0028] 開閉トランジスタM2、M4は、電流回路1a、1bに対応して設けられ、コンデンサC1、C2の電圧に応じて、電流回路1a、1bとコンデンサC1、C2との間を開閉する。例え

ば、開閉トランジスタM2, M4は、ゲートに基準電圧Vrefが入力され、基準電圧VrefとコンデンサC1, C2の電圧の差がしきい値電圧以下になるとオフし、電流回路1a, 1bとコンデンサC1, C2との間をハイインピーダンスにして切り離す。

[0029] 信号出力トランジスタM5, M6は、電流回路1a, 1bに対応して設けられ、ゲートが電流回路1a, 1bと開閉トランジスタM2, M4との間に接続されている。信号出力トランジスタは、電流回路1a, 1bから出力される充電電流に応じて、H状態およびL状態の信号をフリップフロップ2に出力する。例えば、コンデンサC1, C2が所定の電圧になり、開閉トランジスタM2, M4によって電流回路1a, 1bとコンデンサC1, C2との間が切り離されると、充電電流は、信号出力トランジスタM5, M6のゲートに流れ込むことになる。これにより、信号出力トランジスタM5, M6のゲートの電圧は直ちに上昇し(ゲートのインピーダンスは非常に大きい)、オンすることになる。

[0030] フリップフロップ2は、信号出力トランジスタM5, M6からの信号に応じて、交互に放電トランジスタM1, M3を駆動する。トランジスタM7, M8は、信号出力トランジスタM5, M6と接続されてインバータを構成している。トランジスタM7, M8は、ゲートにバイアス電圧Vbiasが入力され、常時オンしている。

[0031] このように、充放電を行うコンデンサC1, C2の電圧に応じて、電流回路1a, 1bとコンデンサC1, C2とを切り離し、信号出力トランジスタM5, M6が充電電流によって直ちに信号を出力するようにした。これによって、信号の遅れが解消され、また、コンパレータを用いずに、信号出力トランジスタM5, M6によって信号をフリップフロップ2に出力するので、消費電力を増加させることなく、周波数レンジを広くすることができる。

[0032] 次に、本発明の第1の実施の形態を図面を参照して詳細に説明する。

図2は、第1の実施の形態に係る電流制御発振器の回路図である。図に示すように電流制御発振器は、NMOSのトランジスタM11～M14, M18, M19、PMOSのトランジスタM15～M17, M20, M21、コンデンサC11, C12、電流源I11、およびRSのフリップフロップ11を有している。これらの素子は、例えば、1つの半導体チップ上に形成される。なお、トランジスタM11のドレインのノードをノードN11、トランジスタM12のドレインのノードをノードN12、トランジスタM13のドレインのノードをノードN1

3、およびトランジスタM14のドレインのノードをノードN14とする。

[0033] トランジスタM15, M16のソースは、電圧Vddの電源のノードと接続されている。トランジスタM15, M16のゲートは、互いに接続され、トランジスタM15のドレインおよび電流源I11と接続されている。トランジスタM16のドレインは、トランジスタM12のドレインと接続されている。

[0034] トランジスタM12のゲートには、基準電圧Vrefが入力される。トランジスタM12のソースは、トランジスタM11のドレインと接続されている。

トランジスタM11のゲートは、フリップフロップ11のQ端子と接続されている。トランジスタM11のソースは、電圧Vss(電圧Vddの電源のグランド電圧)のノードと接続されている。トランジスタM11のドレイン-ソース間には、コンデンサC11が接続されている。

[0035] トランジスタM17のゲートは、トランジスタM15, M16のゲートと接続されている。トランジスタM17のソースは、電圧Vddのノードと接続されている。トランジスタM17のドレインは、トランジスタM14のドレインと接続されている。

[0036] トランジスタM14のゲートには、基準電圧Vrefが入力される。トランジスタM14のソースは、トランジスタM13のドレインと接続されている。

トランジスタM13のゲートは、フリップフロップ11のXQ端子と接続されている。トランジスタM13のソースは、電圧Vssのノードと接続されている。トランジスタM13のドレイン-ソース間には、コンデンサC12が接続されている。

[0037] トランジスタM20, M21のゲートには、バイアス電圧Vbiasが入力されている。トランジスタM20, M21のソースは、電圧Vddのノードと接続されている。トランジスタM20, M21のドレインは、トランジスタM18, M19のドレインと接続され、また、フリップフロップ11のXS端子、XR端子と接続されている。

[0038] トランジスタM18, M19のゲートは、トランジスタM12, M14のドレインと接続されている。トランジスタM18, M19のソースは、電圧Vssのノードと接続されている。

[0039] トランジスタM15~M17は、カレントミラー回路を構成している。このカレントミラー回路は、電流源I11の電流を、トランジスタM16, M17へ折り返している。

電流源I11の電流は制御することができるようになっている。電流源I11の電流量を

制御することによって、コンデンサC11, C12の充電の速さを変え、発振信号の周波数を変えることができる。

[0040] トランジスタM11, M12, M16とコンデンサC11とで1つの遅延回路を構成し、トランジスタM13, M14, M17とコンデンサC12とで1つの遅延回路を構成している。各遅延回路のコンデンサC11, C12が、交互に充放電を行うことによって、発振信号を発生する。ここで、トランジスタM11, M12, M16とコンデンサC11とで構成される遅延回路について詳細に説明する。

[0041] 図3は、図2の遅延回路の回路図である。図2と同じものには同じ符号を付し、その説明を省略する。

トランジスタM11は、フリップフロップ11のXQ端子から出力される信号に応じてオン/オフする。トランジスタM11は、ゲートにH状態の信号が入力されるとオンし、コンデンサC11に充電されている電荷を放電する。トランジスタM11は、ゲートにL状態の信号が入力されるとオフし、電流源I11aの電流(電荷)をコンデンサC11に充電するようにする。なお、電流源I11aは、図2で示したトランジスタM16より流れる電流を示している。

[0042] トランジスタM12は、コンデンサC11の電圧に応じてオン/オフし、電流源I11aが接続されているノードN12と、コンデンサC11が接続されているノードN11を接続した状態および切り離れた状態にする。例えば、コンデンサC11の電荷が放電され、ノードN11の電圧が電圧V_{ss}とする。ノードN11とトランジスタM12のゲートの電位差は、しきい値電圧以上であり、トランジスタM12はオンし、ノードN12とノードN11を接続した状態にする。一方、コンデンサC11に電流源I11aの電流が充電され、ノードN11の電圧が上昇すると、ノードN11とトランジスタM12のゲート電位差は、しきい値電圧より小さくなる。すると、トランジスタM12はオフし、ノードN12とノードN11の間をハイインピーダンスにして切り離れた状態にする。

[0043] 例えば、トランジスタM12のしきい値電圧を0.6V、トランジスタM12のゲートに入力されている基準電圧V_{ref}の電圧を1.2Vとする。コンデンサC11は、トランジスタM11によって放電され、ノードN11の電圧は、電圧V_{ss}(0V)とする。この場合、トランジスタM12のソース-ゲート間の電圧は、1.2Vであり、トランジスタM12はオンす

る。トランジスタM12のオンにより、ノードN12とノードN11は接続された状態になり、コンデンサC11には、電流源I11aの電流が充電される。

[0044] コンデンサC11の充電により、ノードN11の電圧が上昇し、0.6V以上になると、トランジスタM12のソースゲート間の電位差は、0.6Vより小さくなる。これにより、トランジスタM12はオフし、ノードN12とノードN11は切り離された状態になる。

[0045] なお、図2のトランジスタM13, M14, M17とコンデンサC12とで構成される遅延回路も同様に、トランジスタM14が、コンデンサC12の電圧に応じてオン/オフし、トランジスタM17が接続されているノードN14と、コンデンサC12が接続されているノードN13とを接続した状態および切り離した状態にする。

[0046] 図2の説明に戻る。トランジスタM12がオフすると、上述したように、ノードN12とノードN11は切り離された状態になる。これによって、トランジスタM18のゲートの電圧は、トランジスタM16からの電流によって上昇し、トランジスタM18はオンする。同様に、トランジスタM14がオフすると、ノードN14とノードN13は切り離された状態になる。これによって、トランジスタM19のゲートの電圧は、トランジスタM17からの電流によって上昇し、トランジスタM19はオンする。

[0047] トランジスタM20, M18で1つのインバータを構成し、トランジスタM21, M19で1つのインバータを構成している。トランジスタM20, M21は、ゲートにバイアス電圧Vbiasが入力され、常時オンするようになっている。これによって、トランジスタM18, M19がオフすると、トランジスタM18, M19のドレインのノードはH状態となる。トランジスタM18, M19がオンすると、L状態となる。

[0048] トランジスタM18がオンすると、ドレインのノードがL状態となり、フリップフロップ11のXS端子には、L状態の信号が入力される。すなわち、コンデンサC11に電荷が充電され、コンデンサC11が所定の電圧になると、トランジスタM12がオフし、トランジスタM18がオンする。そして、フリップフロップ11のXS端子にL状態の信号が入力される。フリップフロップ11は、XS端子にL状態の信号が入力されると、Q端子からH状態の信号を出力し、XQ端子からL状態の信号を出力する。

[0049] トランジスタM11は、フリップフロップ11のQ端子から出力されるH状態の信号によりオンし、コンデンサC11に充電されている電荷を放電する。一方、トランジスタM13

は、XQ端子から出力されるL状態の信号によりオフし、トランジスタM17からの電流をコンデンサC12に充電するようにする。コンデンサC12の電圧が所定の電圧になると、トランジスタM14はオフし、トランジスタM19がオンする。そして、フリップフロップ11のXR端子にL状態の信号が入力される。フリップフロップ11は、XR端子にL状態の信号が入力されると、Q端子からL状態の信号を出力し、XQ端子からH状態の信号を出力する。

[0050] トランジスタM11は、フリップフロップ11のQ端子から出力されるL状態の信号によりオフし、トランジスタM16からの電流をコンデンサC11に充電する。一方、トランジスタM13は、フリップフロップ11のXQ端子から出力されるH状態の信号によりオンし、コンデンサC12に充電されている電荷を放電する。このようにして、コンデンサC11、C12は交互に充放電を繰り返す。

[0051] 図2の電流制御発振器では、トランジスタM12は、コンデンサC11の電圧が所定の電圧になると、ノードN11とノードN12とを切り離す。これによって、トランジスタM18は、トランジスタM12、M16の寄生容量と自身のゲート容量の影響によってのみオン／オフの遅れが生じ、コンデンサC11の容量の影響を受けずにオン／オフすることができる。トランジスタM12、M16の寄生容量と、自身のゲート容量は非常に小さいため、トランジスタM18でのオン／オフの遅れは、非常に小さいものとなる。また、図9で示したように、コンパレータ101を用いないで、コンデンサC11の電圧の比較判断を行うので、その判断の遅れは非常に小さいものとなる。同様に、トランジスタM14も、コンデンサC12の電圧が所定の電圧になると、ノードN13とノードN14とを切り離す。これによって、トランジスタM19は、トランジスタM14、M17の寄生容量と自身のゲート容量の影響によってのみオン／オフの遅れが生じ、コンデンサC12の容量の影響を受けずにオン／オフすることができる。トランジスタM14、M17の寄生容量と、自身のゲート容量は非常に小さいため、トランジスタM19でのオン／オフの遅れは、非常に小さいものとなる。また、図9で示したように、コンパレータ102を用いないで、コンデンサC12の電圧の比較判断を行うので、その判断の遅れは非常に小さいものとなる。

[0052] 次に、各部の電圧変化について説明する。

図4は、電流制御発振器の各部の電圧変化を示した図である。図に示す波形W1は、図2のノードN11の電圧変化を示している。波形W2は、ノードN12の電圧変化を示している。波形W3は、フリップフロップ11のXS端子に入力される信号の電圧変化を示している。図に示すVrefは、トランジスタM12のゲートに入力される基準電圧Vref、VtsensはトランジスタM12のしきい値電圧、Vref-Vtsensは、トランジスタM12がオン/オフするノードN11の電圧を示している。Vtinvは、トランジスタM18がオン/オフする電圧を示している。

- [0053] コンデンサC11には、最初、電荷はなく、ノードN11の電圧は電圧Vss(0V)であるとする。トランジスタM11がオフし、コンデンサC11にトランジスタM16からの電流が充電される。
- [0054] コンデンサC11にトランジスタM16からの電流が充電されると、ノードN11の電圧は波形W1に示すように上昇してくる。ノードN11の電圧が、Vref-Vtsensまで上昇すると、トランジスタM12はオフする。すると、ノードN11の電圧上昇は、波形W1に示すように緩やかとなって止まる。一方、ノードN12の電圧は、コンデンサC11への電流の供給がストップしたことにより、波形W2に示すように急激に上昇する。
- [0055] ノードN12の電圧が、Vtinvを超えると、トランジスタM18はオンする。これによって、フリップフロップ11のXS端子に入力される信号は、波形W3に示すように電圧Vdd(H状態)から電圧Vss(L状態)になる。フリップフロップ11は、XS端子にL状態の信号が入力されたことにより、Q端子からH状態を出力する。
- [0056] トランジスタM11は、フリップフロップ11のQ端子からH状態の信号が出力されることにより、オンする。これによって、コンデンサC11は放電し、ノードN11の電圧は、波形W1に示すように電圧Vssとなる。また、ノードN11の電圧が電圧Vssになったことにより、トランジスタM12はオンし、ノードN12の波形は、波形W2に示すように電圧Vssとなる。また、ノードN12の電圧が電圧Vssになったことにより、トランジスタM18はオフし、フリップフロップ11のXS端子に入力される信号は、波形W3に示すようにH状態となる。
- [0057] ところで、トランジスタM12, M14のしきい値電圧は、製造プロセスに依存し、ばらつきが発生する。そのため、電流制御発振器によって、コンデンサC11, C12の充放

電の時間が異なり、同じ電流であっても周波数が異なる場合がある。そこで、トランジスタM12, M18が同じ特性を有するように形成し、トランジスタM14, M19が同じ特性を有するように形成する。このとき、トランジスタM12, M18が近くとなるように形成し、トランジスタM14, M19が近くとなるように形成する。これによって、トランジスタM12, M14のしきい値電圧のばらつきによる充放電時間のばらつきを補償することができる。

[0058] 例えば、トランジスタM12のしきい値電圧が、設計していた値より大きかったとする。この場合、トランジスタM12は、ノードN11の電圧が設計していた電圧になる前にオンしてしまう。しかし、トランジスタM18のしきい値電圧も、トランジスタM12と同様に大きくなっているため、トランジスタM18のオン時間が遅れる。すなわち、トランジスタM12が速くオンしてしまうのを、トランジスタM18で補償している。このように、トランジスタM12, M18およびトランジスタM14, M19が同じ特性を有するように形成することによって、トランジスタM12, M14のしきい値電圧のばらつきによる、充放電時間のばらつきを補償することができる。

[0059] 次に、フリップフロップ11の詳細な回路について説明する。

図5は、フリップフロップの回路図である。図に示すようにフリップフロップ11は、NAND回路12, 13によって構成されている。NAND回路12の一方の入力は、トランジスタM18のドレインと接続されている。NAND回路13の一方の入力は、トランジスタM19のドレインと接続されている。NAND回路12の他方の入力、NAND回路13の出力と接続され、NAND回路13の他方の入力、NAND回路12の出力と接続されている。NAND回路12の出力は、トランジスタM11のゲートと接続され、NAND回路13の出力は、トランジスタM13のゲートと接続されている。なお、NAND回路12の一方の入力は、XS端子に対応し、NAND回路13の一方の入力は、XR端子に対応する。また、NAND回路12の出力は、Q端子に対応し、NAND回路13の出力は、XQ端子に対応する。

[0060] 図6は、図5のNAND回路の詳細な回路図である。図に示すようにNAND回路12は、PMOSのトランジスタM21, M24およびNMOSのトランジスタM22, M23を有している。なお、NAND回路13も図6と同様の回路構成を有し、その説明は省略す

る。

- [0061] トランジスタM21のソースは、電圧V_{dd}のノードに接続されている。トランジスタM21のゲートは、トランジスタM22のゲートと接続され、ドレインは、トランジスタM21のドレインと接続されている。トランジスタM22のソースは、トランジスタM23のドレインと接続されている。
- [0062] トランジスタM23のソースは、電圧V_{ss}のノードに接続されている。トランジスタM23のゲートは、トランジスタM24のゲートと接続されている。トランジスタM24のソースは、電圧V_{dd}のノードに接続され、ドレインは、トランジスタM21, M22のドレインと接続されている。
- [0063] トランジスタM21, M22のゲートは、図5で示したNAND回路12の一方の入力に対応する。トランジスタM23のゲートは、NAND回路12の他方の入力に対応する。トランジスタM21, M22のドレインは、NAND回路12の出力に対応する。すなわち、トランジスタM18からの信号は、トランジスタM21, M22に入力される。
- [0064] ここで、トランジスタM21, M22のゲート長を大きくし、しきい値電圧を大きくするようにする。すなわち、インバータを構成しているトランジスタM21, M22が同時にオンしないようにし、トランジスタM21, M22に流れる貫通電流を防止する。これによって、フリップフロップ11での消費電力を低減する。
- [0065] 次に、電流源I11の電流と発振信号の周波数の関係について説明する。
- 図7は、図2の電流制御発振器における制御電流と発振信号の周波数の関係を示した図である。図の横軸は、電流源I11から流れる電流を示す。縦軸は、ノードN11, N13から取り出される発振信号の周波数を示す。図7に示すように、図2の電流制御発振器においては、電流源I11の電流の増加に比例して、発振信号の周波数も増加する。これによって、発振信号の周波数レンジを広くすることができる。
- [0066] このように、充放電を行うコンデンサC11, C12の電圧に応じて、電流を供給するトランジスタM16, M17とコンデンサC11, C12とを切り離し、トランジスタM18, M19がトランジスタM16, M17からの電流によって直ちにH状態およびL状態の信号を出力するようにした。これによって、信号の遅れが解消され、また、コンパレータを用いずに、トランジスタM18, M19によって信号をフリップフロップ11に出力するので、消

費電力を増加させることなく、周波数レンジを広くすることができる。

[0067] また、トランジスタM12とトランジスタM18、トランジスタM14とトランジスタM18が同じ特性を有するように形成することによって、トランジスタM12、M14のしきい値電圧のばらつきによる充放電時間のばらつきを補償することができる。

[0068] また、トランジスタM18、M19を、トランジスタM20、M21によってインバータとなるように構成することにより、フリップフロップ11に出力する信号のスイッチングパルスを急峻にすることができる。

[0069] 次に、本発明の第2の実施の形態を図面を参照して詳細に説明する。

図8は、第2の実施の形態に係る電流制御発振器の回路図である。図に示すように、電流制御発振器は、NMOSのトランジスタM31、M32、M35、M37、M38、M40、M42、M43、M45、PMOSのトランジスタM33、M34、M36、M39、M41、M44、M46、コンデンサC21～C23、およびインバータ21～23を有している。

[0070] トランジスタM31、M32、M34とコンデンサC21は、図2のトランジスタM11、M12、M16とコンデンサC11と同様に、遅延回路を構成している。また、トランジスタM37、M38、M39とコンデンサC22も同様に、遅延回路を構成している。また、トランジスタM42、M43、M44とコンデンサC23も同様に遅延回路を構成している。

[0071] トランジスタM33、M34、M39、M44は、カレントミラー回路を構成している。このカレントミラー回路は、電流源I21の電流を、トランジスタM34、M39、M44へ折り返している。

[0072] 電流源I21の電流は、図2の電流源I11と同様に制御することができるようになっている。電流源I21の電流量を制御することによって、コンデンサC21～C23の充電の速さを変え、発振信号の周波数を変えることができる。

[0073] トランジスタM35、M36は、図2のトランジスタM18、M20に対応し、インバータを構成している。すなわち、コンデンサC21の電圧が上昇し、トランジスタM32がオフすると、トランジスタM35はオンしてL状態の信号をインバータ21に出力する。インバータ21は、コンデンサC21が充電される場合、コンデンサC22が放電し、コンデンサC21が放電される場合、コンデンサC22が充電されるようにするため、トランジスタM35から出力される信号を反転している。トランジスタM40、M41、トランジスタM45、

M46も同様にインバータを構成し、インバータ22, 23は、トランジスタM40, M45から出力される信号を反転している。

[0074] すなわち、第2の実施の形態では、充放電が反転するように遅延回路を奇数段接続し、発振するようにしている。なお、第2の実施の形態の電流制御発振器は、第1の実施の形態で説明した遅延回路(例えば、図2のトランジスタM11, M12, M16とコンデンサC11)とインバータ(例えば、図2のトランジスタM18, M20)を奇数段接続して、発振するようにしたものである。よって、各素子の接続関係や各回路ブロックでの動作は第1の実施の形態と同様であり、それらの説明は省略する。

[0075] このように、遅延回路を、充放電を行うコンデンサの電圧に応じて、充電電流を出力するトランジスタとコンデンサとを切り離すように構成し、信号出力するトランジスタが充電電流によって直ちに信号を出力するようにした。これによって、コンデンサによる信号の遅れが解消され、また、コンパレータを用いずに、トランジスタによって信号を出力するので、消費電力を増加させることなく、周波数レンジを広くすることができる。

[0076] なお、第1の実施の形態と同様に、トランジスタM32とトランジスタM35、トランジスタM38とトランジスタM40、トランジスタM43とトランジスタM45が同じ特性を有するように形成することによって、しきい値電圧のばらつきによる充放電時間のばらつきを補償することができる。

[0077] また、トランジスタM35, M40, M45を、トランジスタM36, M41, M46によってインバータとなるように構成することにより、インバータ21-23に出力する信号のスイッチングパルスを急峻にすることができる。

[0078] なお、図8では、3段の遅延回路を接続した例を示しているが、もちろん、3段以上、奇数段接続して、電流制御発振器を構成するようにしてもよい。

上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

[0079] M1, M3 放電トランジスタ

M2, M4 開閉トランジスタ

M5, M6 信号出力トランジスタ

M7, M8 トランジスタ

C1, C2 コンデンサ

1a, 1b 電流回路

2 フリップフロップ

I1 電流源

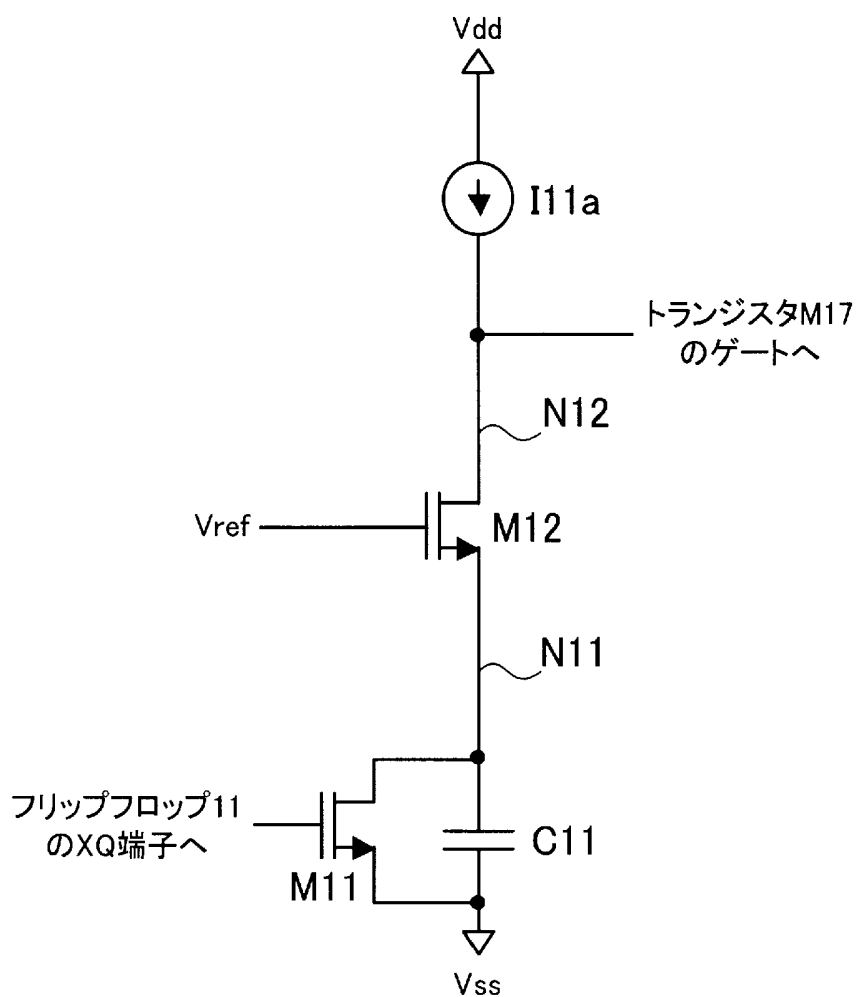
請求の範囲

- [1] 制御電流によって発振周波数が増加する電流制御発振器において、
前記制御電流に基づく充電電流を出力する2つの電流回路と、
前記電流回路に対応して設けられ、前記充電電流が供給されるコンデンサと、
前記コンデンサに対応して設けられ、前記コンデンサの電荷を放電する放電トランジスタと、
前記電流回路と前記コンデンサとの間に接続され、前記コンデンサの電圧に応じて、前記電流回路と前記コンデンサとの間を開閉する開閉トランジスタと、
前記電流回路に対応して設けられ、前記電流回路から前記開閉トランジスタに出力される前記充電電流に応じて、信号を出力する信号出力トランジスタと、
前記信号に応じて、前記放電トランジスタを交互に駆動するフリップフロップと、
を有することを特徴とする電流制御発振器。
- [2] 前記開閉トランジスタと前記信号出力トランジスタは、同じ特性を有するように形成されることを特徴とする請求の範囲第1項記載の電流制御発振器。
- [3] 前記信号出力トランジスタは、インバータを構成していることを特徴とする請求の範囲第1項記載の電流制御発振器。
- [4] 前記電流回路は、カレントミラー回路によって構成されることを特徴とする請求の範囲第1項記載の電流制御発振器。
- [5] 前記フリップフロップの入力は、インバータによって構成されており、前記インバータを構成している2つのトランジスタは、しきい値が異なることを特徴とする請求の範囲第1項記載の電流制御発振器。
- [6] 制御電流によって発振周波数が増加する電流制御発振器において、
前記制御電流に基づく充電電流を出力する電流回路と、前記充電電流が供給されるコンデンサと、前記コンデンサの電荷を放電する放電トランジスタと、前記電流回路と前記コンデンサとの間に接続され、前記コンデンサの電圧に応じて、前記電流回路と前記コンデンサとの間を開閉する開閉トランジスタと、を有する遅延回路と、
前記電流回路から前記開閉トランジスタに出力される前記充電電流に応じて、信号を出力する信号出力トランジスタと、

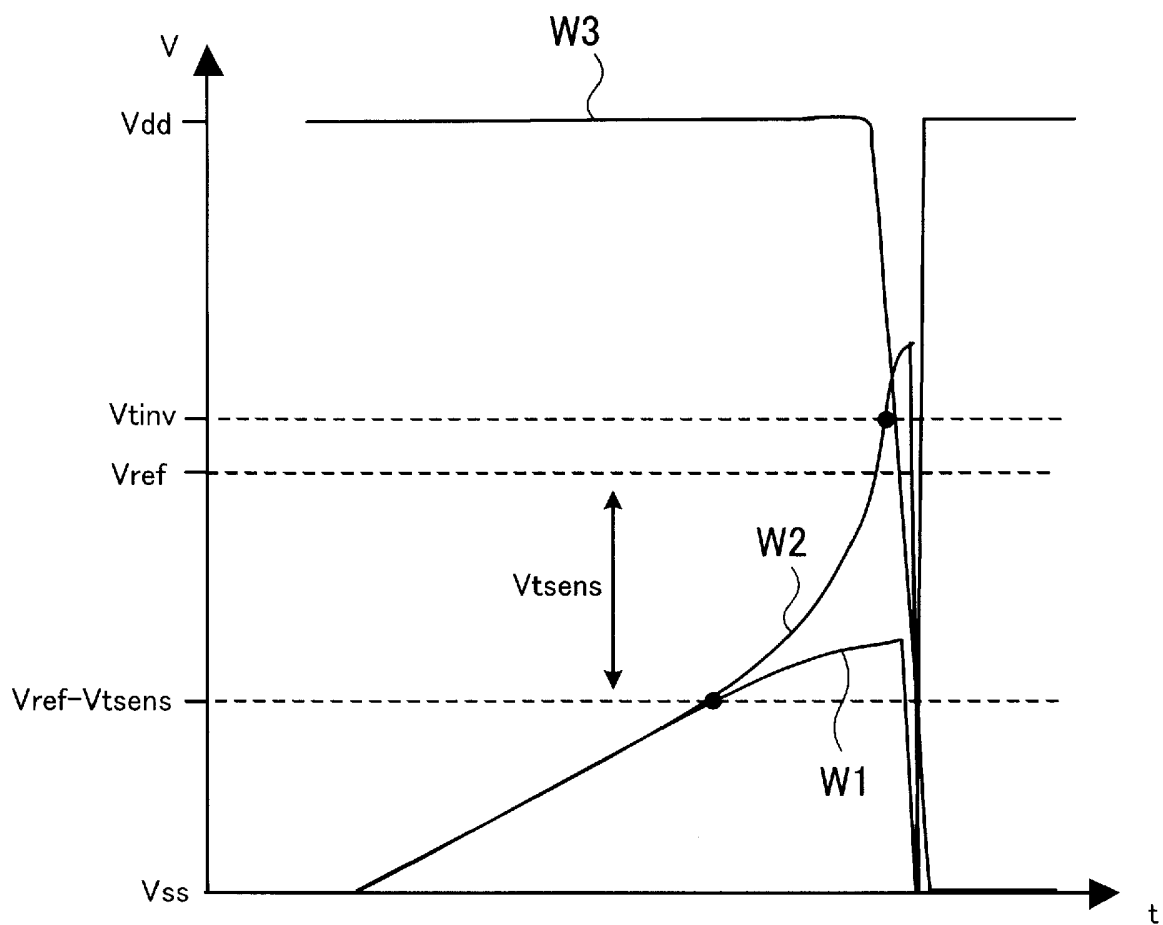
を有することを特徴とする電流制御発振器。

- [7] 前記遅延回路と前記信号出力トランジスタは、奇数段ループ接続されていることを特徴とする請求の範囲第6項記載の電流制御発振器。

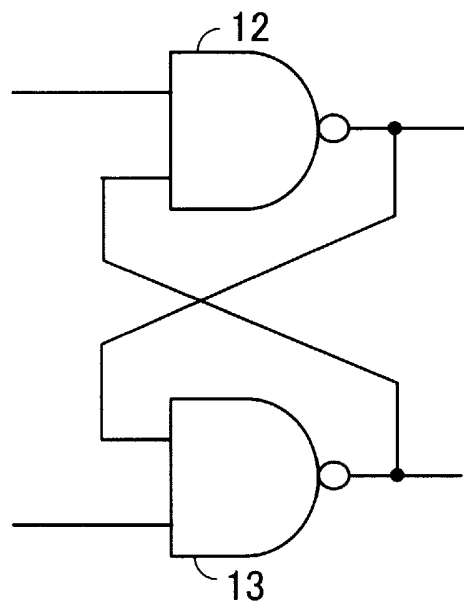
[図3]



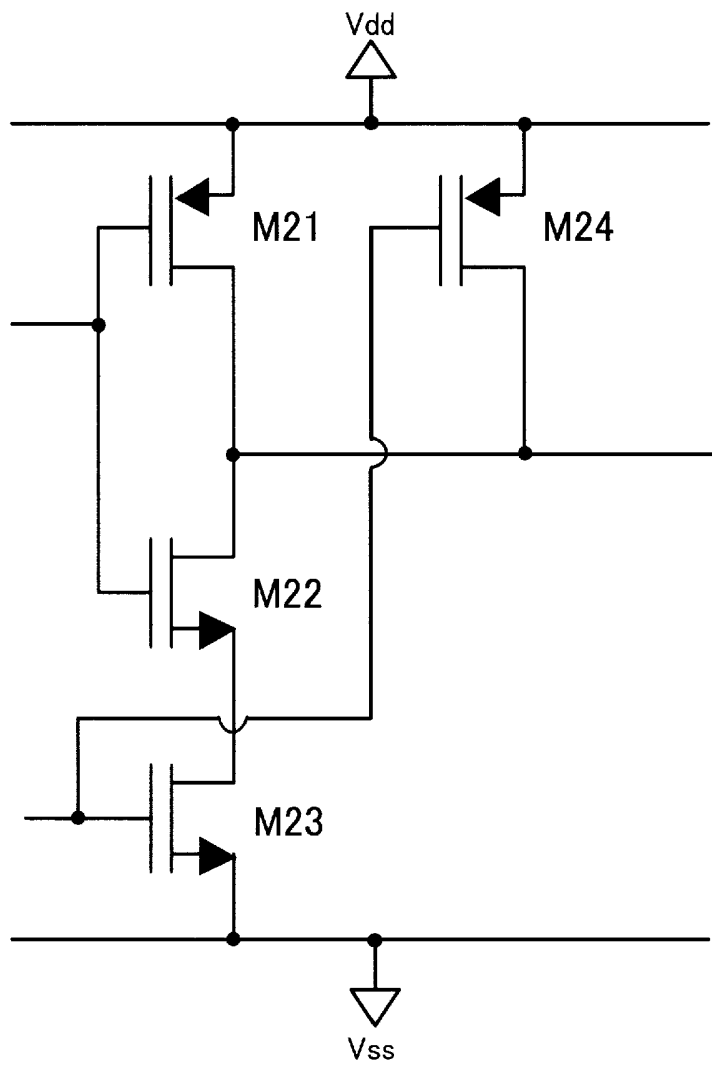
[図4]



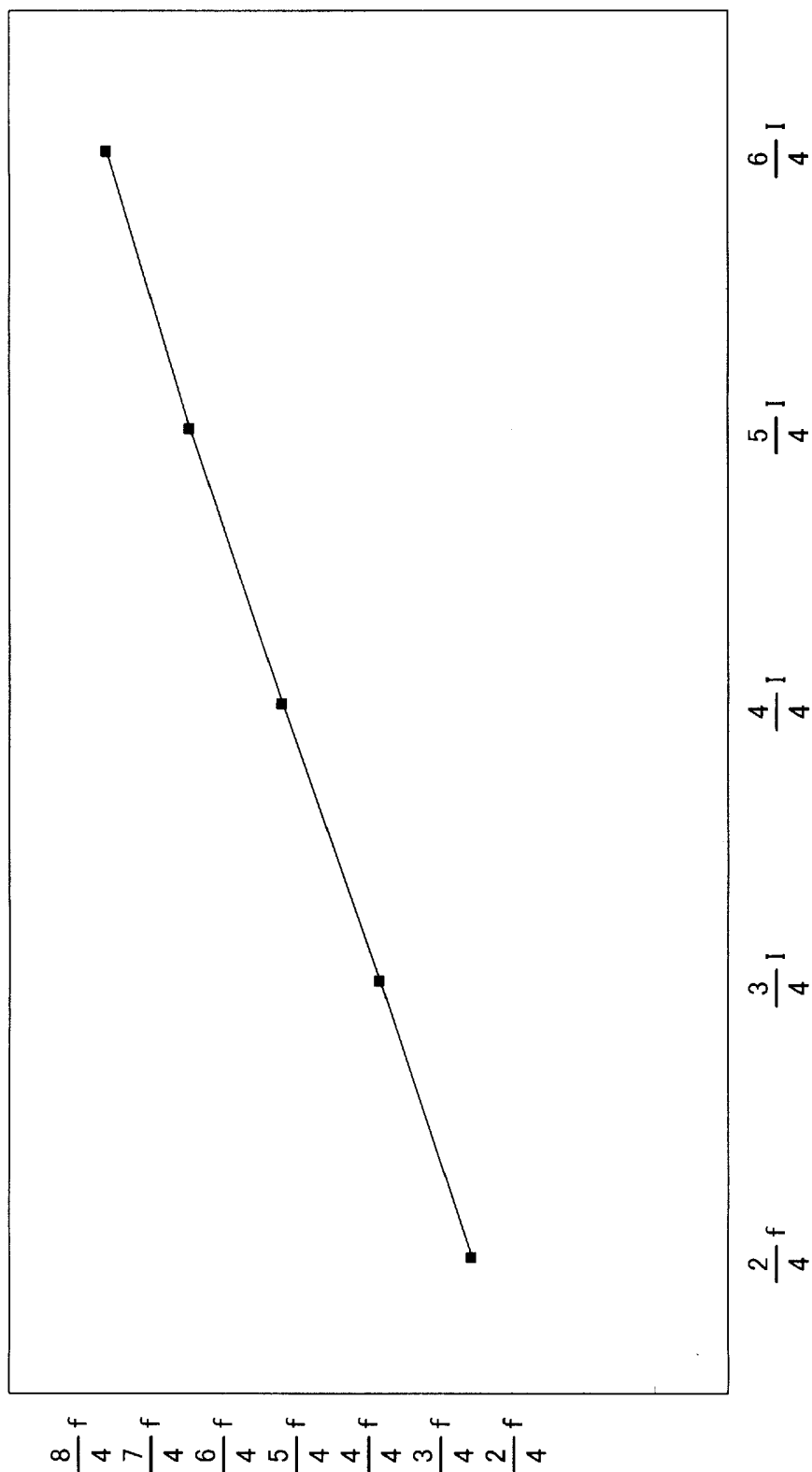
[図5]



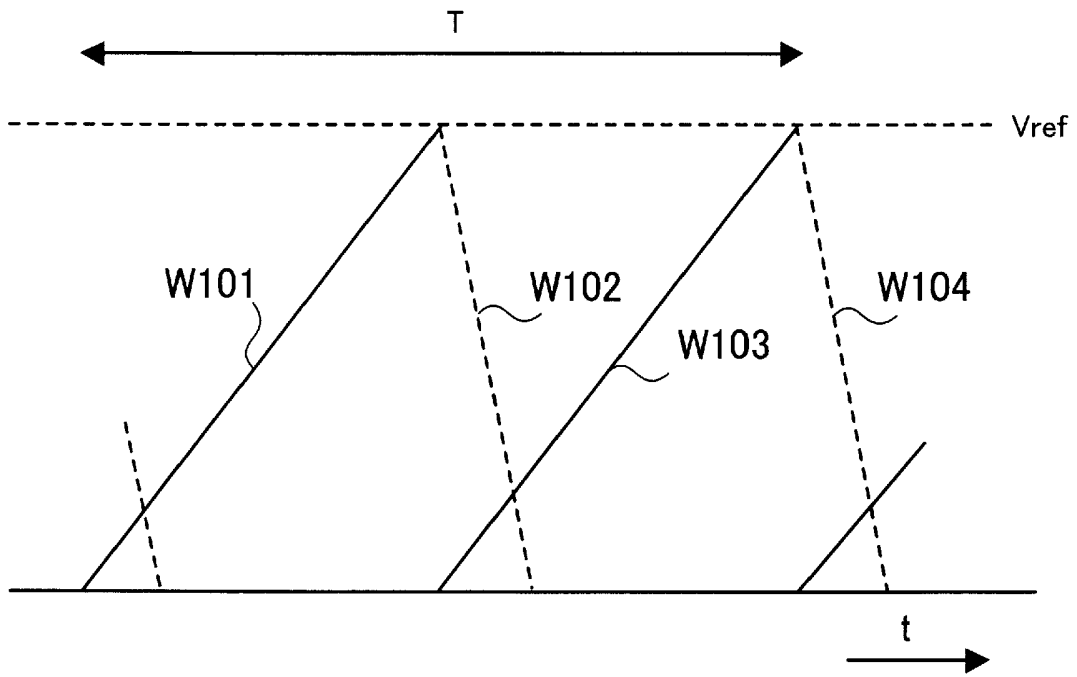
[図6]



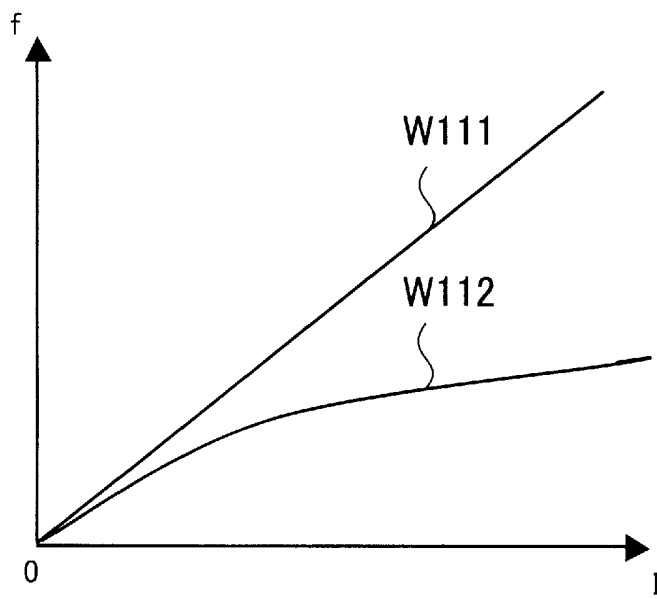
[図7]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003341

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K3/027

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K3/027

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-70440 A (Mitsubishi Electric Corp.), 10 March, 1998 (10.03.98), Par. Nos. [0009] to [0012], [0022] to [0034]; Figs. 12, 1	1-7
A	JP 8-265108 A (Nippon Precision Circuits Inc.), 11 October, 1996 (11.10.96), Par. Nos. [0005] to [0009]; Fig. 18	1-7

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
23 March, 2005 (23.03.05)

Date of mailing of the international search report
12 April, 2005 (12.04.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2005/003341

JP 10-70440 A	1998.03.10	(Family: none)
JP 8-265108 A	1996.10.11	US 5614871 A1

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))</p> <p style="text-align: center;">Int. Cl. 7 H03K3/027</p>											
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料 (国際特許分類 (IPC))</p> <p style="text-align: center;">Int. Cl. 7 H03K3/027</p>											
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table style="width:100%; border-collapse: collapse;"> <tr> <td style="width: 30%;">日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2005年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2005年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2005年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2005年	日本国実用新案登録公報	1996-2005年	日本国登録実用新案公報	1994-2005年	
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2005年										
日本国実用新案登録公報	1996-2005年										
日本国登録実用新案公報	1994-2005年										
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>											
<p>C. 関連すると認められる文献</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">引用文献の カテゴリー*</th> <th style="width: 70%;">引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th style="width: 20%;">関連する 請求の範囲の番号</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">A</td> <td>JP 10-70440 A (三菱電機株式会社) 1998. 03. 10、段落【0009】-【0012】、 段落【0022】-【0034】、図12及び図1</td> <td style="text-align: center;">1-7</td> </tr> <tr> <td style="text-align: center;">A</td> <td>JP 8-265108 A (日本プレジジョン・サーキット株式会社) 1996. 10. 11、段落【0005】-【0009】、図18</td> <td style="text-align: center;">1-7</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	A	JP 10-70440 A (三菱電機株式会社) 1998. 03. 10、段落【0009】-【0012】、 段落【0022】-【0034】、図12及び図1	1-7	A	JP 8-265108 A (日本プレジジョン・サーキット株式会社) 1996. 10. 11、段落【0005】-【0009】、図18	1-7
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	JP 10-70440 A (三菱電機株式会社) 1998. 03. 10、段落【0009】-【0012】、 段落【0022】-【0034】、図12及び図1	1-7									
A	JP 8-265108 A (日本プレジジョン・サーキット株式会社) 1996. 10. 11、段落【0005】-【0009】、図18	1-7									
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>											
<table style="width:100%; border-collapse: collapse;"> <tr> <td style="width: 50%; vertical-align: top;"> <p>* 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p> </td> <td style="width: 50%; vertical-align: top;"> <p>の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリー文献</p> </td> </tr> </table>			<p>* 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリー文献</p>							
<p>* 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリー文献</p>										
<p>国際調査を完了した日</p> <p style="text-align: center;">23. 03. 2005</p>	<p>国際調査報告の発送日</p> <p style="text-align: center; font-size: 1.2em;">12. 4. 2005</p>										
<p>国際調査機関の名称及びあて先</p> <p style="text-align: center;">日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官 (権限のある職員)</p> <p style="text-align: center;">清水 稔</p>	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20px;">5X</td> <td style="width: 40px;">3572</td> </tr> </table>	5X	3572							
5X	3572										
<p>電話番号 03-3581-1101 内線 3555</p>											

JP 10-70440 A 1998.03.10 ファミリーなし

JP 8-265108 A 1996.10.11 US 5614871 A1