

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年10月27日(27.10.2011)

PCT

(10) 国際公開番号
WO 2011/132476 A1

- (51) 国際特許分類:
H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2011/056011
- (22) 国際出願日: 2011年3月15日(15.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-097415 2010年4月20日(20.04.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 村田製作所 (Murata Manufacturing Co., Ltd.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 田中 浩二 (TANAKA Koji) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社 村田製作所内 Kyoto (JP).
- (74) 代理人: 山本俊則 (YAMAMOTO Toshinori); 〒5300047 大阪府大阪市北区西天満4丁目4番12号 近藤ビル810 新技術特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

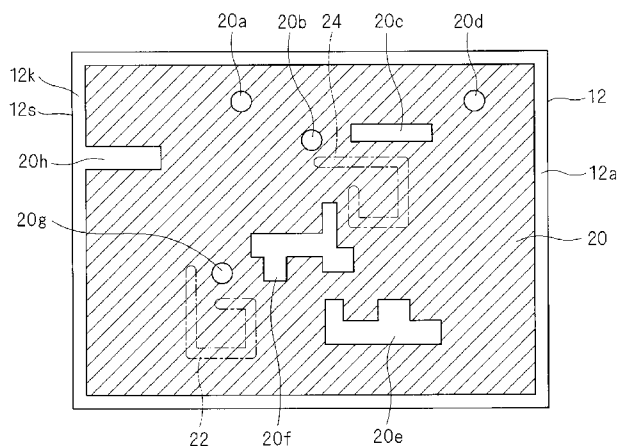
添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: ELECTRONIC COMPONENT WITH LAMINATED SUBSTRATE

(54) 発明の名称: 積層基板を備えた電子部品

[図2]



(57) Abstract: Disclosed is an electronic component with a laminated substrate that can prevent the occurrence of cracks and delamination near the interface of a conductor pattern and a dielectric layer. The laminated substrate includes: a plurality of dielectric layers laminated together; a first conductor pattern (20) positioned along a main surface (12a) of the dielectric layer (12) and connected electrically to ground; and second conductor patterns (22, 24) positioned along the main surface of the dielectric layer, facing the first conductor pattern (20) through the dielectric layer only, and forming an inductor element. Only the dielectric layers on both sides of the first conductor pattern (20) are bonded together via openings (20a to 20h) in the first conductor pattern (20). When perspective viewed from the laminated direction, the entirety of the second conductor patterns (22, 24) overlap, except for the openings (20a to 20h) in the first conductor pattern (20).

(57) 要約:

[続葉有]



WO 2011/132476 A1

導体パターンと誘電体層との界面付近におけるクラックやデラミネーションなどの発生を防止することができる積層基板を備えた電子部品とする。積層基板は、互いに積層された複数の誘電体層と、誘電体層12の主面12aに沿って配置され、グラウンドに電氣的に接続される第1の導体パターン20と、誘電体層の主面に沿って配置され、誘電体層のみを介して第1の導体パターン20と対向し、インダクタ素子を形成する第2の導体パターン22、24とを含む。第1の導体パターン20の開口部20a~20hを介して、第1の導体パターン20の両側の誘電体層のみが互いに接合する。積層方向から透視したときに、第1の導体パターン20の開口部20a~20hを除く部分に、第2の導体パターン42、44の全体が重なっている。

明 細 書

発明の名称：積層基板を備えた電子部品

技術分野

[0001] 本発明は、積層基板を備えた電子部品に関し、詳しくは、誘電体層の間に導体パターンが配置された積層基板を備えた電子部品に関する。

背景技術

[0002] 従来、誘電体層の間に導体パターンが配置された積層基板を備えた種々の電子部品が提案されている。例えば特許文献1に開示された高周波モジュールは、図5の平面図に示すように、積層基板の内部に配置される誘電体層218上にグラウンド電極244が略全面に形成されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2006-157880号公報

発明の概要

発明が解決しようとする課題

[0004] 積層基板は、誘電体層と、誘電体層の間に配置される導体パターンとが異なる材料で形成されるため、誘電体層と導体パターンとが密着しても、互いに接合する接合力は、同じ材料で形成された誘電体層同士が接合する場合よりも弱くなる。特に、誘電体層上の広範囲に渡ってグラウンド電極の導体パターンが配置されていると、接合力が弱い部分が連続するため、誘電体層と導体パターンとの界面付近においてクラックやデラミネーションなどが発生しやすくなる。

[0005] 本発明は、かかる実情に鑑み、誘電体層上の広範囲に渡って導体パターンが配置されても、導体パターンと誘電体層との界面付近におけるクラックやデラミネーションなどの発生を防止することができる積層基板を備えた電子部品を提供しようとするものである。

課題を解決するための手段

- [0006] 本発明は、上記課題を解決するために、以下のように構成した積層基板を備えた電子部品を提供する。
- [0007] 積層基板を備えた電子部品の前記積層基板は、(a)互いに積層された複数の誘電体層と、(b)前記誘電体層の主面に沿って配置され、グラウンドに電氣的に接続される第1の導体パターンと、(c)前記誘電体層の主面に沿って配置され、前記誘電体層のみを介して前記第1の導体パターンと対向する、グラウンド以外に電氣的に接続されるインダクタ素子、ストリップライン、又はマイクロストリップラインを形成する第2の導体パターンとを含む。前記第1の導体パターンに開口部が形成され、該開口部を介して、前記誘電体層の積層方向に、前記第1の導体パターンを挟む前記第1の導体パターンの両側の前記誘電体層のみが互いに接合する。前記誘電体層が積層された積層方向から透視したときに、実質的に、前記第1の導体パターンの前記開口部を除く部分に、前記第2の導体パターンの全体が重なっている。
- [0008] 上記構成によれば、誘電体層上の広範囲に渡って第1の導体パターンが配置されても、第1の導体パターンに形成された開口部を介して、第1の導体パターンを挟む第1の導体パターンの両側の誘電体層同士が接合し、層間の接合が強化される。すなわち、誘電体層同士の接合は、誘電体層と第1の導体パターンとの接合よりも強固である。
- [0009] 上記構成によれば、第1の導体パターンに開口部を形成することで、誘電体層と第1の導体パターンとが接する接合力の弱い部分の連続を断ち切ることができるので、誘電体層と第1の導体パターンとの界面付近におけるクラックやデラミネーションなどの発生を防止することができる。
- [0010] また、第2の導体パターンの全体が、誘電体層のみを介して、グラウンドに電氣的に接続される第1の導体パターンに対向するため、第1の導体パターンに開口部が追加されても、第2の導体パターンにより形成されるインダクタ素子の定数値（インダクタンス等）に影響を与えることがない。
- [0011] 好ましくは、前記第2の導体パターンはコンデンサ素子の電極を含む。
- [0012] この場合、第1の導体パターンに開口部が追加されても、第2の導体パタ

ーンに含まれるコンデンサ素子の定数值（キャパシタンス等）に影響を与えない。

[0013] 好ましくは、前記積層方向から透視したときに、前記第1の導体パターンは、前記第1の導体パターンに隣接する前記誘電体層の外周との間に全周に渡って間隔が形成されるように、当該誘電体層の内側に配置されている。

[0014] この場合、積層方向から透視したときに、第1の導体パターンの外側には、第1の導体パターンに隣接する誘電体層の外周領域が環状に延在している。誘電体層と第1の導体パターンとが接する相対的に接合力の弱い部分は、第1の導体パターンの両側の誘電体層の外周領域同士の相対的に接合力の強い部分によって全周に渡って囲まれるため、第1の導体パターンの両側の誘電体層同士の接合がより強化される。また、第1の導体パターンと誘電体層との相対的に接合力の弱い部分が積層基板の側面に露出しないので、外部からの衝撃による層間のクラックやデラミネーションなどの発生を防止することができる。

[0015] 好ましくは、前記第1の導体パターンは、前記第1の導体パターンに隣接する前記誘電体層の前記主面の面積の80%に配置される。

[0016] 誘電体層の主面の略全面に第1の導体パターンが配置されている場合、第1の導体パターンに形成された開口部により接合を強化する効果がより顕著になる。

[0017] 好ましくは、前記誘電体層が、低温同時焼成セラミックスからなる。

[0018] この場合、低温同時焼成セラミックス（Low Temperature Co-fired Ceramics）を用いて電子部品の積層基板を作製する際に、第1の導体パターンに形成される開口の形状や大きさ、位置、個数などを調整することによって、焼成時の温度変化による積層基板の反りを低減することができる。

発明の効果

[0019] 本発明の積層基板を備えた電子部品は、誘電体層上の広範囲に渡って導体パターンが配置されても、導体パターンと誘電体層との界面付近におけるクラックやデラミネーションなどの発生を防止することができる。

図面の簡単な説明

- [0020] [図1]積層基板を備えた電子部品の概略構成を示す分解斜視図である。(実施例1)
- [図2]第1の導体パターンが配置される誘電体層の上面を示す平面図である。(実施例1)
- [図3]第2の導体パターンが配置される誘電体層の上面を示す平面図である。(実施例1)
- [図4]電子部品の積層基板の断面図である。(実施例2)
- [図5]積層基板の内部に配置される誘電体層の上面を示す平面図である。(従来例)

発明を実施するための形態

- [0021] 以下、本発明の実施の形態について、図1～図4を参照しながら説明する。
- [0022] <実施例1> 実施例1の積層基板を備えた電子部品10について、図1～図3を参照しながら説明する。
- [0023] 図1は、実施例1の積層体を備えた電子部品10の概略構成を示す分解斜視図である。図1に示すように、電子部品10は、誘電体である複数の誘電体層が積層された積層基板を備えている。なお、誘電体層11～15以外の誘電体層の図示は省略している。
- [0024] 誘電体層11、12、14の上面11a、12a、14aには、導電性を有する導体パターンが形成されている。最上層の誘電体層11の上面11aに形成された導体パターン(図示せず)は、部品18が実装される外部電極である。中間の誘電体層12の上面12aの略全面に形成された第1の導体パターン20は、グランドに電氣的に接続されるグランド電極である。中間の誘電体層14の上面14aに形成された第2の導体パターン22、24は、渦巻き形状に形成されており、インダクタ素子を形成する。
- [0025] 最下層の誘電体層15の下面15bには、電子部品10を回路基板などに実装するための実装電極(図示せず)が形成されている。積層体の側面、す

なわち誘電体層の外周面に、実装電極を形成してもよい。

- [0026] 図示していないが、導体パターン20、22、24以外に、グラウンド電極、コンデンサ素子の電極、インダクタ素子、配線など、誘電体層の上面又は下面に沿って形成された導体パターンや、誘電体層を貫通する層間接続導体によって、積層基板の内部に電気回路が構成される。
- [0027] 図2は、第1の導体パターン20が配置される誘電体層12の上面12aを示す平面図である。図3は、第2の導体パターン22、24が配置される誘電体層14の上面14aを示す平面図である。図2に示すように、グラウンドに電氣的に接続される第1の導体パターン20には、開口部20a~20hが形成されている。
- [0028] 開口部20a~20hが形成された第1の導体パターン20は、第1の導体パターン20の主面に隣接し対向する誘電体層によって挟まれている。第1の導体パターン20を挟む第1の導体パターン20の両側の誘電体層同士のみが、第1の導体パターン20に形成された開口部20a~20hを介して互いに接合する。すなわち、開口部20a~20hには、誘電体層のみが存在しており、誘電体層以外の導体パターンや層間接続導体などは、存在していない。
- [0029] 誘電体層同士の接合は、誘電体層と第1の導体パターン20との接合よりも、強固であるため、誘電体層12上の広範囲に渡って第1の導体パターン20が配置されても、第1の導体パターン20の両側に配置された誘電体層同士は、第1の導体パターン20に形成された開口部20a~20hを介して互いに接合し、層間の接合が強化される。これにより、第1の導体パターン20とその両側の誘電体層との間の接合力が弱い部分の連続を断ち切ることができるので、誘電体層と第1の導体パターン20との界面付近におけるクラックやデラミネーションなどの発生を防止することができる。
- [0030] 特に、第1の導体パターン20が誘電体層12の上面12aの略全面、すなわち、誘電体層12の上面12aの面積の80%以上に配置された場合、第1の導体パターン20に開口部20a~20hを形成して層間の接合を強

化する効果が、より顕著になる。

[0031] また、積層方向から透視したときに、第1の導体パターン20は、第1の導体パターン20に隣接する誘電体層12の外周12sとの間に全周に渡って間隔が形成されるように、誘電体層20の内側に配置されている。すなわち、第1の導体パターン20の外側には、第1の導体パターン20に隣接する誘電体層12の外周領域12kが環状に延在している。誘電体層12と第1の導体パターン20とが接する接合力の弱い部分は、第1の導体パターン20の両側の誘電体層の外周領域同士の接合力の強い部分によって全周に渡って囲まれるため、第1の導体パターン20の両側の誘電体同士の接合がより強化される。さらに、第1の導体パターン20と誘電体層との相対的に接合力の弱い部分は、積層基板の側面に露出しないので、外部からの衝撃による層間のクラックやデラミネーションなどの発生を防止することができる。

[0032] 第1の導体パターン20と第2の導体パターン22, 24との間の領域（すなわち、誘電体層12と、誘電体層14の直ぐ上の誘電体層13と、図示しないそれらの誘電体層の間の誘電体層とを含む領域）を積層方向から透視したときに、図2において鎖線で示す第2の導体パターン22, 24の全体が、第1の導体パターン20の開口部20a~20hを除く部分に重なっている。すなわち、第2の導体パターン22, 24の全体が、誘電体層のみを介して第1の導体パターン20と対向しており、第2の導体パターン22, 24が第1の導体パターン20と対向する領域内には、誘電体層以外の導体パターンや層間接続導体などは配置されていない。そのため、第1の導体パターン20に開口部20a~20hが追加されても、第2の導体パターン22, 24により形成されるインダクタ素子の定数値（インダクタンス等）に影響を与えることがない。

[0033] 誘電体層11~15は、セラミックや樹脂により形成される。

[0034] 特に誘電体層が、低温同時焼成セラミックス（Low Temperature Co-fired Ceramics）からなる場合には、低温同時焼成セラミックスを用いて形成したセラミックグリーンシートに導体ペーストの印刷等により導体パターンや層

間接続導体を形成し、セラミックグリーンシートを積層し、焼成することにより、積層基板を形成する。第1の導体パターン20に形成される開口部20a~20hの形状や大きさ、位置、個数などを調整することによって、焼成時の温度変化による積層基板の反りを低減することができる。

[0035] <実施例2> 実施例2の積層基板を備えた電子部品について、図4を参照しながら説明する。

[0036] 図4は、実施例2の電子部品の積層体30の断面図である。図4に示すように、積層体30は、複数の誘電体層31~35が互いに積層されている。3層目の誘電体層33と4層目の誘電体層34との間には、グラウンドに電氣的に接続されるグラウンド電極である第1の導体パターン40が形成されている。

[0037] 1層目の誘電体層31と2層目の誘電体層32との間、2層目の誘電体層32と3層目の誘電体層33との間、4層目の誘電体層34と5層目の誘電体層35との間、5層目の誘電体層35の下面35bには、それぞれ、第2の導体パターン52, 54, 56, 58が形成されている。第2の導体パターン52, 54, 56, 58は、それぞれ、誘電体層32と33, 33, 34, 34と35のみを介して第1の導体パターン40と対向する。第2の導体パターン52, 54, 56, 58は、コンデンサ素子の電極であってグラウンド以外に電氣的に接続される電極、又はインダクタ素子を形成する。

[0038] 第1の導体パターン40には、開口部40a, 40b, 40cが形成されている。開口部40a, 40b, 40cを介して、第1の導体パターン40の両側の誘電体層33, 34のみが互いに接合している。第1の導体パターン40に開口部40a, 40b, 40cを形成することで、誘電体層33, 34と第1の導体パターン40とが接する接合力の弱い部分の連続を断ち切ることができるので、誘電体層33, 34と第1の導体パターン40との界面付近におけるクラックやデラミネーションなどの発生を防止することができる。

[0039] なお、第1の導体パターン40に開口部40a, 40b, 40c以外の開

口部が形成され、開口部 40 a, 40 b, 40 c 以外の開口部を介して、誘電体層のみならず、誘電体層を貫通する層間接続導体等が接合されてもよい。

- [0040] 誘電体層 31 ~ 35 が積層された積層方向（図 4 において上下方向）から透視したときに、第 1 の導体パターン 40 の開口部 40 a, 40 b, 40 c を除く部分に、第 2 の導体パターン 52, 54, 56, 58 の全体が重なっている。すなわち、第 1 の導体パターン 40 には、第 2 の導体パターン 52, 54, 56, 58 が誘電体層 32 と 33, 33, 34, 34 と 35 のみを介して対向する領域 42, 44, 46, 48 には、開口部 40 a, 40 b, 40 c が形成されていない。
- [0041] 第 2 の導体パターン 52, 54, 56, 58 の全体が、誘電体層 32 と 33, 33, 34, 34 と 35 のみを介して、グラウンドに電氣的に接続される第 1 の導体パターン 40 に対向するため、第 1 の導体パターン 40 に開口部 40 a, 40 b, 40 c が追加されても、第 2 の導体パターン 52, 54, 56, 58 により形成されるコンデンサ素子又はインダクタ素子の定数値（キャパシタンス、インダクタンス等）に影響を与えることがない。
- [0042] なお、誘電体層を積層するとき層ごとに重ね合わせの位置がずれてしまうことが起こりうる。このため、導体パターンの位置がずれて、導体パターンにより形成されるコンデンサ素子またはインダクタ素子の定数値が変化してしまうことがある。これを防ぐために、第 2 の導体パターン 52, 54, 56, 58、または、それらと対向する第 1 の導体パターン 40 の領域 42, 44, 46, 48 のどちらか一方を他方より大きく形成するようにしてもよい。すなわち、実質的に、第 2 の導体パターン 52, 54, 56, 58 の全体が、誘電体層 32 と 33, 33, 34, 34 と 35 のみを介して、グラウンドに電氣的に接続される第 1 の導体パターン 40 に対向していればよい。
- [0043] <まとめ> 以上に説明したように、グラウンド電極となる第 1 の導体パターンに開口部を形成することで接合を強化して、誘電体層と第 1 の導体パターンとの界面付近におけるクラックやデラミネーションなどの発生を防止す

ることができる。

[0044] なお、本発明は、上記実施の形態に限定されるものではなく、種々変更を加えて実施することが可能である。

[0045] 例えば、第2の導体パターンは、グラウンド以外に電氣的に接続されるコンデンサ素子の電極やインダクタ素子に限らず、ストリップラインやマイクロストリップラインを形成してもよい。

符号の説明

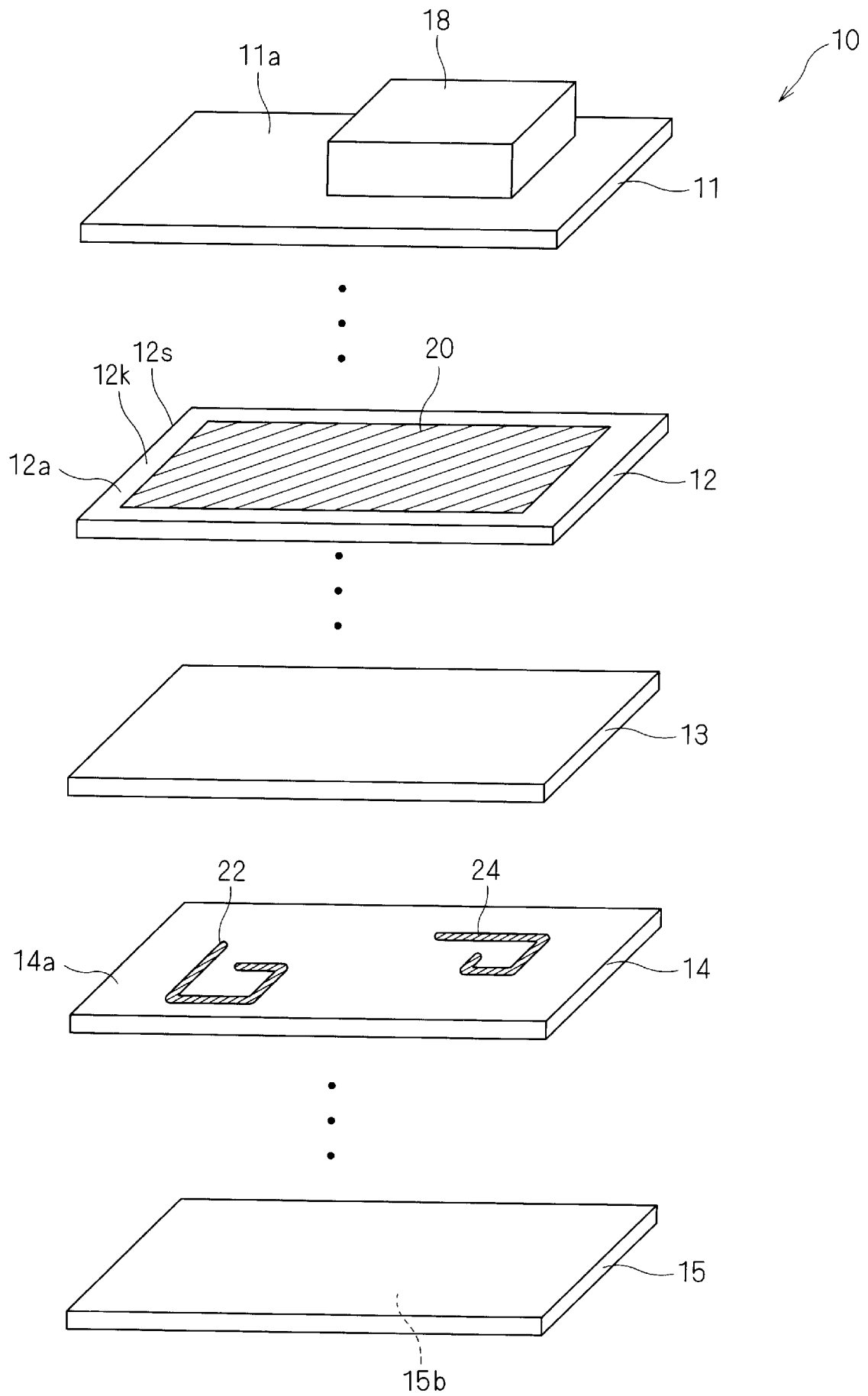
- [0046] 10 電子部品
- 11～15 誘電体層
- 11a, 12a, 14a 上面（主面）
- 18 部品
- 20 第1の導体パターン
- 20a～20h 開口部
- 22, 24 第2の導体パターン
- 30 積層基板
- 31～35 誘電体層
- 40 第1の導体パターン
- 40a, 40b, 40c 開口部
- 52, 54, 56, 58 第2の導体パターン

請求の範囲

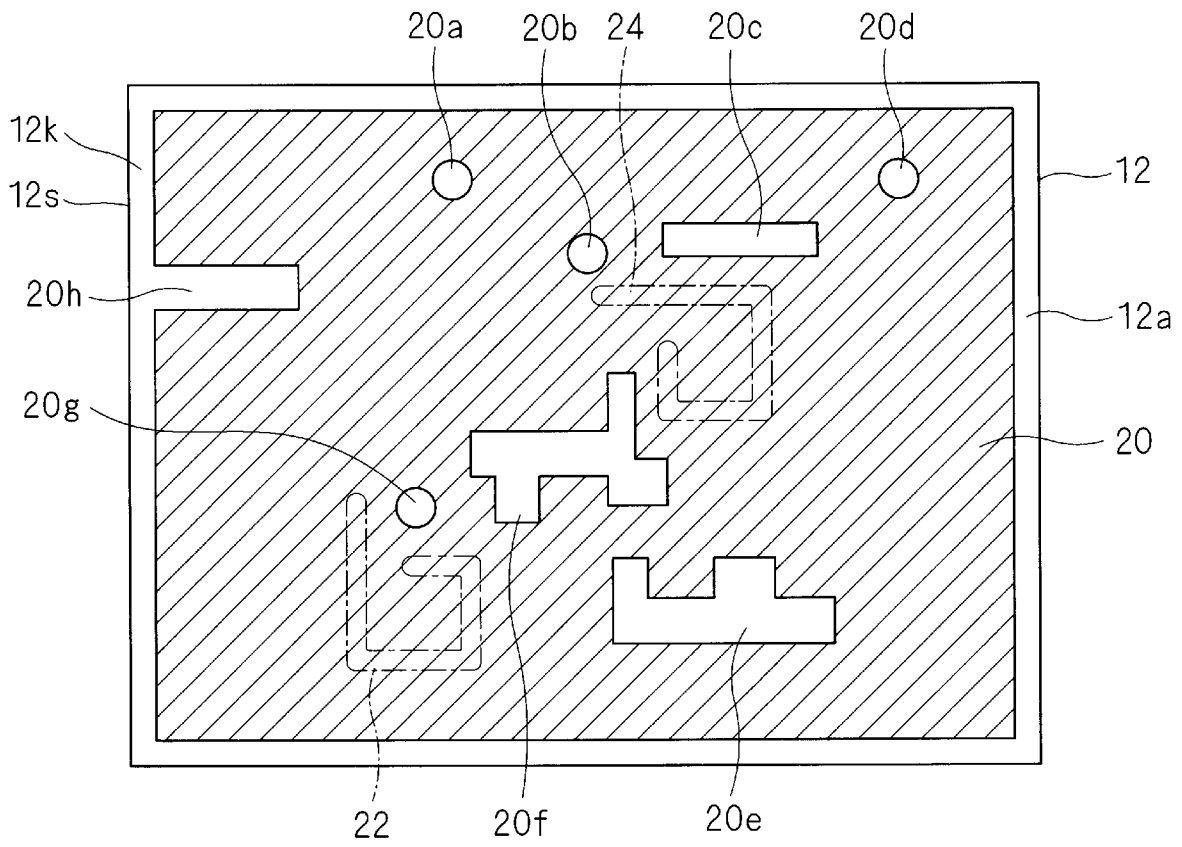
- [請求項1] 互いに積層された複数の誘電体層と、
前記誘電体層の主面に沿って配置され、グラウンドに電氣的に接続される第1の導体パターンと、
前記誘電体層の主面に沿って配置され、前記誘電体層のみを介して前記第1の導体パターンと対向する、グラウンド以外に電氣的に接続されるインダクタ素子、ストリップライン、又はマイクロストリップラインを形成する第2の導体パターンと、
を含む積層基板を備えた電子部品において、
前記第1の導体パターンに開口部が形成され、該開口部を介して、前記誘電体層の積層方向に、前記第1の導体パターンを挟む前記第1の導体パターンの両側の前記誘電体層のみが互いに接合し、
前記誘電体層が積層された積層方向から透視したときに、実質的に、前記第1の導体パターンの前記開口部を除く部分に、前記第2の導体パターンの全体が重なっていることを特徴する、積層基板を備えた電子部品。
- [請求項2] 前記第2の導体パターンはコンデンサ素子の電極を含むことを特徴とする、請求項1に記載の積層基板を備えた電子部品。
- [請求項3] 前記積層方向から透視したときに、前記第1の導体パターンは、前記第1の導体パターンに隣接する前記誘電体層の外周との間に全周に渡って間隔が形成されるように、当該誘電体層の内側に配置されていることを特徴とする、請求項1又は請求項2に記載の積層基板を備えた電子部品。
- [請求項4] 前記第1の導体パターンは、前記第1の導体パターンに隣接する前記誘電体層の前記主面の面積の80%以上に配置されていることを特徴とする、請求項1乃至請求項3のいずれか一つに記載の積層基板を備えた電子部品。
- [請求項5] 前記誘電体層が、低温同時焼成セラミックスからなることを特徴と

する、請求項 1 乃至請求項 4 のいずれか一つに記載の積層基板を備えた電子部品。

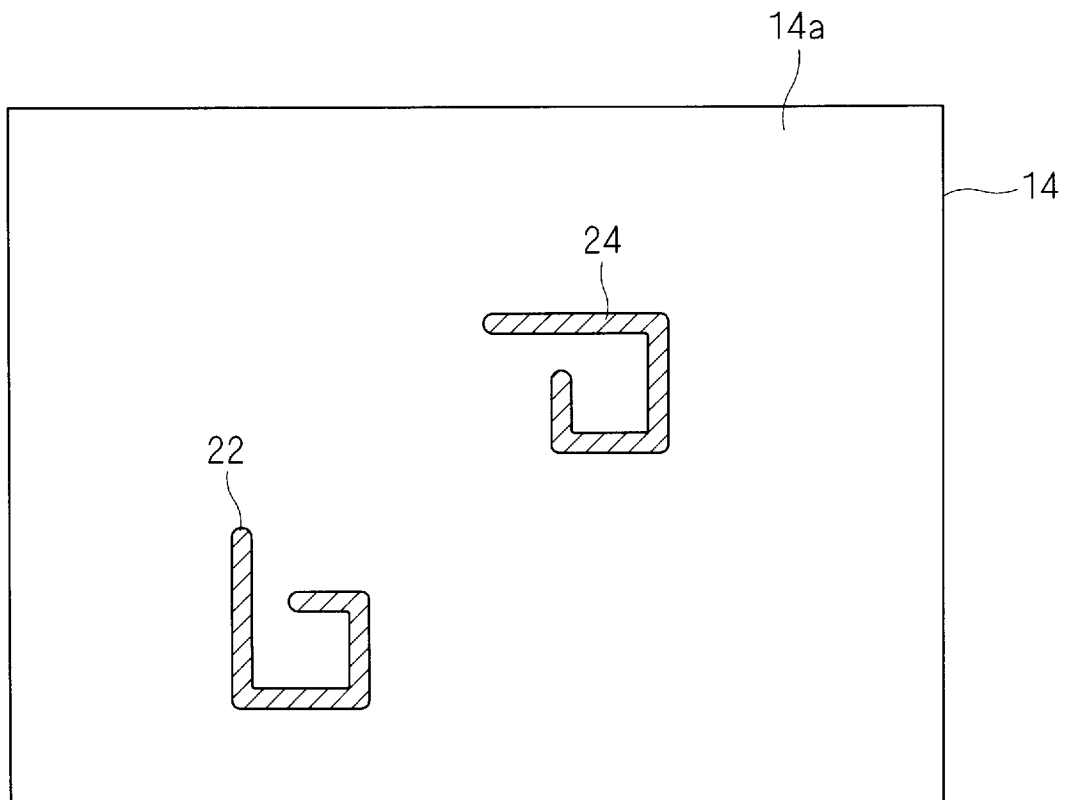
[図1]



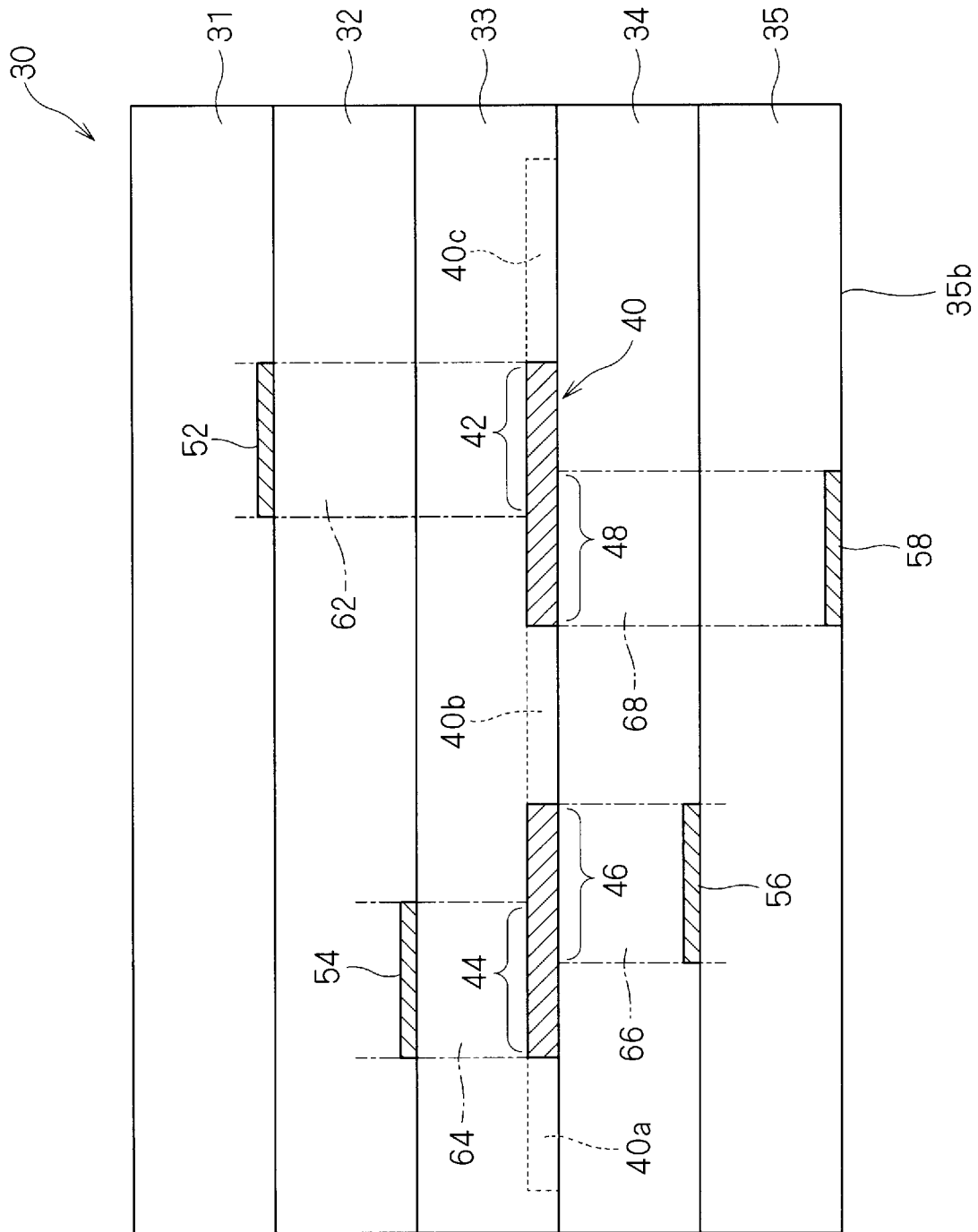
[図2]



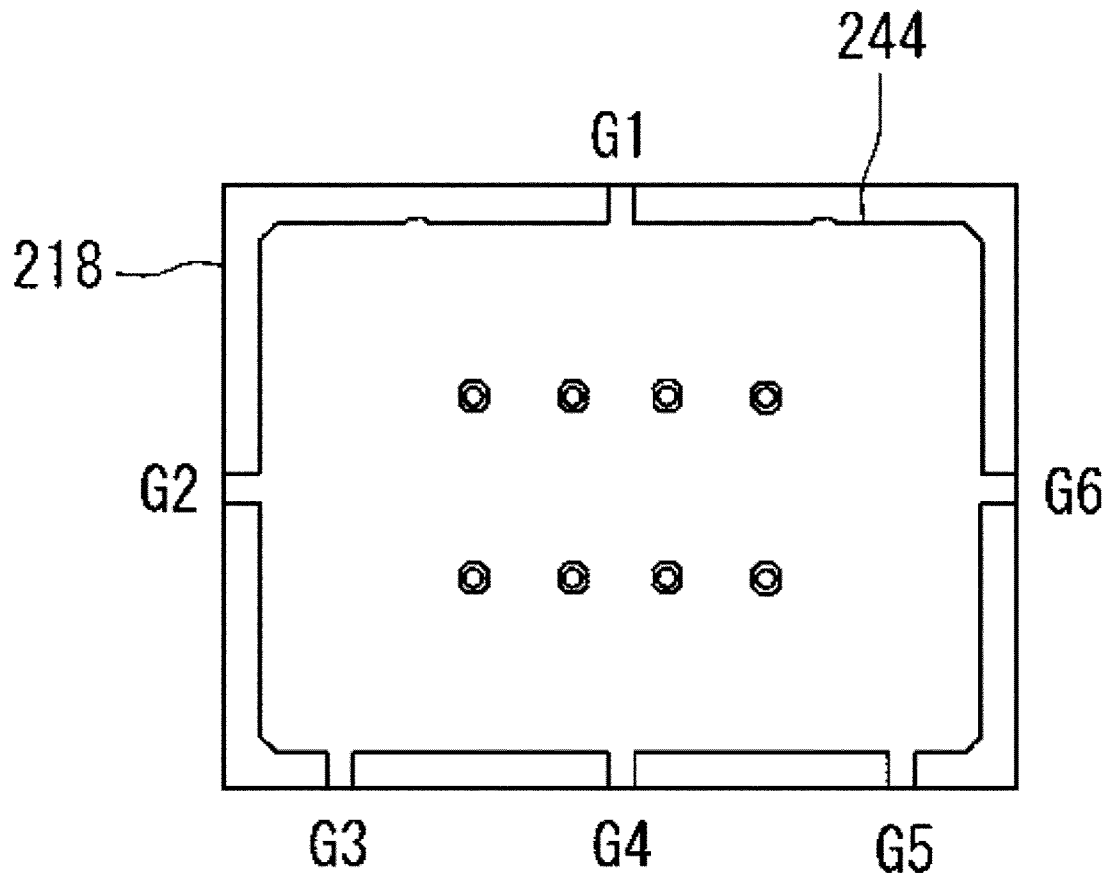
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056011

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/46(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-324979 A (NGK Spark Plug Co., Ltd.), 08 November 2002 (08.11.2002), paragraphs [0002] to [0004], [0014], [0027] to [0052], [0060]; fig. 1 to 4 & US 2002/0153611 A1 & CN 1383353 A	1, 4 2-3, 5
Y	JP 2004-356264 A (Hitachi, Ltd.), 16 December 2004 (16.12.2004), paragraph [0075]; fig. 1, 14 (Family: none)	2-3
Y	JP 2004-31699 A (Kyocera Corp.), 29 January 2004 (29.01.2004), paragraphs [0035], [0037]; fig. 1 (Family: none)	5

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 June, 2011 (14.06.11)Date of mailing of the international search report
21 June, 2011 (21.06.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056011

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-17613 A (Kyocera Corp.), 17 January 2003 (17.01.2003), entire text; fig. 2 (Family: none)	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2002-324979 A (日本特殊陶業株式会社) 2002.11.08, 段落【0002】 - 【0004】 , 【0014】 , 【0027】 - 【0052】 , 【0060】 , 【図1】 - 【図4】 & US 2002/0153611 A1 & CN 1383353 A	1, 4 2-3, 5
Y	JP 2004-356264 A (株式会社日立製作所) 2004.12.16, 段落【0075】 , 【図1】 , 【図14】 (ファミリーなし)	2-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

14.06.2011

国際調査報告の発送日

21.06.2011

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中尾 麗

3S

4026

電話番号 03-3581-1101 内線 3391

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-31699 A (京セラ株式会社) 2004.01.29, 段落【0035】 , 【0037】 , 【図1】 (ファミリーなし)	5
A	JP 2003-17613 A (京セラ株式会社) 2003.01.17, 全文, 【図2】 (ファミリーなし)	1-5